

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：931252P

※申請日期：93.8.20

※IPC 分類：G06F 1/26

一、發明名稱：(中文/英文)

提供計算裝置之量測功率轉變的裝置及方法

MECHANISM FOR PROVIDING MEASURED POWER
MANAGEMENT TRANSITIONS IN A MICROPROCESSOR

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

威盛電子股份有限公司

VIA TECHNOLOGIES, INC.

代表人：(中文/英文) 王雪紅 / WANG, CHER

住居所或營業所地址：(中文/英文)

231 台北縣新店市中正路 535 號 8 樓

8Fl., No. 535, Jungjeng Rd., Shindian City, Taipei, Taiwan 231,
R.O.C.

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 賈斯金思 大流士 D / GASKINS, DARIUS D.

2. 隆德博格 詹姆斯 R / LUNDBERG, JAMES R.

國 籍：(中文/英文)

1. 美國/US

2. 美國/US

四、聲明事項：

☐ 主張專利法第二十二條第二項第一款或第二款規定之事實，其事實
發生日期為： 年 月 日。

☒ V 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ V 有主張專利法第二十七條第一項國際優先權：

1. 美國 2004/3/22 10/806,041

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【相關申請案之交互參考】

本申請案優先權之申請係根據美國專利申請案號為 10/806,041，申請日期係為 03/22/2004。

【發明所屬之技術領域】

本發明係關於微電子領域，特別關於一種提供計算裝置之量測功率轉變的裝置。

【先前技術】

現今多數計算裝置係於致能一外部信號、或執行一特殊目的指令、或在遭遇致命的錯誤情況時，進入不同形式之低功率狀態。舉例來說，x86 相容微處理器具有兩種機器狀態，其分別是睡眠狀態(stop grant)以及自動暫停(auto halt)，微處理器處於這兩種狀態時，停止將內部時脈信號傳送到多數功能邏輯電路區塊，亦會停止內部時脈信號到這些邏輯電路區塊，進而明顯地減少微處理器的功率消耗量。然而，並非全部的時脈信號都要停止，少數時脈信號因其輸出至特定的邏輯電路區塊（例如匯流排窺測邏輯電路(bus snoop logic)、中斷邏輯電路(interrupt logic)等），必須保持啟動狀態以使這些邏輯電路區塊能夠隨時處理某個處理器事件(processor events)，但是就整體而言，微處理器為實質上功率關閉，也就是說，微處理器仍受到電力供應，但是因為功能區塊並沒有執行指令，所以功能區

塊並沒有消耗功率。在 x86 相容微處理器中，睡眠狀態係藉由致能微處理器之 STPCLK# 接腳而觸發，另外，自動暫停狀態係由執行 HALT 指令所觸發，當這兩種狀態之任一被觸發時，x86 相容微處理器必需停止輸出至晶片上之對應邏輯電路區塊的時脈信號。其他類型微處理器雖經由不同機制以進入其所對應的低功率狀態，但其係藉由相同方式來達到功能邏輯電路區塊的低功率狀態，亦即是停止輸出至功能邏輯電路區塊的時脈信號。因此，為了要進入低功率狀態，目前的微處理器將停止輸出至必須被功率關閉的邏輯元件之對應的時脈信號，並且在一個時脈週期期間停止全部時脈信號。另外，為了退出低功率狀態，微處理器在一個時脈週期期間同時啟動全部時脈信號。

不論是立即進入低功率狀態或者是退出低功率狀態時，電源供應器為了調整微處理器需要的電壓而導致電流劇烈減少，造成電源供應器沉重的負擔。為了補償供給匯流排（supply busses）中因劇烈電流變化所產生的電壓針尖（voltage spikes），關係到電源供應器的電壓調整邏輯電路必須解決迫切的電力浪湧需求（power surge requirements），因此造成系統或是主機板（如果電源供應器係為主機板上電壓調整器（voltage regulator））的成本上升。電壓調整器中的浪湧補償機構以及濾波電路，一般而言是以大型且昂貴的電容處理電壓針尖（voltage spike）的低頻部分，另外在積體電路的中邏輯元件之旁部署大量的小電容，以補償電壓針尖的高頻部分。

前述的針尖補償以及電壓濾波組件對於前述情況確有其功效，然而計算裝置在一個時脈週期期間進入（或退出）一低功率狀態時，大多數電壓濾波組件必需單獨處理此期間電流劇烈的減少（或增加）。另外，在一個時脈週期期間，進入（或退出）一低功率狀態係完全不受任何執行於計算裝置之應用程式的影響。

除了電源供應器中迫切的電力浪湧補償需求之外，特定計算裝置中的電流需求劇烈變化將產生寄生迴路電感（parasitic loop inductance）並使得晶粒之電壓降低（封裝效應），造成計算裝置其本身的操作電壓受到壓制。舉例來說，在一特定計算裝置完成封裝之後，其係根據其最大操作頻率進行測試以及裝箱。因為電晶體開關的速度主要是基於其供應操作電壓，所以晶片內明顯降低的操作電壓將迫使設計者必須於低頻率狀態下操作計算裝置，以產生正確結果。

因此，目前所需的課題係提供一種能夠將計算裝置平順地進入或退出低功率狀態的裝置。另外，當計算裝置開啟進入或退出低功率狀態時，能夠不加重電力來源之不必要的浪湧補償需求，這樣的功率狀態轉變方法是需要的。除此之外，能夠將計算裝置從一功率狀態平順地轉變至另一狀態的功率轉變管理裝置。

【發明內容】

本發明係提供一種能夠解決上述習知技術之問題的

量測功率轉變設備及方法。本發明提供一較優良的技術，其係用於提供計算裝置中量測和適當的功率管理轉變，且這個技術允許相關的電源供應器以及計算裝置本身使用較少的電壓浪湧補償機構，使得系統相較於以往技術具有較低的成本。在一實施例中，將討論計算裝置中一量測功率轉變裝置。這個裝置包含功率控制邏輯電路，其係判斷計算裝置是否進入一低功率狀態，其中，功率控制邏輯電路包含複數個停止信號，其依序指示所對應的時脈信號停止，且對應的時脈信號係有效地輸出至計算裝置中時脈信號之對應的區段邏輯元件。

另外，本發明提供一量測功率轉變裝置，其係包含一間隔邏輯電路以及一功率控制邏輯電路，間隔邏輯電路係提供至少一可程式化時脈週期數目，功率控制邏輯電路係連接至間隔邏輯電路，功率控制邏輯電路接收至少一可程式化時脈週期數量，並應用至少一可程式化時脈週期數目依序停止輸出至複數個區段邏輯元件所對應的每個停止信號。

再者，本發明提供計算裝置中一量測功率轉變方法，其係先判斷計算裝置是否進入一低功率狀態，並依序將輸出至複數個區段邏輯元件的每個時序信號停止。

【實施方式】

以下所述為應用習知技術而製造及/或使用文中特定應用及需求的本發明所列舉之例子。然而，實施例中所提

及之各種修改係用於彰顯與習知技術之不同之處，此一般原則可應用於其他實施例中。因此，本發明並非限定於特定實施例。

以下先以現今計算裝置背景以及其相關電源供應器需求的觀點，參考圖 1 以及圖 2 舉例說明依照現今技術設計的計算裝置進入低功率狀態時的限制及問題。然後參考圖 3 至圖 7 討論本發明。本發明藉由依序停止計算裝置中輸出至功率邏輯元件的時脈信號，克服現今功率轉變技術的限制，因而減少電源供應器必須支撐的電流變化比率，並減少濾波器需求以及抑制電壓瞬變。

請參考圖 1，一方塊圖 100 說明電力如何分配至一現今計算裝置 107，方塊圖 100 顯示一電源 (power source) 102 藉由一電力匯流排 (power bus, PSVDD) 104 以及一回饋匯流排 (return bus, PSGND) 105 供應電力至計算裝置 107。計算裝置 107 係經由封裝體之一或複數個鐸墊(或接腳)108，耦合至電力匯流排 104 以及回饋匯流排 105。電力匯流排 104 以及回饋匯流排 105 係電連接於一電力分配單元 (power distribution) 109，其中電力分配單元 109 之功用是接收以及過濾外來之電流，並經由一電壓匯流排 110 以及一接地匯流排 111，將電力分配至計算裝置 107 中所有的邏輯電路裝置 112、115 以及 116。通常電力分配單元 109 只不過是晶粒上金屬電跡線所構成之分散網路。計算裝置 107 也包含一時脈分配邏輯電路 (clock distribution logic) 115，其中時脈分配邏輯電路 115 係分

配複數個時脈信號 C1:CN 117 至複數個區段邏輯元件 (sector logic elements) 116。一功率狀態邏輯電路 (power state logic) 112 係耦合至一或多個鉀墊 108 以及一低功率感測匯流排 (low power sense bus) HALT 114。功率狀態邏輯電路 112 輸出一低功率信號 (low power signal) 113 至時脈分配邏輯電路 115。在典型的系統中，計算裝置 107 以及電源 102 都是位在一主機板 101 上。

計算裝置 107 可以是種種的不同裝置，只要能分配時脈信號 117 至欲執行的各種不同區段邏輯元件 116。舉例來說，計算裝置 107 可以是圖形控制器、晶片組中的邏輯電路、CPU 輔助處理器 (co-processor)、微控制器 (micro-controller)、微處理器、或者是非限定為任何循序邏輯電路的裝置。熟知技術者都應該瞭解，在現在或可預期之未來中，時脈信號 117 係透過大量的時脈裝置，依照前述方式被分配至區段邏輯元件 116。由於本項技術領域範圍廣泛，為了清楚說明本發明，此後實施例將討論計算裝置 107 為一微處理器之情況。但本發明之範圍以及發明動機並非限縮於實施例中計算裝置 107 為微處理器之情況。

上述之計算裝置 107 整體係由複數個區段邏輯元件 116 所組成。在微處理器中，區段邏輯元件 116 亦可指一功能單元。功能單元可以是邏輯電路、裝置或是微碼 (microcode)，亦可以是邏輯電路、裝置或是微碼等元件之組合，或者是使用於計算裝置 107 中能夠執行相關功能

的等效元件。在計算裝置 107 中，執行相關功能的元件可與其他相關功能的元件等共享電路以及微碼等。根據現今應用的範疇，微碼係指至少一微指令集（micro instructions）。微指令（亦可指一基本指令（native instruction））係為功能單元 116 可執行之指令。舉例來說，微指令集係可直接由精簡指令集運算（RISC）之微處理器所執行。對於複雜指令集計算（CISC）微處理器，如 x86 相容微處理器，x86 指令集（instructions）要翻譯成功能單元可直接執行之微指令集。舉例來說，第一區段邏輯元件 116 可以是微處理器之第一階資料快取記憶體（L1 data cache）。第二區段邏輯元件 116 可以是微處理器之第二階快取記憶體（L2 cache）。其他區段邏輯元件 116 可以是分支預測單元（branch prediction unit）、浮點運算單元（floating point execution unit）、整數運算單元（integer execution unit）、以及暫存檔（register file）等等。熟知技術者都瞭解，計算裝置內當然可以置入數百個區段邏輯電路單元。

在操作上，計算裝置 107 內之區段邏輯元件 116 皆分別直接地與對應的時脈信號 117 同步工作。如果時脈信號 117 停止，其所對應的區段邏輯元件 116 將停止工作。且既然實際上現今的區段邏輯元件 116 全部都是 CMOS 裝置，熟知技術者都瞭解，當所對應的時脈信號 117 停止時，給定之區段邏輯元件 116 係從電壓匯流排 110 及內部接地匯流排 111 之內部信號電路取得微小電流或是無電流。

在另一現今計算裝置 107 之具體實施例中，電源 102 通常是一電壓穩壓器 (voltage regulator) 並裝置於一主機板 101。電源 102 透過電力匯流排 104 供應一電壓 (例如 3.3 伏特) 至計算裝置 107 的電力鉑墊 108。回饋匯流排 105 通常供給一回饋電壓，且前述所提微處理器 107 內之接地匯流排 111 的內部信號電路係參考此回饋電壓。電力分配單元 109 將電源 102 所供應之電壓濾波後，直接分配電壓至區段邏輯元件 116。除此之外，電力分配單元 109 可轉換供給電壓為一核心電壓 (core voltage) (例如 1.5 伏特核心電壓)，並藉由電壓匯流排 110 的內部信號，將核心電壓分配至區段邏輯元件 116。

如上所述，任何事件、信號或者是環境都可能促使計算裝置 107 從一功率模式 (power mode) 進入為一低功率模式 (low power mode)，或者是從低功率模式離開至一不同的操作模式。在 x86 相容微處理器中，當一停止時脈信號電路 106 的外部信號電路被致能時，則微處理器將進入低功率模式 (例如睡眠狀態 (stop grant state))。為了方便說明本發明，方塊圖 100 中的停止時脈信號電路 106 係為指示計算裝置 107 進入低功率狀態之停止時脈信號電路 106 的外部信號電路，停止時脈信號電路 106 所產生之訊號經由鉑墊 108 接收後被發送至功率狀態邏輯電路 112。方塊圖 100 中的低功率感測匯流排 114 亦為輸出信號至功率狀態邏輯電路 112。除了藉由致能外部信號電路之外，亦可藉由下達指令或事件使得低功率感測匯流排 114 的信

號電路被觸發，進而指示計算裝置 107 進入低功率狀態。不論計算裝置 107 是被停止時脈信號電路 106 之外部信號電路或者是被低功率感測匯流排 114 之內部信號電路所指示，都是為了說明本發明之中計算裝置 107 進入低功率狀態，係因停止選定的區段邏輯元件 116 所對應的時脈信號 117，且其離開低功率狀態係因開啟選定的區段邏輯元件 116 所對應的時脈信號 117。熟知技術者都瞭解計算裝置 107 能夠有不同的低功率狀態，而在不同的低功率狀態中，不同的區段邏輯元件 116 係分別藉由相對應的時脈信號 117 而功率關閉。本發明包含如上所述之設定。

在典型的計算裝置 107 中，當計算裝置 107 被指示進入低功率狀態時，功率狀態邏輯電路 112 藉由致能低功率信號 113，進而指示時脈分配邏輯電路 115 停止其所選定之區段邏輯元件 116 之對應時脈信號 117。事實上，時脈分配邏輯電路 115 通常在一個時脈週期中停止其所指定的時脈信號 117。在電壓匯流排 110 以及接地匯流排 111 之間，由於電流劇烈的減少，亦使得電力匯流排 104 以及回饋匯流排 105 之間電流劇烈的減少，使得電源 102 必須支撐電壓匯流排 110 以及接地匯流排 111 之間的電壓瞬變 (voltage transients)，與電力匯流排 104 以及回饋匯流排 105 之間的電壓瞬變。因此現今電源 102 係具備一電力瞬變濾波器 (power transient filter) 103 以抑制導因於電流疾速變化的電壓瞬變。除此之外，現今計算裝置 107 亦可具備數個晶片內建瞬變抑制元件 (亦即是電容裝置) (圖中

未顯示) 以抑制低頻以及高頻之電壓瞬變。再者，當操作頻率 (operating frequency) 疾速變化時產生的寄生迴路電感 (parasitic loop inductance) 導致晶片內電壓降低，使得計算裝置 107 因為可能達到的最高工作頻率降低而被限制住。計算裝置 107 進入低功率狀態時，電流疾速減少的影響將根據圖 2 詳加討論。

請參閱圖 2，一時序圖 200 顯示圖 1 中的計算裝置 107 如何進入低功率狀態。時序圖 200 顯示低功率信號 113 在 T1 時間被致能並指示時脈分配邏輯電路 115 停止選定的時脈信號 117，因此使得計算裝置 107 進入低功率狀態。為了清楚起見，全部的時脈信號 C1:CN 117 係停止，並進入低功率狀態。當低功率信號 113 在 T1 時間被致能後，時脈分配邏輯電路 115 在一個時脈週期後的 T2 時間停止時脈信號 C1:CN 117。因為計算裝置 107 的電流需求在 T2 時間明顯的減少，所以電源 102 中的功率產生元件 (power generation elements) (圖中未顯示) 明顯的受到壓力。因此，當時脈信號 117 於 T2 時間停止時，時序圖 200 中電力匯流排 104 的外部信號電路必須持續平順地供應固定電壓。這是因為功率狀態瞬變 (power state transition) 為熟知技術者所了解，所以電源 102 能夠應付瞬變受壓需求 (transient suppression requirements)，並在瞬變發生的電力匯流排 104 上保持平順地固定電壓。因此，電源 102 係包含如上所述之濾波器 103 以滿足瞬變受壓需求。以虛線瞬變 (dashed transient) 201 描繪出典型電壓瞬變 (voltage

transient) 201，其係從 T2 時間開始並結束於 T3 時間。另外，電壓瞬變 201 被傳送在電力匯流排 104 以及電力回饋匯流排 105 的外部信號電路（亦即在參考電壓上外加如同電壓瞬變 201 之瞬變），且由於寄生迴路電感的存在，電壓瞬變 201 影響電壓匯流排 110 以及接地匯流排 111 的內部信號電路程度將較輕微。但是藉由電源 102 中的濾波器 103 以及計算裝置 107 中數個暫態濾波器(transient filters)（例如電容裝置）（圖中未繪示），在 T2 時間停止時脈信號 C1:CN 117 時，電壓瞬變 201 並未到達減少計算裝置 107 效能的程度。

圖 1 之系統成本高，並且現今的電源 102 往往包含昂貴的瞬變受壓濾波器（transient suppression filters）103，以確保輸出至計算裝置 107 之電流能夠快速地減少以及快速地增加（亦即當離開低功率狀態時）。除此之外，電流的疾速增加（以及減少）大部分導因於現今計算裝置進入（以及離開）低功率狀態的方式。除此之外，如上所述，並不需要同時關閉所有不需要於低功率狀態下操作的區段邏輯元件 116。

因此，為了說明前述的限制以及其他本領域的問題，本發明將根據圖 3 至圖 7 更深入討論。

請參考圖 3，根據本發明較佳實施例之量測功率轉變管理裝置 300 包含功率控制邏輯電路 305，其中功率控制邏輯電路 305 經由間隔匯流排（interval bus, INT）308，耦接至功率間隔邏輯電路（power interval logic）306。功

率控制邏輯電路 305 輸出複數個停止信號 (stop signals) STOP1:STOPN 至其所相對應之複數個時脈分配邏輯元件 (clock distribution logic elements) 302。每個時脈分配邏輯元件 302 接收一個時脈信號 304 並輸出一個區域時脈信號 (local clock signal) C1:CN 303 至相對應的區段邏輯元件 (sector logic elements) 301。時脈信號 304 係被輸出至功率控制邏輯電路 305。除此之外，一低功率狀態信號 (low power state signal) 307 係輸出至功率控制邏輯電路 305。

計算裝置 (圖中未顯示) 中每段區段邏輯元件 301 操作上係與區域時脈信號 C1:CN 303 同步工作，區域時脈信號 C1:CN 303 係與時脈信號 304 同步。如同圖 1 中的區段邏輯元件 116，如果一個特別的區域時脈信號 303 (圖 1 中的信號 C2) 停止，其所對應的區段邏輯元件 301 (亦即是圖 1 中的第二區段邏輯元件) 的工作也將停止。

為了明確了解，在功率轉變管理裝置 300 中提供電壓匯流排以及回饋接地匯流排至每個邏輯元件的電源以及濾波器元件 (並沒有列舉在圖 3)。信號電路的感應致能邏輯電路，以及其他會造成相關計算裝置進入低功率狀態的事件也沒有列舉在圖 3 之中。根據上述討論，係假定低功率狀態信號 307 被致能後，系統將進入低功率狀態，且低功率狀態信號 307 被中止後，系統將離開低功率狀態。雖然低功率狀態信號 307 係描述於方塊圖中，本發明也有考慮到，低功率狀態信號匯流排 307 指示功率控制邏輯電路 305

進入至少一低功率狀態，並停止輸出至區段邏輯元件的區域時脈信號 303，以進入每個低功率狀態。

根據本發明較佳實施例之功率轉變管理裝置 300 與現今計算裝置 107 相反，其係藉由非同時全部停止之區域時脈信號 303 而進入低功率狀態。取而代之的是，功率間隔邏輯電路 306 藉由間隔匯流排 308 輸出一可程式化時脈週期數量（programmable number of clock cycles）至功率控制邏輯電路 305。在一實施例中，可程式化時脈週期數量包括複數個可程式化時脈週期數量值，其係分別對應至複數個區段邏輯元件 301，且可程式化時脈週期數量係用於指示區域時脈信號 303 停止（如時脈信號 C2，其輸出至第二段區段邏輯元件 301）以及下一區域時脈信號 303 停止（如時脈信號 C3，其係輸出至第三段區段邏輯元件 301）之間所間隔的時脈週期數量（number of clock cycles）。在另一實施例，可程式化時脈週期數量係單一數值，用於指示在輸出至任一區段邏輯元件 301 的區域時脈信號 303 停止，以及輸出至下一區段邏輯元件 301 的區域時脈信號 303 停止之間所間隔的時脈週期數量。在一實施例中，經由間隔匯流排 308 傳送至各個區段邏輯元件 301 之時脈週期數量皆是可程式化的邏輯元件。在另一實施例中，時脈週期數量係單一數值，並使用於全部的區段邏輯元件。

功率控制邏輯電路 305 藉由間隔匯流排 308 接收可程式化時脈週期數量的回應，並在經由間隔匯流排 308 傳送的時脈週期數量被揭露之後，以與時脈信號 304 同步方

式，依序致能分別對應至時脈分配邏輯元件 302 的複數個停止信號 STOP1:STOPN 309。停止信號 309 被致能後，指示其所對應的時脈分配邏輯元件 302 停止他的區域時脈信號 C1:CN 303。需注意者，停止信號 309 的順序係由功率控制邏輯電路 305 的設計功能所判定，且停止信號 309 的結合亦可被致能以進入一特定的低功率狀態。功率控制邏輯電路 305 包含能夠執行本發明所述功能之邏輯電路、裝置、微碼或等效元件，且能夠執行先前所述功能之元件可共享的電路、微碼等等。

當每個停止信號電路 309 被致能時，其所對應的區段邏輯元件 301 功率便被關閉。相反的，圖 1 中的時脈分配邏輯電路 115 典型地在一個時脈週期之中停止時脈信號電路 117，相較之下，根據本發明較佳實施例之功率轉變管理裝置 300 平順地將計算裝置從一個功率狀態轉變至另一功率狀態。因此，電流需求並沒有劇烈的減少，且計算裝置或與計算裝置的電力來源（圖中未顯示）之濾波器裝置的需求較少。

請參考圖 4，根據本發明又一較佳實施例之功率間隔邏輯電路 400 包含一暫存器（register），其中暫存器具有一 32 位元間隔場（INTERVAL field）401。間隔場 401 內之數值係可程式化用於指示，自停止輸出區域時脈信號 303 到一給定的區段邏輯元件 301，以及自停止輸出下一個區域時脈信號 303 到下一區段邏輯元件 301 之間，所間隔的時脈週期數量。在另一個實施例中，間隔場 401 內之

數值係可程式化，邏輯電路除用以指示，自停止輸出區域時脈信號 303 到一給定的區段邏輯元件 301，與自停止輸出下一個區域時脈信號 303 到下一區段邏輯元件 301 之間所間隔的時脈週期數量；也可以程式化用於指示，自開始輸出區域時脈信號 303 到一給定的區段邏輯元件 301，與自開始輸出下一個區域時脈信號 303 到下一區段邏輯元件 301 之間所間隔的時脈週期數量（本例是離開低功率狀態）。功率間隔邏輯電路係包含邏輯電路、裝置、或微碼；亦可包含邏輯電路、裝置、微碼之組合；更可包含具執行根據本發明之計算裝置中之前述功能等效元件。且能夠執行先前所述之功能元件可共享其電路以及微碼等等。在一實施例中，間隔場 401 內之數值係藉由執行計算裝置中之指令而編成，其中指令係指示計算裝置設定間隔場 401 之數值。在另一實施例中，間隔場 401 之數值係根據有效連接至功率間隔邏輯電路的複數個保險絲的狀態而編成。本發明也考慮到藉由其他技術，如從記憶體讀取數值以及設定計算裝置封裝上的狀態腳位等，去設定間隔場 401 之數值。在另一實施例中，計算裝置內每個區段邏輯元件分別具有其個別之可編程時脈週期數量，並可依照區段邏輯元件 301 之數量包含複數個功率間隔邏輯電路。

請參考圖 5，根據本發明另一較佳實施例之功率間隔邏輯電路 500 包含一暫存器，其中暫存器具有一 16 位元上間隔場 (UPINTERVAL field) 501 以及一 16 位元下間隔場 (DOWNINTERVAL field) 502。上間隔場 501 內之數值

係可程式化，用於指示介於停止輸出區域時脈信號 303 至一給定的區段邏輯元件 301，以及停止輸出至下一區域時脈信號 303 至下一區段邏輯元件 301 之間所間隔的時脈週期數量（本例是離開低功率狀態）。下間隔場 501 內之數值係可程式化，用於指示介於停止輸出區域時脈信號 303 至一給定的區段邏輯元件 301，以及停止輸出下一區域時脈信號 303 至下一區段邏輯元件 301 之間所間隔的時脈週期數量（本例是進入低功率狀態）。上間隔場 501 以及下間隔場 502 的數值其可程式化的方法與圖 4 實施例的間隔場 401 相同。根據本發明另一較佳實施例之計算裝置內，每個區段邏輯元件分別具有其可程式化時脈週期數量，並可依照區段邏輯元件 301 數量包含複數個功率間隔邏輯電路。

參考圖 6，時序圖 600 顯示根據本發明再一較佳實施例之計算裝置如何進入一低功率狀態。時序圖 600 描述低功率狀態信號 307 在 T1 時間被致能後，指示功率控制邏輯電路 305 停止區域時脈信號電路 303，因此造成計算裝置進入低功率狀態。為了說明，僅舉例計算裝置進入低功率狀態時，全部的時脈信號 C1:CN 303 如何停止。因應在 T1 時間被致能的低功率狀態信號 307，功率控制邏輯電路 305 經由間隔匯流排 308 從功率間隔邏輯電路 306 接收功率關閉間隔數值（value(s) of the power down interval(s)），其中時脈週期數量係為依序輸出至區段邏輯元件 301 的區域時脈信號 303 彼此之間所間隔的時脈週期數量。為了便

於說明，功率關閉間隔數值係可針對全部的區段邏輯元件 302 都是被程式化為兩個時脈週期。因此，功率控制邏輯電路 305 致能連接至第一區段時脈分配邏輯元件 302 的停止信號 STOP1 309 後，將使得區域時脈信號 C1 303 在 T2 時間停止，進而將第一區段邏輯元件 301 功率關閉。兩個時脈週期之後，功率控制邏輯電路 305 致能連接至第 2 區段時脈分配邏輯元件 302 的停止信號 STOP2 309 後，也使得區域時脈信號 C2 303 在 T3 時間停止，並進而使得第 2 區段邏輯元件 301 功率關閉。接著以每兩個時脈週期輸出一停止信號電路的速度，依序停止區域時脈信號 303 直到最終區域時脈信號 CN 303 在 T4 時間停止。因為從 T2 時間到 T4 時間之間，計算裝置電源需求係逐漸減少，所以計算裝置的電源負擔較少的瞬變壓力需求，因此得以用較低成本之元件完成相同的系統。在時序圖 600 中，因為依此方法轉變功率狀態並不過度施壓於電源，以一測量方法可得知在 T2 時間到 T4 時間之內，當時脈信號 303 停止時，一電力匯流排 601 的外部信號仍平順地固定供應電壓。如圖 7 所示，流程圖 700 顯示根據本發明某一較佳實施例之提供計算裝置之量測功率轉變的方法。

區塊 701 係計算裝置在一非低功率之狀態，然後進入選擇區塊 702。

在選擇區塊 702 中判斷計算裝置是否須要進入低功率狀態，如果計算裝置不是要進入低功率狀態，會直接進入區塊 709 結束。如果計算裝置要進入低功率狀態，進入區

塊 703。

在區塊 703，如本發明另一較佳實施例所示，自功率間隔邏輯電路讀取一 INT 數值 (value INT)。在一實施例中，INT 數值係指示時序週期數目，其中時序週期數目係自停止輸出第一個區域時脈信號 303 至第一區段邏輯元件 301，到停止輸出第二個區域時脈信號 303 至第二區段邏輯元件 301 之間，所間隔的時序週期其數目，接著進入區塊 704。

在區塊 704 中，一計數器 K 其初始值為 1。接著進入區塊 705。

在區塊 705 中停止第 K 個區段時序信號，由於第 K 個區段時序信號輸出至第 K 個區段邏輯元件，因此第 K 個區段邏輯元件功率關閉。接著進入區塊 706。

在區塊 706，揭露對應在區塊 703 所讀取之 INT 數值的時序週期數目，接著進入區塊 707。

在區塊 707，計數器 K 其值加 1，然後進入判斷區塊 708。

在判斷區塊 708 中，計數器 K 係判斷指示的時序信號是否全部已經被停止。這就是說，對於 N 個時序信號而言，如果 K 值等於 N+1，代表全部 N 個時序信號已經被停止，並進入區塊 709 結束。如果 K 值不等於 N+1，進入區塊 705 繼續進行。

在區塊 709 本方法執行完畢。藉由量測前所述之進入或離開低功率狀態，根據本發明之計算裝置係具有控制功

率轉變之特性，使得電源供應器的負擔以及電力調整需求明顯的減輕，因此可以減少計算裝置本身、連接至計算裝置的電源供應器以及整個系統的成本。

以上所述僅為舉例，而非有所限制。任何未脫離本發明之精神與範疇，而對其進行之等效修改或變更，均應包含於後附之申請專利範圍中。

【圖式簡單說明】

圖 1 為一方塊圖，顯示習知技術之計算裝置中電力分配的狀況；

圖 2 為一時序圖，顯示習知技術之計算裝置如何進入低功率狀態；

圖 3 為一方塊圖，顯示依本發明一較佳實施例提供計算裝置之量測功率轉變的裝置及方法其中提供計算裝置之量測功率轉變的裝置；

圖 4 為一方塊圖，顯示依本發明又一較佳實施例提供計算裝置之量測功率轉變的裝置及方法其中功率間隔邏輯電路；

圖 5 為一方塊圖，顯示依本發明另一較佳實施例提供計算裝置之量測功率轉變的裝置及方法其中功率間隔邏輯電路；

圖 6 為一時序圖，顯示依本發明再一較佳實施例提供計算裝置之量測功率轉變的裝置及方法其中計算裝置如何進入低功率狀態；以及

圖 7 為一流程圖，顯示依本發明某一較佳實施例提供計算裝置之量測功率轉變的裝置及方法其中量測功率轉變管理方法。

元件符號說明：

- 100：方塊圖
- 101：主機板
- 102：電源
- 103：濾波器
- 104：電力匯流排
- 105：回饋匯流排
- 106：停止時脈信號電路
- 107：計算裝置
- 108：鉑墊
- 109：電力分配單元
- 110：電壓匯流排
- 111：接地匯流排
- 112：功率狀態邏輯電路
- 113：低功率信號
- 114：低功率感測匯流排
- 115：時脈分配邏輯電路
- 116：區段邏輯元件
- 117：時脈信號
- 200：時序圖

- 201：虛線瞬變
- 300：功率轉變管理裝置
- 301：區段邏輯元件
- 302：時脈分配邏輯元件
- 303(C1~CN)：區域時脈信號
- 304：時脈信號
- 305：功率控制邏輯電路
- 306：功率間隔邏輯電路
- 307：低功率狀態信號
- 308：間隔匯流排
- 309(STOP1~STOPN)：停止信號
- 400：功率間隔邏輯電路
- 401：間隔場
- 500：功率間隔邏輯電路
- 501：上間隔場
- 502：下間隔場
- 600：時序圖
- 601：電力匯流排
- 701~709：提供計算裝置之量測功率轉變的方法

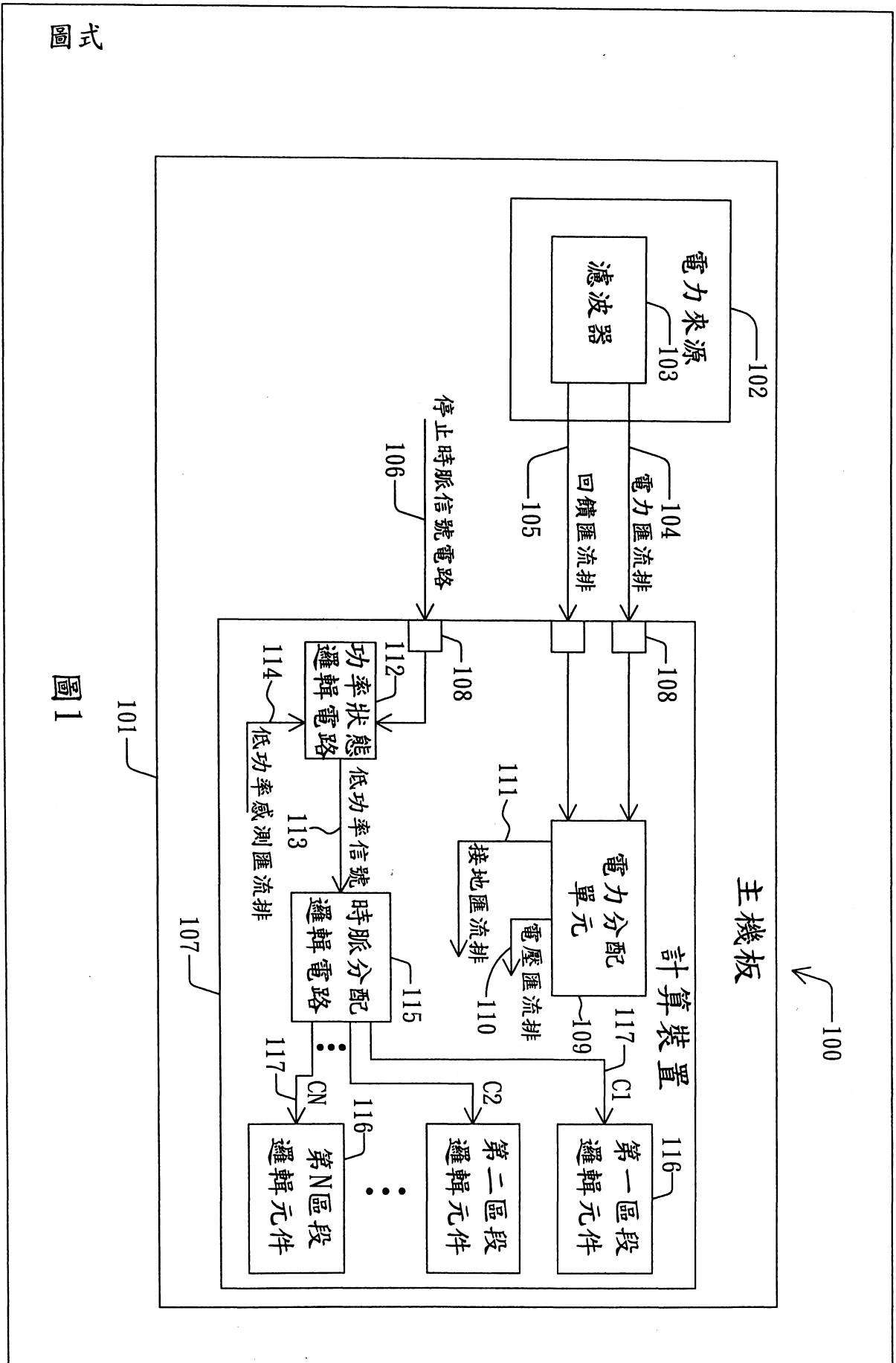
五、中文發明摘要：

一種提供計算裝置之量測功率轉變的裝置及方法，其係以不加重電源不必要負擔的方式，使計算裝置能夠平順地進行功率狀態轉變。提供計算裝置之量測功率轉變的裝置係包含一功率控制邏輯電路，其係判斷計算裝置是否要進入一低功率狀態，其並包含複數個停止信號，其依序指示相對應的時脈信號（clock signal）停止，其中每個時脈信號係有效地耦接至在計算裝置中所對應之區段邏輯元件（Sector Logic Element）。

六、英文發明摘要：

An apparatus and method are provided that enable a computing device to make graceful power state transitions that do not impose unnecessary power sources. The apparatus has power control logic that is configured to determine if the computing device is to enter a low power state. The power control logic includes a plurality of stop signals. Each of the plurality of stop signals sequentially indicates that a corresponding clock signal be stopped, where the corresponding clock signal is operatively coupled to a corresponding sector logic element within the computing device.

圖式



圖式

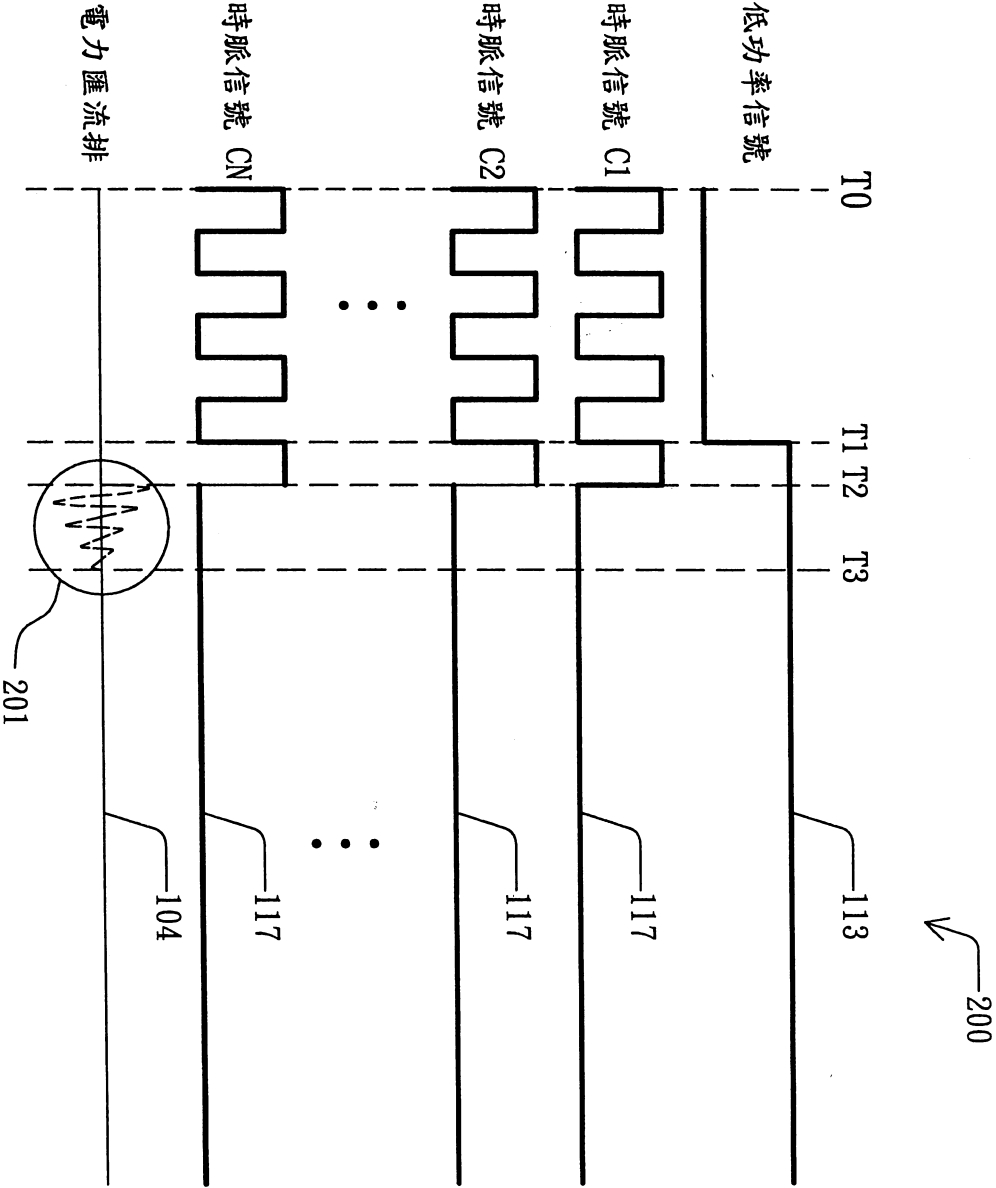
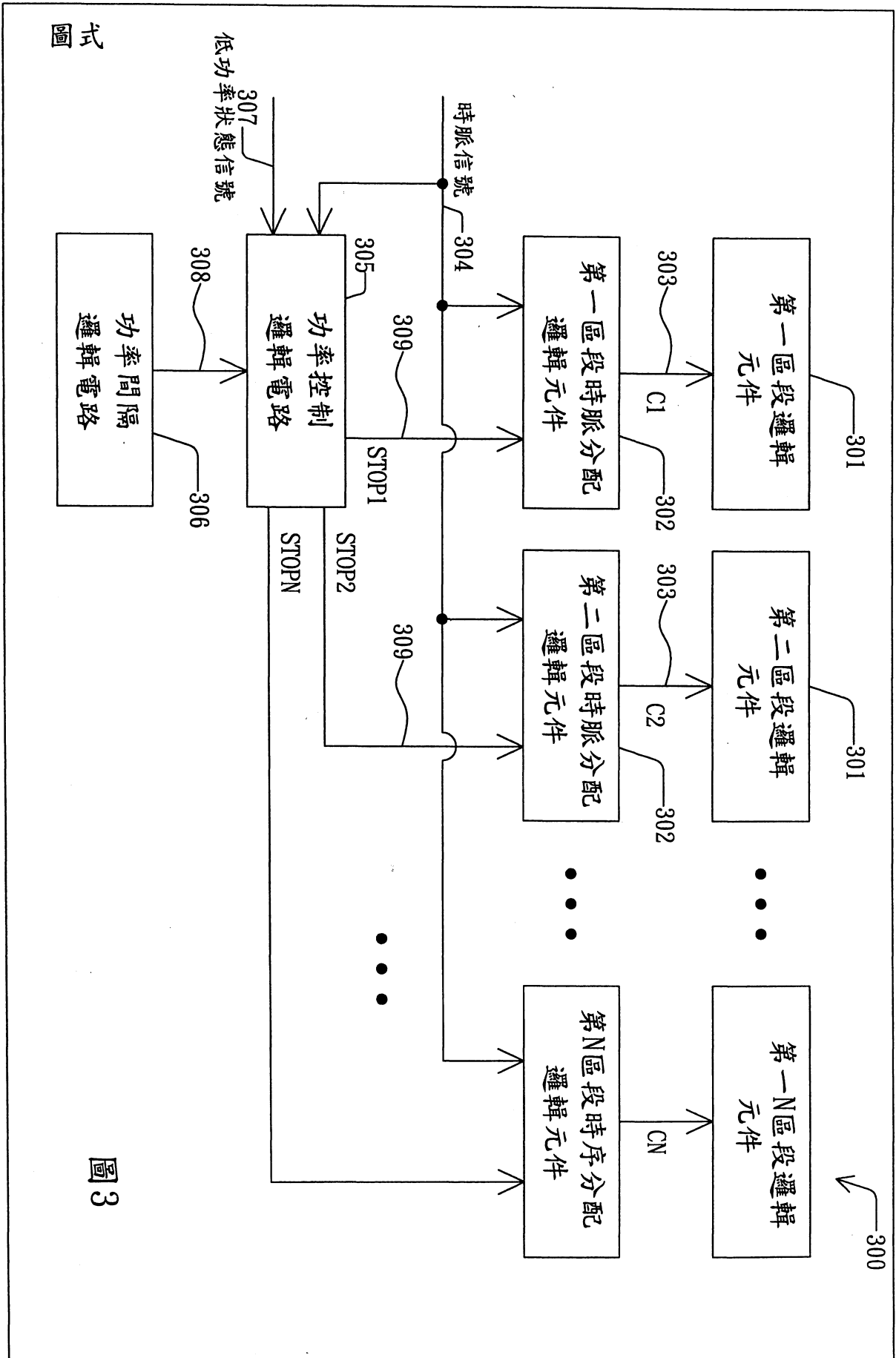


圖2



圖式

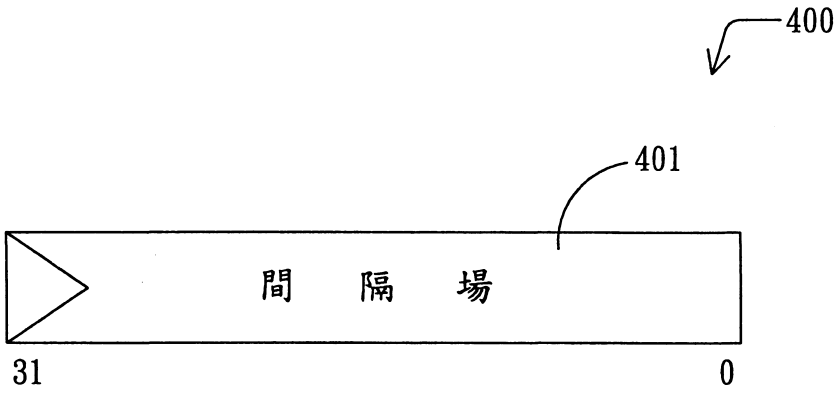


圖4

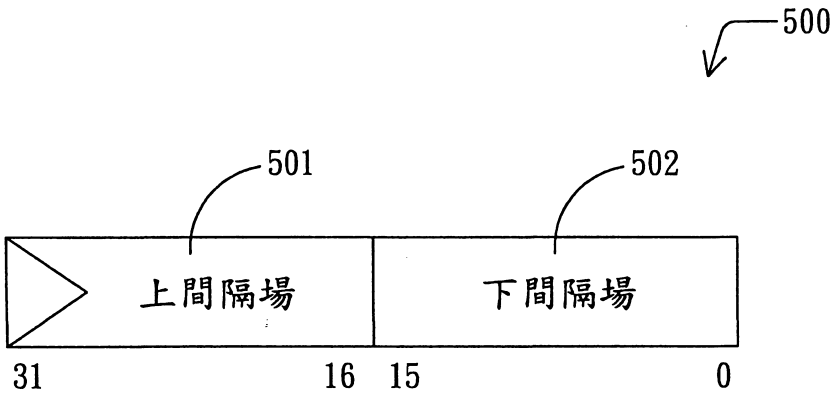


圖5

裝

訂

線

圖式

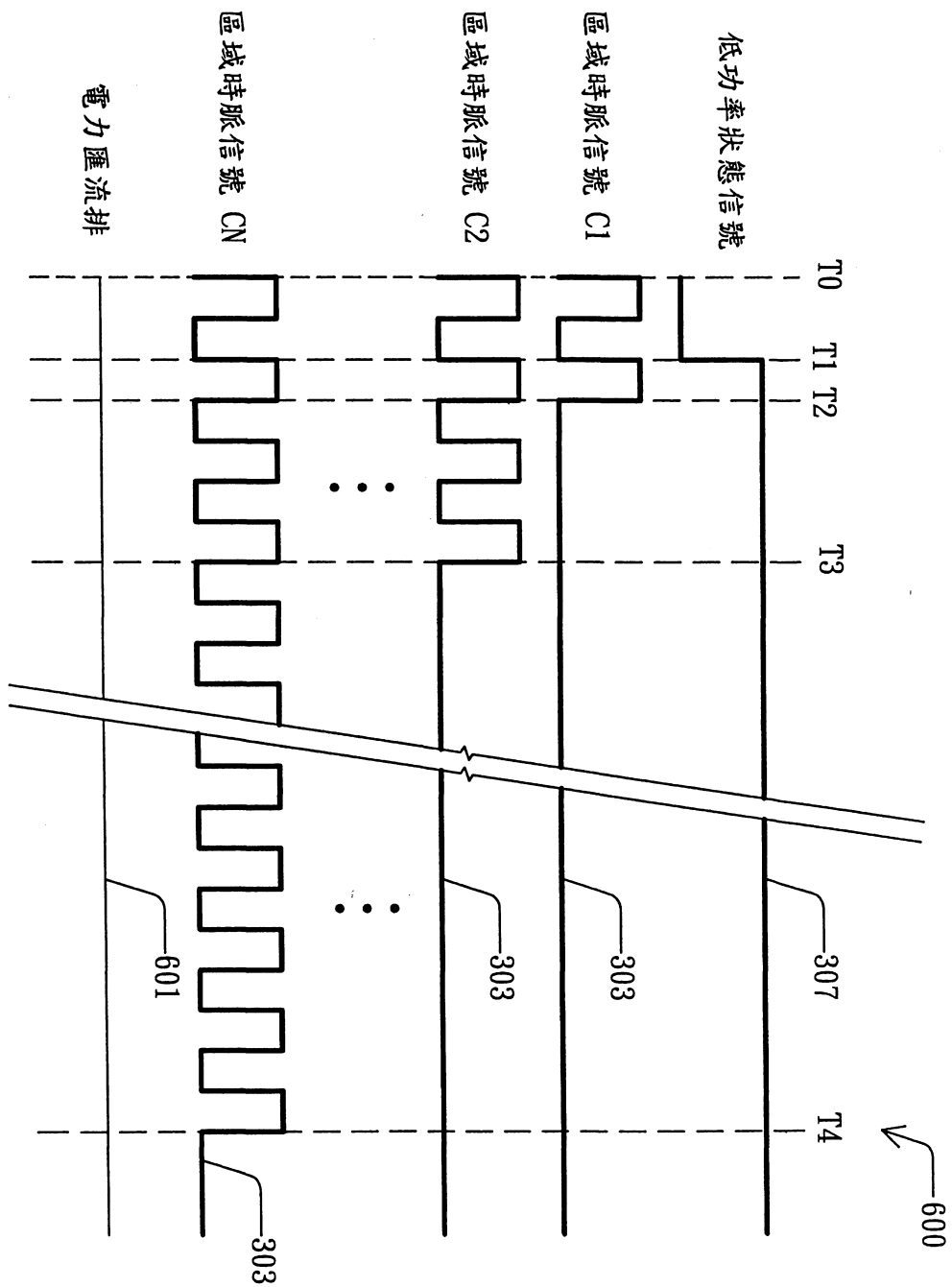


圖6

圖式

700

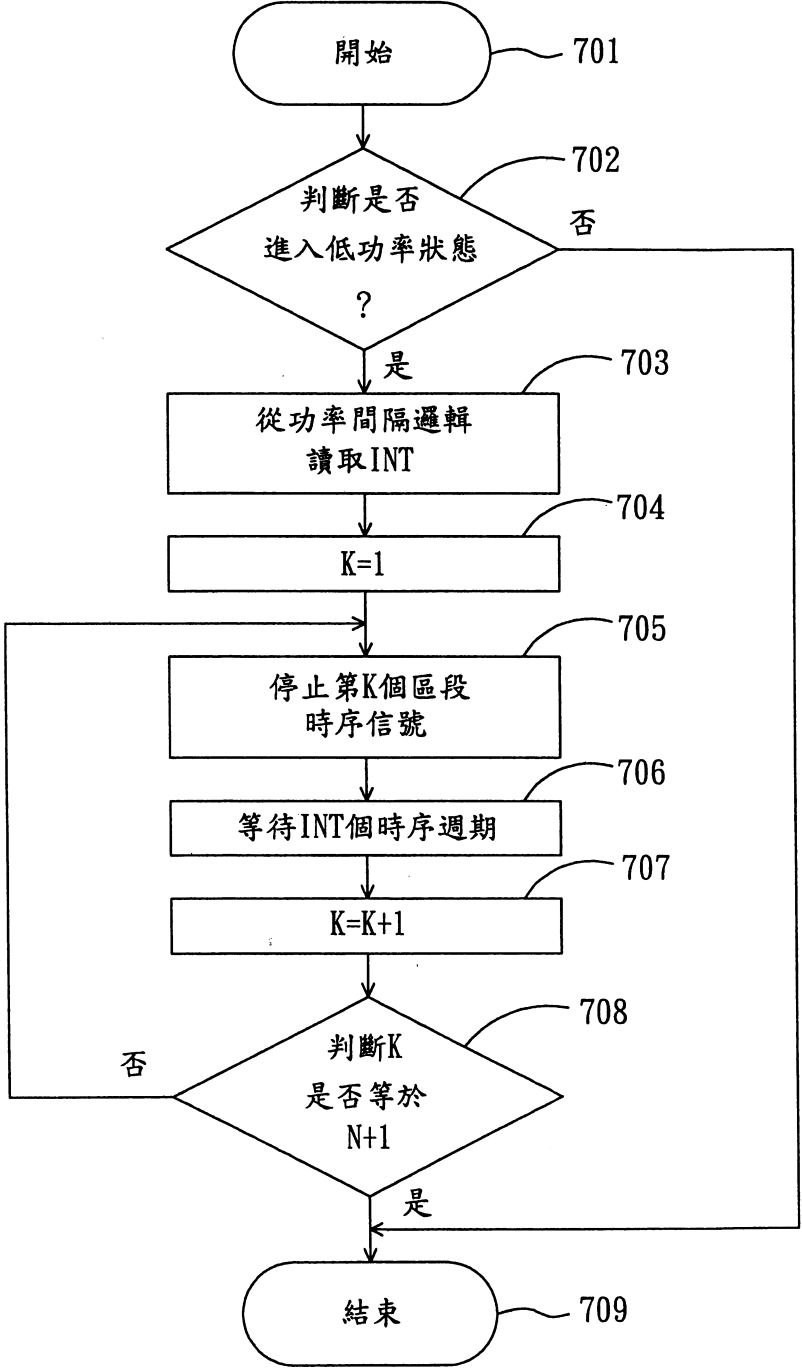


圖7

裝

訂

線

七、指定代表圖：

(一)本案指定代表圖為：圖 3。

(二)本代表圖之元件符號簡單說明：

300：功率轉變管理裝置

301：區段邏輯元件

302：時脈分配邏輯元件

303(C1~CN)：區域時脈信號

304：時脈信號

305：功率控制邏輯電路

306：功率間隔邏輯電路

307：低功率狀態信號

308：間隔匯流排

309(STOP1~STOPN)：停止信號

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

十、申請專利範圍：

- 1、一種提供計算裝置之量測功率轉變的裝置，其包含：
一功率控制邏輯電路，其係判斷該計算裝置是否要進入一低功率狀態，其包含：
複數個停止信號電路，每一該停止信號電路依序用以指示相對應之每一時脈信號電路停止運作，其中相對應之該時脈信號電路係耦接至該計算裝置內之相對應之一區段邏輯電路元件。
- 2、如申請專利範圍第 1 項所述之提供計算裝置之量測功率轉變的裝置，其中每一該停止信號電路在經過一可程式化時脈週期數量後，指示相對應之該時脈信號電路要停止。
- 3、如申請專利範圍第 2 項所述之提供計算裝置之量測功率轉變的裝置，其中每一該可程式化時脈週期數量係針對相對應之該停止信號電路而建立。
- 4、如申請專利範圍第 2 項所述之提供計算裝置之量測功率轉變的裝置，其中該可程式化時脈週期數量係與每一該停止信號電路之該時脈週期數量相等。
- 5、如申請專利範圍第 1 項所述之提供計算裝置之量測功率轉變的裝置，更包含：

一間隔邏輯電路，其係耦接至該功率控制邏輯電路，並用以提供該可程式化時脈週期數量至該功率控制邏輯電路，藉以使該功率控制邏輯電路在經過該可程式化時脈週期數量後，啟動每一該停止信號電路以指示相對應之該時脈信號電路停止。

6、如申請專利範圍第 5 項所述之提供計算裝置之量測功率轉變的裝置，其中該間隔邏輯電路包含一暫存器。

7、如申請專利範圍第 6 項所述之提供計算裝置之量測功率轉變的裝置，其係執行一指令來程式化該暫存器，以提供該些可程式化時脈週期數量。

8、如申請專利範圍第 6 項所述之提供計算裝置之量測功率轉變的裝置，其係設定複數個保險絲之狀態以提供該些可程式化時脈週期數量，其中該些保險絲係連接於該暫存器。

9、一種功率轉變管理裝置，包含：

一間隔邏輯電路，用以提供至少一可程式化時脈週期數量；以及

一功率控制邏輯電路，其係耦接至該間隔邏輯電路，用以接收該至少一可程式化時脈週期數量，並用以執行該可程式化時脈週期數量以依序停止每一時脈

信號電路，其中該些時脈信號電路係分別耦接至相對應之每一區段邏輯元件。

10、如申請專利範圍第 9 項所述之功率轉變管理裝置，其中該功率控制邏輯電路藉由分別與每一該時脈信號電路相對應之每一停止信號電路來依序停止每一該時脈信號電路，其中每一該停止信號電路係指示每一該時脈信號電路在經過複數個時脈週期後停止運作，而該些時脈週期數量係依據該至少一可程式化時脈週期數量而定。

11、如申請專利範圍第 10 項所述之功率轉變管理裝置，其中該至少一可程式化時脈週期數量係針對每一該停止信號電路而建立。

12、如申請專利範圍第 10 項所述之功率轉變管理裝置，其中該些停止信號之數量係與針對每一該停止信號電路所建立之至少一該可程式化時脈週期的數量相等。

13、如申請專利範圍第 9 項所述之功率轉變管理裝置，其中該間隔邏輯電路係包含一暫存器。

14、如申請專利範圍第 13 項所述之功率轉變管理裝置，其係利用執行一指令來程式化該暫存器，以提供該至

少一可程式化時脈週期數量。

15、如申請專利範圍第 13 項所述之功率轉變管理裝置，係設定複數個保險絲之狀態以提供至少一該可程式化時脈週期數量，其中該些保險絲係連接於該暫存器。

16、一種提供計算裝置之量測功率轉變方法，包含：
判斷該計算裝置是否要進入一低功率狀態；以及
依序停止複數個時脈信號電路，其中每一該時脈信號電路係分別耦接至一區段邏輯元件。

17、如申請專利範圍第 16 項所述之提供計算裝置之量測功率轉變方法，其中依序停止該些時脈信號電路之步驟包含：
經由分別耦接到每一該區段邏輯元件之每一該停止信號電路，在每經過一可程式化時脈週期數量後，便指示相對應之一該時脈信號電路停止運作。

18、如申請專利範圍第 17 項所述之提供計算裝置之量測功率轉變方法，其中指示停止的步驟包含：
針對每一該停止信號電路，分別建立該可程式化時脈週期數量。

19、如申請專利範圍第 17 項所述之提供計算裝置之量測

功率轉變方法，其中指示停止的步驟包含：

針對每一該停止信號電路，分別都建立相等的該可程式化時脈週期數量。

20、如申請專利範圍第 16 項所述之提供計算裝置之量測功率轉變方法，更包含：

提供一可程式化時脈週期數量，其用於停止該些時脈信號電路之間。

21、如申請專利範圍第 20 項所述之提供計算裝置之量測功率轉變方法，其中提供該可程式化時脈週期數量之步驟包含：

程式化該可程式化時脈週期數量至一暫存器。

22、如申請專利範圍第 21 項所述之提供計算裝置之量測功率轉變方法，其中提供該可程式化時脈週期數量之步驟包含：

執行一指令以完成該程式化。

23、如申請專利範圍第 21 項所述之提供計算裝置之量測功率轉變方法，其中提供該可程式化時脈週期數量之步驟包含：

讀取複數個保險絲狀態以完成該程式化。