



등록특허 10-2285125



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년08월04일  
(11) 등록번호 10-2285125  
(24) 등록일자 2021년07월28일

- (51) 국제특허분류(Int. Cl.)  
*H01L 43/08* (2006.01) *H01L 43/02* (2006.01)  
*H01L 43/12* (2006.01)
- (52) CPC특허분류  
*H01L 43/08* (2013.01)  
*H01L 43/02* (2013.01)
- (21) 출원번호 10-2017-0181971
- (22) 출원일자 2017년12월28일  
심사청구일자 2017년12월28일
- (65) 공개번호 10-2019-0016420
- (43) 공개일자 2019년02월18일
- (30) 우선권주장  
JP-P-2017-153003 2017년08월08일 일본(JP)

- (56) 선행기술조사문헌  
JP2006261592 A\*

(뒷면에 계속)  
전체 청구항 수 : 총 16 항

심사관 : 변성철

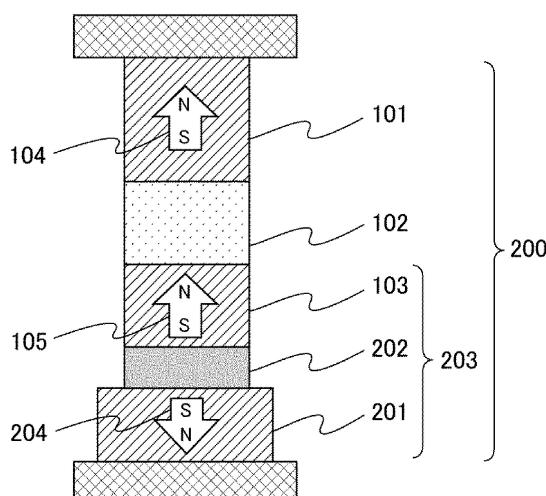
(54) 발명의 명칭 자기 터널 접합 소자, 그것을 사용한 자기 메모리 및 자기 터널 접합 소자의 제조 방법

**(57) 요 약**

본 발명은, 반평행 상태에 있어서의 기록 유지 시간의 감소를 억제하고, 또한 미세화에 적합한 자기 터널 접합 소자를 제공하는 것을 과제로 한다.

이러한 과제를 해결하기 위한 수단으로서, 자기 터널 접합 소자는, 제1 강자성층(101)과, 제1 강자성층(101)에 접하는 장벽층(102)과, 장벽층(102)에 접하고 제1 강자성층(101)과 대향하는 적층 폐리형 참조층(203)을 갖고, 적층 폐리형 참조층(203)은, 장벽층에 접하고 제1 자화 방향을 갖는 제2 강자성층(103)과, 제1 자화 방향과 반평행한 제2 자화 방향을 갖는 자성층(201)과, 제2 강자성층(103)과 자성층(201) 사이에 개재되는 제1 비자성층(202)을 갖고, 적층 폐리형 참조층의 자성층(201)의 면적은, 제1 강자성층(101) 및 제2 강자성층(103)의 면적보다 크게 된다.

**대 표 도 - 도2**



(52) CPC특허분류

*H01L 43/12* (2021.01)

(56) 선행기술조사문헌

JP2008283018 A\*

KR1020080109611 A\*

KR1020090067086 A\*

미국 특허공보 US9576636호(2017.02.21.) 1부.\*

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

제1 강자성층과,

상기 제1 강자성층에 접하는 장벽층과,

상기 제1 강자성층과 대향하고 상기 장벽층에 접하는 적층 페리형(ferric type) 참조층을 갖고,

상기 적층 페리형 참조층은, 자화 방향이 적층 방향에 대하여 평행인 제1 자화 방향을 갖고 상기 장벽층에 접하는 제2 강자성층과, 상기 제1 자화 방향과 반(反)평행한 제2 자화 방향을 갖는 자성층과, 상기 제2 강자성층과 상기 자성층 사이에 배치된 제1 비자성층을 갖고,

적층 방향에 대한 수직면에 의해 상기 자성층을 절단한 경우의 단면적은, 상기 제1 강자성층, 상기 장벽층 및 상기 제2 강자성층의 단면적보다 크고,

상기 자성층의 면적은, 상기 적층 페리 참조층으로부터 상기 제1 강자성층으로의 누설 자장의 절대값이 0이 되도록 하는 면적인 것을 특징으로 하는 자기 터널 접합 소자.

#### 청구항 2

제1항에 있어서,

상기 자성층은 제3 강자성층이고,

상기 제1 비자성층은, 상기 제2 강자성층과 상기 제3 강자성층의 사이에 배치되어 있는 것을 특징으로 하는 자기 터널 접합 소자.

#### 청구항 3

제2항에 있어서,

상기 제1 강자성층, 상기 장벽층 및 상기 제2 강자성층은 제1 원 기둥 형상을 이루고,

상기 제3 강자성층은 상기 제1 원 기둥을 적층 방향으로 투영한 영역보다 큰 단면(斷面)을 갖는 제2 원 기둥 형상을 이루고 있는 것을 특징으로 하는 자기 터널 접합 소자.

#### 청구항 4

제2항에 있어서,

상기 제1 강자성층은 제1 직경을 갖는 제1 원 기둥 형상을 이루고,

상기 제2 강자성층 및 자화 소실층은, 상기 제1 직경보다 큰 제2 직경을 갖는 제2 원 기둥 형상을 이루고,

상기 제2 강자성층은, 상기 제1 원 기둥을 적층 방향으로 투영한 영역과 동일한 크기의 단면을 갖고,

상기 제3 강자성층은, 상기 제2 원 기둥을 적층 방향으로 투영한 영역과 동일한 크기의 단면을 갖고,

상기 자화 소실층은, 상기 제2 강자성층이 상기 제1 비자성층에 접하는 면에 있어서 상기 제2 강자성층의 전체 둘레를 적어도 덮도록 형성되어 있는 것을 특징으로 하는 자기 터널 접합 소자.

#### 청구항 5

제1항에 있어서,

상기 자성층은 제1 자성 다층막층이고,

상기 적층 페리형 참조층은, 상기 제2 강자성층에 접하는 제2 비자성층과, 상기 제2 강자성층과 대향하고 제2

비자성층에 접하는 제2 자성 다층막층을 더 갖고,

상기 제1 비자성층은, 상기 제1 자성 다층막층과 상기 제2 자성 다층막층의 사이에 배치되어 있고,

상기 제2 자성 다층막층은, 상기 제1 자화 방향과 평행한 자화 방향을 갖는 것을 특징으로 하는 자기 터널 접합 소자.

## 청구항 6

제5항에 있어서,

상기 제1 강자성층, 상기 장벽층, 상기 제2 강자성층, 상기 제2 비자성층 및 상기 제2 자성 다층막층은 제1 원 기둥 형상을 이루고,

상기 제1 자성 다층막층은 상기 제1 원 기둥을 적층 방향으로 투영한 영역보다 큰 단면을 갖는 제2 원 기둥 형상을 이루고 있는 것을 특징으로 하는 자기 터널 접합 소자.

## 청구항 7

제5항에 있어서,

상기 제1 강자성층, 상기 장벽층, 상기 제2 강자성층은 제1 직경을 갖는 제1 원 기둥 형상을 이루고,

상기 제2 자성 다층막층 및 자화 소실층은, 상기 제1 직경보다 큰 제2 직경을 갖는 제2 원 기둥 형상을 이루고, 상기 제1 자성 다층막층은, 상기 제2 원 기둥을 적층 방향으로 투영한 영역과 동일한 크기의 단면을 갖고,

상기 제2 자성 다층막층은, 상기 제1 원 기둥을 적층 방향으로 투영한 영역과 동일한 크기의 단면을 갖고,

상기 자화 소실층은, 상기 제2 자성 다층막층이 상기 제1 비자성층에 접하는 면에 있어서 상기 제2 자성 다층막층의 전체 둘레를 적어도 덮도록 형성되어 있는 것을 특징으로 하는 자기 터널 접합 소자.

## 청구항 8

제1 방향으로 연장되는 복수의 비트선과,

상기 제1 방향으로 연장되는 복수의 소스선과

상기 제1 방향과 교차하는 제2 방향으로 연장되는 복수의 워드선과,

상기 비트선, 상기 소스선 및 상기 워드선의 교점에 배치되고, 제1항 내지 제7항 중 어느 한 항에 기재된 자기 터널 접합 소자에 소스·드레인 경로가 직렬 접속되는 선택 트랜지스터와 상기 자기 터널 접합 소자를 갖는 메모리 셀을 갖고,

상기 자기 터널 접합 소자 및 상기 소스·드레인 경로는, 상기 비트선과 상기 소스선 사이에 접속되고,

상기 선택 트랜지스터의 게이트는 상기 워드선에 접속되어 있는 것을 특징으로 하는 자기 메모리.

## 청구항 9

자기 터널 접합 소자의 제조 방법에 있어서,

상층으로부터 순서대로 제1 강자성층, 장벽층, 제2 강자성층, 제1 비자성층 및 제3 강자성층을 갖고 하드 마스크층이 상기 제1 강자성층의 상방에 형성된 적층막을 형성하고,

상기 하드 마스크층을 원 기둥 형상으로 패터닝하고,

상기 패터닝된 하드 마스크층을 마스크로 해서 상기 적층막을 상기 제3 강자성층 표면 또는 상기 제1 비자성층의 도중까지 플라스마 에칭하고,

상기 패터닝된 상기 적층막에 측벽 퇴적층을 화학기상성장에 의해 적층하고,

상기 패터닝된 하드 마스크층 및 상기 측벽 퇴적층을 마스크로 해서 상기 제3 강자성층을 플라스마 에칭하고,

상기 제2 강자성층의 재료 및 막두께는, 자화 방향이 적층 방향에 대하여 평행으로 되는 재료 및 막두께로 되고,

상기 제1 비자성층의 재료 및 막두께는, 상기 제3 강자성층의 자화 방향이 상기 제2 강자성층의 자화 방향과 반평행으로 되는 재료 및 막두께로 되고,

상기 패터닝된 상기 제2 강자성층, 제1 비자성층 및 제3 강자성층에 의해 상기 자기 터널 접합 소자의 적층 폐리형 참조층이 구성되고,

상기 제3 강자성층의 면적은, 상기 적층 폐리 참조층으로부터 상기 제1 강자성층으로의 누설 자장의 절대값이 0이 되도록 하는 면적인 것을 특징으로 하는 자기 터널 접합 소자의 제조 방법.

## 청구항 10

자기 터널 접합 소자의 제조 방법에 있어서,

상층으로부터 순서대로 제1 강자성층, 장벽층, 제2 강자성층, 제1 비자성층 및 제3 강자성층을 갖고 하드 마스크층이 상기 제1 강자성층의 상방에 형성된 적층막을 형성하고,

상기 하드 마스크층을 원 기둥 형상으로 패터닝하고,

상기 패터닝된 하드 마스크층을 마스크로 해서 상기 적층막을 상기 제2 강자성층 표면 또는 도중까지 플라스마 에칭하고,

상기 패터닝된 하드 마스크층보다 외측 영역의 자화를 소실시키는 것에 의해 자화 소실층을 상기 제2 강자성층에 형성하고,

패터닝된 상기 적층막에 측벽 퇴적층을 화학기상성장에 의해 적층하고,

상기 패터닝된 하드 마스크층 및 상기 측벽 퇴적층을 마스크로 해서 상기 자화 소실층, 상기 제1 비자성층 및 상기 제3 강자성층을 플라스마 에칭하고,

상기 제2 강자성층의 재료 및 막두께는, 자화 방향이 적층 방향에 대하여 평행으로 되는 재료 및 막두께로 되고,

상기 제1 비자성층의 재료 및 막두께는, 상기 제3 강자성층의 자화 방향이 상기 제2 강자성층의 자화 방향과 반평행으로 되는 재료 및 막두께로 되고,

상기 패터닝된 제2 강자성층, 제1 비자성층 및 제3 강자성층에 의해 상기 자기 터널 접합 소자의 적층 폐리형 참조층이 구성되고,

상기 제3 강자성층의 면적은, 상기 적층 폐리 참조층으로부터 상기 제1 강자성층으로의 누설 자장의 절대값이 0이 되도록 하는 면적인 것을 특징으로 하는 자기 터널 접합 소자의 제조 방법.

## 청구항 11

자기 터널 접합 소자의 제조 방법에 있어서,

상층으로부터 순서대로 제1 강자성층, 장벽층, 제2 강자성층, 제2 비자성층, 제2 자성 다층막층, 제1 비자성층 및 제1 자성 다층막층을 갖고 하드 마스크층이 상기 제1 강자성층의 상방에 형성된 적층막을 형성하고,

상기 하드 마스크층을 원 기둥 형상으로 패터닝하고,

상기 패터닝된 하드 마스크층을 마스크로 해서 상기 적층막을 상기 제1 자성 다층막층 표면 또는 상기 제1 비자성층의 도중까지 플라스마 에칭하고,

상기 패터닝된 적층막에 측벽 퇴적층을 화학기상성장에 의해 적층하고,

상기 패터닝된 하드 마스크층 및 상기 측벽 퇴적층을 마스크로 해서 상기 제1 자성 다층막층을 플라스마 에칭하고,

상기 제1 비자성층의 재료 및 막두께는, 상기 제1 자성 다층막층의 자화 방향이 상기 제2 자성 다층막층의 자화 방향과 반평행으로 되는 재료 및 막두께로 되고,

상기 제2 비자성층의 재료 및 막두께는, 상기 제2 강자성층의 자화 방향이 상기 제2 자성 다층막층의 자화 방향과 평행으로 되는 재료 및 막두께로 되고,

상기 패터닝된 제2 강자성층, 제2 비자성층, 제2 자성 다층막층, 제1 비자성층 및 제1 자성 다층막층에 의해 상기 자기 터널 접합 소자의 적층 폐리형 참조층이 구성되는 것을 특징으로 하는 자기 터널 접합 소자의 제조 방법.

### 청구항 12

자기 터널 접합 소자의 제조 방법에 있어서,

상층으로부터 순서대로 제1 강자성층, 장벽층, 제2 강자성층, 제2 비자성층, 제2 자성 다층막층, 제1 비자성층 및 제1 자성 다층막층을 갖고 하드 마스크층이 상기 제1 강자성층의 상방에 형성된 적층막을 형성하고,

상기 하드 마스크층을 원 기둥 형상으로 패터닝하고,

상기 패터닝된 하드 마스크층을 마스크로 해서 상기 적층막을 상기 제2 자성 다층막층 표면 또는 도중까지 플라스마 에칭하고,

상기 패터닝된 하드 마스크층보다 외측 영역의 자화를 소실시키는 것에 의해 자화 소실층을 상기 제2 자성 다층막층에 형성하고,

상기 패터닝된 적층막에 측벽 퇴적층을 화학기상성장에 의해 적층하고,

상기 패터닝된 하드 마스크층 및 상기 측벽 퇴적층을 마스크로 해서 상기 자화 소실층, 상기 제1 비자성층 및 상기 제1 자성 다층막층을 플라스마 에칭하고,

상기 제1 비자성층의 재료 및 막두께는, 상기 제1 자성 다층막층의 자화 방향이 상기 제2 자성 다층막층의 자화 방향과 반평행으로 되는 재료 및 막두께로 되고,

상기 제2 비자성층의 재료 및 막두께는, 상기 제2 강자성층의 자화 방향이 상기 제2 자성 다층막층의 자화 방향과 평행으로 되는 재료 및 막두께로 되고,

상기 패터닝된 제2 강자성층, 제2 비자성층, 제2 자성 다층막층, 제1 비자성층 및 제1 자성 다층막층에 의해 상기 자기 터널 접합 소자의 적층 폐리형 참조층이 구성되는 것을 특징으로 하는 자기 터널 접합 소자의 제조 방법.

### 청구항 13

제9항 내지 제12항 중 어느 한 항에 있어서,

상기 측벽 퇴적층은, 실리콘 산화물 또는 실리콘 질화물인 것을 특징으로 하는 자기 터널 접합 소자의 제조 방법.

### 청구항 14

제9항 내지 제12항 중 어느 한 항에 있어서,

금속층을 상기 측벽 퇴적층에 적층하여 상기 패터닝된 하드 마스크층, 상기 측벽 퇴적층 및 상기 금속층을 마스크로 해서 플라스마 에칭을 행하는 것을 특징으로 하는 자기 터널 접합 소자의 제조 방법.

### 청구항 15

제14항에 있어서,

상기 패터닝된 하드 마스크층, 상기 측벽 퇴적층 및 상기 금속층을 마스크로 해서 플라스마 에칭을 행한 후에, 상기 금속층을 제거하는 것을 특징으로 하는 자기 터널 접합 소자의 제조 방법.

### 청구항 16

제10항 또는 제12항에 있어서,

산화 또는 이온 주입에 의해 상기 자화 소실층을 형성하는 것을 특징으로 하는 자기 터널 접합 소자의 제조 방법.

## 발명의 설명

### 기술 분야

[0001]

본 발명은, 자기 메모리(MRAM : Magnetoresistive Random Access Memory) 및 MRAM의 메모리 셀을 구성하는 자기 터널 접합(MTJ : Magnetic Tunnel Junction) 소자에 관한, 고집적화와 안정성을 양립시키는 구조 및 그 제조 방법에 관한 것이다.

### 배경 기술

[0002]

MRAM는, MTJ 소자가 메모리 셀을 구성하는 저항 변화형의 불휘발 메모리이다. MTJ 소자의 기본 구조는, 제1 강자성층, 장벽층, 제2 강자성층을 적층한 3층 구조이다. 통상, 제1 강자성층, 제2 강자성층 중 어느 한쪽을 자화가 가변인 기록층으로 하고, 다른 쪽을 자화가 반전하기 어려운 참조층으로 한다. MTJ 소자의 특징은, 2개의 강자성층의 자화의 상태 각도에 따라 소자 저항이 변화한다는 점이다. 제1 강자성층의 자화 및 제2 강자성층의 자화가 서로 평행이 될 때(평행 상태) MTJ 소자 저항은 낮은 상태로 되고, 반평행이 될 때(반평행 상태) MTJ 소자는 고저항으로 된다. MRAM에서는, 이 2개의 저항 상태를 비트 정보에 대응시킨다. 이 때문에, 전원을 차단해도 자화 방향을 계속 유지하는 것이 가능하기 때문에 불휘발성을 갖는다. 또한, MTJ 소자에 전류를 인가함으로써 발생하는 스픈 트랜스퍼 토크에 의해, 기록층의 자화 반전을 유기(誘起)하여, 정보를 써 넣는 방식이 주류이다.

[0003]

종래, MTJ 소자의 자화 방향은, 막면에 대해 수평 방향으로 되는 자성체를, 제1 강자성층, 제2 강자성층에 적용하는 것이 일반적이었다. 그러나, MTJ 소자의 자화 방향은, 막면에 대해 수직인 쪽이 미세화에 알맞다. 그 때문에, 큰 저항 변화를 나타내고, 또한 수직 자화를 실현하는 재료 기술이 개발되어 오고 있다. 특허문헌 1 등이 그 예이다.

### 선행기술문헌

#### 특허문헌

[0004]

(특허문헌 0001) 일본국 특개2011-258596호 공보

(특허문헌 0002) 일본국 특개2012-248688호 공보

(특허문헌 0003) 일본국 특개2014-179639호 공보

### 발명의 내용

#### 해결하려는 과제

[0005]

막면에 대해 수직 방향의 자화를 갖는 MTJ 소자(수직 자화 MTJ 소자)는, 평행 상태와 반평행 상태에서 기록층의 자화의 안정성에 차가 있다. 이 이유를, 도 1a, b에 나타낸 3층 구조를 갖는 기본적인 MTJ 소자(100)를 예로 설명한다. MTJ 소자(100)는, 제1 강자성층(101), 장벽층(102), 제2 강자성층(103)이 적층되어 구성되어 있다. 도 1a는, 제1 강자성층(101)의 자화(104)와 제2 강자성층(103)의 자화(105)가 서로 평행한 평행 상태를 나타내고 있다. 도 1b는, 제1 강자성층(101)의 자화(104)와 제2 강자성층(103)의 자화(105)가 서로 반평행한 반평행 상태를 나타내고 있다.

[0006]

도 1a에 나타내는 평행 상태에서는, 장벽층(102)을 통해 서로 다른 자극(자화(104)의 S극과 자화(105)의 N극)이 접근해 있기 때문에, 자화(104)와 자화(105) 사이에는 인력이 작용한다. 한편, 도 1b에 나타내는 반평행 상태에서는, 장벽층(102)을 통해 동일한 자극(자화(104)의 N극과 자화(105)의 N극)이 접근해 있기 때문에, 자화(104)와 자화(105) 사이에는 척력이 작용한다. 따라서, 평행 상태와 비교해서, 반평행 상태는 자극끼리가 반발하기 때문에 불안정으로 되고, 자화가 반전해서 반평행 상태를 유지할 수 없게 될 확률이 증가한다. 이 결과, 반평행 상태에서는 보증되는 기록 유지 시간이 감소된다.

[0007]

이 과제에 대해, 특허문헌 2에서는, 참조층의 면적을 기록층의 면적보다 크게 함으로써, 제1 강자성층(101)(기록층)에 걸리는 제2 강자성층(103)(참조층)으로부터의 누설 자장을 저감한다. 이에 의해 MTJ 소자는, 장벽층

(102)의 상측 계면 또는 하측 계면에서 단차를 마련하는 구조로 된다. 이 구조에서는, 기록층과 비교해서 참조층의 면적이 증대할수록, 기록 유지 시간의 감소를 억제할 수 있으므로, 큰 기록 유지 효과를 얻기 위해서는 참조층의 면적을 거대하게 하지 않으면 안 된다. 이 때문에, MTJ 소자의 미세화를 저해할 우려가 있다.

[0008] 특허문헌 3은, 특허문헌 2와 마찬가지로 참조층의 면적을 기록층의 면적보다 크게 하고, 또한 참조층을 적층 폐리형(ferri type) 구조로 한 MTJ 소자를 개시한다. 적층 폐리형 구조는 기본적으로 강자성층/비자성층/강자성층의 3층 구조가 적용되기 때문에, 참조층에 적층 폐리형 구조를 채용할 경우는, 제2 강자성층(103)(참조층) 대신에, 강자성층/비자성층/강자성층의 3층을 구비한 구조를 채용한다. 이 때 2층의 강자성층의 자화는 서로 반평행하게 고정되도록 비자성층의 재질과 막두께가 선택된다. 서로 반평행한 2층의 강자성층으로부터의 누설 자계가 기록층에 있어서 서로 상쇄되도록, 각 강자성층의 포화 자화, 평면 사이즈, 두께를 설정한다. 그러나, 이 구조에서는 각각의 막두께를 원자층 레벨로 정밀하게 제어할 필요가 있어, 기록층에 인가되는 누설 자장을 저감하는 것은 곤란하다.

### 과제의 해결 수단

[0009] 본원에 있어서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 다음과 같다. 일 실시형태에 있어서의 MTJ 소자는, 참조층으로서 적층 폐리형 구조를 구비하고, 또한 적층 폐리 구조를 구성하는 2층의 자성층의 면적이 상이하다.

### 발명의 효과

[0010] 반평행 상태에 있어서의 기록 유지 시간의 감소를 억제하고, 또한 미세화에 적합한 MTJ 소자를 제공한다.

### 도면의 간단한 설명

[0011] 도 1a는 수직 자화 MTJ 소자의 자화 배치(평행 상태)를 설명하는 도면.

도 1b는 수직 자화 MTJ 소자의 자화 배치(반평행 상태)를 설명하는 도면.

도 2는 수직 자화 MTJ 소자(제1 구조 예)의 단면도.

도 3은 참조층으로부터 기록층에 인가되는 누설 자장의 크기를 나타내는 그래프.

도 4는 수직 자화 MTJ 소자(제2 구조 예)의 단면도.

도 5a는 수직 자화 MTJ 소자의 프로세스 플로우.

도 5b는 수직 자화 MTJ 소자의 프로세스 플로우.

도 5c는 수직 자화 MTJ 소자의 프로세스 플로우.

도 5d는 수직 자화 MTJ 소자의 프로세스 플로우.

도 5e는 수직 자화 MTJ 소자의 프로세스 플로우.

도 5f는 수직 자화 MTJ 소자의 프로세스 플로우.

도 6a는 수직 자화 MTJ 소자의 프로세스 플로우.

도 6b는 수직 자화 MTJ 소자의 프로세스 플로우.

도 6c는 수직 자화 MTJ 소자의 프로세스 플로우.

도 7a는 수직 자화 MTJ 소자의 프로세스 플로우.

도 7b는 수직 자화 MTJ 소자의 프로세스 플로우.

도 7c는 수직 자화 MTJ 소자의 프로세스 플로우.

도 7d는 수직 자화 MTJ 소자의 프로세스 플로우.

도 7e는 수직 자화 MTJ 소자의 프로세스 플로우.

도 8은 MRAM의 1비트의 조감도.

도 9는 수직 자화 MTJ 소자(제3 구조 예)의 단면도.

도 10은 수직 자화 MTJ 소자(제4 구조 예)의 단면도.

도 11은 MRAM의 메모리 셀 어레이.

### 발명을 실시하기 위한 구체적인 내용

[0012]

이하의 실시형태에 있어서는 편의상 그 필요가 있을 때는, 복수의 섹션 또는 실시형태로 분할해서 설명하지만, 특별히 명시한 경우를 제외하고, 그들은 서로 무관계한 것이 아니고, 한쪽은 다른 쪽의 일부 또는 전부의 변형 예, 상세, 보충 설명 등의 관계에 있다.

[0013]

또한, 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)으로 언급할 경우, 특별히 명시한 경우 및 원리적으로 명확히 특정 수에 한정될 경우 등을 제외하고, 그 특정 수에 한정되는 것은 아니고, 특정 수 이상이어도 이하여도 된다.

[0014]

또한, 그 구성 요소(요소 스텝 등도 포함함)는, 특별히 명시한 경우 및 원리적으로 명확히 필수라고 생각될 경우 등을 제외하고, 반드시 필수인 것은 아니다.

[0015]

마찬가지로, 구성 요소 등의 형상, 위치 관계 등으로 언급할 때는 특별히 명시한 경우 및 원리적으로 명확히 그렇지 않다고 생각될 경우 등을 제외하고, 실질적으로 그 형상 등에 근사 또는 유사한 것 등을 포함하는 것으로 한다. 이것은, 수치에 대해서도 마찬가지이다.

[0016]

또한, 실시형태를 설명하기 위한 전체 도면에 있어서, 동일한 부재에는 원칙으로서 동일한 부호를 부여하고, 그 반복 설명은 생략한다. 또한, 도면을 알기 쉽게 하기 위해, 평면도여도 해칭을 부여할 경우가 있고, 또한 단면도여도 해칭을 생략할 경우가 있다.

[0017]

[실시예 1]

[0018]

실시형태에 따른 MTJ 소자의 구조(제1 구조 예)를, 도 2를 사용해서 설명한다. 도 2는, 실시형태에 따른 MTJ 소자의 일례를 나타내는 단면도이다. MTJ 소자(200)는, 제3 강자성층(201), 제1 비자성층(202), 제2 강자성층(103), 장벽층(102), 제1 강자성층(101)을 아래로부터 순서대로 적층한 적층막을 가공하여 제작된다. 제3 강자성층(201), 제1 비자성층(202), 및 제2 강자성층(103)은 적층 폐리형 참조층(203)을 구성한다. 이 때문에, 제3 강자성층(201)의 자화(204) 및 제2 강자성층(103)의 자화(105)가 서로 반평행하게 결합하도록, 제1 비자성층(202)의 재료와 막두께가 결정되어 있다. 제1 강자성층(101)은 기록층으로서 동작한다.

[0019]

MTJ 소자는 원 기둥 등의 기둥 형상으로 가공되고, 적층 폐리형 참조층(203)을 구성하는 제3 강자성층(201)의 면적과 제2 강자성층(103)의 면적이 서로 다르게 가공되어 있다. 도 2의 예에서는, 제1 강자성층(101), 장벽층(102) 및 제2 강자성층(103)이 제1 원 기둥 형상을 이루고, 제3 강자성층(201)은 제1 원 기둥을 적층 방향으로 투영한 영역보다 큰 단면을 갖는 제2 원 기둥 형상을 이루고 있다. 이에 의해, 제3 강자성층(201)과 제2 강자성층(103) 사이에서 단차가 있는 구조로 된다. 또한, 적층 폐리형 참조층(203)의 단면을 테이퍼 형상으로 가공하여, 제3 강자성층(201)의 면적과 제2 강자성층(103)의 면적을 불연속으로 함으로써도 효과는 얻어지지만, 면적이 서로 다른 기둥 형상의 제3 강자성층(201)과 기둥 형상의 제2 강자성층(103)을 형성하는(단차를 마련하는) 쪽이 성능을 최적화하기 쉬워, 바람직하다.

[0020]

적층 폐리형 참조층(203)은 자화(204)와 자화(105)가 반평행하게 결합함에 의해, 참조층으로부터 발생하는 누설 자장을 억제하는 효과를 갖고 있다. 그러나, 참조층(203)으로부터 기록층(101)으로 나오는 누설 자장은, 참조층의 예지 부근이 되면 급격하게 커진다. 이것은, 예지 부근의 반자장이 작은 것이 원인이다. 그래서, 제3 강자성층(201)의 누설 자장이 제1 강자성층(101)(기록층)에 영향을 주지 않는 정도로, 제3 강자성층(201)의 면적을 크게 한다. 누설 자장이 커지는 부분(예지 부근)은, 일반적으로 예지로부터 대략 2nm 내지 5nm의 범위라 생각된다.

[0021]

도 3은, 도 2에 나타내는 MTJ 소자에 있어서의 적층 폐리형 참조층(203)으로부터 기록층(제1 강자성층(101))에 인가되는 누설 자장의 크기를 나타내고 있다. 기록층(제1 강자성층(101))의 직경을 20nm로 하고, 적층 폐리형 참조층(203)을 구성하는 제3 강자성층(201)의 직경을 20, 30, 40, 50nm의 4종류로 누설 자장의 크기를 시뮬레이션한 것이다. MTJ 소자의 기록층은, 도 3의 횡축에 있어서, 20nm 내지 40nm의 범위에 위치하고, 제3 강자성층은, 도 3의 횡축에 있어서, 각각 20nm 내지 40nm, 15nm 내지 45nm, 10nm 내지 50nm, 5nm 내지 55nm의 범위에 위치한다. 종축은 각각의 경우에 있어서, 그 위치에 있어서 기록층에 걸리는 누설 자장을 나타내고 있다. 기록

층이 존재하는 횡축 20nm 내지 40nm의 범위의 누설 자장의 절대값이 제로에 가까울수록, 적층 페리형 참조층으로서 우수한 특성이라 할 수 있다.

[0022] 도 3에서, 제3 강자성층(201)의 직경을 30nm로 했을 경우(실선의 파형)에, 횡축 20nm 내지 40nm의 범위의 누설 자장의 절대값을 제로에 가깝게 할 수 있음을 알 수 있다. 제3 강자성층(201)의 직경을 30nm로 했을 경우와 비교하면, 제3 강자성층(201)의 직경을 20nm로 했을 경우에는, 기록층에 대해 누설 자장은 마이너스 방향으로 크게 인가되어 있다. 또한, 제3 강자성층(201)의 직경을 40nm, 50nm로 크게 했을 경우, 기록층에 대해 인가되는 누설 자장은 플러스 방향으로 서서히 커지고 있다. 이상으로부터, 제3 강자성층(201)의 직경을 30nm로 했을 때에 가장 특성이 우수하다고 할 수 있다.

[0023] 이렇게 MTJ 소자(200)는, 선행 기술 문헌에 개시되는 MTJ 소자와는 분명한 차이가 있다. 특허문현 2, 특허문현 3에 개시되어 있는 MTJ 소자는, 단면 구조에 있어서 장벽층의 곳에 단차가 있기 때문에, 장벽층보다 아래의 참조층이 중대할 수록, 기록층에 인가되는 누설 자장이 작아지는 구조이다. 이에 대해, MTJ 소자(200)와 같이 적층 페리형 참조층(203)을 구성하는 2개의 강자성층간에서 단차를 마련했을 경우에는, 제3 강자성층(201)의 면적에는 기록층의 면적과의 관계에서 최적값이 있음을 알 수 있다. 이 때문에, 메모리 셀의 풋 프린트를 그만큼 크게 할 필요가 없어, 미세화에 적합한 구조라 할 수 있다.

[0024] 장벽층(102)은, MTJ 소자의 평행 상태와 반평행 상태에 있어서의 저항 변화가 커지는 재료이면 되고, 산화물이 자주 사용된다. 특히, MgO가 큰 저항 변화를 나타내는 것이 알려져 있기 때문에, MgO를 사용하는 것이 바람직하다. 또한, 장벽층(102)에 접하는 제1 강자성층(101) 및 제2 강자성층(103)에는, 3d 천이 금속 원소를 적어도 하나 포함하는 자성 재료가 사용된다. 특히, MgO와 조합함으로써 우수한 특성을 나타내는 CoFeB를 적용할 경우가 많다. 본 실시형태에 있어서의 MTJ 소자(200)의 경우는, 제3 강자성층(201)도 마찬가지로 CoFeB를 적용하지만, 이것에 한하지 않고 3d 천이 금속 원소를 적어도 하나 포함하는 자성 재료를 사용할 수 있다. 제1 비자성층(202)의 재료에는, 제3 강자성층(201)의 자화(204) 및 제2 강자성층(103)의 자화(105) 사이의 강한 반평행 결합을 얻기 위해 Ru를 사용하는 것이 바람직하다.

[0025] 상술과 같이 MgO와 접하는 면에는 CoFeB를 사용하는 것이 바람직하다. 그러나, 그 이외의 자성층은 CoFeB가 아닌 쪽이 바람직한 경우가 있다. 특히, 참조층의 자기 이방성을 크게 하기 위해, Co/Pt 다층막 등이 사용되는 경우가 있다. 그 경우의 MTJ 소자(400)의 구조(제2 구조 예)를 도 4에 나타낸다. 제1 자성 다층막층(401), 제1 비자성층(402), 제2 자성 다층막층(403), 제2 비자성층(404), 제2 강자성층(103), 장벽층(102), 및 제1 강자성층(101)을 아래로부터 순서대로 적층한 적층막을 가공하여 제작된다. 제1 자성 다층막층(401), 제1 비자성층(402), 제2 자성 다층막층(403), 제2 비자성층(404), 및 제2 강자성층(103)은 적층 페리형 참조층(405)을 구성한다. 제1 자성 다층막층(401)의 자화(406) 및 제2 자성 다층막층(403)의 자화(407)가 서로 반평행하게 결합하도록, 제1 비자성층(402)의 재료와 막두께가 결정된다. 또한, 제2 자성 다층막층(403)의 자화(407) 및 제2 강자성층(103)의 자화(105)가 서로 평행하게 결합하도록, 제2 비자성층(404)의 재료와 막두께가 결정된다. 제1 강자성층(101)은 기록층으로서 동작한다.

[0026] 도 4의 예에서는, 제1 강자성층(101), 장벽층(102), 제2 강자성층(103), 제2 비자성층(404) 및 제2 자성 다층막층(403)은 제1 원 기둥 형상을 이루고, 제1 자성 다층막층(401)은 제1 원 기둥을 적층 방향으로 투영한 영역보다 큰 단면을 갖는 제2 원 기둥 형상을 이루고 있다. 이에 의해, 제1 자성 다층막층(401)과 제2 자성 다층막층(403) 사이에서 단차가 있는 구조로 된다.

[0027] 제1 자성 다층막층(401)에는 Co/Pt, Co/Pd, CoFe/Pt 등이 재료로서 이용 가능하다. 또한, 자성 다층막이 아닌 TbFeCo 등의 합금도 이용할 수 있는 가능성이 있다. 제1 비자성층(402)의 재료는, 제1 자성 다층막층(401)의 자화(406)와 제2 자성 다층막층(403)의 자화(407)가 반평행 결합하도록 Ru가 선택될 경우가 많다. 막두께는 0.3nm정도이다. 또한, 제2 비자성층(404)의 재료는, 제2 자성 다층막층(403)의 자화(407)와 제2 강자성층(103)의 자화(105)가 평행 결합하도록 Ta가 선택될 경우가 많다. 막두께는 0.5nm정도이다.

[0028] 제2 구조 예의 이점은, 참조층의 자화 방향의 안정성에 있다. CoFeB와 비교해서 Co/Pt 다층막으로 대표되는 수직 자화의 자기 다층막 쪽이, 일반적으로 자기 이방성이 크고, 자화 방향이 안정화되기 쉽기 때문이다. 이것은 결과적으로 MRAM의 오동작 억제에 기여한다.

[0029] 다음으로, 도 2에 나타낸 제1 구조 예의 MTJ 소자를 제작하는 프로세스를 설명한다. 도 5a는, MTJ 소자를 형성하는 하부 전극 상에, 제3 강자성층(201), 제1 비자성층(202), 제2 강자성층(103), 장벽층(102), 제1 강자성층(101)을 아래로부터 순서대로 적층하고, 또한 가공을 위한 하드 마스크층(701)을 적층한 적층막(700)을 나타내

고 있다. 제3 강자성층(201)의 막두께는 1nm, 제1 비자성층(202)의 막두께는 0.5nm, 제2 강자성층(103)의 막두께는 1nm, 장벽층(102)의 막두께는 1nm, 제1 강자성층(101)의 막두께는 1.5nm, 하드 마스크층(701)의 막두께는 150nm로 한다. 하드 마스크층(701)으로서는 1층의 Ta를 사용하는 예를 나타내고 있지만, 산화물 등의 다른 재료와 조합한 복수 층의 구조여도 된다. MTJ 소자의 필터 형성 위치에, 리소그래피를 사용해서 레지스트 마스크를 형성하고, 하드 마스크층(701)에 패턴을 전사한다. 도 5b는, 레지스트 패턴을 하드 마스크층(701)에 전사하여, 하드 마스크층(701)을 직경 20nm의 원 기둥 형상으로 한 후의 단면 구조를 나타내고 있다.

[0030] 다음으로 플라스마 에칭을 사용하고, 하드 마스크층(701)을 마스크로 해서, 제1 강자성층(101), 장벽층(102), 제2 강자성층(103), 제1 비자성층(202)을 가공한다. 도 5c는 플라스마 에칭에 의한 가공을 실시한 후의 단면 형상이다. 또한, 도 5c에서는, 플라스마 에칭은 제3 강자성층(201)의 표면에서 정지한 바와 같이 나타내고 있지만, 실제로는, 제1 비자성층(202)의 도중(제3 강자성층(201)의 표면에 도달하기 전)에서 정지해도 된다. 제3 강자성층(201)과 제1 강자성층(101) 사이에 단차가 형성되어 있으면 되기 때문이다. 또한, 플라스마 에칭의 작용에 의해, 하드 마스크층(701)의 막두께도 당초의 두께에서 얇아진다(~50nm).

[0031] 다음으로, 화학기상성장(CVD : Chemical Vapor Deposition)을 사용해서 측벽 퇴적층(702)을 칸포밀하게 성막했을 때의 단면도를 도 5d에 나타낸다. 이 공정 직전의 MTJ 소자의 상태는, 강자성층 및 장벽층이 노출되어 있으므로, 대기에 노출시키지 않고 진공 중에서 CVD 성막 장치까지 반송하는 것이 바람직하다. 측벽 퇴적층(702)에는 SiN을 사용하지만, SiO 등의 절연성을 갖는 다른 재료여도 적용하는 것이 가능하다. 이 측벽 퇴적층(702)은, 제3 강자성층(201)을 플라스마 에칭할 때의 마스크가 되는 역할이 있다. 제작하는 MTJ 소자에 대해, 제1 비자성층(202), 제2 강자성층(103), 장벽층(102), 제1 강자성층(101)은 직경 20nm의 원 기둥 형상으로 하고, 제3 강자성층(201)은 직경 30nm의 원 기둥 형상으로 한다. 이 때문에, 제1 비자성층(202), 제2 강자성층(103), 장벽층(102) 및 제1 강자성층(101)의 측벽에 퇴적하는 측벽 퇴적층(702)의 막두께는 5nm이면 된다. 5nm의 막두께의 측벽 퇴적층(702)과 원래의 20nm의 하드 마스크층(701)을 마스크로 해서 플라스마 에칭함으로써, 5nm+20nm+5nm=30nm 직경의 원 기둥 형상인 제3 강자성층(201)이 얻어진다. 플라스마 에칭으로 제3 강자성층(201)을 가공한 후의 단면 형상을 도 5e에 나타낸다.

[0032] 그 후, 또한 충간 절연막(703)을 CVD에 의해 퇴적하고, 화학기계연마(CMP : Chemical Mechanical Polishing)나 에칭 백 처리에 의해 하드 마스크층(701)의 상부를 콘택트 개구하고, 상부 전극(704)을 제작하여 프로세스가 완료된다. 프로세스 완료 후의 단면 형상을 도 5f에 나타낸다. 이 프로세스의 이점은, 측벽에 적층한 충간 절연막을 마스크로 한 셀프 얼라인먼트의 프로세스이기 때문에, 마스크를 추가할 필요가 없어 비용이 억제된다는 점이다. 또한, 각 층의 막두께나 면적의 차 등이 셀프 얼라인먼트의 프로세스가 적용되기 쉽다는 점도 유리하다.

[0033] 도 5a~도 5f에서 설명한 프로세스(제1 프로세스)에서는, 마스크로 하는 측벽 퇴적층(702)으로서 1층의 SiN층을 예시했다. 그러나, 플라스마 에칭할 때의, 피 에칭 재료인 자성체와의 선택비를 고려했을 경우, 에칭 마스크로서 Ta로 대표되는 금속 마스크를 사용하는 것이 바람직하다. 그래서 Ta를 측벽에 적층하여 마스크로 해서 이용하는 프로세스 예(제2 프로세스)를 이하에 설명한다.

[0034] 도 5a~도 5c까지는 동일한 프로세스 플로우이므로, 설명을 생략한다. 이 후, 도 6a에 나타내는 바와 같이, 2nm 막두께의 측벽 퇴적층(801) 및 3nm 막두께의 측벽 금속(Ta) 마스크층(802)을 이 순서로 적층한다. 그 후, 이들 측벽 퇴적층(801) 및 측벽 금속 마스크층(802)을 마스크로 해서 플라스마 에칭으로 제3 강자성층(201)을 가공한다. 플라스마 에칭에 의한 가공 후의 단면 형상을 도 6b에 나타낸다. 또한 충간 절연막(803)을 CVD에 의해 퇴적하고, CMP나 에칭 백 처리에 의해 하드 마스크층(701)의 상부를 콘택트 개구하고, 상부 전극(804)을 제작하여 프로세스가 완료된다. 프로세스 완료 후의 단면 형상을 도 6c에 나타낸다.

[0035] 자성막과의 선택비가 큰 측벽 금속 마스크를 사용함으로써, 가공 중의 마스크의 후퇴를 최소한으로 억제할 수 있어, 가공 후의 형상에 있어서의 측벽 에칭 각도가 90도에 보다 가까워진다. 또한, 측벽 금속 마스크층(802)은, 제3 강자성층(201)을 가공한 후에 제거해도 된다. 측벽 금속 마스크층(802)으로서 Ta를 사용했을 경우는, 도 6b의 프로세스 후, 측벽 금속 마스크층(802)의 Ta를 산화 후에, 옥살산에 의한 웨트 에칭으로 제거 가능하다. 측벽 금속 마스크층(802)을 남겨 두면, 측벽 금속 마스크층(802)이 쇼트 패스로서 MTJ 소자의 단락 원인이 될 가능성성이 있기 때문에, 측벽 금속 마스크층(802)을 제거함에 의해 MTJ 소자에서 단락이 생길 우려를 저감할 수 있다.

[0036] 제1, 제2 프로세스는, 도 4에 나타낸 MTJ 소자의 제작에도 적용할 수 있다. 이 경우는, 소자의 구조에 맞춰, 하부 전극 상에, 제1 자성 다층막층, 제1 비자성층, 제2 자성 다층막층, 제2 비자성층, 제2 강자성층, 장벽층, 제1 강자성층을 아래로부터 순서대로 적층하고, 또한 가공을 위한 하드 마스크층을 적층해서 적층막으로 한다.

그 후의 가공은, 어느 쪽의 프로세스에 대해서도 거의 마찬가지이다. 도 4의 구조에서는, 제2 자성 다층막층과 제1 자성 다층막층 사이에 단차를 마련하기 때문에, 도 5c에 나타낸 플라스마 에칭의 공정에 있어서는 제1 자성 다층막층의 표면 또는 제1 비자성층의 도중(제1 자성 다층막층의 표면에 도달하기 전)에서 정지하게 한다.

[0037] 이상의 실시형태에서는, 적층 폐리형 참조층을 구성하는 2개의 강자성층의 물리적인 면적을 상이하게 함에 의해 단차를 제작하는 예를 나타냈다. 이에 대해, 물리적인 면적차를 부여해 단차를 마련하는 것이 아니고, 2개의 강자성층 사이에서 자성체로서 효율적으로 작용하는 면적을 상이하게 함으로써 마찬가지인 효과를 나타내는 MTJ 소자의 구조 및 그 제작 방법을 설명한다(제3 프로세스).

[0038] 도 5a~도 5b까지는 동일한 프로세스 흐름이므로, 설명을 생략한다. 그 후, 플라스마 에칭을 사용해서, 하드 마스크층(701)을 마스크로 해서, 제1 강자성층(101), 장벽층(102)의 순서대로 가공을 실시한다. 도 7a는 플라스마 에칭에 의한 가공을 실시한 후의 단면 형상이다. 도 7a에서는, 플라스마 에칭은 제2 강자성층(103)의 표면에서 정지한 바와 같이 나타내고 있지만, 실제는, 제2 강자성층(103)의 도중(제1 비자성층(202)의 표면에 도달하기 전)에서 정지해도 된다.

[0039] 다음 공정에서는, 제2 강자성층(103)에 대해, 장벽층(102) 바로 아래 부분의 자화는 남기고, 나머지 부분의 자화를 소실시킨다. 자화를 소실시키는 방법의 하나는 산화이다. 산화의 방법으로서는 자연 산화, 플라스마 산화 등을 생각할 수 있다. 자연 산화의 경우는, 산소 도입 가능한 처리실에 MTJ 소자를 옮기고 나서 산소를 도입한다. 이 때, 대기 폭로(暴露)하지 않고 처리실에 이동시킬 수 있는 쪽이 바람직하다. 또한, 플라스마 산화의 경우, 산소 라디칼만 도입할 경우와, 산소 이온을 도입할 경우를 생각할 수 있다. 어느 쪽의 경우도, 산화 처리를 플라스마 에칭실과 다른 처리실에서 산화할 경우는, 대기 폭로를 피하는 쪽이 바람직하다.

[0040] 일반적으로 산소 라디칼의 경우는, 산소 이온을 도입할 경우와 비교해서 대미지가 작은 것이 이점이다. 한편, 산소 이온을 도입할 경우, 이온이 가속되기 때문에 대미지가 크지만, 제2 강자성층(103)을 향해 상방으로부터 이온이 주입되기 때문에 산화를 촉진하기 쉽다는 이점도 있다. 이러한 공정을 거침에 의해, 도 7b에 나타낸 바와 같이, 장벽층(102) 바로 아래 부분의 자화는 남기고, 나머지 부분의 자화를 소실시켜 자화 소실층(901)으로 하는 것이 가능하다.

[0041] 이 프로세스에서는, 제1 강자성층(101) 및 장벽층(102)을 플라스마 에칭할 때에 MTJ 소자 측벽에 부착되는 측벽 재부착물도, 제2 강자성층(103)의 산화 프로세스에 있어서 동시에 산화해서 부도체화함에 의해, 측벽으로부터의 리크 전류를 억제할 수 있다는 이점이 있다.

[0042] 산화 공정의 후, 도 7c에 나타내는 바와 같이, 5nm의 막두께의 측벽 퇴적층(902)을 CVD에 의해 적층한다. 그 후, 측벽 퇴적층(902)을 마스크로 해서 플라스마 에칭으로 자화 소실층(901), 제1 비자성층(202), 제3 강자성층(201)을 가공한다. 플라스마 에칭에 의한 가공 후의 단면 형상을 도 7d에 나타낸다. 또한 중간 절연막(903)을 CVD에 의해 퇴적하고, CMP나 에칭 백 처리에 의해 하드 마스크층(701)의 상부를 콘택트 개구하고, 상부 전극(904)을 제작하여 프로세스가 완료된다. 프로세스 완료 후의 단면 형상을 도 7e에 나타낸다. 이렇게, 적층 폐리형 참조층을 구성하는 각 층의 면적은 동일하지만, 상층에 있어서 강자성층으로서의 유효 면적이 좁혀진 것에 의해, 물리적으로 단차를 마련한 것과 마찬가지인 효과를 얻을 수 있다. 또한, 산화 공정의 후, 제2 프로세스와 같이 측벽 퇴적층에 금속층을 형성하고, 측벽 퇴적층 및 측벽 금속 마스크층을 마스크로 해서 플라스마 에칭을 행하게 해도 된다.

[0043] 상술한 프로세스에서는 자화 소실층(901)을 제작하기 위해 산화 처리를 실시했지만, 이온 주입에 의해 고에너지의 이온을 조사함에 의해 자화를 소실시키는 것도 가능하다. 이 방법을 사용할 경우는, 이온이 제2 강자성층(103)에 진입하는 깊이를 제어할 수 있기 때문에, 자화 소실층(901)의 두께 제어가 용이해진다.

[0044] 이렇게 제3 프로세스에서 형성된 MTJ 소자는, 제1 강자성층(101)이 제1 직경을 갖는 제1 원 기둥 형상을 이루고, 제1 원 기둥을 적층 방향으로 투영한 영역과 동일한 크기의 단면을 갖는 제2 강자성층(103), 및 적어도 제2 강자성층(103)이 제1 비자성층(202)에 접하는 면에 있어서 제2 강자성층(103)의 전체 둘레를 덮도록 형성된 자화 소실층(901)이, 제1 직경보다 큰 제2 직경을 갖는 제2 원 기둥 형상을 이루고, 제3 강자성층(201)은, 제2 원 기둥을 적층 방향으로 투영한 영역과 동일한 크기의 단면을 갖는다.

[0045] 제3 프로세스도 또한, 도 4에 나타낸 MTJ 소자의 제작에도 적용할 수 있다. 이 경우는, 소자의 구조에 맞춰, 하부 전극 상에, 제1 자성 다층막층, 제1 비자성층, 제2 자성 다층막층, 제2 비자성층, 제2 강자성층, 장벽층, 제1 강자성층을 아래로부터 순서대로 적층하고, 또한 가공을 위한 하드 마스크층을 적층해서 적층막으로 한다. 그 후의 가공은, 어느 쪽의 프로세스에 대해서도 거의 마찬가지이다. 도 4의 구조에서는, 도 7b에 나타낸 플라

스마 에칭의 공정에 있어서는 제2 자성 다층막층의 표면 또는 도중(제1 비자성층의 표면에 도달하기 전)에서 정지하게 한다.

[0046] 이렇게 제3 프로세스에서 형성된 MTJ 소자는, 제1 강자성층(101), 장벽층(102), 제2 강자성층(103)이 제1 직경을 갖는 제1 원 기둥 형상을 이루고, 제1 원 기둥을 적층 방향으로 투영한 영역과 동일한 크기의 단면을 갖는 제2 자성 다층막층(403), 및 적어도 제2 자성 다층막층(403)이 제1 비자성층(402)에 접하는 면에 있어서 제2 자성 다층막층(403)의 전체 둘레를 덮도록 형성된 자화 소실층(901)이, 제1 직경보다 큰 제2 직경을 갖는 제2 원 기둥 형상을 이루고, 제1 자성 다층막층(401)은, 제2 원 기둥을 적층 방향으로 투영한 영역과 동일한 크기의 단면을 갖는다.

[0047] [실시예 2]

[0048] 실시예 1의 MTJ 소자는, 기록층이 참조층의 상방에 위치하는 구조(「바텀-핀형 구조」라 함)였다. 마찬가지로, 기록층이 참조층의 하방에 위치하는 구조(「톱-핀형 구조」라 함)에 있어서도, 참조층을 적층 폐리형 참조층으로 하고, 2개의 강자성층의 면적을 상이하게 함에 의해, 마찬가지인 효과를 얻을 수 있다.

[0049] 톱-핀형 구조로 하는 이점에 대해 설명한다. MRAM에서는 1개의 MTJ 소자에 대해 1개의 선택 트랜지스터가 직렬로 접속되어 있다. 도 8에 MRAM의 1비트의 조감도를 나타낸다. 실리콘 기판(300)에 선택 트랜지스터(301)가 형성되고, 선택 트랜지스터(301)의 드레인 전극(302)과 비트선(303) 사이에 MTJ 소자(304)가 형성되어 있다. 도면에 나타나는 바와 같이, 선택 트랜지스터(301)는 MTJ 소자(304)의 하층에 배치된다. 이 경우, 도 8에 나타내는 바와 같이, MTJ 소자에의 기입 시에 선택 트랜지스터가 공급할 수 있는 전류는, 선택 트랜지스터로부터 MTJ 소자에 흐를 때((b), (d))에 작고, MTJ 소자로부터 선택 트랜지스터에 흐를 때((a), (c))에 크다. 한편, MTJ 소자의 자화 반전 동작을 행하기 위해 필요한 전류는, 일반적으로 평행 상태로부터 반평행 상태로의 기입의 경우가 크다. MTJ 소자가 바텀-핀형 구조인 경우는, 평행 상태로부터 반평행 상태로의 기입의 전류 방향이 선택 트랜지스터로부터 MTJ 소자 방향으로 되기 때문에, 필요한 전류를 흘리기 위해 선택 트랜지스터의 전류 공급 능력을 높일 필요가 있다. MTJ 소자가 톱-핀 구조인 경우는, 전류가 MTJ 소자로부터 선택 트랜지스터에 흐르는 경우에 평행 상태로부터 반평행 상태로의 기입으로 되기 때문에, 보다 전류 공급 능력이 낮은 선택 트랜지스터로도 반평행 상태로의 기입을 문제없이 행할 수 있게 되어, 유리하다.

[0050] 톱-핀 구조로 한 MTJ 소자의 구조(제3 구조 예)에 대해 도 9를 사용해서 설명한다. 도 9는 MTJ 소자(제3 구조 예)의 단면도이다. 제1 강자성층(501), 장벽층(502), 제2 강자성층(503), 제1 비자성층(504), 제3 강자성층(505)을 하부 전극 상에 아래로부터 순서대로 적층한 적층막을 가공하여 제작된다. 제2 강자성층(503), 제1 비자성층(504), 제3 강자성층(505)은 적층 폐리형 참조층(506)을 구성한다. 제2 강자성층(503)의 자화(508), 및 제3 강자성층(505)의 자화(509)가 서로 반평행하게 결합하도록, 제1 비자성층(504)의 재료와 막두께가 결정된다. 제1 강자성층(501)은 기록층으로서 동작한다.

[0051] MTJ 소자는 기둥 형상으로 가공되고, 적층 폐리형 참조층(506)을 구성하는 제2 강자성층(503)과 제3 강자성층(505)의 면적이 서로 다르도록 가공되어 있다. 도 9의 예에서는, 제2 강자성층(503)의 면적이, 제3 강자성층(505)보다 작아지도록 가공되어 있다. 이에 의해, 제2 강자성층(503)과 제3 강자성층(505) 사이에서 단차가 있는 구조로 된다.

[0052] 마찬가지로, Co/Pt 다층막을 사용했을 경우의 톱-핀 구조도 제작 가능하다. Co/Pt 다층막을 사용한 톱-핀 구조의 MTJ 소자(600)의 단면도를 도 10에 나타낸다. 제1 강자성층(601), 장벽층(602), 제2 강자성층(603), 제2 비자성층(604), 제2 자성 다층막층(605), 제1 비자성층(606), 제1 자성 다층막층(607)을 하부 전극 상에 아래로부터 순서대로 적층한 적층막을 가공하여 제작된다. 제2 강자성층(603), 제2 비자성층(604), 제2 자성 다층막층(605), 제1 비자성층(606), 제1 자성 다층막층(607)은 적층 폐리형 참조층(608)을 구성한다. 제2 강자성층(603)의 자화(610), 및 제2 자성 다층막층(605)의 자화(611)는 서로 평행하게 결합하도록, 제2 비자성층(604)의 재료와 막두께가 결정된다. 제2 자성 다층막층(605)의 자화(611), 및 제1 자성 다층막층(607)의 자화(612)는 서로 반평행하게 결합하도록, 제1 비자성층(606)의 재료와 막두께가 결정된다. 제1 강자성층(601)은 기록층으로서 동작한다.

[0053] [실시예 3]

[0054] 이상 설명한 MTJ 소자를 메모리 셀의 기억 소자로 해서 MRAM을 구성할 수 있다. 도 11에 MRAM의 메모리 어레이(1100)를 나타낸다. 도 8에 나타낸 바와 같이 메모리 셀(1000)은, MTJ 소자와 그 소스·드레인 경로가 MTJ 소자에 직렬 접속되는 선택 트랜지스터로 구성된다. 여기에서는, MTJ 소자로서 도 2에 나타낸 MTJ 소자(200)를

사용하고 있다.

[0055] 메모리 셀(1000)의 MTJ 소자(200)는, 제3 강자성층(201)의 하부에 배치되어 있는 하부 전극이 선택 트랜지스터(1001)의 드레인 전극과 전기적으로 접속되어 있다. 또한, 제1 강자성층(101)의 상부에 배치되어 있는 상부 전극은 비트선(BL)(1002)에 전기적으로 접속되어 있다. 선택 트랜지스터(1001)의 소스 전극은, 비트선(1002)과 평행하게 배치되는 소스선(SL)(1003)에 전기적으로 접속되어 있다. 선택 트랜지스터(1001)의 게이트 전극은, 비트선 및 소스선과 직교하도록 배치되는 워드선(WL)(1004)에 접속되어 있다.

[0056] 도 11에 나타나는 바와 같이, 비트선(1002), 소스선(1003), 및 워드선(1004)은 복수 배치되고, 비트선(1002) 및 소스선(1003)과 워드선(1004)이 교차하는 각 점에, 메모리 셀(1000)이 배치된다. 각 비트선(1002), 소스선(1003), 워드선(1004)은 각각 독립적으로 전압을 제어하는 기구가 설치되어 있다.

[0057] 특정의 메모리 셀(1000)을 선택할 때는, 그 메모리 셀(1000)이 전기적으로 접속하고 있는 비트선(1002) 및 소스선(1003)의 전압을 제어하고, 그 MTJ 소자가 접속하고 있는 워드선(1004)에 전압을 인가함으로써 선택 트랜지스터(1001)에 전류가 인가되는 상태로 된다. 예를 들면, MTJ 소자(200)를 저저항 상태로 기입할 경우, 소스선(1003)의 전위와 비교해서 비트선(1002)의 전위가 높아지도록 설정한다. 이 상태에서 워드선(1004)에 전압을 인가하면, MTJ 소자(200)의 상부 전극으로부터 하부 전극을 향해 전류가 흐른다. 전류가 MTJ 소자(200)의 기입 역치 전류를 초과하면 MTJ 소자(200)는 저저항 상태가 된다.

[0058] 또한, MTJ 소자를 사용하는 디바이스 예로서, MRAM 메모리 어레이(1100)를 나타냈지만, 자기 센서 등, 다른 디바이스에도 적용하는 것이 가능하다.

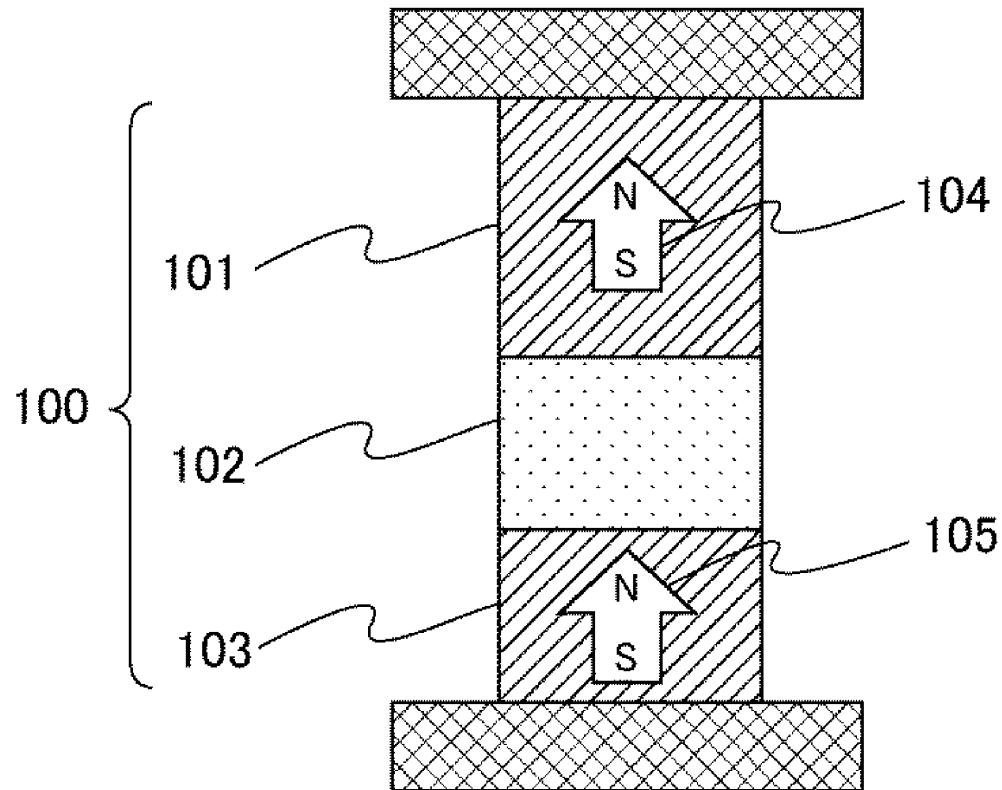
[0059] 이상, 본 발명에 대해 설명했지만, 실시형태에 한정되는 것은 아니고, 다양한 변형예가 포함된다. 실시형태는 본 발명을 알기 쉽게 설명하기 위해 상세히 설명한 것이고, 반드시 설명한 모든 구성은 구비하는 것에 한정되는 것은 아니다. 또한, 실시형태의 구성의 일부에 대해, 다른 구성의 추가, 삭제, 치환을 하는 것도 가능하다.

### 부호의 설명

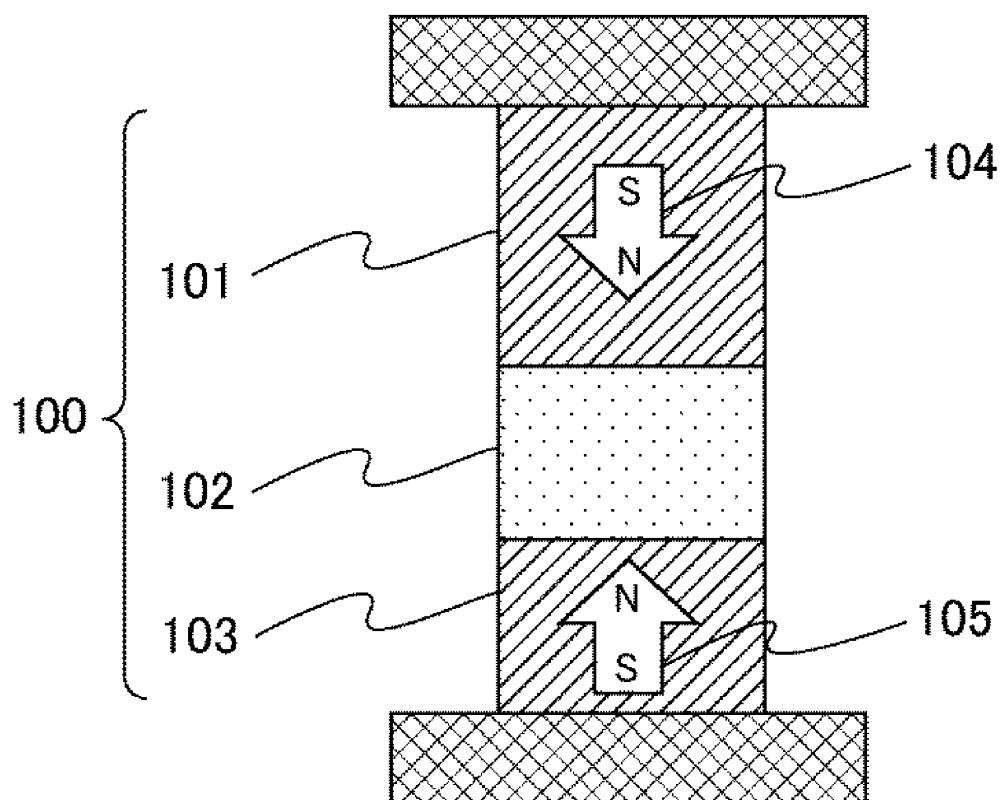
[0060] 100, 200, 400 : MTJ 소자, 101 : 제1 강자성층, 102 : 장벽층, 103 : 제2 강자성층, 201 : 제3 강자성층, 202 : 제1 비자성층, 203, 405 : 적층 폐리형 참조층, 401 : 제1 자성 다층막층, 402 : 제1 비자성층, 403 : 제2 자성 다층막층, 404 : 제2 비자성층, 500, 600 : MTJ 소자, 501, 601 : 제1 강자성층, 502, 602 : 장벽층, 503, 603 : 제2 강자성층, 504 : 제1 비자성층, 505 : 제3 강자성층, 506, 608 : 적층 폐리형 참조층, 604 : 제2 비자성층, 605 : 제2 자성 다층막층, 606 : 제1 비자성층, 607 : 제1 자성 다층막층, 700 : 적층막, 701 : 하드 마스크층, 702, 801, 902 : 측벽 퇴적층, 703, 803, 903 : 충간 절연막, 704, 804, 904 : 상부 전극, 802 : 측벽 금속 마스크층, 901 : 자화 소실층, 1000 : 메모리 셀, 1001 : 선택 트랜지스터, 1002 : 비트선, 1003 : 소스선, 1004 : 워드선, 1100 : 메모리 어레이

도면

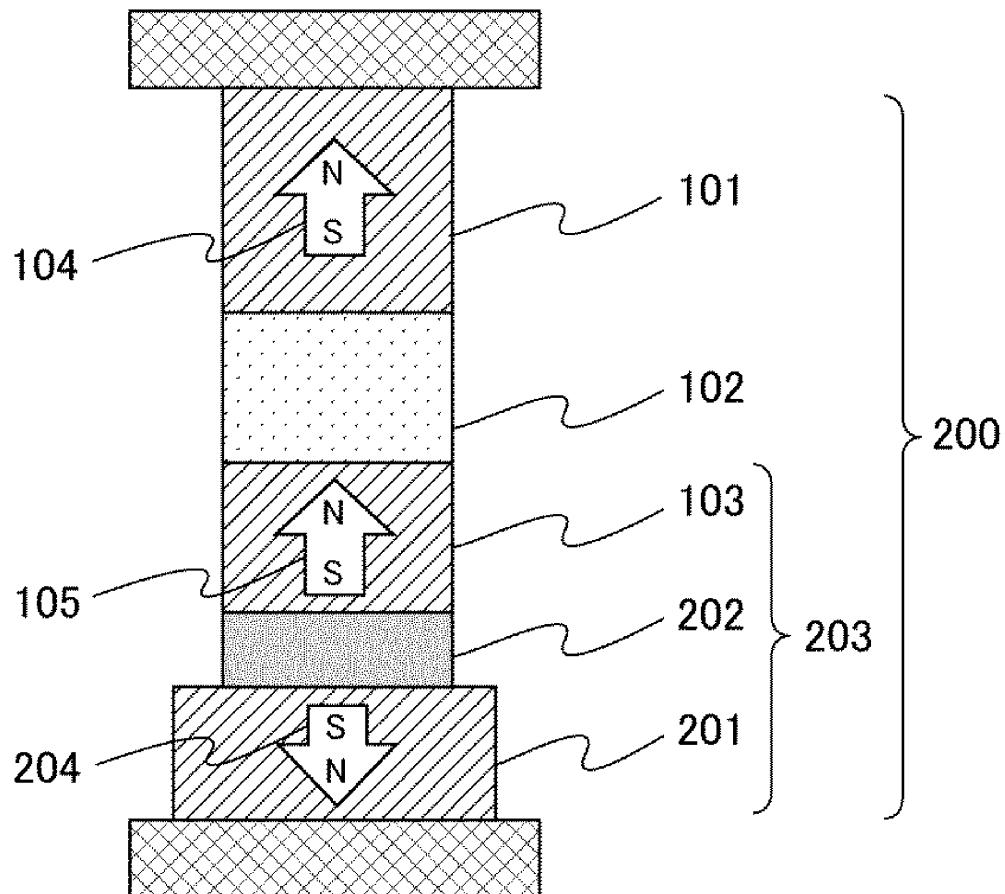
도면 1a



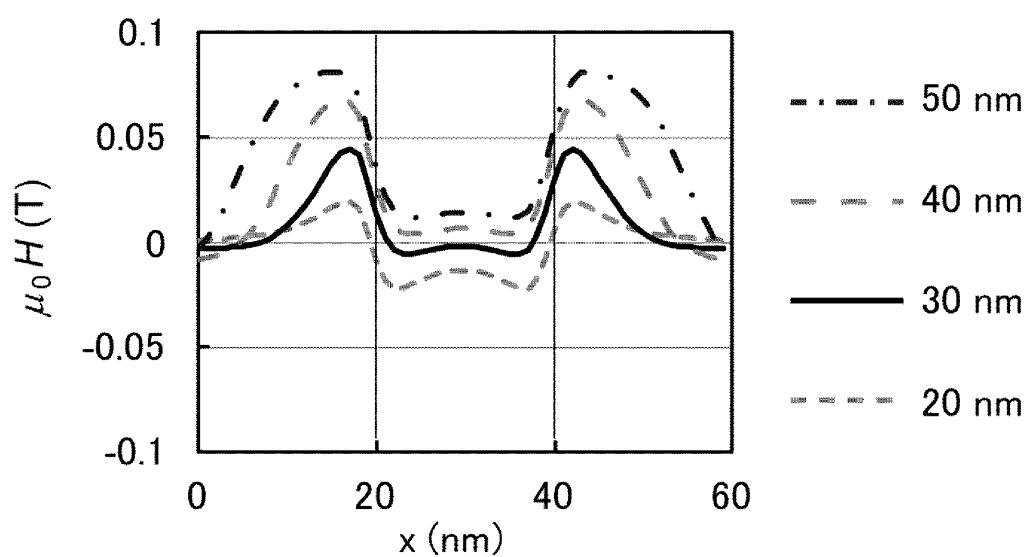
도면 1b



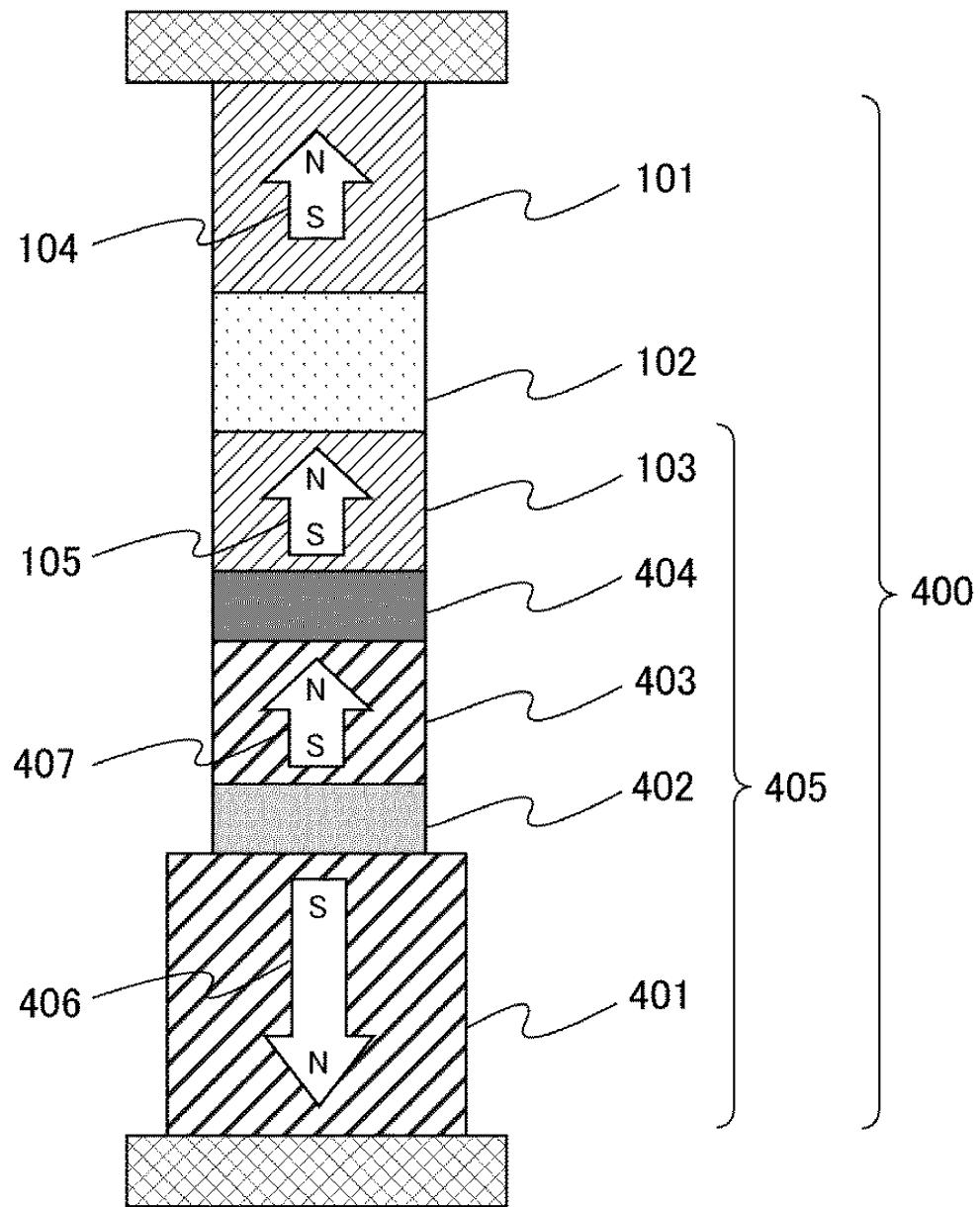
도면2



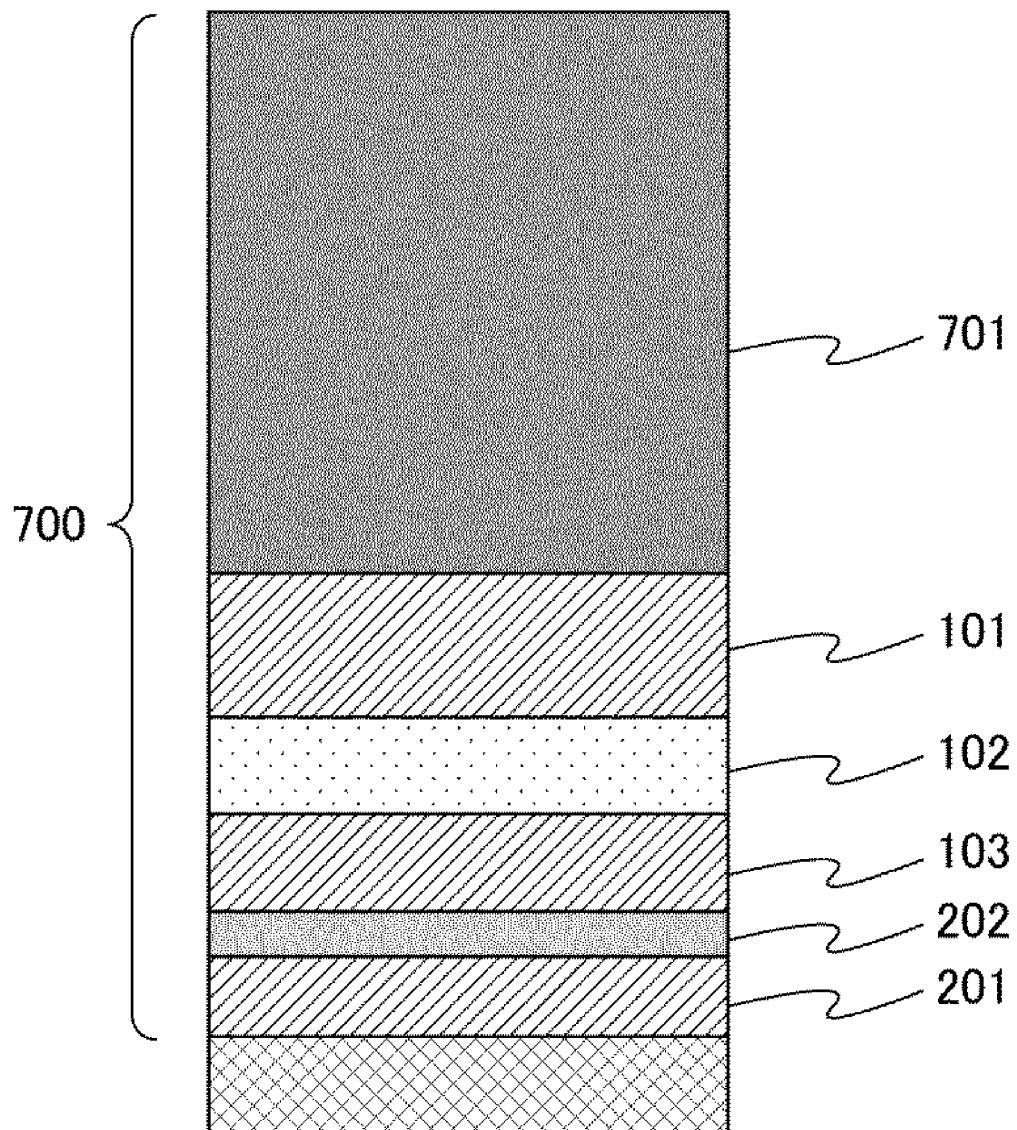
도면3



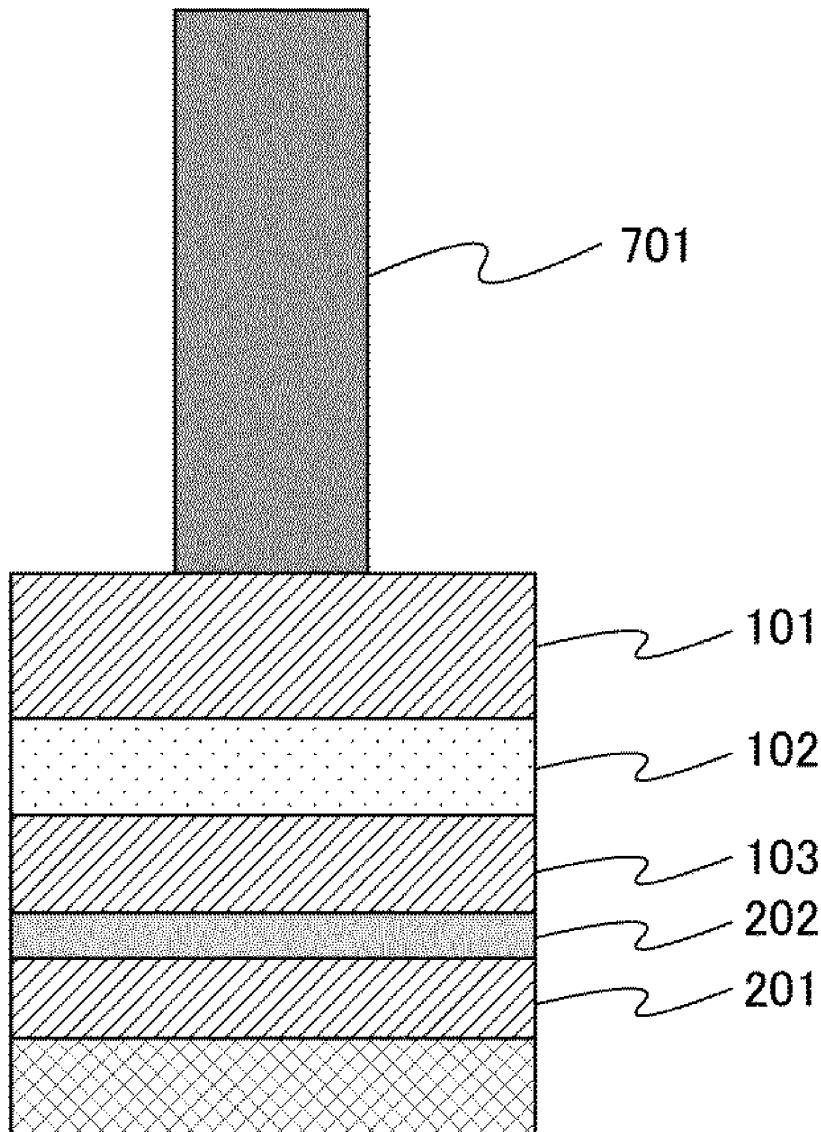
도면4



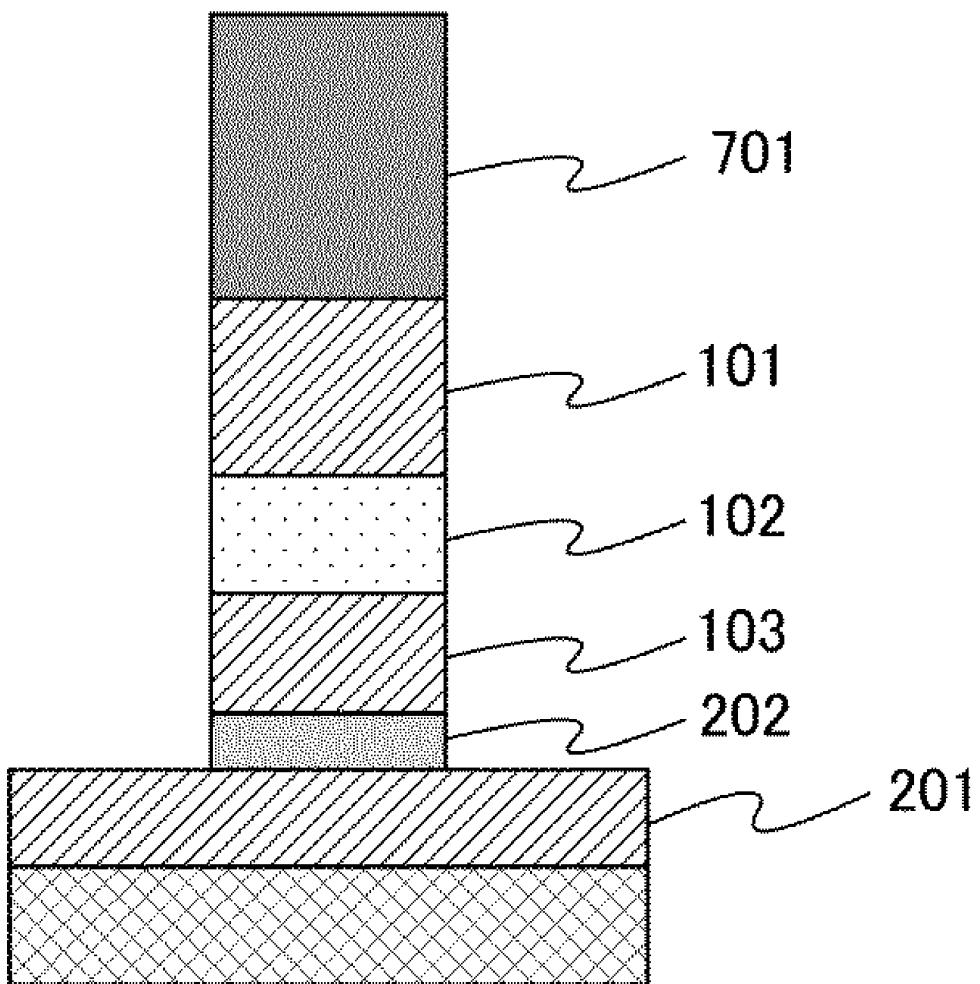
도면5a



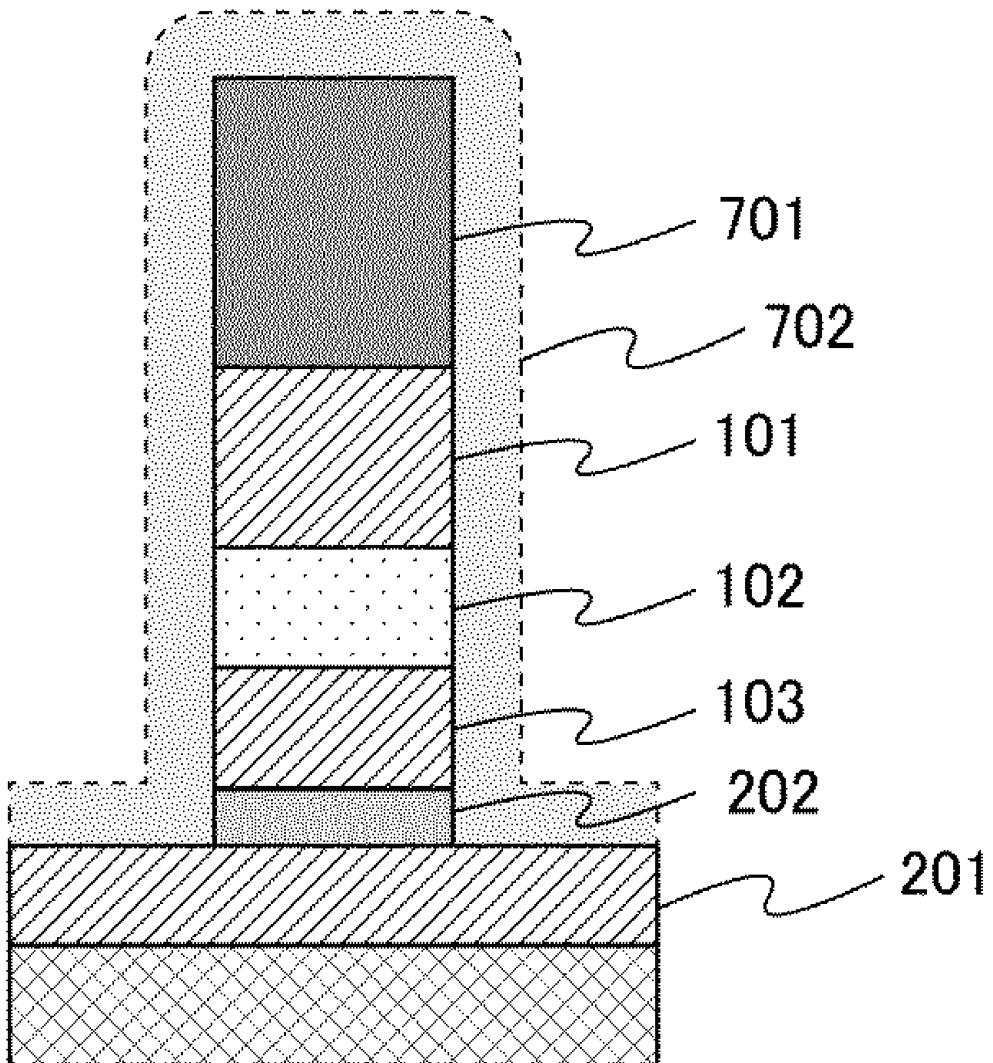
도면5b



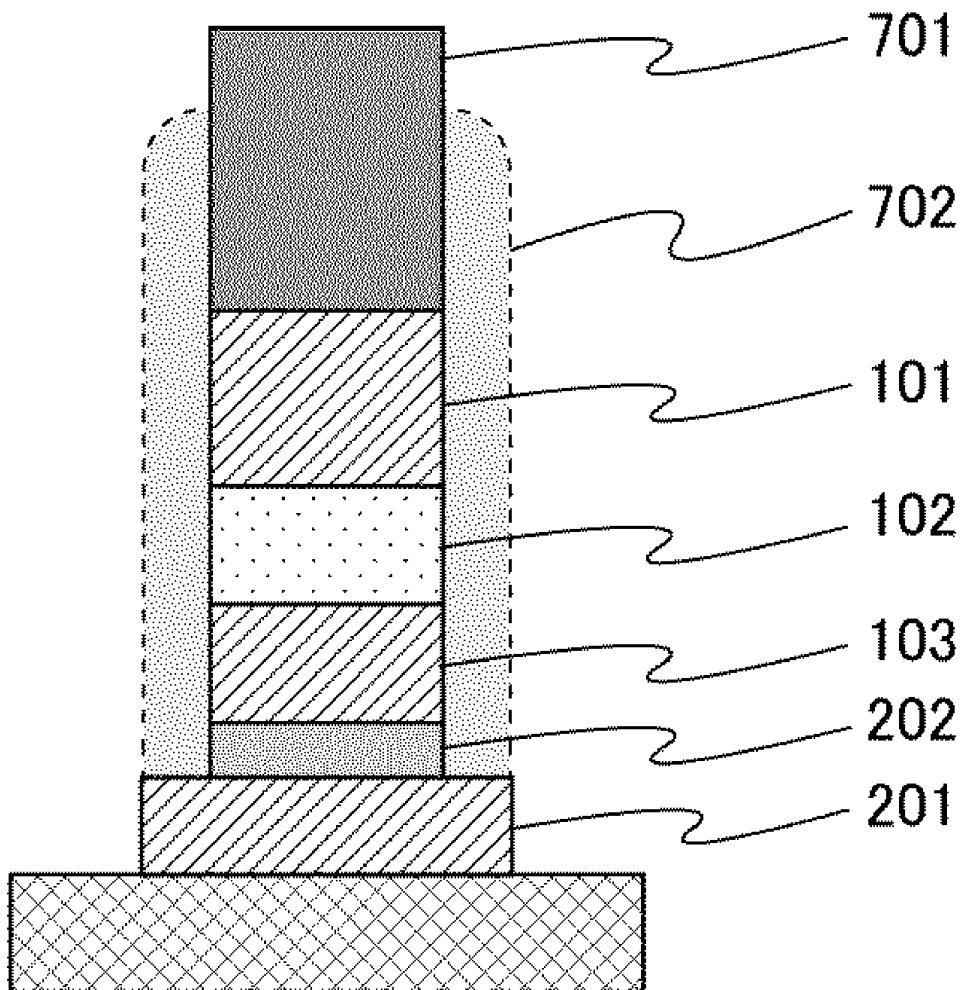
도면5c



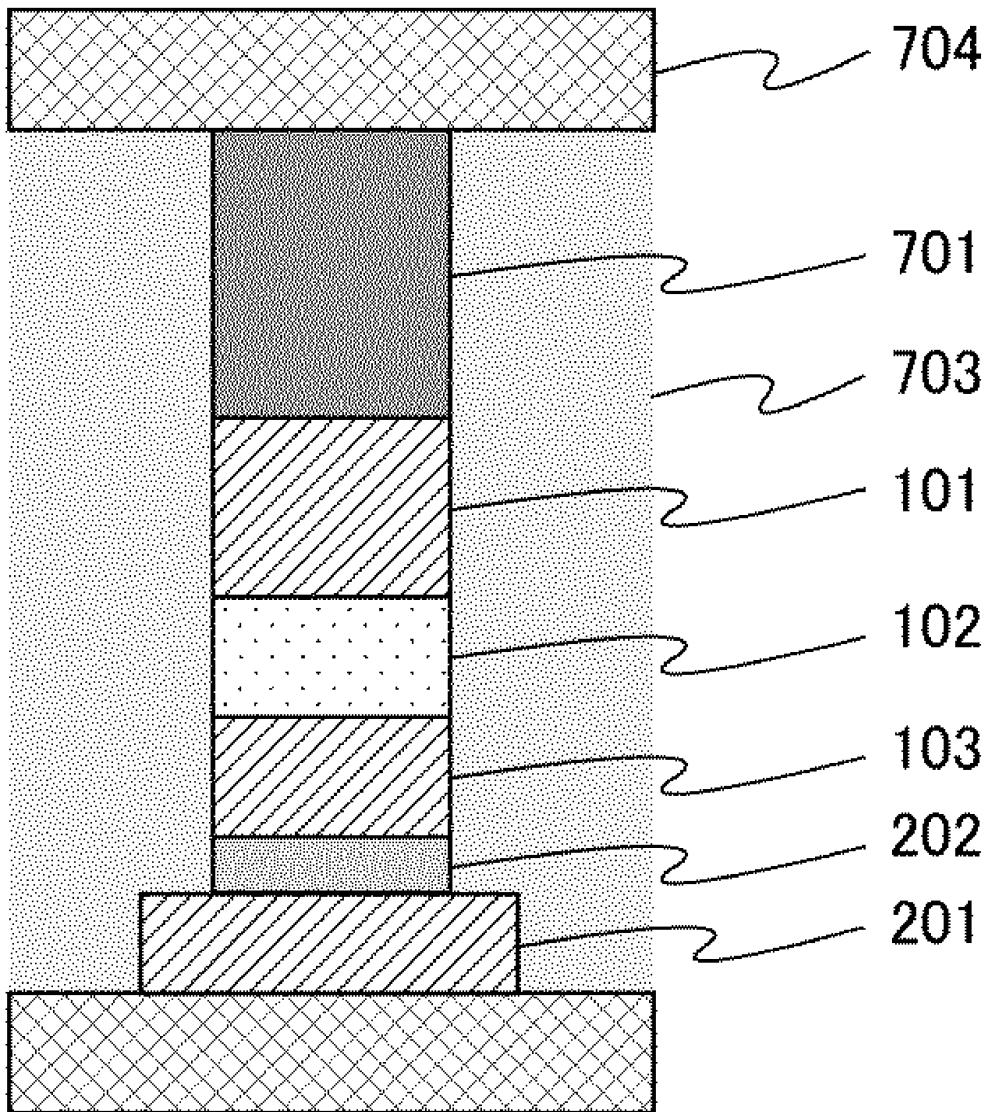
도면5d



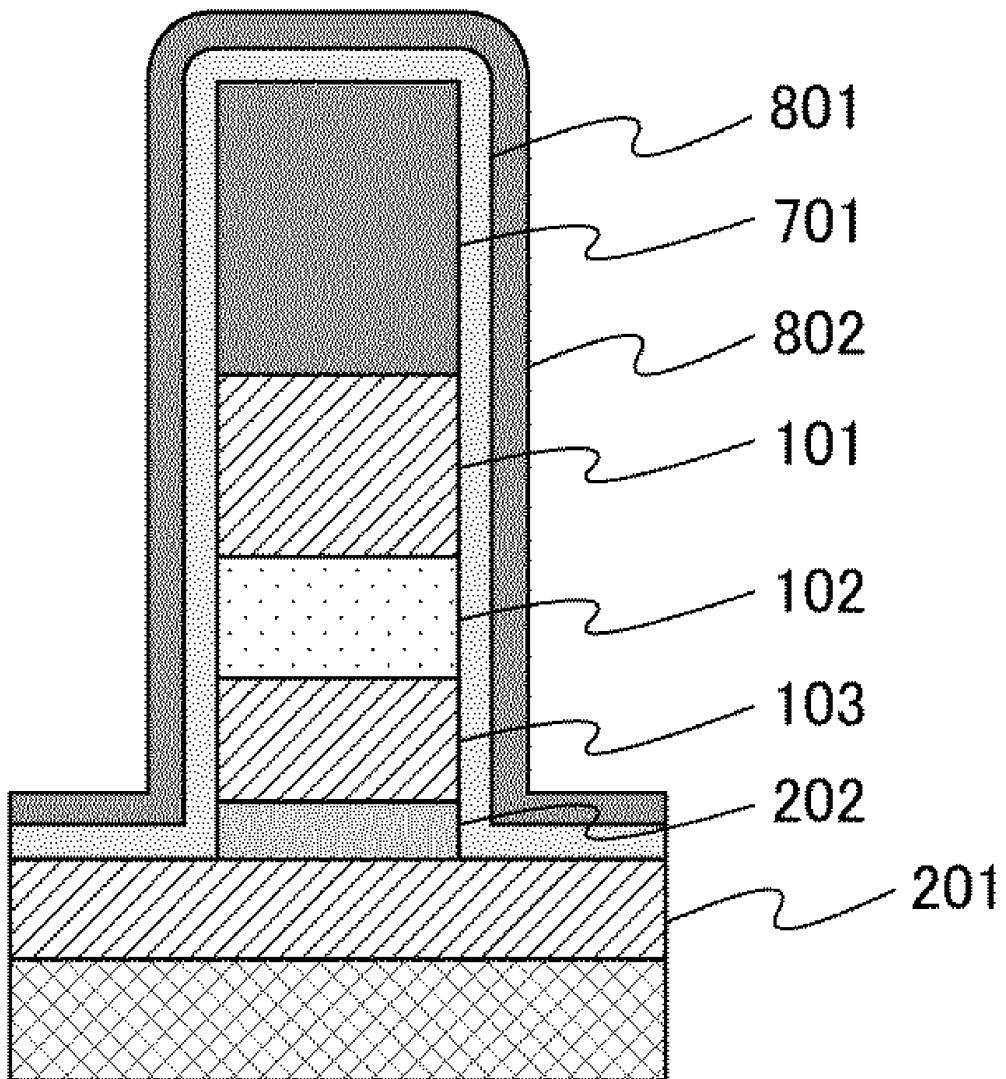
도면5e



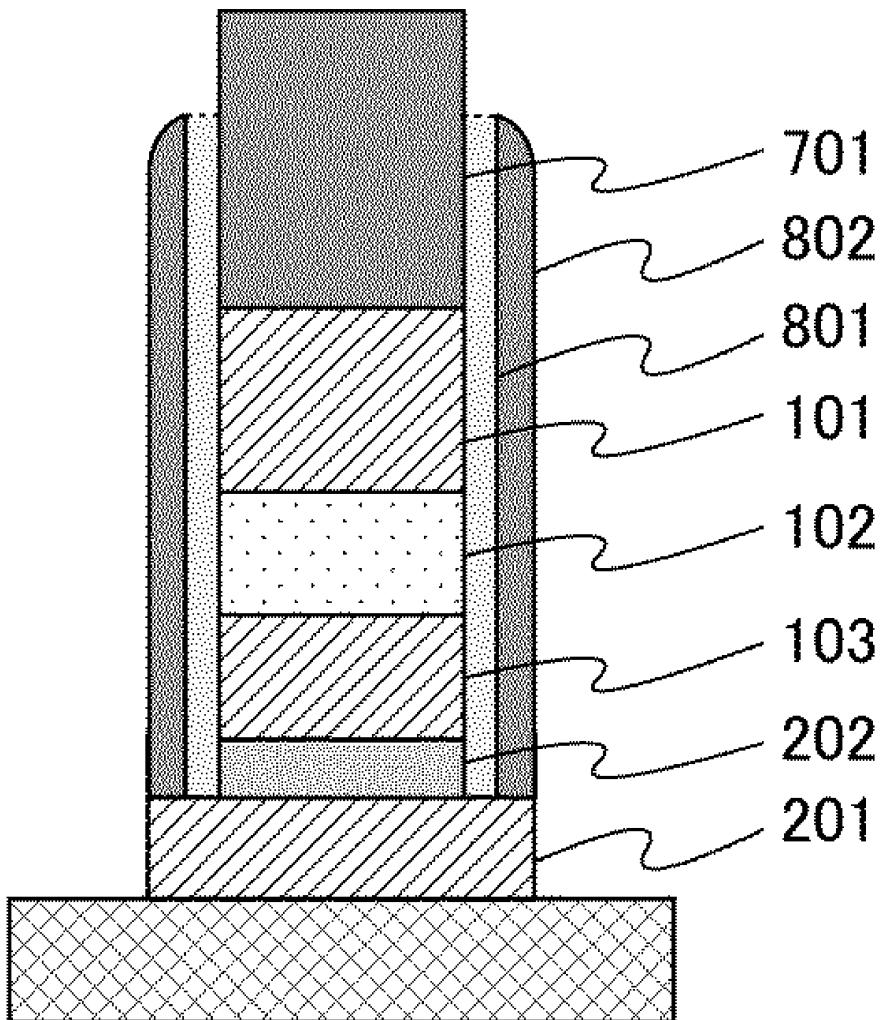
도면5f



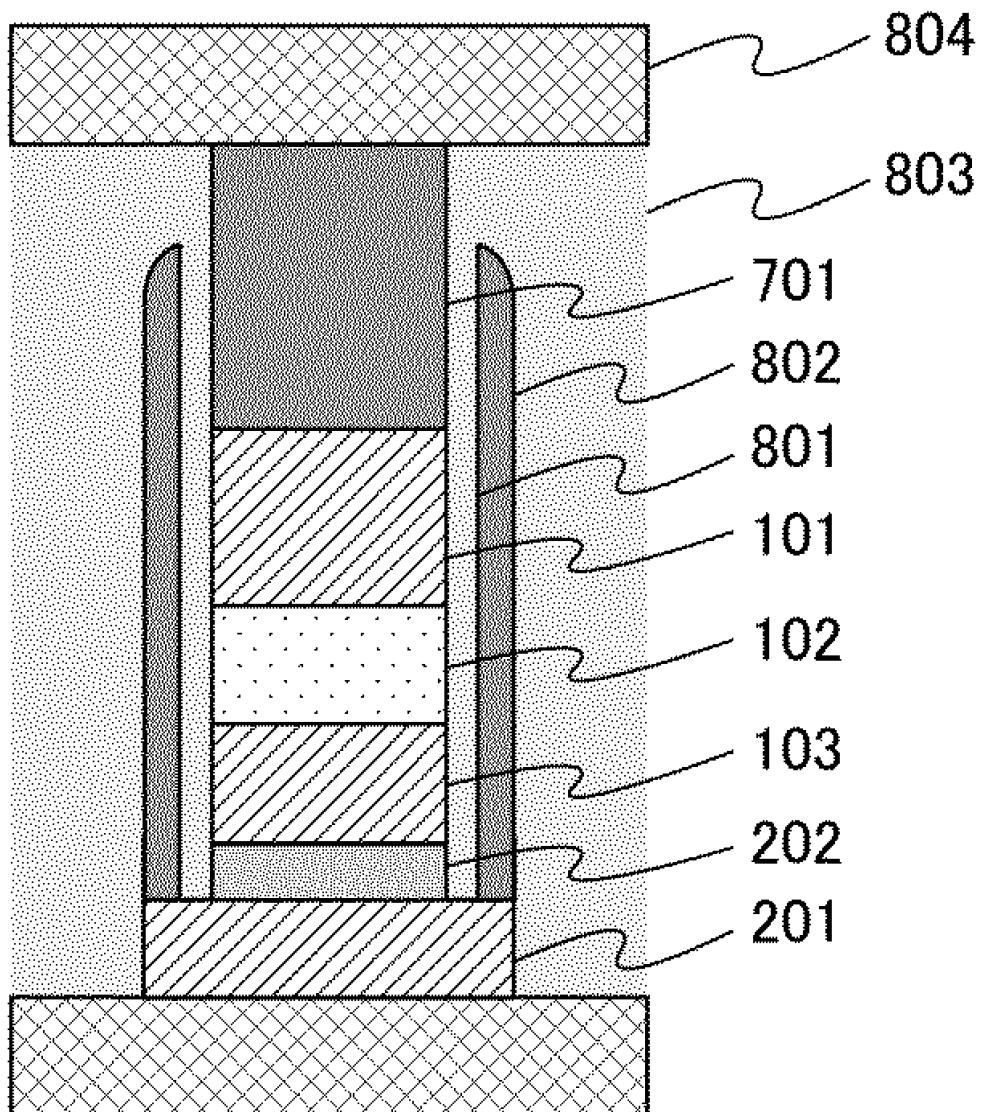
도면6a



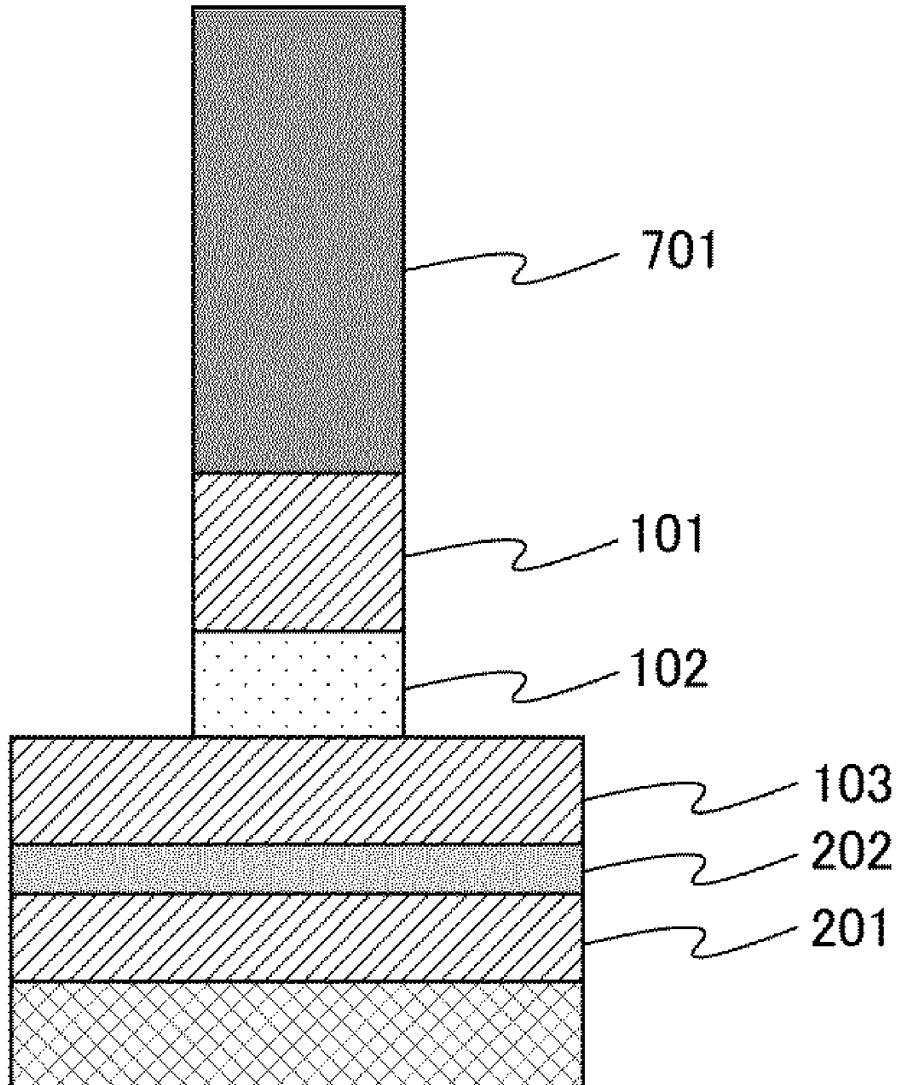
도면6b



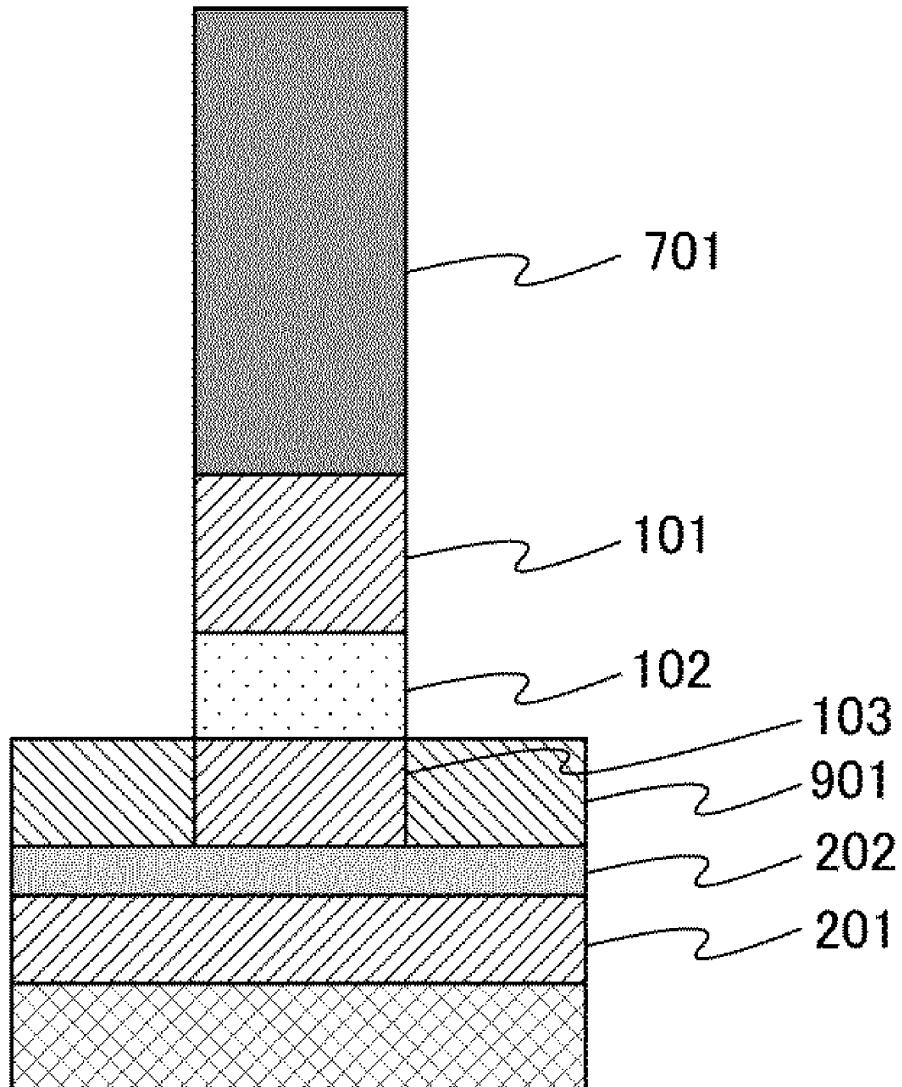
도면6c



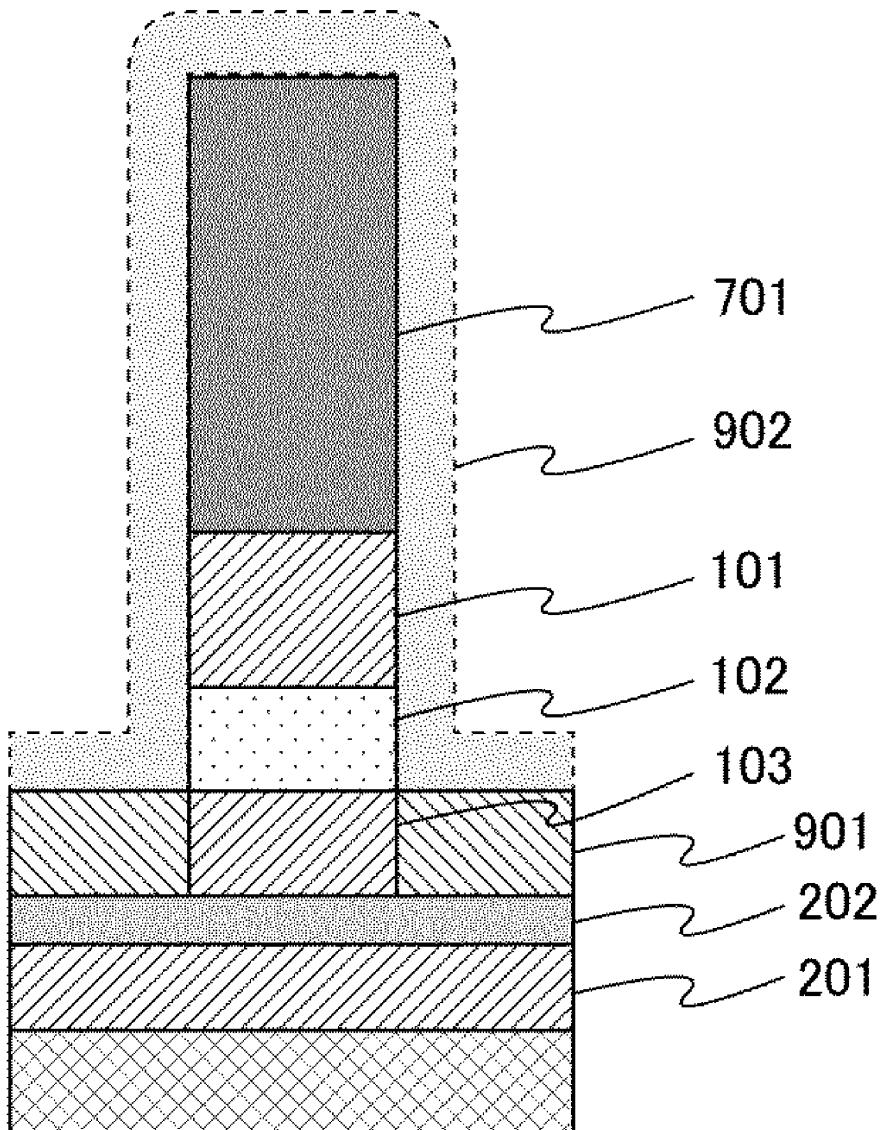
도면7a



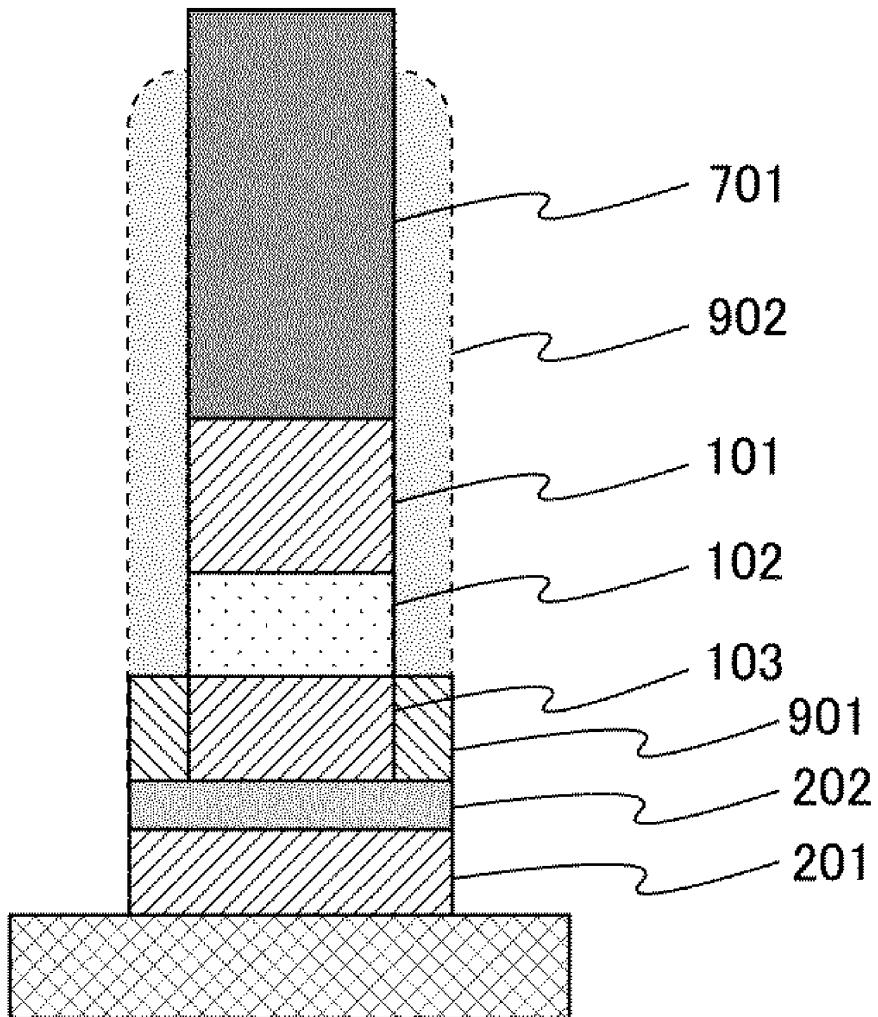
도면7b



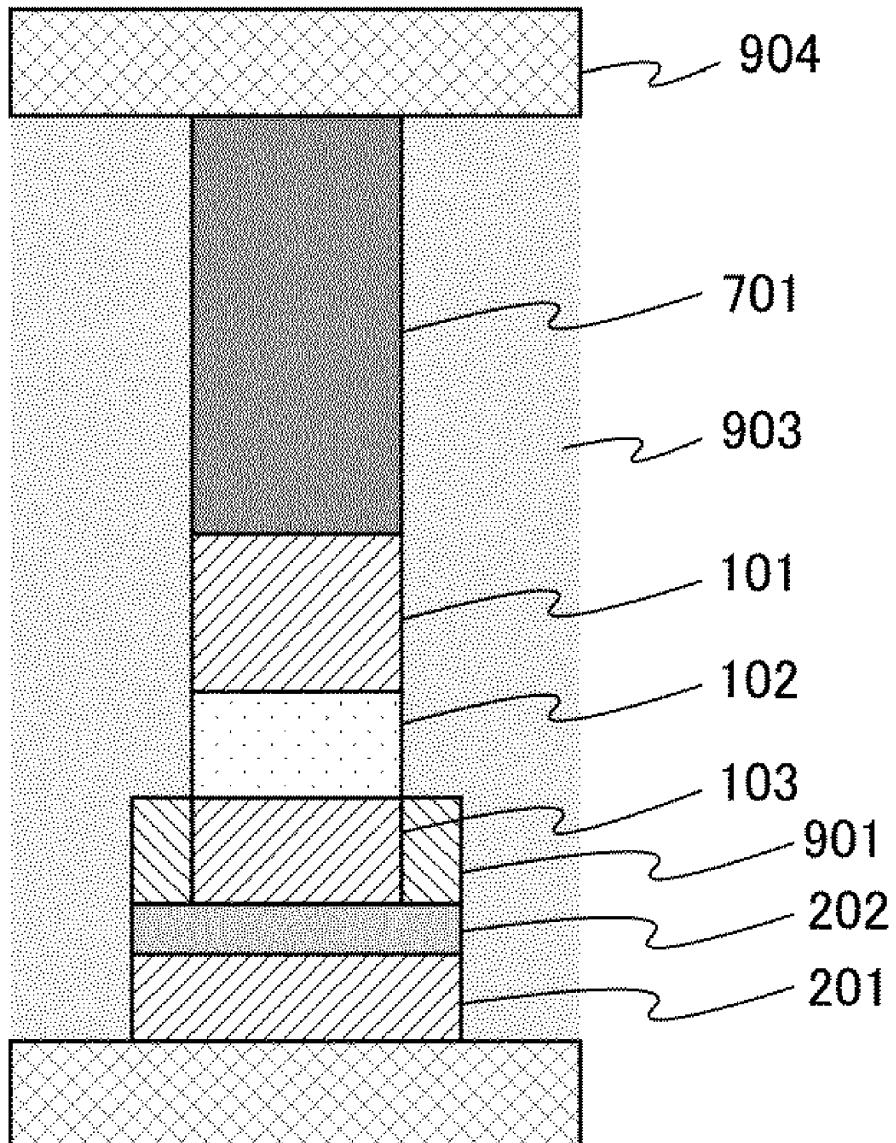
도면7c



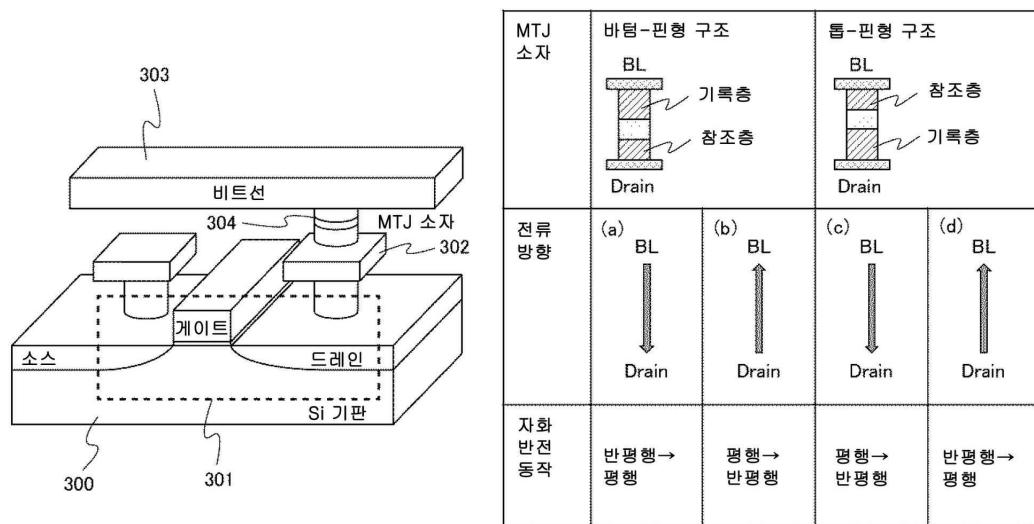
도면7d



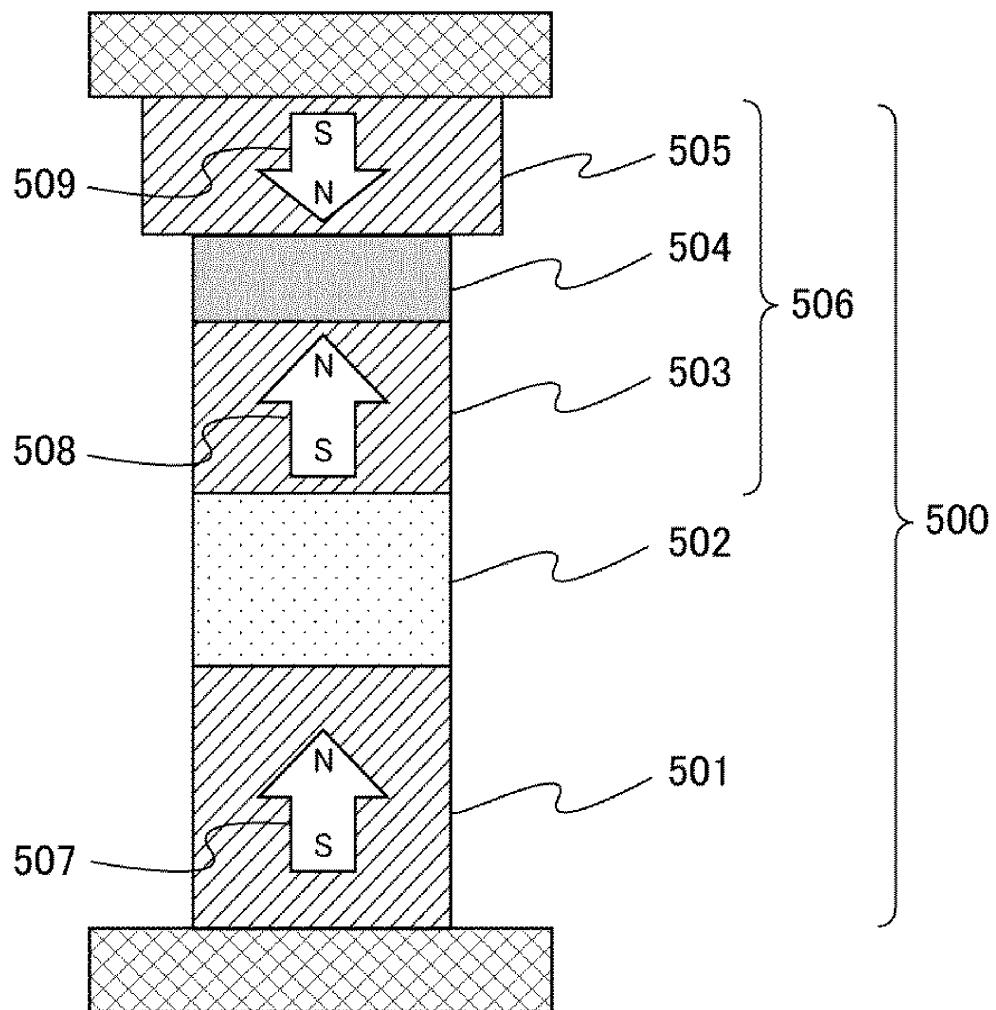
도면7e



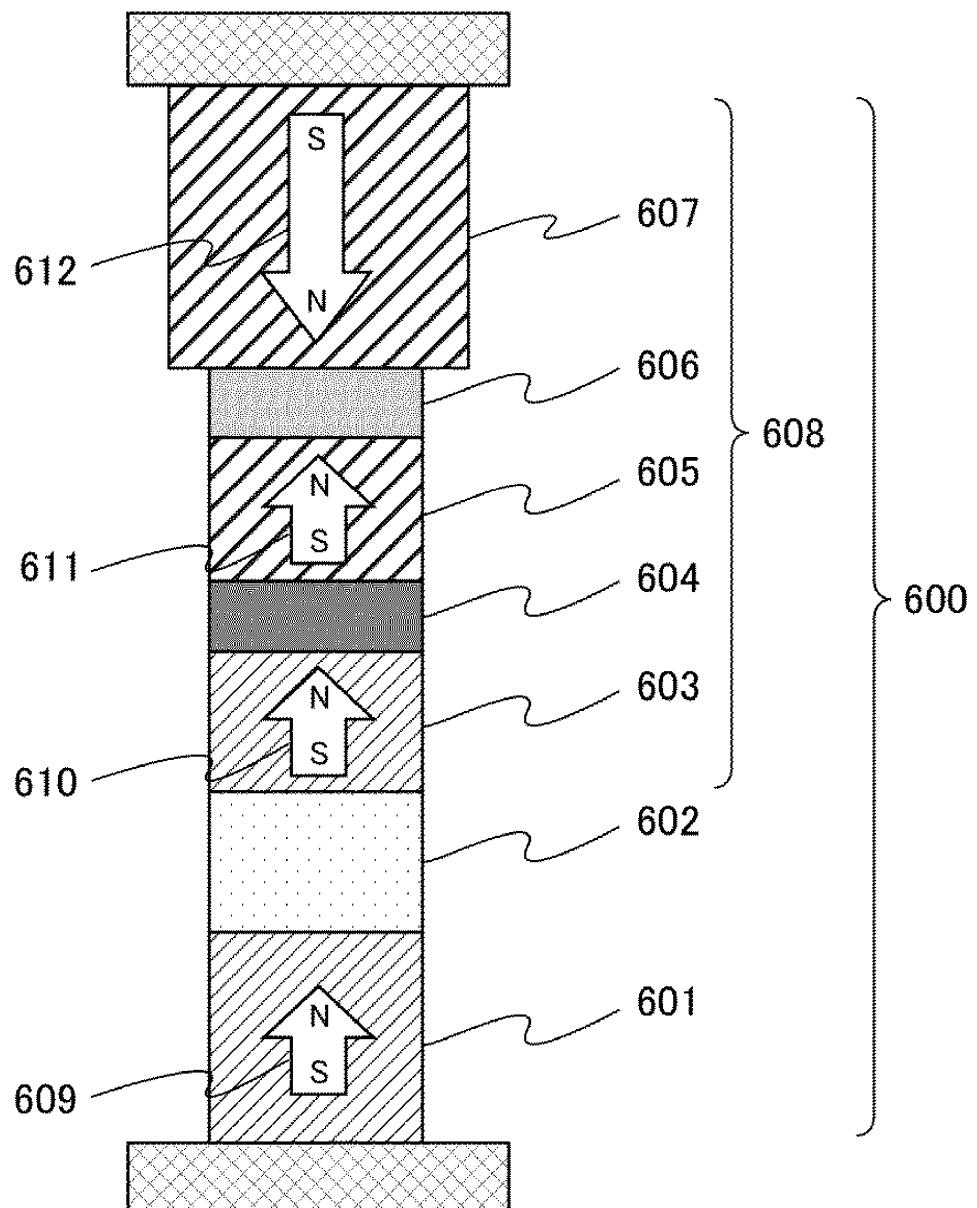
도면8



도면9



도면10



도면11

