

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3907929号  
(P3907929)

(45) 発行日 平成19年4月18日(2007.4.18)

(24) 登録日 平成19年1月26日(2007.1.26)

(51) Int. Cl.

A63F 7/02 (2006.01)

F I

A63F 7/02 334  
A63F 7/02 324C  
A63F 7/02 304Z

請求項の数 10 (全 81 頁)

(21) 出願番号	特願2000-254705 (P2000-254705)	(73) 特許権者	000144153
(22) 出願日	平成12年8月24日(2000.8.24)		株式会社三共
(65) 公開番号	特開2002-65964 (P2002-65964A)		群馬県桐生市境野町6丁目460番地
(43) 公開日	平成14年3月5日(2002.3.5)	(74) 代理人	100103090
審査請求日	平成16年8月31日(2004.8.31)		弁理士 岩壁 冬樹
早期審査対象出願		(74) 代理人	100124501
前置審査			弁理士 塩川 誠人
		(74) 代理人	100134692
			弁理士 川村 武
		(74) 代理人	100135161
			弁理士 眞野 修二
		(72) 発明者	鶴川 詔八
			群馬県桐生市相生町1丁目164番地の5

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項1】

遊技者が所定の遊技を行うことが可能な遊技機であって、  
 制御を行う際に発生する変動データを記憶する遊技制御用変動データ記憶手段を有し、  
 遊技の進行を制御する遊技制御用マイクロコンピュータと、  
 制御を行う際に発生する変動データを記憶する払出制御用変動データ記憶手段を有し、  
 遊技媒体の払出の制御を行う払出制御用マイクロコンピュータと、  
 遊技機への電力供給が停止していても前記遊技制御用変動データ記憶手段および前記払  
 出制御用変動データ記憶手段の記憶内容を所定期間保持させることが可能な記憶内容保持  
 手段と、

遊技機で使用される所定の電源の状態を監視して電源断の発生を検出したときに検出信  
 号を出力する電源監視手段と、

操作に応じて操作信号を出力する初期化操作手段とを備え、

前記遊技制御用マイクロコンピュータは、

前記検出信号の入力に応じて、バックアップフラグを前記遊技制御用変動データ記憶手  
 段に設定する処理、前記遊技制御用変動データ記憶手段の記憶内容が正常か否かの判定に  
 用いるチェックデータの作成処理、および前記遊技制御用変動データ記憶手段へのアクセ  
 スを禁止する処理を含む遊技制御用電力供給停止時処理を実行した後に待機状態に移行し

、  
 電力供給が開始されたときに、前記初期化操作手段からの操作信号が入力されていない

こと、前記遊技制御用変動データ記憶手段に前記バックアップフラグが設定されていること、および前記チェックデータにもとづいて前記遊技制御用変動データ記憶手段の記憶内容が正常であることを確認したことを条件に前記遊技制御用変動データ記憶手段に保存されていた記憶内容にもとづいて制御状態を前記遊技制御用電力供給停止時処理を開始したときの状態に復旧させる遊技制御用状態復帰制御を実行し、

電力供給が開始されたときに、前記初期化操作手段からの操作信号が入力されていれば、前記遊技制御用変動データ記憶手段に前記バックアップフラグが設定されているか否か、前記遊技制御用変動データ記憶手段の記憶内容が正常であるか否かにかかわらず、前記遊技制御用変動データ記憶手段の記憶内容を初期化する処理を実行し、また前記遊技制御用変動データ記憶手段に前記バックアップフラグが設定されていなければ、前記遊技制御用変動データ記憶手段の記憶内容が正常であるか否かにかかわらず、前記遊技制御用変動データ記憶手段の記憶内容を初期化する処理を実行し、

10

前記払出制御用マイクロコンピュータは、

前記検出信号の入力に応じて、バックアップフラグを前記払出制御用変動データ記憶手段に設定する処理、および前記払出制御用変動データ記憶手段の記憶内容が正常か否かの判定に用いるチェックデータの作成処理を含む払出制御用電力供給停止時処理を実行した後に待機状態に移行し、

電力供給が開始されたときに、前記初期化操作手段からの操作信号が入力されていないこと、前記払出制御用変動データ記憶手段に前記バックアップフラグが設定されていること、および前記チェックデータにもとづいて前記払出制御用変動データ記憶手段の記憶内容が正常であることを確認したことを条件に前記払出制御用変動データ記憶手段に保存されていた記憶内容にもとづいて制御状態を前記払出制御用電力供給停止時処理を開始したときの状態に復旧させる払出制御用状態復帰制御を実行し、

20

電力供給が開始されたときに、前記初期化操作手段からの操作信号が入力されていれば、前記払出制御用変動データ記憶手段に前記バックアップフラグが設定されているか否か、前記払出制御用変動データ記憶手段の記憶内容が正常であるか否かにかかわらず、前記払出制御用変動データ記憶手段の記憶内容を初期化する処理を実行し、また前記払出制御用変動データ記憶手段に前記バックアップフラグが設定されていなければ、前記払出制御用変動データ記憶手段の記憶内容が正常であるか否かにかかわらず、前記払出制御用変動データ記憶手段の記憶内容を初期化する処理を実行し、

30

前記電源監視手段が前記検出信号を出力した後の所定期間経過後に電力供給が停止していないときに、前記待機状態から復帰させるための復帰信号を出力する復帰信号出力手段と、

前記遊技制御用マイクロコンピュータが前記遊技制御用電力供給停止時処理を完了した後に、前記遊技制御用マイクロコンピュータを動作停止状態とするための信号を出力するリセット手段とを備え、

前記遊技制御用マイクロコンピュータおよび前記払出制御用マイクロコンピュータは、前記待機状態中に前記復帰信号が入力されたときに、前記遊技制御用状態復帰制御および前記払出制御用状態復帰制御を実行し、

前記遊技制御用マイクロコンピュータおよび前記払出制御用マイクロコンピュータは、前記初期化操作手段からの操作信号が入力されているか否かを、遊技媒体を検出するための遊技媒体検出手段からの検出信号を判定する遊技媒体検出判定期間よりも短い要求検出判定期間で確認する

40

ことを特徴とする遊技機。

#### 【請求項 2】

遊技制御用マイクロコンピュータは、電力供給が開始されたときまたは復帰信号の入力に応じて、チェックデータにもとづいて遊技制御用変動データ記憶手段に記憶されている記憶内容が正常でないと判定したときには前記遊技制御用変動データ記憶手段の記憶内容を初期化し、

払出制御用マイクロコンピュータは、電力供給が開始されたときまたは復帰信号の入力

50

に応じて、チェックデータにもとづいて払出制御用変動データ記憶手段に記憶されている記憶内容が正常でないと判定したときには前記払出制御用変動データ記憶手段の記憶内容を初期化する

請求項 1 記載の遊技機。

【請求項 3】

復帰信号出力手段は、遊技制御用マイクロコンピュータに復帰信号を出力する第 1 の復帰信号出力手段と、払出制御用マイクロコンピュータに復帰信号を出力する第 2 の復帰信号出力手段とを含み、

前記第 2 の復帰信号出力手段が前記払出制御用マイクロコンピュータに復帰信号を出力した後に、前記第 1 の復帰信号出力手段が前記遊技制御用マイクロコンピュータに復帰信号を出力する

10

請求項 1 または請求項 2 記載の遊技機。

【請求項 4】

遊技制御用マイクロコンピュータは、遊技制御用変動データ記憶手段の記憶内容にもとづいた演算を行うことによりチェックデータを作成し、

払出制御用マイクロコンピュータは、払出制御用変動データ記憶手段の記憶内容にもとづいた演算を行うことによりチェックデータを作成する

請求項 1 から請求項 3 のうちのいずれかに記載の遊技機。

【請求項 5】

遊技制御用マイクロコンピュータが信号を出力するための出力ポートを備え、

20

前記遊技制御用マイクロコンピュータは、遊技制御用電力供給停止時処理で、前記出力ポートに出力される信号をクリアする出力ポートクリア処理を行う

請求項 1 から請求項 4 のうちのいずれかに記載の遊技機。

【請求項 6】

払出制御用マイクロコンピュータが信号を出力するための出力ポートを備え、

前記払出制御用マイクロコンピュータは、払出制御用電力供給停止時処理で、前記出力ポートに出力される信号をクリアする出力ポートクリア処理を行う

請求項 1 から請求項 5 のうちのいずれかに記載の遊技機。

【請求項 7】

遊技媒体の払い出しを行う払出手段と、該払出手段から払い出された遊技媒体を検出するための遊技媒体検出手段とを備え、

30

払出制御用マイクロコンピュータは、電源監視手段が検出信号を出力したときに、前記遊技媒体検出手段からの検出信号の入力処理を所定期間実行した後、払出制御用電力供給停止時処理を行う

請求項 1 から請求項 6 のうちのいずれかに記載の遊技機。

【請求項 8】

遊技制御用マイクロコンピュータは、

電力供給が開始されたときに、定期的にタイマ割込が発生するように設定し、

定期的に発生するタイマ割込が生じたことにもとづいて遊技の進行を制御するための割込処理を実行し、

40

遊技制御用電力供給停止時処理にて、前記割込処理の実行を禁止する割込禁止状態または実行を許可する割込許可状態のうちいずれの状態であるかを示す割込状態データを遊技制御用変動データ記憶手段に保存させる処理を実行し、

電力供給が開始されたときに、前記割込状態データにもとづいて割込禁止状態または割込許可状態に復旧させる状態復旧処理を行う

請求項 1 から請求項 7 のうちのいずれかに記載の遊技機。

【請求項 9】

払出制御用マイクロコンピュータは、

電力供給が開始されたときに、定期的にタイマ割込が発生するように設定し、

定期的に発生するタイマ割込が生じたことにもとづいて遊技の進行を制御するための割

50

込処理を実行し、

払出制御用電力供給停止時処理にて、前記割込処理の実行を禁止する割込禁止状態または実行を許可する割込許可状態のうちいずれの状態であることを示す割込状態データを払出制御用変動データ記憶手段に保存させる処理を実行し、

電力供給が開始されたときに、前記割込状態データにもとづいて割込禁止状態または割込許可状態に復旧させる状態復旧処理を行う

請求項 1 から請求項 8 のうちのいずれかに記載の遊技機。

【請求項 10】

遊技制御用マイクロコンピュータは、入賞に応じた遊技媒体の払出数を指定する払出制御コマンドを払出制御用マイクロコンピュータに送信し、

前記払出制御用マイクロコンピュータは、前記払出制御コマンドの受信に応じて、払出手段を制御して前記払出制御コマンドで指定された払出数の遊技媒体の払い出しを行い、

前記払出制御コマンドを受信しているときは、割込禁止状態に制御する

請求項 9 記載の遊技機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、本発明は、遊技者の操作に応じて遊技が行われるパチンコ遊技機、コイン遊技機、スロット機等の遊技機に関し、特に、遊技盤における遊技領域において遊技者の操作に応じて遊技が行われる遊技機に関する。

【0002】

【従来の技術】

遊技機の一例として、遊技球などの遊技媒体を発射装置によって遊技領域に発射し、遊技領域に設けられている入賞口などの入賞領域に遊技媒体が入賞すると、所定個の賞球が遊技者に払い出されるものがある。さらに、表示状態が変化可能な可変表示部が設けられ、可変表示部の表示結果があらかじめ定められた特定の表示態様となった場合に所定の遊技価値を遊技者に与えるように構成されたものがある。

【0003】

遊技価値とは、遊技機の遊技領域に設けられた可変入賞球装置の状態が打球が入賞しやすい遊技者にとって有利な状態になることや、遊技者にとって有利な状態となるための権利を発生させたりすることや、景品遊技媒体払出の条件が成立しやすくなる状態になることである。

【0004】

特別図柄を表示する可変表示部を備えた第 1 種パチンコ遊技機では、特別図柄を表示する可変表示部の表示結果があらかじめ定められた特定の表示態様の組合せとなることを、通常、「大当たり」という。大当たりが発生すると、例えば、大入賞口が所定回数開放して打球が入賞しやすい大当たり遊技状態に移行する。そして、各開放期間において、所定個（例えば 10 個）の大入賞口への入賞があると大入賞口は閉成する。そして、大入賞口の開放回数は、所定回数（例えば 16 ラウンド）に固定されている。なお、各開放について開放時間（例えば 29.5 秒）が決められ、入賞数が所定個に達しなくても開放時間が経過すると大入賞口は閉成する。また、大入賞口が閉成した時点で所定の条件（例えば、大入賞口内に設けられている V ゾーンへの入賞）が成立していない場合には、大当たり遊技状態は終了する。

【0005】

また、「大当たり」の組合せ以外の表示態様の組合せのうち、複数の可変表示部の表示結果のうちの一部が未だに導出表示されていない段階において、既に確定的な、または一時的な表示結果が導出表示されている可変表示部の表示態様が特定の表示態様の組合せとなる表示条件を満たしている状態を「リーチ」という。そして、可変表示部に可変表示される識別情報の表示結果が「大当たり」となる条件を満たさない場合には「はずれ」となり、可変表示状態は終了する。遊技者は、大当たりをいかにして発生させるかを楽しみつつ遊技を

10

20

30

40

50

行う。

【0006】

そして、遊技球が遊技盤に設けられている入賞口に遊技球が入賞すると、あらかじめ決められている個数の賞球払出が行われる。遊技の進行は主基板に搭載された遊技制御手段によって制御されるので、入賞にもとづく賞球個数は、遊技制御手段によって決定され、払出制御基板に送信される。なお、以下、遊技制御手段およびその他の制御手段は、遊技機に設けられている各種電気部品を制御するので、それらを電気部品制御手段と呼ぶことがある。

【0007】

【発明が解決しようとする課題】

以上のように、遊技機には、遊技制御手段を初めとする種々の電気部品制御手段が搭載されている。一般に、各電気部品制御手段はマイクロコンピュータを含んだ構成とされる。そのような電気部品制御手段は、一般に、電源電圧が立ち上がると初期化処理を行い初期状態から制御を開始する。すると、停電等の不測の電源断生じ、その後、電源復旧すると初期状態に戻ってしまうので、遊技者が得た遊技価値等が消滅してしまう等の問題が生ずることがある。そのような問題が生じないようにするには、電源電圧値の低下に伴って発生される所定の信号に応じて遊技制御を中断し、そのときの制御状態を、遊技機に対する電力供給停止中でも電源バックアップされている記憶手段（バックアップ記憶手段）に保存し、電力供給が完全に停止するのを待つように制御すればよい。そのような遊技機は、記憶手段に遊技状態が保存されている状態で電力供給が再開されたら、保存されている制御状態にもとづいて遊技を再開するので、遊技者に不利益が与えられることが防止される。

【0008】

しかし、電源の瞬断等によって極めて短い期間電源電圧が低下したような場合には、電源電圧は直ちに復旧する。そのような場合、マイクロコンピュータの制御が、電力供給が完全に停止するのを待つ状態から抜けきらないことも考えられる。すなわち、遊技機への電力供給は平常時の状態になっているにもかかわらず、遊技機制御が平常時の状態に戻らないことも考えられる。

【0009】

また、電力供給停止中にバックアップ記憶手段の内容が変化してしまったような場合、保存されている制御状態にもとづいて遊技を再開すると、電力供給停止前の制御とは異なる制御がなされてしまう。

【0010】

そこで、本発明は、不測の電源断時等にそのときの制御状態を保存するように構成されている遊技機において、ごく短時間で復旧する電源の瞬断等が生じてても制御に支障を来すことのないようにすることができるとともに、電力供給が再開されたときに、誤った制御状態にもとづいて遊技が再開されてしまうことを防止できる遊技機を提供することを目的とする。

【0011】

【課題を解決するための手段】

本発明による遊技機は、遊技者が所定の遊技を行うことが可能な遊技機であって、制御を行う際に発生する変動データを記憶する遊技制御用変動データ記憶手段を有し、遊技の進行を制御する遊技制御用マイクロコンピュータと、制御を行う際に発生する変動データを記憶する払出制御用変動データ記憶手段を有し、遊技媒体の払出の制御を行う払出制御用マイクロコンピュータと、遊技機への電力供給が停止していても遊技制御用変動データ記憶手段および払出制御用変動データ記憶手段の記憶内容を所定期間保持させることが可能な記憶内容保持手段と、遊技機で使用される所定の電源の状態を監視して電源断の発生を検出したときに検出信号を出力する電源監視手段と、操作に応じて操作信号を出力する初期化操作手段とを備え、遊技制御用マイクロコンピュータは、検出信号の入力に応じて、バックアップフラグを遊技制御用変動データ記憶手段に設定する処理、遊技制御用変動

10

20

30

40

50

データ記憶手段の記憶内容が正常か否かの判定に用いるチェックデータの作成処理、および遊技制御用変動データ記憶手段へのアクセスを禁止する処理を含む遊技制御用電力供給停止時処理を実行した後待機状態に移行し、電力供給が開始されたときに、初期化操作手段からの操作信号が入力されていないこと、遊技制御用変動データ記憶手段にバックアップフラグが設定されていること、およびチェックデータにもとづいて遊技制御用変動データ記憶手段の記憶内容が正常であることを確認したことを条件に遊技制御用変動データ記憶手段に保存されていた記憶内容にもとづいて制御状態を遊技制御用電力供給停止時処理を開始したときの状態に復旧させる遊技制御用状態復帰制御を実行し、電力供給が開始されたときに、初期化操作手段からの操作信号が入力されていれば、遊技制御用変動データ記憶手段にバックアップフラグが設定されているか否か、遊技制御用変動データ記憶手段の記憶内容が正常であるか否かにかわらず、遊技制御用変動データ記憶手段の記憶内容を初期化する処理を実行し、また遊技制御用変動データ記憶手段にバックアップフラグが設定されていなければ、遊技制御用変動データ記憶手段の記憶内容が正常であるか否かにかわらず、遊技制御用変動データ記憶手段の記憶内容を初期化する処理を実行し、払出制御用マイクロコンピュータは、検出信号の入力に応じて、バックアップフラグを払出制御用変動データ記憶手段に設定する処理、および払出制御用変動データ記憶手段の記憶内容が正常か否かの判定に用いるチェックデータの作成処理を含む払出制御用電力供給停止時処理を実行した後待機状態に移行し、電力供給が開始されたときに、初期化操作手段からの操作信号が入力されていないこと、払出制御用変動データ記憶手段にバックアップフラグが設定されていること、およびチェックデータにもとづいて払出制御用変動データ記憶手段の記憶内容が正常であることを確認したことを条件に払出制御用変動データ記憶手段に保存されていた記憶内容にもとづいて制御状態を払出制御用電力供給停止時処理を開始したときの状態に復旧させる払出制御用状態復帰制御を実行し、電力供給が開始されたときに、初期化操作手段からの操作信号が入力されていれば、払出制御用変動データ記憶手段にバックアップフラグが設定されているか否か、払出制御用変動データ記憶手段の記憶内容が正常であるか否かにかわらず、払出制御用変動データ記憶手段の記憶内容を初期化する処理を実行し、また払出制御用変動データ記憶手段にバックアップフラグが設定されていなければ、払出制御用変動データ記憶手段の記憶内容が正常であるか否かにかわらず、払出制御用変動データ記憶手段の記憶内容を初期化する処理を実行し、電源監視手段が検出信号を出力した後の所定期間経過後に電力供給が停止していないときに、待機状態から復帰させるための復帰信号を出力する復帰信号出力手段と、遊技制御用マイクロコンピュータが遊技制御用電力供給停止時処理を完了した後に、遊技制御用マイクロコンピュータを動作停止状態とするための信号を出力するリセット手段とを備え、遊技制御用マイクロコンピュータおよび払出制御用マイクロコンピュータは、待機状態中に復帰信号が入力されたときに、遊技制御用状態復帰制御および払出制御用状態復帰制御を実行し、遊技制御用マイクロコンピュータおよび払出制御用マイクロコンピュータは、初期化操作手段からの操作信号が入力されているか否かを、遊技媒体を検出するための遊技媒体検出手段からの検出信号を判定する遊技媒体検出判定期間よりも短い要求検出判定期間で確認することを特徴とする。

【 0 0 1 2 】

遊技制御用マイクロコンピュータは、電力供給が開始されたときまたは復帰信号の入力に応じて、チェックデータにもとづいて遊技制御用変動データ記憶手段に記憶されている記憶内容が正常でないと判定したときには遊技制御用変動データ記憶手段の記憶内容を初期化し、払出制御用マイクロコンピュータは、電力供給が開始されたときまたは復帰信号の入力に応じて、チェックデータにもとづいて払出制御用変動データ記憶手段に記憶されている記憶内容が正常でないと判定したときには払出制御用変動データ記憶手段の記憶内容を初期化するように構成されていてもよい。

【 0 0 1 5 】

復帰信号出力手段は、遊技制御用マイクロコンピュータに復帰信号を出力する第 1 の復帰信号出力手段と、払出制御用マイクロコンピュータに復帰信号を出力する第 2 の復帰

10

20

30

40

50

号出力手段とを含み、第2の復帰信号出力手段が払出制御用マイクロコンピュータに復帰信号を出力した後に、第1の復帰信号出力手段が遊技制御用マイクロコンピュータに復帰信号を出力するように構成されていてもよい。

【0016】

遊技制御用マイクロコンピュータは、遊技制御用変動データ記憶手段の記憶内容にもとづいた演算を行うことによりチェックデータを作成し、払出制御用マイクロコンピュータは、払出制御用変動データ記憶手段の記憶内容にもとづいた演算を行うことによりチェックデータを作成するように構成されていてもよい。

【0017】

遊技制御用マイクロコンピュータが信号を出力するための出力ポートを備え、遊技制御用マイクロコンピュータは、遊技制御用電力供給停止時処理で、出力ポートに出力される信号をクリアする出力ポートクリア処理を行うように構成されていてもよい。

【0018】

払出制御用マイクロコンピュータが信号を出力するための出力ポートを備え、払出制御用マイクロコンピュータは、払出制御用電力供給停止時処理で、出力ポートに出力される信号をクリアする出力ポートクリア処理を行うように構成されていてもよい。

【0019】

遊技媒体の払い出しを行う払出手段と、該払出手段から払い出された遊技媒体を検出するための遊技媒体検出手段とを備え、払出制御用マイクロコンピュータは、電源監視手段が検出信号を出力したときに、遊技媒体検出手段からの検出信号の入力処理を所定期間実行した後、払出制御用電力供給停止時処理を行うように構成されていてもよい。

【0020】

遊技制御用マイクロコンピュータは、電力供給が開始されたときに、定期的にタイマ割込が発生するように設定し、定期的に発生するタイマ割込が生じたことにもとづいて遊技の進行を制御するための割込処理を実行し、遊技制御用電力供給停止時処理にて、割込処理の実行を禁止する割込禁止状態または実行を許可する割込許可状態のうちいずれの状態であるかを示す割込状態データを遊技制御用変動データ記憶手段に保存させる処理を実行し、電力供給が開始されたときに、割込状態データにもとづいて割込禁止状態または割込許可状態に復旧させる状態復旧処理を行うように構成されていてもよい。

【0021】

払出制御用マイクロコンピュータは、電力供給が開始されたときに、定期的にタイマ割込が発生するように設定し、定期的に発生するタイマ割込が生じたことにもとづいて遊技の進行を制御するための割込処理を実行し、払出制御用電力供給停止時処理にて、割込処理の実行を禁止する割込禁止状態または実行を許可する割込許可状態のうちいずれの状態であるかを示す割込状態データを払出制御用変動データ記憶手段に保存させる処理を実行し、電力供給が開始されたときに、割込状態データにもとづいて割込禁止状態または割込許可状態に復旧させる状態復旧処理を行うように構成されていてもよい。また、遊技制御用マイクロコンピュータは、入賞に応じた遊技媒体の払出数を指定する払出制御コマンドを払出制御用マイクロコンピュータに送信し、払出制御用マイクロコンピュータは、払出制御コマンドの受信に応じて、払出手段を制御して払出制御コマンドで指定された払出数の遊技媒体の払い出しを行い、払出制御コマンドを受信しているときは、割込禁止状態に制御するように構成されていてもよい。

【0022】

【発明の実施の形態】

以下、本発明の一実施形態を図面を参照して説明する。

まず、遊技機の一例であるパチンコ遊技機の全体の構成について説明する。図1はパチンコ遊技機1を正面からみた正面図である。なお、ここでは、遊技機の一例としてパチンコ遊技機を示すが、本発明はパチンコ遊技機に限られず、例えばコイン遊技機やスロット機等であってもよい。

【0023】

図 1 に示すように、パチンコ遊技機 1 は、額縁状に形成されたガラス扉枠 2 を有する。ガラス扉枠 2 の下部表面には打球供給皿 3 がある。打球供給皿 3 の下部には、打球供給皿 3 からあふれた遊技球を貯留する余剰玉受皿 4 と打球を発射する打球操作ハンドル（操作ノブ）5 が設けられている。ガラス扉枠 2 の後方には、遊技盤 6 が着脱可能に取り付けられている。また、遊技盤 6 の前面には遊技領域 7 が設けられている。

#### 【0024】

遊技領域 7 の中央付近には、複数種類の図柄を可変表示するための可変表示部（特別図柄表示装置）9 と 7 セグメント LED による普通図柄表示器（普通図柄表示装置）10 とを含む可変表示装置 8 が設けられている。可変表示部 9 には、例えば「左」、「中」、「右」の 3 つの図柄表示エリアがある。可変表示装置 8 の側部には、打球を導く通過ゲート 11 が設けられている。通過ゲート 11 を通過した打球は、玉出口 13 を経て始動入賞口 14 の方に導かれる。通過ゲート 11 と玉出口 13 との間の通路には、通過ゲート 11 を通過した打球を検出するゲートスイッチ 12 がある。また、始動入賞口 14 に入った入賞球は、遊技盤 6 の背面に導かれ、始動口スイッチ 17 によって検出される。また、始動入賞口 14 の下部には開閉動作を行う可変入賞球装置 15 が設けられている。可変入賞球装置 15 は、ソレノイド 16 によって開状態とされる。

#### 【0025】

可変入賞球装置 15 の下部には、特定遊技状態（大当たり状態）においてソレノイド 21 によって開状態とされる開閉板 20 が設けられている。この実施の形態では、開閉板 20 が大入賞口を開閉する手段となる。開閉板 20 から遊技盤 6 の背面に導かれた入賞球のうち一方（Vゾーン）に入った入賞球は V 入賞スイッチ 22 で検出される。また、開閉板 20 からの入賞球はカウントスイッチ 23 で検出される。可変表示装置 8 の下部には、始動入賞口 14 に入った入賞球数を表示する 4 個の表示部を有する始動入賞記憶表示器 18 が設けられている。この例では、4 個を上限として、始動入賞がある毎に、始動入賞記憶表示器 18 は点灯している表示部を 1 つずつ増やす。そして、可変表示部 9 の可変表示が開始される毎に、点灯している表示部を 1 つ減らす。

#### 【0026】

遊技盤 6 には、複数の入賞口 19, 24 が設けられ、遊技球のそれぞれの入賞口 19, 24 への入賞は、対応して設けられている入賞口スイッチ 19a, 19b, 24a, 24b によって検出される。遊技領域 7 の左右周辺には、遊技中に点滅表示される装飾ランプ 25 が設けられ、下部には、入賞しなかった打球を吸収するアウト口 26 がある。また、遊技領域 7 の外側の左右上部には、効果音を発する 2 つのスピーカ 27 が設けられている。遊技領域 7 の外周には、遊技効果 LED 28a および遊技効果ランプ 28b, 28c が設けられている。

#### 【0027】

そして、この例では、一方のスピーカ 27 の近傍に、賞球残数があるときに点灯する賞球ランプ 51 が設けられ、他方のスピーカ 27 の近傍に、補給球が切れたときに点灯する球切れランプ 52 が設けられている。さらに、図 1 には、パチンコ遊技機 1 に隣接して設置され、プリペイドカードが挿入されることによって球貸しを可能にするカードユニット 50 も示されている。

#### 【0028】

カードユニット 50 には、使用可能状態であるか否かを示す使用可表示ランプ 151、カード内に記録された残額情報に端数（100 円未満の数）が存在する場合にその端数を打球供給皿 3 の近傍に設けられる度数表示 LED に表示させるための端数表示スイッチ 152、カードユニット 50 がいずれの側のパチンコ遊技機 1 に対応しているのかを示す連結台方向表示器 153、カードユニット 50 内にカードが投入されていることを示すカード投入表示ランプ 154、記録媒体としてのカードが挿入されるカード挿入口 155、およびカード挿入口 155 の裏面に設けられているカードリーダーライトの機構を点検する場合にカードユニット 50 を解放するためのカードユニット錠 156 が設けられている。

#### 【0029】

10

20

30

40

50



打球発射装置から発射された打球は、打球レールを通して遊技領域 7 に入り、その後、遊技領域 7 を下りてくる。打球が通過ゲート 11 を通ってゲートスイッチ 12 で検出されると、普通図柄表示器 10 の表示数字が連続的に変化する状態になる。また、打球が始動入賞口 14 に入り始動口スイッチ 17 で検出されると、図柄の変動を開始できる状態であれば、可変表示部 9 内の図柄が回転を始める。図柄の変動を開始できる状態でなければ、始動入賞記憶を 1 増やす。

#### 【0030】

可変表示部 9 内の画像の回転は、一定時間が経過したときに停止する。停止時の画像の組み合わせが大当り図柄の組み合わせであると、大当り遊技状態に移行する。すなわち、開閉板 20 が、一定時間経過するまで、または、所定個数（例えば 10 個）の打球が入賞するまで開放する。そして、開閉板 20 の開放中に打球が特定入賞領域に入賞し V 入賞スイッチ 22 で検出されると、継続権が発生し開閉板 20 の開放が再度行われる。継続権の発生は、所定回数（例えば 15 ラウンド）許容される。

10

#### 【0031】

停止時の可変表示部 9 内の画像の組み合わせが確率変動を伴う大当り図柄の組み合わせである場合には、次に大当りとなる確率が高くなる。すなわち、高確率状態という遊技者にとってさらに有利な状態となる。また、普通図柄表示器 10 における停止図柄が所定の図柄（当り図柄 = 小当り図柄）である場合に、可変入賞球装置 15 が所定時間だけ開状態になる。さらに、高確率状態では、普通図柄表示器 10 における停止図柄が当り図柄になる確率が高められるとともに、可変入賞球装置 15 の開放時間と開放回数が高められる。

20

#### 【0032】

次に、パチンコ遊技機 1 の裏面に配置されている各基板について説明する。

図 2 に示すように、パチンコ遊技機 1 の裏面では、枠体 2A 内の機構板の上部に玉貯留タンク 38 が設けられ、パチンコ遊技機 1 が遊技機設置島に設置された状態でその上方から遊技球が球貯留タンク 38 に供給される。球貯留タンク 38 内の遊技球は、誘導樋 39 を通って賞球ケース 40A で覆われる球払出装置に至る。

#### 【0033】

遊技機裏面側では、可変表示部 9 を制御する可変表示制御ユニット 29、遊技制御用マイクロコンピュータ等が搭載された遊技制御基板（主基板）31 が設置されている。また、球払出制御を行う払出制御用マイクロコンピュータ等が搭載された払出制御基板 37、およびモータの回転力を利用して打球を遊技領域 7 に発射する打球発射装置が設置されている。さらに、装飾ランプ 25、遊技効果 LED 28a、遊技効果ランプ 28b、28c、賞球ランプ 51 および球切れランプ 52 に信号を送るためのランプ制御基板 35、スピーカ 27 からの音声発生を制御するための音声制御基板 70 および打球発射装置を制御するための発射制御基板 91 も設けられている。なお、払出制御基板 37 には、エラー表示用 LED 374 も搭載されている。

30

#### 【0034】

また、DC 30V、DC 21V、DC 12V および DC 5V を作成する電源回路が搭載された電源基板 910 が設けられ、上方には、各種情報を遊技機外部に出力するための各端子を備えたターミナル基板 160 が設置されている。ターミナル基板 160 には、少なくとも、球切れ検出スイッチの出力を導入して外部出力するための球切れ用端子、賞球個数信号を外部出力するための賞球用端子および球貸し個数信号を外部出力するための球貸し用端子が設けられている。また、中央付近には、主基板 31 からの各種情報を遊技機外部に出力するための各端子を備えた情報端子盤 34 が設置されている。

40

#### 【0035】

さらに、図 2 には、ランプ制御基板 35 および音声制御基板 70 からの信号を、枠側に設けられている遊技効果 LED 28a、遊技効果ランプ 28b、28c、賞球ランプ 51 および球切れランプ 52 に供給するための電飾中継基板 A77 および度数表示 LED 等を搭載した残高表示基板 74 が示されている。また、この実施の形態では、各基板（例えば、主基板 31、払出制御基板 37）に含まれる変動データ記憶手段（例えば、バックアップ

50

R A M ) に記憶されたバックアップデータをクリアするためのクリアスイッチ 9 2 1 が搭載されたスイッチ基板 1 9 0 が設けられている。なお、スイッチ基板 1 9 0 には、例えば主基板などの他の基板と接続されるコネクタ ( 図 6 、 図 7 参照 ) が設けられている。さらに、図示はしないが、信号中継の必要に応じて他の中継基板も設けられる。

#### 【 0 0 3 6 】

図 3 はパチンコ遊技機 1 の機構板を背面からみた背面図である。球貯留タンク 3 8 に貯留された玉は誘導樋 3 9 を通り、図 3 に示されるように、球切れ検出器 ( 球切れスイッチ ) 1 8 7 a , 1 8 7 b を通過して球供給樋 1 8 6 a , 1 8 6 b を経て球払出装置 9 7 に至る。球切れスイッチ 1 8 7 a , 1 8 7 b は遊技球通路内の遊技球の有無を検出するスイッチであるが、球タンク 3 8 内の補給球の不足を検出する球切れ検出スイッチ 1 6 7 も設けられている。以下、球切れスイッチ 1 8 7 a , 1 8 7 b を、球切れスイッチ 1 8 7 と表現することがある。

10

#### 【 0 0 3 7 】

球払出装置 9 7 から払い出された遊技球は、連絡口 4 5 を通ってパチンコ遊技機 1 の前面に設けられている打球供給皿 3 に供給される。連絡口 4 5 の側方には、パチンコ遊技機 1 の前面に設けられている余剰玉受皿 4 に連通する余剰玉通路 4 6 が形成されている。

#### 【 0 0 3 8 】

入賞にもとづく景品球が多数払い出されて打球供給皿 3 が満杯になり、ついには遊技球が連絡口 4 5 に到達した後さらに遊技球が払い出されると遊技球は、余剰玉通路 4 6 を経て余剰玉受皿 4 に導かれる。さらに遊技球が払い出されると、感知レバー 4 7 が満タンスイッチ 4 8 を押圧して満タンスイッチ 4 8 がオンする。その状態では、球払出装置 9 7 内のステッピングモータの回転が停止して球払出装置 9 7 の動作が停止するとともに打球発射装置 3 4 の駆動も停止する。

20

#### 【 0 0 3 9 】

次に、機構板 3 6 に設置されている中間ベースユニットの構成について説明する。中間ベースユニットには、球供給樋 1 8 6 a , 1 8 6 b や球払出装置 9 7 が設置される。図 4 に示すように、中間ベースユニットの上下には連結凹突部 1 8 2 が形成されている。連結凹突部 1 8 2 は、中間ベースユニットと機構板 3 6 の上部ベースユニットおよび下部ベースユニットを連結固定するものである。

#### 【 0 0 4 0 】

中間ベースユニットの上部には通路体 1 8 4 が固定されている。そして、通路体 1 8 4 の下部に球払出装置 9 7 が固定されている。通路体 1 8 4 は、カーブ樋 1 7 4 ( 図 3 参照 ) によって流下方向を左右方向に変換された 2 列の遊技球を流下させる払出球通路 1 8 6 a , 1 8 6 b を有する。払出球通路 1 8 6 a , 1 8 6 b の上流側には、球切れスイッチ 1 8 7 a , 1 8 7 b が設置されている。球切れスイッチ 1 8 7 a , 1 8 7 b は、払出球通路 1 8 6 a , 1 8 6 b 内の遊技球の有無を検出するものであって、球切れスイッチ 1 8 7 a , 1 8 7 b が遊技球を検出しなくなると球払出装置 9 7 における払出モータ ( 図 4 において図示せず ) の回転を停止して球払出が不動化される。

30

#### 【 0 0 4 1 】

なお、球切れスイッチ 1 8 7 a , 1 8 7 b は、払出球通路 1 8 6 a , 1 8 6 b に 2 7 ~ 2 8 個程度の遊技球が存在することを検出できるような位置に係止片 1 8 8 によって係止されている。すなわち、球切れスイッチ 1 8 7 a , 1 8 7 b は、賞球の一単位の最大払出量 ( この実施の形態では 1 5 個 ) および球貸しの一単位の最大払出量 ( この実施の形態では 1 0 0 円 : 2 5 個 ) 以上が確保されていることが確認できるような位置に設置されている。

40

#### 【 0 0 4 2 】

通路体 1 8 4 の中央部は、内部を流下する遊技球の球圧を弱めるように、左右に湾曲する形状に形成されている。そして、払出球通路 1 8 6 a , 1 8 6 b の間に止め穴 1 8 9 が形成されている。止め穴 1 8 9 の裏面は中間ベースユニットに設けられている取付ボスがめ込まれる。その状態で止めねじがねじ止めされて、通路体 1 8 4 は中間ベースユニット

50

に固定される。なお、ねじ止めされる前に、中間ベースユニットに設けられている係止突片 185 によって通路体 184 の位置合わせを行えるようになっている。

【0043】

通路体 184 の下方には、球払出装置 97 に遊技球を供給するとともに故障時等には球払出装置 97 への遊技球の供給を停止する球止め装置 190 が設けられている。球止め装置 190 の下方に設置される球払出装置 97 は、直方体状のケース 198 の内部に収納されている。ケース 198 の左右 4 箇所には突部が設けられている。各突部が中間ベースユニットに設けられている位置決め突片に係った状態で、中間ベースユニットの下部に設けられている弾性係合片にケース 198 の下端がはめ込まれる。

【0044】

図 5 は球払出装置 97 の分解斜視図である。球払出装置 97 の構成および作用について図 5 を参照して説明する。この実施形態における球払出装置 97 は、ステッピングモータ（払出モータ）289 がスクリュー 288 を回転させることによりパチンコ玉を 1 個ずつ払い出す。なお、球払出装置 97 は、入賞にもとづく景品球だけでなく、貸し出すべき遊技球も払い出す。

【0045】

図 5 に示すように、球払出装置 97 は、2 つのケース 198a, 198b を有する。それぞれのケース 198a, 198b の左右 2 箇所に、球払出装置 97 の設置位置上部に設けられた位置決め突片に当接される係合突部 280 が設けられている。また、それぞれのケース 198a, 198b には、球供給路 281a, 281b が形成されている。球供給路 281a, 281b は湾曲面 282a, 282b を有し、湾曲面 282a, 282b の終端の下方には、球送り水平路 284a, 284b が形成されている。さらに、球送り水平路 284a, 284b の終端に球排出路 283a, 283b が形成されている。

【0046】

球供給路 281a, 281b、球送り水平路 284a, 284b、球排出路 283a, 283b は、ケース 198a, 198b をそれぞれ前後に区画する区画壁 295a, 295b の前方に形成されている。また、区画壁 295a, 295b の前方において、玉圧緩衝部材 285 がケース 198a, 198b 間に挟み込まれる。玉圧緩衝部材 285 は、球払出装置 97 に供給される玉を左右側方に振り分けて球供給路 281a, 281b に誘導する。

【0047】

また、玉圧緩衝部材 285 の下部には、発光素子（LED）286 と受光素子（図示せず）とによる払出モータ位置センサが設けられている。発光素子 286 と受光素子とは、所定の間隔をあけて設けられている。そして、この間隔内に、スクリュー 288 の先端が挿入されるようになっている。なお、玉圧緩衝部材 285 は、ケース 198a, 198b が張り合わされたときに、完全にその内部に収納固定される。

【0048】

球送り水平路 284a, 284b には、払出モータ 289 によって回転させられるスクリュー 288 が配置されている。払出モータ 289 はモータ固定板 290 に固定され、モータ固定板 290 は、区画壁 295a, 295b の後方に形成される固定溝 291a, 291b にはめ込まれる。その状態で払出モータ 289 のモータ軸が区画壁 295a, 295b の前方に突出するので、その突出の前方にスクリュー 288 が固定される。スクリュー 288 の外周には、払出モータ 289 の回転によって球送り水平路 284a, 284b に載置された遊技球を前方に移動させるための螺旋突起 288a が設けられている。

【0049】

そして、スクリュー 288 の先端には、発光素子 286 を収納するように凹部が形成され、その凹部の外周には、2 つの切欠部 292 が互いに 180 度離れて形成されている。従って、スクリュー 288 が 1 回転する間に、発光素子 286 からの光は、切欠部 292 を介して受光素子で 2 回検出される。

【0050】

10

20

30

40

50

つまり、発光素子 286 と受光素子とによる払出モータ位置センサは、スクリー 288 を定位置で停止するためのものであり、かつ、払出動作が行われた旨を検出するものである。なお、発光素子 286、受光素子および払出モータ 289 からの配線は、まとめられてケース 198a、198b の後部下方に形成された引出穴から外部に引き出されコネクタに結線される。

#### 【0051】

遊技球が球送り水平路 284a、284b に載置された状態において、払出モータ 289 が回転すると、スクリー 288 の螺旋突起 288a によって、遊技球は、球送り水平路 284a、284b 上を前方に向かって移動する。そして、遂には、球送り水平路 284a、284b の終端から球排出路 283a、283b に落下する。このとき、左右の球送り水平路 284a、284b からの落下は交互に行われる。すなわち、スクリー 288 が半回転する毎に一方から 1 個の遊技球が落下する。従って、1 個の遊技球が落下する毎に、発光素子 286 からの光が受光素子によって検出される。

10

#### 【0052】

図 4 に示すように、球払出装置 97 の下方には、球振分部材 311 が設けられている。球振分部材 311 は、振分ソレノイド 310 によって駆動される。例えば、ソレノイド 310 のオン時には、球振分部材 311 は右側に倒れ、オフ時には左側に倒れる。振分ソレノイド 310 の下方には、近接スイッチによる賞球カウントスイッチ 301A および球貸しカウントスイッチ 301B が設けられている。入賞にもとづく賞球時には、球振分部材 311 は右側に倒れ、球排出路 283a、283b からの玉とともに賞球カウントスイッチ 301A を通過する。また、球貸し時には、球振分部材 311 は左側に倒れ、球排出路 283a、283b からの玉とともに球貸しカウントスイッチ 301B を通過する。従って、球払出装置 97 は、賞球時と球貸し時とで払出流下路を切り替えて、所定数の遊技媒体の払出を行うことができる。

20

#### 【0053】

このように、球振分部材 311 を設けることによって、2 条の玉流路を落下してきた玉は、賞球カウントスイッチ 301A と球貸しカウントスイッチ 301B とのうちのいずれか一方しか通過しない。従って、賞球であるのか球貸しであるのかの判断をすることなく、賞球カウントスイッチ 301A と球貸しカウントスイッチ 301B の検出出力から、直ちに賞球数または球貸し数を把握することができる。

30

#### 【0054】

なお、この実施の形態では、電氣的駆動源の駆動によって遊技球を払い出す球払出装置として、ステッピングモータの回転によって遊技球が払い出される球払出装置 97 を用いることにするが、その他の駆動源によって遊技球を送り出す構造の球払出装置を用いてもよいし、電氣的駆動源の駆動によってストッパを外し遊技球の自重によって払い出しがなされる構造の球払出装置を用いてもよい。また、この実施の形態では、球払出装置 97 は賞球にもとづく景品球と貸出要求にもとづく貸し球の双方を払い出すが、それぞれについて払出装置が設けられていてもよい。

#### 【0055】

図 6 は、スイッチ基板 190 が搭載された遊技盤 6 を正面からみた例を示す正面図である。図 2 において、パチンコ遊技機 1 の裏面にスイッチ基板 190 が搭載された状態の例として、枠体 2A を含む裏面の状態について説明したが、さらに詳細には、スイッチ基板 190 は、例えば図 6 に示すように、遊技機 1 の裏面側の遊技盤 6 に設置されている。なお、図 6 には、例えば主基板などの他の基板と接続されるためのコネクタ 925 が開示されている。

40

#### 【0056】

図 7 は、スイッチ基板 190 に搭載されたクリアスイッチ 921 の回路構成の一例を示す回路図である。クリアスイッチ 921 は、本例では、押しボタン構造とされている。クリアスイッチ 921 が押下されていれば（オン状態であれば）、ローレベルのクリアスイッチ信号が出力され、コネクタ 925 を介して例えば主基板 31 などの各基板に対して送信

50

される。また、クリアスイッチ 9 2 1 が押下されていなければ（オフ状態であれば）、ハイレベルの出力信号が出力される。

【 0 0 5 7 】

図 8 は、主基板 3 1 における回路構成の一例を示すブロック図である。なお、図 8 には、払出制御基板 3 7、ランプ制御基板 3 5、音声制御基板 7 0、発射制御基板 9 1、図柄制御基板 8 0 およびスイッチ基板 1 9 0 も示されている。主基板 3 1 には、プログラムに従ってパチンコ遊技機 1 を制御する基本回路 5 3 と、ゲートスイッチ 1 2、始動口スイッチ 1 7、V 入賞スイッチ 2 2、カウントスイッチ 2 3、入賞口スイッチ 1 9 a, 1 9 b, 2 4 a, 2 4 b、満タンスイッチ 4 8、球切れスイッチ 1 8 7 および賞球カウントスイッチ 3 0 1 A からの信号を基本回路 5 3 に与えるスイッチ回路 5 8 と、可変入賞球装置 1 5 を開閉するソレノイド 1 6、開閉板 2 0 を開閉するソレノイド 2 1 および大入賞口内の経路を切り換えるためのソレノイド 2 1 A を基本回路 5 3 からの指令に従って駆動するソレノイド回路 5 9 とが搭載されている。なお、この実施の形態では、スイッチ回路 5 8 は、スイッチ基板 1 9 0 に搭載されたクリアスイッチ 9 2 1 からの信号をも基本回路 5 3 に与える。また、図 8 には示されていないが、カウントスイッチ短絡信号もスイッチ回路 5 8 を介して基本回路 5 3 に伝達される。

10

【 0 0 5 8 】

また、基本回路 5 3 から与えられるデータに従って、大当りの発生を示す大当り情報、可変表示部 9 の画像表示開始に利用された始動入賞球の個数を示す有効始動情報、確率変動が生じたことを示す確変情報等の情報出力信号をホールコンピュータ等の外部機器に対して出力する情報出力回路 6 4 が搭載されている。

20

【 0 0 5 9 】

基本回路 5 3 は、ゲーム制御用のプログラム等を記憶する R O M 5 4、ワークメモリとして使用される記憶手段の一例である R A M 5 5、プログラムに従って制御動作を行う C P U 5 6 および I / O ポート部 5 7 を含む。この実施の形態では、R O M 5 4, R A M 5 5 は C P U 5 6 に内蔵されている。すなわち、C P U 5 6 は、1 チップマイクロコンピュータである。なお、1 チップマイクロコンピュータは、少なくとも R A M 5 5 が内蔵されていればよく、R O M 5 4 および I / O ポート部 5 7 は外付けであっても内蔵されていてもよい。

【 0 0 6 0 】

遊技球を打撃して発射する打球発射装置は発射制御基板 9 1 上の回路によって制御される駆動モータ 9 4 で駆動される。そして、駆動モータ 9 4 の駆動力は、操作ノブ 5 の操作量に従って調整される。すなわち、発射制御基板 9 1 上の回路によって、操作ノブ 5 の操作量に応じた速度で打球が発射されるように制御される。

30

【 0 0 6 1 】

この実施の形態では、電源基板 9 1 0 から主基板 3 1 に対して、ローレベルのリセット状態を示すリセット信号、ローアクティブの復帰信号およびローアクティブの電源断信号も入力される。リセット信号と復帰信号とは A N D 回路 1 6 1 に入力され、A N D 回路 1 6 1 の出力が C P U 5 6 のリセット端子に入力される。また、電源断信号は、C P U 5 6 のマスク不能割込 ( N M I ) 端子に入力される。さらに、図 8 には明示されていないが、R A M ( C P U 内蔵 R A M であってもよい ) 5 5 の少なくとも一部は、電源基板 9 1 0 において作成されるバックアップ電源によって、バックアップされている。すなわち、遊技機に対する電力供給が停止しても、所定期間は、R A M 5 5 の少なくとも一部の内容は保存される。

40

【 0 0 6 2 】

なお、この実施の形態では、ランプ制御基板 3 5 に搭載されているランプ制御手段が、遊技盤に設けられている始動記憶表示器 1 8、ゲート通過記憶表示器 4 1 および装飾ランプ 2 5 の表示制御を行うとともに、枠側に設けられている遊技効果ランプ・L E D 2 8 a, 2 8 b, 2 8 c、賞球ランプ 5 1 および球切れランプ 5 2 の表示制御を行う。また、特別図柄を可変表示する可変表示部 9 および普通図柄を可変表示する普通図柄表示器 1 0 の表

50

示制御は、図柄制御基板 80 に搭載されている表示制御手段によって行われる。

【0063】

図9は、払出制御基板37および球払出装置97の構成要素などの払出に関連する構成要素を示すブロック図である。図9に示すように、満タンスイッチ48からの検出信号は、中継基板71を介して主基板31のI/Oポート部57に入力される。満タンスイッチ48は、余剰球受皿4の満タンを検出するスイッチである。また、球切れスイッチ187(187a, 187b)からの検出信号も、中継基板72および中継基板71を介して主基板31のI/Oポート部57に入力される。

【0064】

主基板31のCPU56は、球切れスイッチ187からの検出信号が球切れ状態を示しているか、または、満タンスイッチ48からの検出信号が満タン状態を示していると、払出禁止を指示する払出制御コマンドを送出する。払出禁止を指示する払出制御コマンドを受信すると、払出制御基板37の払出制御用CPU371は球払出処理を停止する。

10

【0065】

さらに、賞球カウントスイッチ301Aからの検出信号は、中継基板72および中継基板71を介して主基板31のI/Oポート部57に入力されるとともに、中継基板72を介して払出制御基板37の入力ポート372bに入力される。賞球カウントスイッチ301Aは、球払出装置97の払出機構部分に設けられ、実際に払い出された賞球払出球を検出する。

【0066】

20

入賞があると、払出制御基板37には、主基板31の出力ポート(ポート0, 1)570, 571から賞球個数を示す払出制御コマンドが入力される。出力ポート(出力ポート1)571は8ビットのデータを出力し、出力ポート570は1ビットのストローブ信号(INT信号)を出力する。賞球個数を示す払出制御コマンドは、入力バッファ回路373Aを介してI/Oポート372aに入力される。INT信号は、入力バッファ回路373Bを介して払出制御用CPU371の割込端子に入力されている。払出制御用CPU371は、I/Oポート372aを介して払出制御コマンドを入力し、払出制御コマンドに応じて球払出装置97を駆動して賞球払出を行う。なお、この実施の形態では、払出制御用CPU371は、1チップマイクロコンピュータであり、少なくともRAMが内蔵されている。

30

【0067】

また、主基板31において、出力ポート570, 571の外側にバッファ回路620, 68Aが設けられている。バッファ回路620, 68Aとして、例えば、汎用のCMOS-ICである74HC250, 74HC14が用いられる。このような構成によれば、外部から主基板31の内部に入力される信号が阻止されるので、払出制御基板37から主基板31に信号が与えられる可能性がある信号ラインをさらに確実になくすることができる。なお、バッファ回路620, 68Aの出力側にノイズフィルタを設けてもよい。

【0068】

払出制御用CPU371は、出力ポート372cを介して、貸し球数を示す球貸し個数信号をターミナル基板160に出力する。さらに、出力ポート372dを介して、エラー表示用LED374にエラー信号を出力する。

40

【0069】

さらに、払出制御基板37の入力ポート372bには、中継基板72を介して球貸しカウントスイッチ301Bからの検出信号が入力される。球貸しカウントスイッチ301Bは、球払出装置97の払出機構部分に設けられ、実際に払い出された貸し球を検出する。払出制御基板37からの払出モータ289への駆動信号は、出力ポート372cおよび中継基板72を介して球払出装置97の払出機構部分における払出モータ289に伝えられ、振分ソレノイド310への駆動信号は、出力ポート372eおよび中継基板72を介して球払出装置97の払出機構部分における振分ソレノイド310に伝えられる。

【0070】

50

カードユニット５０には、カードユニット制御用マイクロコンピュータが搭載されている。また、カードユニット５０には、端数表示スイッチ１５２、連結台方向表示器１５３、カード投入表示ランプ１５４およびカード挿入口１５５が設けられている（図１参照）。残高表示基板７４には、打球供給皿３の近傍に設けられている度数表示ＬＥＤ、球貸しスイッチおよび返却スイッチが接続される。

#### 【００７１】

残高表示基板７４からカードユニット５０には、遊技者の操作に応じて、球貸しスイッチ信号および返却スイッチ信号が払出制御基板３７を介して与えられる。また、カードユニット５０から残高表示基板７４には、プリペイドカードの残高を示すカード残高表示信号および球貸し可表示信号が払出制御基板３７を介して与えられる。カードユニット５０と払出制御基板３７の間では、接続信号（ＶＬ信号）、ユニット操作信号（ＢＲＤＹ信号）、球貸し要求信号（ＢＲＱ信号）、球貸し完了信号（ＥＸＳ信号）およびパチンコ機動作信号（ＰＲＤＹ信号）が入力ポート３７２ｂおよび出力ポート３７２ｅを介してやりとりされる。

10

#### 【００７２】

パチンコ遊技機１の電源が投入されると、払出制御基板３７の払出制御用ＣＰＵ３７１は、カードユニット５０にＰＲＤＹ信号を出力する。また、カードユニット制御用マイクロコンピュータは、ＶＬ信号を出力する。払出制御用ＣＰＵ３７１は、ＶＬ信号の入力状態により接続状態／未接続状態を判定する。カードユニット５０においてカードが受け付けられ、球貸しスイッチが操作され球貸しスイッチ信号が入力されると、カードユニット制御用マイクロコンピュータは、払出制御基板３７にＢＲＤＹ信号を出力する。この時点から所定の遅延時間が経過すると、カードユニット制御用マイクロコンピュータは、払出制御基板３７にＢＲＱ信号を出力する。

20

#### 【００７３】

そして、払出制御基板３７の払出制御用ＣＰＵ３７１は、カードユニット５０に対するＥＸＳ信号を立ち上げ、カードユニット５０からのＢＲＱ信号の立ち下がりを検出すると、払出モータ２８９を駆動し、所定個の貸し球を遊技者に払い出す。このとき、振分ソレノイド３１０は駆動状態とされている。すなわち、球振分部材３１１を球貸し側に向ける。そして、払出が完了したら、払出制御用ＣＰＵ３７１は、カードユニット５０に対するＥＸＳ信号を立ち下げる。その後、カードユニット５０からのＢＲＤＹ信号がオン状態であれば、賞球払出制御を実行する。

30

#### 【００７４】

以上のように、カードユニット５０からの信号は全て払出制御基板３７に入力される構成になっている。従って、球貸し制御に関して、カードユニット５０から主基板３１に信号が入力されることはなく、主基板３１の基本回路５３にカードユニット５０の側から不正に信号が入力される余地はない。また、カードユニット５０で用いられる電源電圧ＡＣ２４Ｖは払出制御基板３７から供給される。

#### 【００７５】

この実施の形態では、電源基板９１０から払出制御基板３７に対して、リセット信号、復帰信号および電源断信号も入力される。リセット信号と復帰信号とはＡＮＤ回路３８５に入力され、ＡＮＤ回路３８５の出力が払出制御用ＣＰＵ３７１のリセット端子に入力される。また、電源断信号は、払出制御用ＣＰＵ３７１のマスク不能割込（ＮＭＩ）端子に入力される。さらに、払出制御基板３７に存在するＲＡＭ（ＣＰＵ内蔵ＲＡＭであってもよい。）の少なくとも一部は、電源基板９１０において作成されるバックアップ電源によって、バックアップされている。すなわち、遊技機に対する電力供給が停止しても、所定期間は、ＲＡＭの少なくとも一部の内容は保存される。

40

#### 【００７６】

なお、この実施の形態では、カードユニット５０が遊技機とは別体として遊技機に隣接して設置されている場合を例にするが、カードユニット５０は遊技機と一体化されていてもよい。また、コイン投入に応じてその金額に応じた遊技球が貸し出されるような場合でも

50

本発明を適用できる。

【0077】

図10は、図柄制御基板80内の回路構成を、可変表示部9の一実現例であるLCD(液晶表示装置)82、可変表示器10、主基板31の出力ポート(ポート0,2)570,572および出力バッファ回路620,62Aとともに示すブロック図である。出力ポート(出力ポート2)572からは8ビットのデータが出力され、出力ポート570からは1ビットのストローブ信号(INT信号)が出力される。

【0078】

図10に示すように、表示制御用CPU101には、電源基板910からリセット信号が供給されている。リセット信号がローレベルであると表示制御用CPU101はリセット状態となり、リセット信号がハイレベルになると表示制御用CPU101は動作可能状態になる。

10

【0079】

表示制御用CPU101は、制御データROM102に格納されたプログラムに従って動作し、主基板31からノイズフィルタ107および入力バッファ回路105Bを介してINT信号が入力されると、入力バッファ回路105Aを介して表示制御コマンドを受信する。入力バッファ回路105A,105Bとして、例えば汎用ICである74HC540,74HC14を使用することができる。なお、表示制御用CPU101がI/Oポートを内蔵していない場合には、入力バッファ回路105A,105Bと表示制御用CPU101との間に、I/Oポートが設けられる。

20

【0080】

そして、表示制御用CPU101は、受信した表示制御コマンドに従って、LCD82に表示される画面の表示制御を行う。具体的には、表示制御コマンドに応じた指令をVDP103に与える。VDP103は、キャラクタROM86から必要なデータを読み出す。VDP103は、入力したデータに従ってLCD82に表示するための画像データを生成し、R,G,B信号および同期信号をLCD82に出力する。

【0081】

なお、図10には、VDP103をリセットするためのリセット回路83、VDP103に動作クロックを与えるための発振回路85、および使用頻度の高い画像データを格納するキャラクタROM86も示されている。キャラクタROM86に格納される使用頻度の高い画像データとは、例えば、LCD82に表示される人物、動物、または、文字、図形もしくは記号等からなる画像などである。

30

【0082】

入力バッファ回路105A,105Bは、主基板31から図柄制御基板80へ向かう方向にのみ信号を通過させることができる。従って、図柄制御基板80側から主基板31側に信号が伝わる余地はない。すなわち、入力バッファ回路105A,105Bは、入力ポートとともに不可逆性情報入力手段を構成する。図柄制御基板80内の回路に不正改造が加えられても、不正改造によって出力される信号が主基板31側に伝わることはない。

【0083】

なお、出力ポート570,572の出力をそのまま図柄制御基板80に出力してもよいが、単方向にのみ信号伝達可能な出力バッファ回路620,62Aを設けることによって、主基板31から図柄制御基板80への一方向性の信号伝達をより確実にすることができる。すなわち、出力バッファ回路620,62Aは、出力ポートとともに不可逆性情報出力手段を構成する。

40

【0084】

また、高周波信号を遮断するノイズフィルタ107として、例えば3端子コンデンサやフェライトビーズが使用されるが、ノイズフィルタ107の存在によって、表示制御コマンドに基板間でノイズが乗ったとしても、その影響は除去される。なお、主基板31のバッファ回路620,62Aの出力側にもノイズフィルタを設けてもよい。

【0085】

50



図 1 1 は、主基板 3 1 およびランプ制御基板 3 5 における信号送受信部分を示すブロック図である。この実施の形態では、遊技領域 7 の外側に設けられている遊技効果 L E D 2 8 a、遊技効果ランプ 2 8 b、2 8 c と遊技盤に設けられている装飾ランプ 2 5 の点灯 / 消灯と、賞球ランプ 5 1 および球切れランプ 5 2 の点灯 / 消灯とを示すランプ制御コマンドが主基板 3 1 からランプ制御基板 3 5 へ出力される。また、始動記憶表示器 1 8 およびゲート通過記憶表示器 4 1 の点灯個数を示すランプ制御コマンドも主基板 3 1 からランプ制御基板 3 5 へ出力される。

【 0 0 8 6 】

ランプ制御用 C P U 3 5 1 には、電源基板 9 1 0 からリセット信号が供給されている。リセット信号がローレベルであるとランプ制御用 C P U 3 5 1 はリセット状態となり、リセット信号がハイレベルになるとランプ制御用 C P U 3 5 1 は動作可能状態になる。

10

【 0 0 8 7 】

図 1 1 に示すように、ランプ制御に関するランプ制御コマンドは、基本回路 5 3 における I / O ポート部 5 7 の出力ポート ( 出力ポート 0 , 3 ) 5 7 0 , 5 7 3 から出力される。出力ポート ( 出力ポート 3 ) 5 7 3 は 8 ビットのデータを出力し、出力ポート 5 7 0 は 1 ビットの I N T 信号を出力する。ランプ制御基板 3 5 において、主基板 3 1 からの制御コマンドは、入力バッファ回路 3 5 5 A , 3 5 5 B を介してランプ制御用 C P U 3 5 1 へ入力する。なお、ランプ制御用 C P U 3 5 1 が I / O ポートを内蔵していない場合には、入力バッファ回路 3 5 5 A , 3 5 5 B とランプ制御用 C P U 3 5 1 との間に、I / O ポートが設けられる。

20

【 0 0 8 8 】

ランプ制御基板 3 5 において、ランプ制御用 C P U 3 5 1 は、各制御コマンドに応じて定義されている遊技効果 L E D 2 8 a、遊技効果ランプ 2 8 b、2 8 c、装飾ランプ 2 5 の点灯 / 消灯パターンに従って、遊技効果 L E D 2 8 a、遊技効果ランプ 2 8 b、2 8 c、装飾ランプ 2 5 に対して点灯 / 消灯信号を出力する。点灯 / 消灯信号は、遊技効果 L E D 2 8 a、遊技効果ランプ 2 8 b、2 8 c、装飾ランプ 2 5 へ出力される。なお、点灯 / 消灯パターンは、ランプ制御用 C P U 3 5 1 の内蔵 R O M または外付け R O M に記憶されている。

【 0 0 8 9 】

主基板 3 1 において、C P U 5 6 は、R A M 5 5 の記憶内容に未払出の賞球残数があるときに賞球ランプ 5 1 の点灯を指示する制御コマンドを出力し、前述した遊技盤裏面の払出球通路 1 8 6 a , 1 8 6 b の上流に設置されている球切れスイッチ 1 8 7 a , 1 8 7 b ( 図 3 参照 ) が遊技球を検出しなくなると球切れランプ 5 2 の点灯を指示する制御コマンドを出力する。ランプ制御基板 3 5 において、各制御コマンドは、入力バッファ回路 3 5 5 A , 3 5 5 B を介してランプ制御用 C P U 3 5 1 へ入力する。ランプ制御用 C P U 3 5 1 は、それらの制御コマンドに応じて、賞球ランプ 5 1 および球切れランプ 5 2 を点灯 / 消灯する。なお、点灯 / 消灯パターンは、ランプ制御用 C P U 3 5 1 の内蔵 R O M または外付け R O M に記憶されている。

30

【 0 0 9 0 】

さらに、ランプ制御用 C P U 3 5 1 は、制御コマンドに応じて始動記憶表示器 1 8 およびゲート通過記憶表示器 4 1 に対して点灯 / 消灯信号を出力する。

40

【 0 0 9 1 】

入力バッファ回路 3 5 5 A , 3 5 5 B として、例えば、汎用の C M O S - I C である 7 4 H C 5 4 0 , 7 4 H C 1 4 が用いられる。入力バッファ回路 3 5 5 A , 3 5 5 B は、主基板 3 1 からランプ制御基板 3 5 へ向かう方向にのみ信号を通過させることができる。従って、ランプ制御基板 3 5 側から主基板 3 1 側に信号が伝わる余地はない。たとえ、ランプ制御基板 3 5 内の回路に不正改造が加えられても、不正改造によって出力される信号がメイン基板 3 1 側に伝わることはない。なお、入力バッファ回路 3 5 5 A , 3 5 5 B の入力側にノイズフィルタを設けてもよい。

【 0 0 9 2 】

50

また、主基板 3 1 において、出力ポート 5 7 0 , 5 7 3 の外側にバッファ回路 6 2 0 , 6 3 A が設けられている。バッファ回路 6 2 0 , 6 3 A として、例えば、汎用の C M O S - I C である 7 4 H C 2 5 0 , 7 4 H C 1 4 が用いられる。このような構成によれば、外部から主基板 3 1 の内部に入力される信号が阻止されるので、ランプ制御基板 7 0 から主基板 3 1 に信号が与えられる可能性がある信号ラインをさらに確実になくすることができる。なお、バッファ回路 6 2 0 , 6 3 A の出力側にノイズフィルタを設けてもよい。

#### 【 0 0 9 3 】

図 1 2 は、主基板 3 1 における音声制御コマンドの信号送信部分および音声制御基板 7 0 の構成例を示すブロック図である。この実施の形態では、遊技進行に応じて、遊技領域 7 の外側に設けられているスピーカ 2 7 の音声出力を指示するための音声制御コマンドが、主基板 3 1 から音声制御基板 7 0 に出力される。

10

#### 【 0 0 9 4 】

音声制御用 C P U 7 0 1 には、電源基板 9 1 0 からリセット信号が供給されている。リセット信号がローレベルであると音声制御用 C P U 7 0 1 はリセット状態となり、リセット信号がハイレベルになると音声制御用 C P U 7 0 1 は動作可能状態になる。

#### 【 0 0 9 5 】

図 1 2 に示すように、音声制御コマンドは、基本回路 5 3 における I / O ポート部 5 7 の出力ポート ( 出力ポート 0 , 4 ) 5 7 0 , 5 7 4 から出力される。出力ポート ( 出力ポート 4 ) 5 7 4 からは 8 ビットのデータが出力され、出力ポート 5 7 0 からは 1 ビットの I N T 信号が出力される。音声制御基板 7 0 において、主基板 3 1 からの各信号は、入力バッファ回路 7 0 5 A , 7 0 5 B を介して音声制御用 C P U 7 0 1 に入力する。なお、音声制御用 C P U 7 0 1 が I / O ポートを内蔵していない場合には、入力バッファ回路 7 0 5 A , 7 0 5 B と音声制御用 C P U 7 0 1 との間に、I / O ポートが設けられる。

20

#### 【 0 0 9 6 】

そして、例えばデジタルシグナルプロセッサによる音声合成回路 7 0 2 は、音声制御用 C P U 7 0 1 の指示に応じた音声や効果音を発生し音量切替回路 7 0 3 に出力する。音量切替回路 7 0 3 は、音声制御用 C P U 7 0 1 の出力レベルを、設定されている音量に応じたレベルにして音量増幅回路 7 0 4 に出力する。音量増幅回路 7 0 4 は、増幅した音声信号をスピーカ 2 7 に出力する。

#### 【 0 0 9 7 】

入力バッファ回路 7 0 5 A , 7 0 5 B として、例えば、汎用の C M O S - I C である 7 4 H C 5 4 0 , 7 4 H C 1 4 が用いられる。入力バッファ回路 7 0 5 A , 7 0 5 B は、主基板 3 1 から音声制御基板 7 0 へ向かう方向にのみ信号を通過させることができる。よって、音声制御基板 7 0 側から主基板 3 1 側に信号が伝わる余地はない。従って、音声制御基板 7 0 内の回路に不正改造が加えられても、不正改造によって出力される信号が主基板 3 1 側に伝わることはない。なお、入力バッファ回路 7 0 5 A , 7 0 5 B の入力側にノイズフィルタを設けてもよい。

30

#### 【 0 0 9 8 】

また、主基板 3 1 において、出力ポート 5 7 0 , 5 7 4 の外側にバッファ回路 6 2 0 , 6 7 A が設けられている。バッファ回路 6 2 0 , 6 7 A として、例えば、汎用の C M O S - I C である 7 4 H C 2 5 0 , 7 4 H C 1 4 が用いられる。このような構成によれば、外部から主基板 3 1 の内部に入力される信号が阻止されるので、音声制御基板 7 0 から主基板 3 1 に信号が与えられる可能性がある信号ラインをさらに確実になくすることができる。なお、バッファ回路 6 2 0 , 6 7 A の出力側にノイズフィルタを設けてもよい。

40

#### 【 0 0 9 9 】

図 1 3 は、払出制御基板 3 7 および打球発射を制御する制御手段が搭載されている発射制御基板 9 1 を示すブロック図である。図 1 3 に示すように、発射制御信号が、払出制御基板 3 7 における出力ポート 3 7 2 d から発射制御基板 9 1 に出力される。発射制御基板 9 1 において、払出制御基板 3 7 からの発射制御信号は、バッファ回路 8 1 5 を介してモータ駆動回路 8 1 3 に入力する。

50

## 【 0 1 0 0 】

モータ駆動回路 8 1 3 は、例えば、遊技球を発射する球打ち動作および次の遊技球を発射する準備である復旧・球補給動作の各期間における駆動モータ 9 4 の回転速度を制御する電圧を発生する。球打ち動作期間では、操作ノブ 5 に対する回転操作角に対応して徐々に増加する電圧を発生し、復旧・球補給動作期間では、あらかじめ定められた所定の電圧を発生する。

## 【 0 1 0 1 】

タッチセンサ回路 9 3 は、操作ノブ 5 に取り付けられた人体検出用の電極に人体が接触している間、発射許可信号をモータ駆動回路 8 1 3 に出力する。また、モータ駆動回路 8 1 3 には、払出制御基板 3 7 からの発射制御信号が与えられる。モータ駆動回路 8 1 3 は、発射制御信号および発射許可信号がオンすると、球打ち動作期間および復旧・球補給動作期間のシーケンス動作の切り替えを制御するとともに、駆動モータ 9 4 の駆動に必要な駆動パターン信号および駆動電圧切替信号を発生する。

10

## 【 0 1 0 2 】

図 1 4 は、電源基板 9 1 0 から各基板に供給される直流電圧等を示すブロック図である。図 1 4 に示すように、電源基板 9 1 0 には各種直流電圧を生成する電源回路が搭載される。また、必要に応じて、AC 2 4 V も各基板に供給される。

## 【 0 1 0 3 】

この実施の形態では、主基板 3 1 には、DC 3 0 V、DC 1 2 V、DC 5 V およびバックアップ電源電圧 (VBB) が供給される。ランプ制御基板 3 5 には、DC 3 0 V、DC 2 1 V、DC 1 2 V および DC 5 V が供給される。払出制御基板 3 7 には、AC 2 4 V、DC 3 0 V、DC 1 2 V、DC 5 V およびバックアップ電源電圧 (VBB) が供給される。そして、発射制御基板 9 1 には、DC 3 0 V、DC 1 2 V および DC 5 V が供給される。また、音声制御基板 7 0 には、DC 1 2 および DC 5 V が供給される。図柄制御基板 8 0 には、DC 1 2 V および DC 5 V が供給される。さらに、各基板には、電源基板 9 1 0 からリセット信号が供給される。

20

## 【 0 1 0 4 】

図 1 4 に示すように、各基板に供給される電圧のグラウンド側は電源基板 9 1 0 において共通にとられている。従って、各基板におけるグラウンドレベルは共通である。すると、ある基板から他の基板に伝達される信号として、電圧レベルをそのまま使用することができる。グラウンドレベルが共通化されていない基板があると、そのような基板に対する信号伝達を行う場合には、フォトカプラ等の非接触式の情報伝達手段を用いる必要がありコストアップの要因となる。しかし、この実施の形態のように、全ての基板のグラウンドレベルが共通化されている場合には、フォトカプラ等を用いる必要はない。

30

## 【 0 1 0 5 】

図 1 5 は、遊技機の電源基板 9 1 0 の一構成例を示すブロック図である。電源基板 9 1 0 は、主基板 3 1、図柄制御基板 8 0、音声制御基板 7 0、ランプ制御基板 3 5 および払出制御基板 3 7 等の電気部品制御基板と独立して設置され、遊技機内の各電気部品制御基板および機構部品が使用する電圧を生成する。この例では、AC 2 4 V、VSL (DC + 3 0 V)、DC + 2 1 V、DC + 1 2 V および DC + 5 V を生成する。また、バックアップ電源となるコンデンサ 9 1 6 は、DC + 5 V すなわち各基板上の IC 等を駆動する電源のラインから充電される。

40

## 【 0 1 0 6 】

トランス 9 1 1 は、交流電源からの交流電圧を 2 4 V に変換する。AC 2 4 V 電圧は、コネクタ 9 1 5 に出力される。また、整流回路 9 1 2 は、AC 2 4 V から + 3 0 V の直流電圧を生成し、DC - DC コンバータ 9 1 3 およびコネクタ 9 1 5 に出力する。DC - DC コンバータ 9 1 3 は、1 つまたは複数のコンバータ IC 9 2 2 (図 1 5 では 1 つのみを示す) を有し、VSL にもとづいて + 2 1 V、+ 1 2 V および + 5 V を生成してコネクタ 9 1 5 に出力する。コンバータ IC 9 2 2 の入力側には、比較的大容量のコンデンサ 9 2 3 が接続されている。従って、外部からの遊技機に対する電力供給が停止したときに、+ 3 0

50

V、+12V、+5V等の直流電圧は、比較的緩やかに低下する。この結果、コンデンサ923は、後述する補助駆動電源の役割を果たす。コネクタ915は例えば中継基板に接続され、中継基板から各電気部品制御基板および機構部品に必要な電圧の電力が供給される。

#### 【0107】

ただし、電源基板910に各電気部品制御基板に至る各コネクタを設け、電源基板910から、中継基板を介さずにそれぞれの基板に至る各電圧を供給するようにしてもよい。また、図15には1つのコネクタ915が代表して示されているが、コネクタは、各電気部品制御基板対応に設けられている。

#### 【0108】

DC-DCコンバータ913からの+5Vラインは分岐してバックアップ+5Vラインを形成する。バックアップ+5Vラインとグラウンドレベルとの間には大容量のコンデンサ916が接続されている。コンデンサ916は、遊技機に対する電力供給が遮断されたときの電気部品制御基板のバックアップRAM（電源バックアップされているRAMすなわち電力供給停止時にも記憶内容保持状態となりうる記憶手段）に対して記憶状態を保持できるように電力を供給するバックアップ電源となる。また、+5Vラインとバックアップ+5Vラインとの間に、逆流防止用のダイオード917が挿入される。

#### 【0109】

なお、バックアップ電源として、+5V電源から充電可能な電池を用いてもよい。電池を用いる場合には、+5V電源から電力供給されない状態が所定時間継続すると容量がなくなるような充電電池が用いられる。

#### 【0110】

また、電源基板910には、電源監視用IC902が搭載されている。電源監視用IC902は、VSL電源電圧を導入し、VSL電源電圧を監視することによって電源断の発生を検出する。具体的には、VSL電源電圧が所定値（この例では+22V）以下になったら、電源断が生ずるとして電源断信号を出力する。なお、監視対象の電源電圧は、各電気部品制御基板に搭載されている回路素子の電源電圧（この例では+5V）よりも高い電圧であることが好ましい。この例では、交流から直流に変換された直後の電圧であるVSLが用いられている。電源監視用IC902からの電源断信号は、主基板31や払出制御基板37等に供給される。

#### 【0111】

電源監視用IC902が電源断を検知するための所定値は、通常時の電圧より低い、各電気部品制御基板上のCPUが暫くの間動作しうる程度の電圧である。また、電源監視用IC902が、CPU等の回路素子を駆動するための電圧（この例では+5V）よりも高く、また、交流から直流に変換された直後の電圧を監視するように構成されているので、CPUが必要とする電圧に対して監視範囲を広げることができる。従って、より精密な監視を行うことができる。

#### 【0112】

さらに、監視電圧としてVSL（+30V）を用いる場合には、遊技機の各種スイッチに供給される電圧が+12Vであることから、電源瞬断時のスイッチオン誤検出の防止も期待できる。すなわち、+30V電源の電圧を監視すると、+30V作成の以降に作られる+12Vが落ち始める以前の段階でその低下を検出できる。よって、+12V電源の電圧が低下するとスイッチ出力がオン状態を呈するようになるが、+12Vより早く低下する+30V電源電圧を監視して電源断を認識すれば、スイッチ出力がオン状態を呈する前に電源復旧待ちの状態に入ってスイッチ出力を検出しない状態となることができる。

#### 【0113】

また、電源監視用IC902は、電気部品制御基板とは別個の電源基板910に搭載されているので、電源監視回路から複数の電気部品制御基板に電源断信号を供給することができる。電源断信号を必要とする電気部品制御基板が幾つあっても電源監視手段は1つ設けられていればよいので、各電気部品制御基板における各電気部品制御手段が後述する復帰

10

20

30

40

50

制御を行っても、遊技機のコストはさほど上昇しない。

【0114】

なお、図15に示された構成では、電源監視用IC902の検出出力（電源断信号）は、バッファ回路918，919を介してそれぞれの電気部品制御基板（例えば主基板31と払出制御基板37）に伝達されるが、例えば、1つの検出出力を中継基板に伝達し、中継基板から各電気部品制御基板に同じ信号を分配する構成でもよい。また、電源断信号を必要とする基板数に応じたバッファ回路を設けてもよい。

【0115】

さらに、電源基板910には、各基板にリセット信号および復帰信号を供給するリセット管理回路940が搭載されている。リセット管理回路940は、起動順序制御手段の一実

10

現例である。

【0116】

図16は、リセット管理回路940の構成例を示すブロック図である。リセット管理回路940において、リセット回路65におけるリセットIC651は、電源投入時に、外付けのコンデンサの容量で決まる所定時間だけ出力をローレベルとし、所定時間が経過すると出力をハイレベルにする。リセットIC651の出力は、各回路941～949を介して、バッファ回路961～964および遅延回路960に供給される。遅延回路960の出力はバッファ回路965に入力する。そして、バッファ回路961～965が各電気部品制御基板にリセット信号として供給される。従って、リセットIC651の出力がハイレベルになると、各電気部品制御基板におけるCPUが動作可能状態になる。

20

【0117】

また、リセットIC651は、電源監視用IC902が監視する電源電圧と等しい電源電圧であるVSLの電源電圧を監視して電圧値が所定値（電源監視用IC902が電源断信号を出力する電源電圧値よりも低い値）以下になるとローレベルになる。従って、CPU56および払出制御用CPU371は、電源監視用IC902からの電源断信号に応じて所定の電力供給停止準備処理を行った後、システムリセットされることになる。

【0118】

図16に示すように、リセットIC651からのリセット信号は、NAND回路947に入力されるとともに、反転回路（NOT回路）944を介してカウンタIC941のクリア端子に入力される。カウンタIC941は、クリア端子への入力がローレベルになると、発振器943からのクロック信号をカウントする。そして、カウンタIC941のQ5出力がNOT回路945，946を介してNAND回路947に入力される。

30

【0119】

また、カウンタIC941のQ6出力は、フリップフロップ（FF）942のクロック端子に入力される。フリップフロップ942のD入力はハイレベルに固定され、Q出力は論理和回路（OR回路）949に入力される。OR回路949の他方の入力には、NAND回路947の出力がNOT回路948を介して導入される。そして、OR回路949の出力が、バッファ回路961～965を介して各CPUに供給されている。このような構成によれば、電源投入時に、各CPUのリセット端子に2回のリセット信号（ローレベル信号）が与えられるので、各CPUは、確実に動作を開始する。

40

【0120】

そして、例えば、電源監視手段である電源監視用IC902の検出電圧（電源断信号を出力することになる電圧）を+2.2Vとし、リセットIC651の検出電圧を+9Vとする。そのように構成した場合には、電源監視手段とリセットIC651とは、同一の電源VSLの電圧を監視するので、電源監視手段が電源断信号を出力するタイミングとリセットIC651がリセットレベルであるローレベルを出力するタイミングとの差を所望の所定期間に確実に設定することができる。所望の所定期間とは、電源監視手段からの電源断信号に応じて電力供給停止準備処理（電力供給停止時処理）を開始してから、その処理が確実に完了するまでの期間である。

【0121】

50

この例では、電源監視手段が検出信号を出力することになる検出条件は+30V電源電圧が+22Vにまで低下したことであり、リセットIC651がリセットレベルであるローレベルを出力することになる条件は+30V電源電圧が+9Vにまで低下したことになる。ただし、ここで用いられている電圧値は一例であって、他の値を用いてもよい。

【0122】

ただし、監視範囲が狭まるが、電源監視手段およびリセットIC651の監視電圧として+5V電源電圧を用いることも可能である。その場合にも、電源監視回路の検出電圧は、リセットIC651の検出電圧よりも高く設定される。

【0123】

主基板31および払出制御基板37のCPU56および払出制御用CPU371の駆動電源である+5V電源から電力が供給されていない間、RAMの少なくとも一部は、電源基板910から供給されるバックアップ電源によってバックアップされ、遊技機に対する電源が断しても内容は保存される。そして、電源が復旧すると、リセット管理回路940からのリセット信号がハイレベルになるので、CPU56および払出制御用CPU371は、通常の動作状態に復帰する。そのとき、必要なデータがバックアップRAMに保存されているので、停電等からの復旧時に停電発生時（電力供給停止時直前を意味することもある）の遊技状態に復帰することができる。

【0124】

なお、図16には、電源投入時に各電気部品制御基板のCPUのリセット端子に2回のリセット信号（ローレベル信号）が与えられる構成が示されたが、リセット信号の立ち上がりタイミングが1回しかなくても確実にリセット解除されるCPUを使用する場合には、符号941～949で示された回路素子は不要である。その場合、リセットIC651の出力がそのままバッファ回路961～964および遅延回路960に接続される。

【0125】

また、この実施の形態では、電源基板910から各電気部品制御基板のCPUにリセット信号が供給されるときに、遅延回路960が、主基板31のCPU56に対するリセット信号を遅延させる。従って、電源投入時に、主基板31のCPU56に対するリセット信号は、他の電気部品制御基板のCPUに対するリセット信号よりも遅く立ち上がる。

【0126】

例えば、主基板31のCPU56が他の電気部品制御基板に対して制御コマンドを出力する際に、他の電気部品制御基板におけるCPUは既に立ち上がっているため、制御コマンドは確実に受信側の電気部品制御基板のCPUで受信される。

【0127】

さらに、電源基板910には、タイマ手段の一例であるカウンタ971が搭載されている。カウンタ971は、電源断信号がローレベルになってクリアが解けると、発振器943からのクロック信号をカウントする。そして、カウントアップすると、Q出力として、ハイレベルの1パルスが発生する。そのパルス信号は反転回路972で論理反転され、バッファ回路973および遅延回路974に入力する。遅延回路974は、入力信号を所定期間遅延させてバッファ回路975に入力させる。

【0128】

バッファ回路973の出力は、払出制御基板37への復帰信号となる。また、バッファ回路975の出力は、主基板31への復帰信号となる。なお、バッファ回路973、975は、払出制御基板37、主基板31に設けられていてもよい。

【0129】

図17は、カウンタ971の作用を説明するためのタイミング図である。図17(A)に示すように、電源電圧が低下し、V<sub>SL</sub>の電圧値が電源断信号出力レベル（この例では+22V）まで低下すると電源断信号が発生する。具体的には、電源断信号がローレベルになる。すると、後述するように、主基板31のCPU31および払出制御用CPU371は、電力供給停止時処理の実行を開始し、その処理が終了すると、何の制御もしないループ状態（待機状態）に入る。

10

20

30

40

50

## 【 0 1 3 0 】

カウンタ 9 7 1 は、電源断信号がローレベルになるとカウントを開始するのであるが、カウントアップ値は、電源断信号がローレベルになってから、V<sub>SL</sub>の電圧値がV<sub>cc</sub>生成可能電圧にまで低下する時間以上に設定される。すなわち、少なくとも、電源電圧が、制御動作が不能になる電圧にまで低下する時間以上に設定される。カウンタ 9 7 1 はV<sub>cc</sub>を電源として動作するので、カウントアップ値は、カウンタ 9 7 1 の動作可能期間に相当する値以上に設定される。従って、一般には、カウンタ 9 7 1 がカウントアップして復帰信号が出力される前に、カウンタ 9 7 1 およびその他の回路部品は動作しなくなる。

## 【 0 1 3 1 】

電源の瞬断等が生ずると、図 1 7 ( B ) に示すように、V<sub>SL</sub>の電圧レベルが短期間低下した後に復旧する。V<sub>SL</sub>の電圧レベルが電源断信号出力レベル以下になると、電源断信号がローレベルになって、電力供給停止時処理が開始される。そして、CPU 5 6 および払出制御用CPU 3 7 1 は電力供給停止時処理終了後にループ状態に入る。何らの制御も行わないと、ループ処理から抜けられないのであるが、この場合には、カウンタ 9 7 1 がカウントアップして復帰信号が発生する。

10

## 【 0 1 3 2 】

図 8 および図 9 に示されたように、主基板 3 1 および払出制御基板 3 7 1 において、復帰信号は、AND 回路 1 6 1 , 3 8 5 を介して、CPU 5 6 および払出制御用CPU 3 7 1 のリセット端子に入力される。従って、CPU 5 6 および払出制御用CPU 3 7 1 にはシステムリセットがかかる。その結果、CPU 5 6 および払出制御用CPU 3 7 1 はループ状態から抜け出すことができる。

20

## 【 0 1 3 3 】

なお、図 1 7 ( B ) には、カウンタ 9 7 1 のカウントアップ後に、直ちに復帰信号が出力される場合が示されているが、図 1 6 に示されたように電源基板 9 1 0 には遅延回路 9 7 4 があるので、主基板 3 1 のCPU 5 6 に対する復帰信号の供給タイミングは、払出制御用CPU 3 7 1 に対する復帰信号の供給タイミングよりも遅れる。すなわち、通常の電力供給開始時にリセット信号が与えられる場合と同様に、遊技制御手段のリセット解除タイミングは、払出制御手段のリセット解除タイミングに対して遅れる。よって、復帰信号によって制御動作が復旧する場合も、遊技制御手段は、他の電気部品制御手段に対して、遅れて起動されることになる。

30

## 【 0 1 3 4 】

図 1 8 は、主基板 3 1 におけるCPU 5 6 周りの一構成例を示すブロック図である。図 1 8 に示すように、電源基板 9 1 0 の電源監視回路（電源監視手段）からの電源断信号（電圧低下信号）が、CPU 5 6 のマスク不能割込端子（XNM I 端子）に接続されている。電源監視回路は、遊技機が使用する各種直流電源のうちのいずれかの電源の電圧を監視して電源電圧低下を検出する回路である。この実施の形態では、V<sub>SL</sub>の電源電圧を監視して電圧値が所定値以下になるとローレベルの電源断信号を発生する。V<sub>SL</sub>は、遊技機で使用する直流電圧のうちで最大のものであり、この例では+30Vである。従って、CPU 5 6 は、割込処理によって電源断の発生を確認することができる。

## 【 0 1 3 5 】

この実施の形態では、CPU 5 6 のリセット端子に、電源基板 9 1 0 からのローレベルがリセット状態を示すリセット信号、およびローアクティブの復帰信号が入力される。リセット信号は、バッファ回路 9 3 0 を介してAND 回路 1 6 1 に入力される。また、復帰信号は、バッファ回路 9 3 1 を介してAND 回路 1 6 1 に入力される。そして、AND 回路 1 6 1 の出力がCPU 5 6 のリセット端子に入力される。従って、CPU 5 6 は、リセット信号または復帰信号の入力に応じてシステムリセットがかかる。

40

## 【 0 1 3 6 】

また、図 1 8 に示すように、スイッチ基板 1 9 0 に搭載されたクリアスイッチ 9 2 1 の出力信号が、論理を反転させるバッファ回路 5 7 8 A、および入力ポート 5 7 8 を介して入力される。なお、入力ポート 5 7 8 には、バッファ回路 5 7 8 A を介して、V<sub>入賞</sub>スイッ

50

チ 2 2 などの他の各スイッチの出力信号も入力されている。このような構成によれば、クリアスイッチ 9 2 1 の切換により出力信号がクリアスイッチ信号（ローレベル信号）とされていると、クリアスイッチ信号が反転（なお、バッファ回路 5 7 8 A がクリアスイッチ信号を反転して出力した信号を、クリアスイッチ信号と呼ぶことがある。）されて CPU 5 6 に与えられるので、CPU 5 6 により変動データ記憶手段の記憶内容が初期データとされる処理が行われるが、その詳細は後述する。このように、クリアスイッチ 9 2 1 の出力信号が入力ポート 5 7 8 を介して入力するようにしているので、簡単な構成でクリアスイッチ信号を導入することが可能となる。

#### 【 0 1 3 7 】

図 1 9 および図 2 0 は、この実施の形態における出力ポートの割り当てを示す説明図である。図 1 9 に示すように、出力ポート 0 は各電気部品制御基板に送出される制御コマンドのストローブ信号（INT 信号）の出力ポートである。また、払出制御基板 3 7 に送出される払出制御コマンドの 8 ビットのデータは出力ポート 1 から出力され、図柄制御基板 8 0 に送出される表示制御コマンドの 8 ビットのデータは出力ポート 2 から出力され、ランプ制御基板 3 5 に送出されるランプ制御コマンドの 8 ビットのデータは出力ポート 3 から出力される。そして、図 2 0 に示すように、音声制御基板 7 0 に送出される音声制御コマンドの 8 ビットのデータは出力ポート 4 から出力される。

10

#### 【 0 1 3 8 】

また、出力ポート 5 から、情報出力回路 6 4 を介して情報端子板 3 4 に至る各種情報出力用信号すなわち制御に関わる情報の出力データが出力される。そして、出力ポート 6 から、可変入賞球装置 1 5 を開閉するためのソレノイド 1 6、大入賞口の開閉板 2 0 を開閉するためのソレノイド 2 1、および大入賞口内の経路を切り換えるためのソレノイド 2 1 A に対する駆動信号が出力される。

20

#### 【 0 1 3 9 】

図 2 1 は、この実施の形態における入力ポートのビット割り当てを示す説明図である。図 2 1 に示すように、入力ポート 0 のビット 0 ~ 7 には、それぞれ、入賞口スイッチ 2 4 a、入賞口スイッチ 2 4 b、入賞口スイッチ 1 9 a、入賞口スイッチ 1 9 b、始動口スイッチ 1 7、カウントスイッチ 2 3、V 入賞スイッチ（特定領域スイッチ）2 2、ゲートスイッチ 1 2 の検出信号が入力される。また、入力ポート 1 のビット 0 ~ 4 には、それぞれ、賞球カウントスイッチ 3 0 1 A、満タンスイッチ 4 8、球切れスイッチ 1 8 7 の検出信号、カウントスイッチ短絡信号、クリアスイッチ 9 2 1 の出力信号が入力される。

30

#### 【 0 1 4 0 】

次に遊技機の動作について説明する。

図 2 2 は、主基板 3 1 における CPU 5 6 が実行するメイン処理を示すフローチャートである。遊技機に対する電源が投入されると、メイン処理において、CPU 5 6 は、まず、必要な初期設定を行う。

#### 【 0 1 4 1 】

初期設定処理において、CPU 5 6 は、まず、割込禁止に設定する（ステップ S 1）。次に、割込モードを割込モード 2 に設定し（ステップ S 2）、スタックポインタにスタックポインタ指定アドレスを設定する（ステップ S 3）。そして、内蔵デバイスレジスタの初期化を行う（ステップ S 4）。また、内蔵デバイス（内蔵周辺回路）である CTC（カウンタ/タイマ）および PIO（パラレル入出力ポート）の初期化（ステップ S 5）を行った後、RAM をアクセス可能状態に設定する（ステップ S 6）。

40

#### 【 0 1 4 2 】

この実施の形態で用いられている CPU 5 6 には、マスク可能な割込（INT）のモードとして以下の 3 種類のモードが用意されている。なお、マスク可能な割込が発生すると、CPU 5 6 は、自動的に割込禁止状態に設定するとともに、プログラムカウンタの内容をスタックにセーブする。

#### 【 0 1 4 3 】

割込モード 0：割込要求を行った内蔵デバイスが RST 命令（1 バイト）または CALL

50



命令（3バイト）をCPUの内部データバス上に送出する。よって、CPU56は、RST命令に対応したアドレスまたはCALL命令で指定されるアドレスの命令を実行する。リセット時に、CPU56は自動的に割込モード0になる。よって、割込モード1または割込モード2に設定したい場合には、初期設定処理において、割込モード1または割込モード2に設定するための処理を行う必要がある。

【0144】

割込モード1：割込が受け付けられると、常に0038（h）番地に飛ぶモードである。

【0145】

割込モード2：CPU56の特定レジスタ（Iレジスタ）の値（1バイト）と内蔵デバイスが出力する割込ベクタ（1バイト：最下位ビット0）から合成されるアドレスが、割込番地を示すモードである。すなわち、割込番地は、上位アドレスが特定レジスタの値とされ下位アドレスが割込ベクタとされた2バイトで示されるアドレスである。従って、任意の（飛び飛びではあるが）偶数番地に割込処理を設置することができる。各内蔵デバイスは割込要求を行うときに割込ベクタを送出する機能を有している。

【0146】

よって、割込モード2に設定されると、各内蔵デバイスからの割込要求を容易に処理することが可能になり、また、プログラムにおける任意の位置に割込処理を設置することが可能になる。さらに、割込モード1とは異なり、割込発生要因毎のそれぞれの割込処理を用意しておくことも容易である。上述したように、この実施の形態では、初期設定処理のステップS2において、CPU56は割込モード2に設定される。

【0147】

次いで、CPU56は、入力ポート578を介して入力されるクリアスイッチ921の出力信号の状態を、本例では1回だけ確認する（ステップS7）。クリアスイッチ921がオンである場合（押下されている場合）には、ローレベルのクリアスイッチ信号が出力されている。従って、CPU56は、クリアスイッチ921がオンとされていれば、通常の初期化処理を実行する（ステップS11～ステップS15）。クリアスイッチ921のオン判定は、初期設定を行う前に実行することが好ましい。遊技機の起動に先立ってバックアップ記憶（最終記憶内容）の消去の意思を確認したのちに制御を再開することができるからである。この様な場合、初期設定を行う前に、タイマ処理やスイッチ入力判定（複数回）を行うと、バックアップ内容を壊す可能性がある。また、遊技中のパチンコ遊技機の裏側には、遊技球が流動しておりノイズが発生しやすく、このため、通常スイッチ検出は複数回入力判定を行うが、クリアスイッチ921のオン判定は、遊技開始前に行われるため、ノイズの影響を受けにくい。従って、クリアスイッチ921入力判定を1回のみとしても、ノイズの影響は受け難く、また、プログラム開発効率も上がる。なお、クリアスイッチ921が確実に操作されたか否かを重視する場合には、CPU56がクリアスイッチ921の出力信号の状態を例えば3秒間確認する構成としてもよい。

【0148】

クリアスイッチ921がオンの状態でなければ（押下されていない状態）、CPU56は、電源断時にバックアップRAM領域のデータ保護処理（例えばパリティデータの付加等の停電発生NMI処理）が行われたか否か確認する（ステップS8）。この実施の形態では、不測の電源断が生じた場合には、バックアップRAM領域のデータを保護するための処理が行われている。そのような保護処理が行われていた場合をバックアップありとする。バックアップなしを確認したら、CPU56は初期化処理を実行する。

【0149】

この実施の形態では、バックアップRAM領域にバックアップデータがあるか否かは、電源断時にバックアップRAM領域に設定されるバックアップフラグの状態によって確認される。この例では、図23に示すように、バックアップフラグ領域に「55H」が設定されていればバックアップあり（オン状態）を意味し、「55H」以外の値が設定されていればバックアップなし（オフ状態）を意味する。

【0150】

10

20

30

40

50

バックアップありを確認したら、CPU 56は、バックアップRAM領域のデータチェック（この例ではパリティチェック）を行う。

【0151】

図24は、ステップS9のパリティチェック処理の一例を示すフローチャートである。パリティチェック処理では、CPU 56は、まず、RAM 55におけるバックアップパリティデータ領域に設定されているデータが「00」であるか否か確認する（ステップS9a）。バックアップパリティデータ領域については後で詳しく説明する。バックアップパリティデータ領域に設定されているデータが「00」でなければ、パリティ診断（チェックサム確認）を行う（ステップS9b）。そして、チェックサム確認の結果が正当であれば（ステップS9c）、CPU 56は、後述する停電復旧処理を実行する（ステップS10）。また、チェックサム確認の結果が正当でなければ、または、バックアップパリティデータ領域に設定されているデータが「00」であった場合には、通常の初期化処理を実行する（ステップS11～S15）。

10

【0152】

不測の電源断が生じた後に復旧した場合には、バックアップRAM領域のデータは保存されていたはずであるから、チェック結果は正常になる。チェック結果が正常でない場合には、内部状態を電源断時の状態に戻すことができないので、停電復旧時でない電源投入時に実行される初期化処理を実行する。

【0153】

チェック結果が正常であれば（ステップS9）、CPU 56は、遊技制御手段の内部状態と表示制御手段等の電気部品制御手段の制御状態を電源断時の状態に戻すための遊技状態復旧処理を行う（ステップS10）。そして、バックアップRAM領域に保存されていたPC（プログラムカウンタ）の退避値がPCに設定され、そのアドレスに復帰する。

20

【0154】

なお、この実施の形態では、ステップS7でクリアスイッチ921がオンでない場合に、バックアップデータの有無が確認されていたが、逆に、バックアップデータの有無を確認した後、バックアップデータが存在する場合（さらに、バックアップ領域のチェックを行い、バックアップ領域のチェック結果が正常であったことが確認された場合であってもよい）にクリアスイッチ921の操作状態を確認するようにしてもよい。また、クリアスイッチ921の操作状態の確認を行わない構成（例えば、クリアスイッチ921を設けない構成）としてもよい。

30

【0155】

また、この実施の形態では、ステップS8でバックアップデータの有無が確認された後、バックアップデータが存在する場合にステップS9でバックアップ領域のチェックが行われたが、逆に、バックアップ領域のチェック結果が正常であったことが確認された後、バックアップデータの有無の確認を行うようにしてもよい。また、バックアップデータの有無の確認、またはバックアップ領域のチェックの何れか一方の確認を行うことによって、停電復旧処理を実行するか否かを判定してもよい。

【0156】

また、例えば停電復旧処理を実行するか否か判断する場合のパリティチェック（ステップS9）の際に、すなわち、遊技状態を復旧するか否か判断する際に、保存されていたRAMデータにおける特別プロセスフラグ等や始動入賞記憶数データによって、遊技機が遊技待機状態（図柄変動中でなく、大当り遊技中でなく、確変中でなく、また、始動入賞記憶がない状態）であることが確認されたら、遊技状態復旧処理を行わずに初期化処理を実行するようにしてもよい。

40

【0157】

以上のように、この実施の形態では、電力供給開始時に、電力供給停止時にバックアップRAM領域に記憶されたチェックデータ（チェックサムデータ）にもとづいて、初期化処理を行うか遊技状態復旧処理を行うかを決定するように構成したので、停電等の不測の電源断が発生したときに必要なデータを確実に保存することができ、さらに、保存されてい

50

たデータを電源復帰後に確実に活用することができる。

【0158】

また、このように、クリアスイッチ921の操作状態に応じて電源断時の遊技状態に復旧するか否かの判断を行うようにし、その際、クリアスイッチ921がオン状態であれば、遊技状態復旧処理は実行されず、通常の初期化処理を実行する構成としたので、遊技店員等は、遊技機の電源供給再開時に、クリアスイッチ921を操作することによって、バックアップデータ記憶領域（変動データ記憶手段）に記憶されているバックアップデータにもとづく遊技状態復旧処理を実行するか否かを選択することができる。従って、電源断が発生しても遊技者に不利益がもたらされることを防止することができるとともに、遊技店での遊技機運用上の利便性を向上させることもできる遊技機が提供される。

10

【0159】

なお、電源投入時に、変動データ記憶手段にバックアップデータが記憶されていない場合に実行される初期化処理と、変動データ記憶手段にバックアップデータが記憶されていてもクリアスイッチ921がオフ状態である場合に実行される初期化処理とは、プログラム上兼用されている。従って、遊技店での運用上の利便性を向上させる制御を付加しても、プログラム容量はさほど増えない。

【0160】

また、上述した実施の形態では、チェックサム確認の結果が正当でなかった場合には通常の初期化処理を実行するようにしていたが、チェックサム確認の結果が正当でなかった場合であっても初期化処理を行わないようにしてもよい。

20

【0161】

例えば、チェックサム確認の結果が正当でなかった場合に、初期化処理を実行することなく、バックアップRAMの記憶内容を修復したあと、遊技状態復旧処理を行うようにすればよい。この場合、データの修復は、例えば、誤り訂正符号（例えば、ランダム誤り対策に用いられるハミング符号、バースト誤り対策に用いられるFire符号など、誤り特性に合わせて選択するようにすればよい）を用いて、変化したビットを検出して訂正するようにすればよい。

【0162】

また、例えば、チェックサム確認の結果が正当でなかった場合に、初期化処理を実行することなく、バックアップRAMの記憶内容に異常が発生していることを報知するようにしてもよい。この場合、異常の報知は、所定の制御によって、例えば、異常が発生したことを可変表示装置9に表示し、スピーカ27から異常が発生したことを示す音声を出し、ランプ制御基板35が制御する異常を報知するためのランプを点灯し、あるいはエラー表示用LED374に異常を示す所定の表示を行うようにすればよい。また、バックアップRAMの記憶内容に異常が発生していることを示す所定の信号を、情報出力回路64などを介して管理コンピュータに出力するようにしてもよい。

30

【0163】

さらに、例えば、チェックサム確認の結果が正当でなかった場合に、初期化処理を実行することなく、クリアスイッチ921の操作による初期化処理の実行要求を促すための報知を行うようにしてもよい。この場合の報知も、上述したように、所定の制御によって表示や音などによって行うようにすればよい。

40

【0164】

初期化処理では、CPU56は、まず、RAMクリア処理を行う（ステップS11）。また、所定の作業領域（例えば、普通図柄判定用乱数カウンタ、普通図柄判定用バッファ、特別図柄左中右図柄バッファ、払出コマンド格納ポインタなど）に初期値を設定する初期値設定処理も行われる。さらに、サブ基板（ランプ制御基板35、払出制御基板37、音声制御基板70、図柄制御基板80）を初期化するための処理を実行する（ステップS13）。サブ基板を初期化する処理とは、例えば初期設定コマンドを送出する処理である。

【0165】

そして、2ms毎に定期的にタイマ割込がかかるようにCPU56に設けられているCT

50

Cのレジスタの設定が行われる(ステップS14)。すなわち、初期値として2msに相当する値が所定のレジスタ(時間定数レジスタ)に設定される。そして、初期設定処理のステップS1において割込禁止とされているので、初期化処理を終える前に割込が許可される(ステップS15)。

【0166】

この実施の形態では、CPU56の内蔵CTCが繰り返しタイマ割込を発生するように設定される。この実施の形態では、繰り返し周期は2msに設定される。そして、タイマ割込が発生すると、図25に示すように、CPU56は、例えばタイマ割込が発生したことを示すタイマ割込フラグをセットする(ステップS12)。

【0167】

初期化処理の実行(ステップS11~S15)が完了すると、メイン処理で、タイマ割込が発生したか否かの監視(ステップS17)の確認が行われるループ処理に移行する。なお、ループ内では、表示用乱数更新処理(ステップS16)も実行される。

【0168】

CPU56は、ステップS17において、タイマ割込が発生したことを認識すると、ステップS21~S31の遊技制御処理を実行する。遊技制御処理において、CPU56は、まず、スイッチ回路58を介して、ゲートセンサ12、始動口センサ17、カウントセンサ23および入賞口スイッチ19a, 19b, 24a, 24b等のスイッチの状態を入力し、それらの状態判定を行う(スイッチ処理:ステップS21)。

【0169】

次いで、パチンコ遊技機1の内部に備えられている自己診断機能によって種々の異常診断処理が行われ、その結果に応じて必要ならば警報が発せられる(エラー処理:ステップS22)。

【0170】

次に、遊技制御に用いられる大当たり判定用の乱数等の各判定用乱数を示す各カウンタを更新する処理を行う(ステップS23)。CPU56は、さらに、停止図柄の種類を決定する乱数等の表示用乱数を更新する処理を行う(ステップS24)。

【0171】

さらに、CPU56は、特別図柄プロセス処理を行う(ステップS25)。特別図柄プロセス制御では、遊技状態に応じてパチンコ遊技機1を所定の順序で制御するための特別図柄プロセスフラグに従って該当する処理が選出されて実行される。そして、特別図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。また、普通図柄プロセス処理を行う(ステップS26)。普通図柄プロセス処理では、7セグメントLEDによる可変表示器10を所定の順序で制御するための普通図柄プロセスフラグに従って該当する処理が選出されて実行される。そして、普通図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。

【0172】

次いで、CPU56は、特別図柄に関する表示制御コマンドをRAM55の所定の領域に設定して表示制御コマンドを送出する処理を行う(特別図柄コマンド制御処理:ステップS27)。また、普通図柄に関する表示制御コマンドをRAM55の所定の領域に設定して表示制御コマンドを送出する処理を行う(普通図柄コマンド制御処理:ステップS28)。

【0173】

さらに、CPU56は、例えばホール管理用コンピュータに供給される大当たり情報、始動情報、確率変動情報などのデータを出力する情報出力処理を行う(ステップS29)。

【0174】

また、CPU56は、所定の条件が成立したときにソレノイド回路59に駆動指令を行う(ステップS30)。ソレノイド回路59は、駆動指令に応じてソレノイド16, 21を駆動し、可変入賞球装置15または開閉板20を開状態または閉状態とする。

【0175】

10

20

30

40

50

そして、CPU 56は、各入賞口への入賞を検出するためのスイッチ17, 23, 19a, 19b, 24a, 24bの検出出力にもとづく賞球数の設定などを行う賞球処理を実行する(ステップS31)。具体的には、入賞検出に応じて払出制御基板37に払出制御コマンドを出力する。払出制御基板37に搭載されている払出制御用CPU371は、払出制御コマンドに応じて球払出装置97を駆動する。

#### 【0176】

以上の制御によって、この実施の形態では、遊技制御処理は2ms毎に起動されることになる。なお、この実施の形態では、タイマ割込処理では例えば割込が発生したことを示すフラグのセットのみがなされ、遊技制御処理はメイン処理において実行されるが、タイマ割込処理で遊技制御処理を実行してもよい。

10

#### 【0177】

また、メイン処理には遊技制御処理に移行すべきか否かを判定する処理が含まれ、CPU56の内部タイマが定期的発生するタイマ割込にもとづくタイマ割込処理で遊技制御処理に移行すべきか否かを判定するためのフラグがセット等がなされるので、遊技制御処理の全てが確実に実行される。つまり、遊技制御処理の全てが実行されるまでは、次の遊技制御処理に移行すべきか否かの判定が行われないので、遊技制御処理中の全ての各処理が実行完了することは保証されている。

#### 【0178】

以上に説明したように、この実施の形態では、CTCやPIOを内蔵するCPU56に対して、初期設定処理で割込モード2が設定される。従って、内蔵CTCを用いた定期的なタイマ割込処理を容易に実現できる。また、タイマ割込処理をプログラム上の任意の位置に設置できる。また、内蔵PIOを用いたスイッチ検出処理等を容易に割込処理で実現できる。その結果、プログラム構成が簡略化され、プログラム開発工数が低減する等の効果を得ることができる。

20

#### 【0179】

なお、CTCおよびPIOの設定(ステップS5)が完了した後に、IEO/SCLK0端子から出力されるクロック信号の周波数を定めるための内部レジスタの設定を行ってもよい。その際、クロック信号の周波数は、遊技制御処理の起動周期である2msに応じた周波数とされる。そのような設定を行うと、IEO/SCLK0端子から、遊技制御処理の起動周期に応じた周波数のクロック信号がCPU56から外部出力される。すると、CPU56の外部において遊技制御処理の起動周期に対応した信号を観測することができる。よって、そのような信号を用いて、遊技機外部においてCPU56による遊技制御処理をシミュレーションしたり、CPU56の動作状況を試験したりすることが容易になる。

30

#### 【0180】

また、図19および図20に示された出力ポート0~6のうち、出力ポート0, 1, 2, 3, 4は、遊技制御処理のうちの特別図柄コマンド制御処理(ステップS25)、普通図柄コマンド制御処理(ステップS27)、賞球処理(ステップS31)等でアクセスされる。また、出力ポート5は、情報出力処理(ステップS29)でアクセスされ、出力ポート6は、特別図柄プロセス処理(ステップS25)や普通図柄プロセス処理(ステップS26)でアクセスされる。

40

#### 【0181】

次に、メイン処理におけるスイッチ処理(ステップS21)の具体例を説明する。この実施の形態では、検出信号のオン状態が所定時間継続すると、確かにスイッチがオンしたと判定されスイッチオンに対応した処理が開始される。所定時間を計測するために、スイッチタイマが用いられる。スイッチタイマは、バックアップRAM領域に形成された1バイトのカウンタであり、検出信号がオン状態を示している場合に2ms毎に+1される。図26に示すように、スイッチタイマは検出信号の数Nだけ設けられている。この実施の形態ではN=12である。なお、N=12である(13でない)のは、クリアスイッチ921の出力信号に対応したスイッチタイマが設けられていない(クリア信号の検出の有無の判断はスイッチ処理で実行されないため不必要)からである。また、RAMにおいて、各

50

スイッチタイマのアドレスは、入力ポートのビット配列順（図 2 1 に示された上から下への順）と同じ順序で並んでいる。

【 0 1 8 2 】

図 2 7 は、遊技制御処理におけるステップ S 2 1 のスイッチ処理の処理例を示すフローチャートである。なお、スイッチ処理は、図 2 2 に示すように遊技制御処理において最初に実行される。スイッチ処理において、C P U 5 6 は、まず、入力ポート 0 に入力されているデータを入力する（ステップ S 7 1）。次いで、処理数として「8」を設定し（ステップ S 7 2）、入賞口スイッチ 2 4 a のためのスイッチタイマのアドレスをポインタにセットする（ステップ S 7 3）。そして、スイッチチェック処理サブルーチンをコールする（ステップ S 7 4）。

10

【 0 1 8 3 】

図 2 8 は、スイッチチェック処理サブルーチンを示すフローチャートである。スイッチチェック処理サブルーチンにおいて、C P U 5 6 は、ポート入力データ、この場合には入力ポート 0 からの入力データを「比較値」として設定する（ステップ S 8 1）。また、クリアデータ（0 0）をセットする（ステップ S 8 2）。そして、ポインタ（スイッチタイマのアドレスが設定されている）が指すスイッチタイマをロードするとともに（ステップ S 8 3）、比較値を右（上位ビットから下位ビットへの方向）にシフトする（ステップ S 8 4）。比較値には入力ポート 0 のデータ設定されている。そして、この場合には、入賞口スイッチ 2 4 a の検出信号がキャリーフラグに押し出される。

【 0 1 8 4 】

20

キャリーフラグの値が「1」であれば（ステップ S 8 5）、すなわち入賞口スイッチ 2 4 a の検出信号がオン状態であれば、スイッチタイマの値を 1 加算する（ステップ S 8 7）。加算後の値が 0 でなければ加算値をスイッチタイマに戻す（ステップ S 8 8、S 8 9）。加算後の値が 0 になった場合には加算値をスイッチタイマに戻さない。すなわち、スイッチタイマの値が既に最大値（2 5 5）に達している場合には、それよりも値を増やさない。

【 0 1 8 5 】

キャリーフラグの値が「0」であれば、すなわち入賞口スイッチ 2 4 a の検出信号がオフ状態であれば、スイッチタイマにクリアデータをセットする（ステップ S 8 6）。すなわち、スイッチがオフ状態であれば、スイッチタイマの値が 0 に戻る。

30

【 0 1 8 6 】

その後、C P U 5 6 は、ポインタ（スイッチタイマのアドレス）を 1 加算するとともに（ステップ S 9 0）、処理数を 1 減算する（ステップ S 9 1）。処理数が 0 になっていなければステップ S 8 2 に戻る。そして、ステップ S 8 2 ~ S 9 2 の処理が繰り返される。

【 0 1 8 7 】

ステップ S 8 2 ~ S 9 2 の処理は、処理数分すなわち 8 回繰り返され、その間に、入力ポート 0 の 8 ビットに入力されるスイッチの検出信号について、順次、オン状態かオフ状態か否かのチェック処理が行われ、オン状態であれば、対応するスイッチタイマの値が 1 増やされる。

【 0 1 8 8 】

40

C P U 5 6 は、スイッチ処理のステップ S 7 5 において、入力ポート 1 に入力されているデータを入力する。次いで、処理数として「4」を設定し（ステップ S 7 6）、賞球カウントスイッチ 3 0 1 A のためのスイッチタイマのアドレスをポインタにセットする（ステップ S 7 7）。そして、スイッチチェック処理サブルーチンをコールする（ステップ S 7 8）。

【 0 1 8 9 】

スイッチチェック処理サブルーチンでは、上述した処理が実行されるので、ステップ S 8 2 ~ S 9 2 の処理が、処理数分すなわち 4 回繰り返され、その間に、入力ポート 1 の 4 ビットに入力されるスイッチの検出信号について、順次、オン状態かオフ状態か否かのチェック処理が行われ、オン状態であれば、対応するスイッチタイマの値が 1 増やされる。

50

## 【0190】

なお、この実施の形態では、遊技制御処理が2ms毎に起動されるので、スイッチ処理も2msに1回実行される。従って、スイッチタイマは、2ms毎に+1される。

## 【0191】

図29～図31は、遊技制御処理におけるステップS31の賞球処理の一例を示すフローチャートである。この実施の形態では、賞球処理では、入賞口スイッチ19a, 19b, 24a, 24b、カウントスイッチ23および始動口スイッチ17が確実にオンしたか否か判定されるとともに、オンしたら所定の払出制御コマンドが払出制御基板37に送出されるように制御し、また、満タンスイッチ48および球切れスイッチ187が確実にオンしたか否か判定されるとともに、オンしたら所定の払出制御コマンドが払出制御基板37に送出されるように制御する等の処理が行われる。

10

## 【0192】

賞球処理において、CPU56は、入力判定値テーブルのオフセットとして「0」を設定し(ステップS121)、スイッチタイマのアドレスのオフセットとして「0」を設定する(ステップS122)。入力判定値テーブルのオフセット「0」は、入力判定値テーブルの最初のデータを使用することを意味する。また、各スイッチタイマは、図21に示された入力ポートのビット順と同順に並んでいるので、スイッチタイマのアドレスのオフセット「0」は入賞口スイッチ24aに対応したスイッチタイマが指定されることを意味する。また、繰り返し数として「4」をセットする(ステップS123)。そして、スイッチオンチェックルーチンがコールされる(ステップS124)。

20

## 【0193】

入力判定値テーブルとは、各スイッチについて、連続何回のオンが検出されたら確かにスイッチがオンしたと判定するための判定値が設定されているROM領域である。入力判定値テーブルの構成例は図34に示されている。図34に示すように、入力判定値テーブルには、上から順に、すなわちアドレス値が小さい領域から順に、「2」、「50」、「250」、「30」、「250」、「1」の判定値が設定されている。また、スイッチオンチェックルーチンでは、入力判定値テーブルの先頭アドレスとオフセット値とで決まるアドレスに設定されている判定値と、スイッチタイマの先頭アドレスとオフセット値とで決まるスイッチタイマの値とが比較され、一致した場合には、例えばスイッチオンフラグがセットされる。

30

## 【0194】

スイッチオンチェックルーチンの一例が図32に示されている。スイッチオンチェックルーチンにおいて、CPU56は、入力判定値テーブル(図34参照)の先頭アドレスを設定する(ステップS101)。そして、そのアドレスにオフセットを加算し(ステップS102)、加算後のアドレスからスイッチオン判定値をロードする(ステップS103)。

## 【0195】

次いで、CPU56は、スイッチタイマの先頭アドレスを設定し(ステップS104)、そのアドレスにオフセットを加算し(ステップS105)、加算後のアドレスからスイッチタイマの値をロードする(ステップS106)。各スイッチタイマは、図21に示された入力ポートのビット順と同順に並んでいるので、スイッチに対応したスイッチタイマの値がロードされる。

40

## 【0196】

そして、CPU56は、ロードしたスイッチタイマの値とスイッチオン判定値とを比較する(ステップS107)。それらが一致すれば、スイッチオンフラグをセットする(ステップS108)。

## 【0197】

この場合には、スイッチオンチェックルーチンにおいて、入賞口スイッチ24aに対応するスイッチタイマの値がスイッチオン判定値「2」に一致していればスイッチオンフラグがセットされる(ステップS125)。スイッチオンフラグがセットされたら、10個力

50

ウンタが1加算される(ステップS126)。スイッチチェックルーチンは、スイッチタイマのアドレスのオフセットが更新されつつ(ステップS129)、最初に設定された繰り返し数分だけ実行されるので(ステップS127, S128)、結局、入賞口スイッチ19a, 19b, 24a, 24bについて、対応するスイッチタイマの値がスイッチオン判定値「2」と比較されることになる。なお、10個カウンタとは、景品としての10個の遊技球払出の回数を示すカウンタである。

【0198】

次に、CPU56は、入力判定値テーブルのオフセットとして「0」を設定し(ステップS130)、スイッチタイマのアドレスのオフセットとして「4」を設定する(ステップS131)。入力判定値テーブルのオフセット「0」は、入力判定値テーブルの最初のデータを使用することを意味する。また、各スイッチタイマは、図21に示された入力ポートのビット順と同順に並んでいるので、スイッチタイマのアドレスのオフセット「4」は始動口スイッチ17に対応したスイッチタイマが指定されることを意味する。そして、スイッチオンチェックルーチンがコールされる(ステップS132)。

10

【0199】

スイッチオンチェックルーチンにおいて、始動口スイッチ17に対応するスイッチタイマの値がスイッチオン判定値「2」に一致していればスイッチオンフラグがセットされるので(ステップS133)、6個カウンタが1加算される(ステップS134)。なお、6個カウンタとは、景品としての6個の遊技球払出の回数を示すカウンタである。

【0200】

20

次いで、CPU56は、入力判定値テーブルのオフセットとして「0」を設定し(ステップS135)、スイッチタイマのアドレスのオフセットとして「5」を設定する(ステップS136)。入力判定値テーブルのオフセット「0」は、入力判定値テーブルの最初のデータを使用することを意味する。また、各スイッチタイマは、図21に示された入力ポートのビット順と同順に並んでいるので、スイッチタイマのアドレスのオフセット「5」はカウントスイッチ23に対応したスイッチタイマが指定されることを意味する。そして、スイッチオンチェックルーチンがコールされる(ステップS137)。

【0201】

スイッチオンチェックルーチンにおいて、カウントスイッチ23に対応するスイッチタイマの値がスイッチオン判定値「2」に一致していればスイッチオンフラグがセットされるので(ステップS138)、15個カウンタが1加算される(ステップS134)。なお、15個カウンタとは、景品としての15個の遊技球払出の回数を示すカウンタである。

30

【0202】

さらに、CPU56は、入力判定値テーブルのオフセットとして「1」を設定し(ステップS150)、スイッチタイマのアドレスのオフセットとして「9」を設定する(ステップS151)。入力判定値テーブルのオフセット「1」は、入力判定値テーブルの2番目のデータ「50」を使用することを意味する。また、各スイッチタイマは、図21に示された入力ポートのビット順と同順に並んでいるので、スイッチタイマのアドレスのオフセット「9」は満タンスイッチ48に対応したスイッチタイマが指定されることを意味する。そして、スイッチオンチェックルーチンがコールされる(ステップS152)。

40

【0203】

スイッチオンチェックルーチンにおいて、満タンスイッチ48に対応するスイッチタイマの値が満タンスイッチオン判定値「50」に一致していればスイッチオンフラグがセットされるので(ステップS153)、満タンフラグがセットされる(ステップS154)。なお、図30には明示されていないが、満タンスイッチ48に対応したスイッチタイマの値が0になると、満タンフラグはリセットされる。

【0204】

また、CPU56は、入力判定値テーブルのオフセットとして「2」を設定し(ステップS156)、スイッチタイマのアドレスのオフセットとして「0A(H)」を設定する(ステップS157)。入力判定値テーブルのオフセット「2」は、入力判定値テーブルの

50



3番目のデータ「250」を使用することを意味する。また、各スイッチタイマは、図21に示された入力ポートのビット順と同順に並んでいるので、スイッチタイマのアドレスのオフセット「0A(H)」は球切れスイッチ187に対応したスイッチタイマが指定されることを意味する。そして、スイッチオンチェックルーチンがコールされる(ステップS158)。

#### 【0205】

スイッチオンチェックルーチンにおいて、球切れスイッチ187に対応するスイッチタイマの値が球切れスイッチオン判定値「250」に一致していればスイッチオンフラグがセットされるので(ステップS159)、球切れフラグがセットされる(ステップS160)。なお、図30には明示されていないが、球切れスイッチ187に対応したスイッチオフタイマが用意され、その値が50になると、球切れフラグはリセットされる。

10

#### 【0206】

そして、CPU56は、払出停止状態であるか否かを確認する(ステップS201)。払出停止状態は、払出制御基板37に対して払出停止状態指定のコマンドを送出した後の状態である。払出停止状態でなければ、上述した球切れ状態フラグまたは満タンフラグがオンになったか否かを確認する(ステップS202)。

#### 【0207】

いずれかがオン状態に変化したときには、払出停止状態指定に関するコマンド送信制御処理を行う(ステップS203)。コマンド送信制御処理では、払出制御コマンド用のコマンド送信テーブルに所定のデータが設定された後、払出制御コマンドの送出处理が実行される。なお、ステップS202において、いずれか一方のフラグが既にオン状態であったときに他方のフラグがオン状態になったときには、コマンド送信制御処理(ステップS203)は行われない。

20

#### 【0208】

また、払出停止状態であれば、球切れ状態フラグおよび満タンフラグがともにオフ状態になったか否かを確認する(ステップS204)。ともにオフ状態となったときには、払出停止解除指定に関するコマンド送信制御処理を行う(ステップS205)。

#### 【0209】

次いで、CPU56は、入賞に応じた賞球個数に関する払出制御コマンドをコマンド送信テーブルに設定し、設定内容に応じた払出制御コマンドを送出する制御を行う。まず、15個カウンタの値をチェックする(ステップS221)。上述したように、15個カウンタは、遊技球が大入賞口に入賞してカウントスイッチ23がオンするとカウントアップされる。15個カウンタの値が0でない場合には、15個の賞球個数指示に関するコマンド送信制御処理を行う(ステップS222)。コマンド送信制御処理では、払出制御コマンド用のコマンド送信テーブルに所定のデータが設定された後、払出制御コマンドの送出处理が実行される。また、15個カウンタの値を-1する(ステップS223)。さらに、総賞球数格納バッファの格納値に15を加算する(ステップS224)。

30

#### 【0210】

総賞球数格納バッファは、払出制御手段に対して指示した賞球個数の累積値(ただし、払い出しがなされると減算される)が格納されるバッファであり、バックアップRAMに形成されている。

40

#### 【0211】

15個カウンタの値が0であれば、10個カウンタの値をチェックする(ステップS225)。上述したように、10個カウンタは、遊技球が入賞口に入賞して入賞口スイッチ19a, 19b, 24a, 24bがオンするとカウントアップされる。10個カウンタの値が0でない場合には、10個の賞球個数指示に関するコマンド送信制御処理を行う(ステップS226)。また、10個カウンタの値を-1する(ステップS227)。さらに、総賞球数格納バッファの格納値に10を加算する(ステップS228)。

#### 【0212】

10個カウンタの値が0であれば、6個カウンタの値をチェックする(ステップS231)

50

)。上述したように、6個カウンタは、遊技球が始動入賞口に入賞して始動口スイッチ17がオンするとカウントアップされる。6個カウンタの値が0でない場合には、6個の賞球個数指示に関するコマンド送信制御処理を行う(ステップS232)。また、6個カウンタの値を-1する(ステップS233)。さらに、総賞球数格納バッファの格納値に6を加算する(ステップS234)。

#### 【0213】

以上のようにして、遊技制御手段から払出制御基板37に賞球個数を指示する払出制御コマンドを出力しようとするときに、コマンド送信テーブルの設定が行われた後、コマンド送信テーブルに設定された払出制御コマンドが払出制御基板37に送出される。そして、賞球個数を指示する払出制御コマンドの送出が行われたときには、賞球払出中フラグをオンする(ステップS235)。また、賞球払出中フラグをオンしているときには(ステップS236)、球払出装置97から実際に払い出された賞球数を監視して総賞球数格納バッファの格納値を減算する賞球個数減算処理が行われる(ステップS237)。なお、賞球払出中フラグがオンからオフに変化したときには、ランプ制御基板35に対して、賞球ランプ51の点灯を指示するランプ制御コマンドが送出される。

#### 【0214】

図33は、賞球個数減算処理の一例を示すフローチャートである。賞球個数減算処理において、CPU56は、まず、総賞球数格納バッファの格納値をロードする(ステップS241)。そして、格納値が0であるか否か確認する(ステップS242)。0であれば処理を終了する。

#### 【0215】

0でなければ、賞球カウントスイッチ用のスイッチタイマをロードし(ステップS243)、ロード値とオン判定値(この場合は「2」と)を比較する(ステップS244)。一致したら(ステップS245)、賞球カウントスイッチ301Aが確かにオンしたとして、すなわち、確かに1個の遊技球が球払出装置97から払い出されたとして、総賞球数格納バッファの格納値を1減算する(ステップS246)。

#### 【0216】

また、賞球情報カウンタの値を+1する(ステップS247)。そして、賞球情報カウンタの値が10以上であれば(ステップS248)、賞球情報出力カウンタの値を+1するとともに(ステップS249)、賞球情報カウンタの値を-1する(ステップS250)。なお、賞球情報出力カウンタの値は、図22に示されたメイン処理における情報出力処理(ステップS29)で参照され、その値が1以上であれば、賞球信号(出力ポート5のビット7:図20参照)として1パルスが出力される。よって、この実施の形態では、10個の遊技球が賞球として払い出される度に、1つの賞球信号が遊技機外部に出力される。

#### 【0217】

そして、総賞球数格納バッファの格納値が0になったら(ステップS251)、賞球払出中フラグをクリアし(ステップS252)、賞球残数がないことを報知するために、ランプ制御コマンド用のコマンド送信テーブルに賞球ランプ51の消灯を示すコマンドデータを設定した後(ステップS253)、ランプ制御コマンドの送出処理を実行する(ステップS254)。

#### 【0218】

図35～図37は、電源基板910からの電源断信号に応じて実行されるマスク不能割込処理(電力供給停止時処理)の処理例を示すフローチャートである。

#### 【0219】

電力供給停止時処理において、CPU56は、AFレジスタ(アキュムレータとフラグのレジスタ)を所定のバックアップRAM領域に退避する(ステップS451)。また、割込フラグをパリティフラグにコピーする(ステップS452)。パリティフラグはバックアップRAM領域に形成されている。また、BCレジスタ、DEレジスタ、HLレジスタ、IXレジスタおよびスタックポインタをバックアップRAM領域に退避する(ステッ

10

20

30

40

50

プ S 4 5 4 ~ S 4 5 8 )。なお、電源復旧時には、退避された内容にもとづいてレジスタ内容が復元され、パリティフラグの内容に応じて、割込許可状態 / 禁止状態の内部設定がなされる。

【 0 2 2 0 】

次いで、この実施の形態では、所定期間、賞球カウントスイッチ 3 0 1 A の検出信号をチェックする。そして、賞球カウントスイッチ 3 0 1 A がオンしたら総賞球数バッファの内容を 1 減らす。

【 0 2 2 1 】

なお、この実施の形態では、所定期間を計測するために、所定期間計測用カウンタが用いられる。所定期間計測用カウンタの値は、初期値 m から、以下に説明するスイッチ検出処理のループ ( S 4 6 1 から始まって S 4 6 1 に戻るループ ) が 1 回実行される毎に - 1 され、その値が 0 になると、所定期間が終了したとする。検出処理のループでは、例外はあるがほぼ一定の処理が行われるので、ループの 1 周に要する時間の m 倍の時間が、ほぼ所定期間に相当する。

【 0 2 2 2 】

所定期間を計測するために、CPU 5 6 の内蔵タイマを用いてもよい。すなわち、スイッチ検出処理開始時に、内蔵タイマに所定値 ( 所定期間に相当 ) を設定しておく。そして、スイッチ検出処理のループが 1 回実行される毎に、内蔵タイマのカウント値をチェックする。そして、カウント値が 0 になったら、所定期間が終了したとする。内蔵タイマの値が 0 になったことを検出するために内蔵タイマによる割込を用いることもできるが、この段階では制御内容 ( RAM に格納されている各値など ) を変化させないように、割込を用いず、内蔵タイマのカウント値を読み出してチェックするようなプログラム構成の方が好ましい。

【 0 2 2 3 】

また、所定期間は、遊技球が、球払出装置 9 7 から落下した時点から、賞球カウントスイッチ 3 0 1 A に到達するまでの時間以上に設定される。球払出装置 9 7 から賞球カウントスイッチ 3 0 1 A までの距離を L とすると、その間の落下時間 t は、 $t = ( 2 L / g )$  ( g : 重力加速度 ) になるので、所定期間は、それ以上に設定される。

【 0 2 2 4 】

少なくとも、スイッチ検出処理が実行される所定期間では、賞球カウントスイッチ 3 0 1 A が遊技球を検出できる状態でなければならない。そこで、この実施の形態では、図 1 5 に示されたように、電源基板 9 1 0 におけるコンバータ IC 9 2 2 の入力側に比較的大容量の補助駆動電源としてのコンデンサ 9 2 3 が接続されている。よって、遊技機に対する電力供給停止時にも、ある程度の期間は + 1 2 V 電源電圧がスイッチ駆動可能な範囲に維持され、賞球カウントスイッチ 3 0 1 A が動作可能になる。その期間が、上記の所定期間以上になるように、コンデンサの容量が決定される。

【 0 2 2 5 】

なお、入力ポートおよび CPU 5 6 も、コンバータ IC 9 2 2 で作成される + 5 V 電源で駆動されるので、電力供給停止時にも、比較的長い期間動作可能になっている。

【 0 2 2 6 】

ステップ S 4 6 1 において、2 m s 計測用カウンタに 2 m s の時間に相当する初期値 n が設定される。そして、2 m s 計測用カウンタの値が 0 になるまで ( ステップ S 4 6 2 )、2 m s 計測用カウンタの値が - 1 される ( ステップ S 4 6 3 )。

【 0 2 2 7 】

2 m s 計測用カウンタの値が 0 になると、賞球カウントスイッチ 3 0 1 A の検出信号の入力チェックが行われる。すなわち、図 2 7 および図 2 8 に示されたスイッチ処理およびスイッチチェック処理に類似した処理が行われる。具体的には、入力ポート 1 に入力されているデータを入力する ( ステップ S 4 6 4 )。次いで、クリアデータ ( 0 0 ) をセットする ( ステップ S 4 6 5 )。また、ポート入力データ、この場合には入力ポート 1 からの入力データを「比較値」として設定する ( ステップ S 4 6 6 )。さらに、賞球カウントス

10

20

30

40

50

ッチ 3 0 1 A のためのスイッチタイマのアドレスをポインタにセットする（ステップ S 4 6 7 ）。

【 0 2 2 8 】

そして、ポインタ（スイッチタイマのアドレスが設定されている）が指すスイッチタイマをロードするとともに（ステップ S 4 6 8 ）、比較値を右（上位ビットから下位ビットへの方向）にシフトする（ステップ S 4 6 9 ）。比較値には入力ポート 1 のデータ設定されている。そして、この場合には、賞球カウントスイッチ 3 0 1 A の検出信号がキャリーフラグに押し出される。

【 0 2 2 9 】

キャリーフラグの値が「 1 」であれば（ステップ S 4 7 0 ）、すなわち賞球カウントスイッチ 3 0 1 A の検出信号がオン状態であれば、スイッチタイマの値を 1 加算する（ステップ S 4 7 1 ）。キャリーフラグの値が「 0 」であれば、すなわち賞球カウントスイッチ 3 0 1 A の検出信号がオフ状態であれば、スイッチタイマにクリアデータをセットする（ステップ S 4 7 2 ）。すなわち、スイッチがオフ状態であれば、スイッチタイマの値が 0 に戻る。

【 0 2 3 0 】

そして、スイッチタイマの値が 2 になったときに（ステップ S 4 7 3 ）、総賞球数格納バッファの格納値を 1 減算するとともに（ステップ S 4 7 4 ）、賞球情報カウンタの値を + 1 する（ステップ S 4 7 5 ）。そして、賞球情報カウンタの値が 1 0 以上であれば（ステップ S 4 7 6 ）、賞球情報出力カウンタの値を + 1 するとともに（ステップ S 4 7 7 ）、賞球情報カウンタの値を - 1 0 する（ステップ S 4 7 8 ）。20

【 0 2 3 1 】

次いで、所定期間計測用カウンタの値を - 1 し（ステップ S 4 7 9 ）、その値が 0 になっていなければステップ S 4 6 1 に戻る。

【 0 2 3 2 】

以上の処理によって、所定期間内に賞球カウントスイッチ 3 0 1 A がオンしたら、総賞球数格納バッファの値が - 1 される。バックアップ R A M の内容を保存するための処理は、このようなスイッチ検出処理の後で行われるので、払出が完了した賞球について、必ず総賞球数格納バッファが - 1 される。従って、遊技球の払出に関して、保存される制御状態に矛盾が生じてしまうことが防止される。また、上記のスイッチ検出処理では、検出期間用カウンタを用いたタイマ処理が施されている。すなわち、2 m s 毎に賞球カウントスイッチ 3 0 1 A の検出出力のチェックが行われ、2 回連続してオン検出した場合に、賞球カウントスイッチ 3 0 1 A が確実にオンしたと見なされる。従って、誤ってスイッチオン検出がなされてしまうことは防止される。また、スイッチ検出処理において、遊技機外部への賞球情報出力のための賞球情報出力回数カウンタの演算も行われるので、外部に出力される賞球情報と実際の払出賞球数とが食い違ってしまうようなこともない。30

【 0 2 3 3 】

なお、この実施の形態では、賞球カウントスイッチ 3 0 1 A のみのスイッチ検出処理が行われたが、始動入賞口のスイッチや大入賞口に関連する V 入賞スイッチ 2 2 やカウントスイッチについても同様のスイッチ検出処理を行ってもよい。また、他の入賞についても同様のスイッチ検出処理を行ってもよい。そのようなオンチェックも行う場合には、入賞口に遊技球が入賞した直後に停電が発生したような場合でも、その入賞が確実に検出され、保存される遊技状態に反映される。40

【 0 2 3 4 】

所定期間が経過すると（ステップ S 4 8 0 ）、すなわち、所定期間計測用カウンタの値が 0 になると、バックアップあり指定値（この例では「 5 5 H 」）をバックアップフラグにストアする（ステップ S 4 8 1 ）。バックアップフラグはバックアップ R A M 領域に形成されている。次いで、パリティデータを作成する（ステップ S 4 8 2 ~ S 4 9 1 ）。すなわち、まず、クリアデータ（ 0 0 ）をチェックサムデータエリアにセットし（ステップ S 4 8 2 ）、チェックサム算出開始アドレスをポインタにセットする（ステップ S 4 8 3 ）50

。また、チェックサム算出回数をセットする（ステップS484）。

【0235】

そして、チェックサムデータエリアの内容とポインタが指すRAM領域の内容との排他的論理和を演算する（ステップS485）。演算結果をチェックサムデータエリアにストアするとともに（ステップS486）、ポインタの値を1増やし（ステップS487）、チェックサム算出回数の値を1減算する（ステップS488）。ステップS485～S488の処理が、チェックサム算出回数の値が0になるまで繰り返される（ステップS489）。

【0236】

チェックサム算出回数の値が0になったら、CPU56は、チェックサムデータエリアの内容の各ビットの値を反転する（ステップS490）。そして、反転後のデータをチェックサムデータエリアにストアする（ステップS491）。このデータが、電源投入時にチェックされるパリティデータとなる。

10

【0237】

図38は、バックアップパリティデータ作成方法を説明するための説明図である。ただし、図38に示す例では、簡単のために、バックアップデータRAM領域のデータのサイズを3バイトとする。また、図38に示す例では、ステップS484でチェックサム算出回数として3がセットされるものとする。電源電圧低下にもとづく停電発生処理において、図38（A）に示すように、バックアップチェックデータ領域に、初期データ（この例では00H）が設定される。次に、「00H」とチェックサム算出開始アドレス（この例では「F0H」）の排他的論理和がとられ、その結果と次のポインタが指すRAM領域の内容（本例では「16H」）の排他的論理和がとられる。さらに、その結果と次のポインタが指すRAM領域の内容（本例では「DFH」）の排他的論理和がとられる。そして、その結果（この例では「39H」）を反転したデータ（この例では「C6H」）がバックアップパリティデータ領域に設定される。

20

【0238】

電源が再投入されたときには、チェックサム確認処理（ステップS9b）においてパリティ診断が行われるが、図38（B）はパリティ診断の例を示す説明図である。バックアップ領域の全データがそのまま保存されていれば、電源再投入時に、図38（A）に示すようなデータがバックアップ領域に設定されている。

30

【0239】

ステップS51の処理において、CPU56は、バックアップRAM領域のバックアップパリティデータ領域に設定されていたデータ（この例では「C6H」）を初期データとし、初期データを反転したデータ（この例では「39H」）を用いて、バックアップデータ領域の各データについて順次排他的論理和をとる処理を行う。バックアップ領域の全データがそのまま保存されていれば、最終的な演算結果は、「00H」、すなわちバックアップチェックデータ領域に設定されているデータと一致する。バックアップRAM領域内のデータにビット誤りが生じていた場合には、最終的な演算結果は「00H」にならない。

【0240】

よって、CPU56は、パリティチェック処理（チェックサム確認処理）において、最終的な演算結果とバックアップチェックデータ領域に設定されているデータとを比較して、一致すればパリティ診断正常とする。一致しなければ、パリティ診断異常とする。

40

【0241】

このように、この実施の形態では、図24に示されたパリティチェック処理において、バックアップパリティデータ領域に設定されていたデータが「00」でないときにチェックサム確認処理が行われ（ステップS9a, S9b）、バックアップパリティデータ領域に設定されていたデータが「00」である場合には停電復旧処理を行う。

【0242】

なお、この実施の形態では、チェックサム確認処理（ステップS9b）におけるパリティ診断において図38（B）に示すようにパリティ診断を行うようにしていたが、パリティ

50

診断において、図38(A)と同様の処理を行うようにしてもよい。すなわち、パリティ診断において、パリティデータ作成のための演算処理と同じ演算処理を行うようにしてもよい。この場合、CPU56は、パリティチェック処理(チェックサム確認処理)において、最終的な演算結果とバックアップチェックデータ領域に設定されているデータ(この場合、「00」)とを比較して、一致すればパリティ診断正常とする。一致しなければ、パリティ診断異常とする。なお、パリティ診断においてもパリティデータ作成のときと同じ演算をおこなうので、初期データを設定する必要はない。

【0243】

次いで、CPU56は、RAMアクセスレジスタにアクセス禁止値を設定する(ステップS492)。以後、内蔵RAM55のアクセスができなくなる。

10

【0244】

さらに、CPU56は、クリアデータ(00)を適当なレジスタにセットし(ステップS493)、処理数(この例では「7」)を別のレジスタにセットする(ステップS494)。また、出力ポート0のアドレスをIOポインタに設定する(ステップS495)。IOポインタとして、さらに別のレジスタが用いられる。

【0245】

そして、IOポインタが指すアドレスにクリアデータをセットするとともに(ステップS496)、IOポインタの値を1増やし(ステップS497)、処理数の値を1減算する(ステップS498)。ステップS496~S498の処理が、処理数の値が0になるまで繰り返される。その結果、全ての出力ポート0~6(図19および図20参照)にクリアデータが設定される。図19および図20に示すように、この例では、「1」がオン状態であり、クリアデータである「00」が各出力ポートにセットされるので、全ての出力ポートがオフ状態になる。

20

【0246】

従って、遊技状態を保存するための処理(この例では、チェックサムの生成およびRAMアクセス防止)が実行された後、各出力ポートは直ちにオフ状態になる。なお、この実施の形態では、遊技制御処理において用いられるデータが格納されるRAM領域は全て電源バックアップされている。従って、その内容が正しく保存されているか否かを示すチェックサムの生成処理、およびその内容を書き換えないようにするためのRAMアクセス防止処理が、遊技状態を保存するための処理に相当する。

30

【0247】

遊技状態を保存するための処理が実行された後、直ちに各出力ポートがオフ状態になるので、保存される遊技状態と整合しない状況が発生することは確実に防止される。図35~図37に示す処理が実行されるときには、遊技機に対する電源供給が停止するので、電気部品に印加される電圧が低下していく。そして、印加電圧が駆動可能電圧を下回った時点で電気部品の駆動は停止する。従って、遊技機に対する電力供給停止時には、短時間の遅れはあるものの電気部品の駆動は停止する。

【0248】

ところが、この実施の形態のような出力ポートに対するクリア処理を行わないと、遊技状態が保存された後、電力供給が停止するのを遊技制御手段が待っている間に可変入賞球装置15にさらに入賞してしまうこともある。そのような場合、電力供給再開時には保存されている遊技状態が復帰されるので保存時の始動入賞記憶数が始動記憶表示器18に表示される。すると、遊技者から見ると、始動入賞の保留記憶値が少なくなってしまうように見え、トラブルが発生しかねない。しかし、この実施の形態では、そのようなトラブルが生ずる可能性がなくなる。さらに、停電等が発生する直前に大入賞口を開放する制御がなされたまま電力供給停止時処理が実行されて待機ループに入った後、電源が落ちきらないまま復帰したような場合に、この実施の形態では、遊技制御は待機ループに入っているが大入賞口は開いたままになっているという現象が生じてしまうことが防止される。また、待機ループに入っている間に可変表示が開始されてしまう等の現象も防止することができる。

40

50

## 【0249】

また、遊技状態が保存された後に、可変入賞球装置としての大入賞口への入賞が発生する場合もあり得る。そのような場合、遊技者が認識している入賞個数と、電力供給復帰時に、保存されていた遊技状態にもとづいて表示部に表示される入賞個数とが食い違ってトラブルが生ずる可能性もある。しかし、この実施の形態では、そのようなトラブルが生ずる可能性がなくなる。

## 【0250】

出力ポートに対するクリア処理が完了すると、CPU56は、待機状態（ループ状態）に入る。従って、システムリセットされるまで、何もしない状態になる。

## 【0251】

なお、この実施の形態では、NMIに応じて電力供給停止時処理が実行されたが、電源断信号をCPU56のマスク可能端子に接続し、マスク可能割込処理によって電力供給停止時処理を実行してもよい。また、電源断信号を入力ポートに入力し、入力ポートのチェック結果に応じて電力供給停止時処理を実行してもよい。

## 【0252】

また、この実施の形態では、電源断信号に応じて起動される処理の最初にレジスタの保存処理が行われたが、スイッチ検出処理においてレジスタを使用しない場合には、スイッチ検出処理の実行後に、すなわち、バックアップフラグの設定とチェックサムの算出の処理の前にレジスタ保存処理を行うことができる。その場合には、レジスタ保存処理、バックアップフラグ設定処理、チェックサム算出処理および出力ポートのオフ設定処理を電力供給停止時処理と見なすことができる。さらに、スイッチ検出処理において幾つかのレジスタを使用する場合であっても、使用しないレジスタについては、バックアップフラグの設定とチェックサムの算出の処理の前にレジスタ保存処理を行うことができる。

## 【0253】

なお、出力ポートのクリア処理を、スイッチ検出処理の実行前（ステップS460の前）に行ってもよい。電力供給停止時処理の実行中では、CPU56やスイッチ類はコンデンサの充電電力等で駆動されることになる。出力ポートのクリア処理をスイッチ検出処理の実行前に行った場合には、大入賞口や可変入賞装置等がソレノイド等の電気部品で駆動されるように構成されていても、それらが駆動されることはなく、コンデンサの充電電力等を電力供給停止時処理のために効果的に使用することができる。

## 【0254】

ただし、電源が断することが検出された後にV入賞スイッチ22を検出する場合には、ソレノイド21（大入賞口をV入賞スイッチに誘導するための部材を動作させるもの）の出力ポートについては、スイッチ検出処理の実行後にクリアする。そのようにすれば、継続権発生の条件であるV入賞をしていない状態で停電が発生した場合、停電発生直前に大入賞口に入った遊技球をV入賞スイッチ22の側に誘導することができる。従って、不当な継続権の消滅を防止することができる。この場合、所定期間は、大入賞口に入賞した遊技球がV入賞スイッチ22に到達するまでの時間以上の期間である。なお、ラッチ式のソレノイドを用いた場合には、出力ポートのクリア処理は不要である。

## 【0255】

また、出力ポートのクリアによって大入賞口が閉じた場合でも、大入賞口内に遊技球があることも考えられるので、電源断信号に応じて実行されるスイッチ検出処理において、カウントスイッチ23の検出も行うことが望ましい。上記の出力ポートのクリア処理をスイッチ検出処理前に行ってもよいこと、および、上記の例外的な処理については、第1種パチンコ遊技機においてのみならず、第2種パチンコ遊技機や第3種パチンコ遊技機についても同様である。

## 【0256】

図39は、本発明の他の実施の形態における遊技制御手段のマスク不能割込処理（電力供給停止時処理）の一部を示すフローチャートである。図39に示すフローチャートは、図35～図37に示されたステップS451～S492の処理に続いて実行される。すなわ

10

20

30

40

50

ち、この実施の形態では、R A Mアクセス禁止状態に設定された後（ステップS 4 9 2）、クリアデータテーブルの先頭アドレスがポインタにセットされ（ステップS 5 0 1）、次いで、データクリア処理が実行された後に（ステップS 5 0 2）、システムリセットを待つ待機状態に入る。なお、ポインタとして所定のレジスタが用いられる。

【0257】

図40は、クリアデータテーブルの一構成例を示す説明図である。図40に示す例では、クリアデータテーブルには、順に、処理数データ（この例では「7」）、出力ポート0のアドレス、出力ポート0に設定されるべきクリアデータ、・・・、出力ポート6のアドレス、出力ポート6に設定されるべきクリアデータが設定されている。出力ポートのアドレスとクリアデータとは、出力ポートのアドレスが小さいものから順に設定されている。

10

【0258】

図41は、ステップS 5 0 2のデータクリア処理を示すフローチャートである。データクリア処理において、C P U 5 6は、ポインタの指すアドレスから処理数データを抽出する（ステップS 5 1 1）。そして、ポインタの値を1増やす（ステップS 5 1 2）。次いで、ポインタの指すアドレスからアドレスデータ（出力ポートのアドレス）を抽出する（ステップS 5 1 3）。さらに、ポインタの値を1増やす（ステップS 5 1 4）。

【0259】

そして、ポインタの指すアドレスからクリアデータを抽出し（ステップS 5 1 5）、そのデータを、ステップS 8 3で抽出したアドレスに設定する（ステップS 5 1 6）。次に、処理数の値を1減算し（ステップS 5 1 7）、処理数が0になったらデータクリア処理を終了する（ステップS 5 1 8）。処理数が0でない場合には、ステップS 5 1 1に戻る。

20

【0260】

クリアデータテーブルを用いるようにしても、クリア信号出力処理を迅速に行うことができ、遊技機への電力供給停止時に保存した制御状態と実際の制御状態との間の矛盾発生をより効果的に防止できる。そして、クリアデータテーブルを用いる場合には、テーブルにおいて、アドレスデータとクリアデータとをアドレス順に並べなくてもよく、テーブル構成の自由度が増す。例えば、試験信号などを用いる遊技機において試験信号をクリアしないようにしたい場合に、試験信号に関する出力ポートに関するデータをテーブルから除外することによって、容易に試験信号のクリア処理を除外することができる。また、出力ポートの増減や変更があったような場合に、テーブルの内容を変更するだけでよく、プログラム変更の必要はない。

30

【0261】

図42は、払出検出手段からの検出信号の入力処理が実行される様子の一例を示すタイミング図である。この実施の形態では、電源断信号は、主基板31および払出制御基板37に入力され、主基板31のC P U 5 6および払出制御用C P U 3 7 1のN M I端子に入力される。主基板31のC P U 5 6は、マスク不能割込処理によって、上述した電力供給停止時処理を実行する。

【0262】

図42に示すように、電源断信号がオン（この例ではハイレベルからローレベルに変化）するあたりで賞球払出が実行された場合、払出検出手段からの検出信号の入力処理が実行される所定期間内で賞球カウントスイッチ301Aがオンする。従って、電源断信号がオンするあたりで実行された球払出についても、電力供給停止時処理が実行される際に、総賞球数バッファに反映することができる。

40

【0263】

V S Lの電圧値がさらに低下して所定値（この例では+ 9 V）にまで低下すると、図16に示されたように電源基板710搭載されているリセットI C 6 5 1の出力がローレベルになり、C P U 5 6がシステムリセット状態になる。なお、C P U 5 6は、システムリセット状態とされる前に、電力供給停止時処理を完了している。

【0264】

V S Lの電圧値がさらに低下してV c c（各種回路を駆動するための+ 5 V）を生成すること

50



が可能な電圧を下回ると、各基板において各回路が動作できない状態となる。しかし、主基板 31 では、電力供給停止時処理が実行され、CPU 56 がシステムリセット状態とされている。

【0265】

なお、後述するように、払出制御基板 37 における払出制御用 CPU 371 も、同様に電力供給停止時処理を行った後にシステムリセット状態になる。

【0266】

上記の実施の形態のパチンコ遊技機 1 は、始動入賞にもとづいて可変表示部 9 に可変表示される特別図柄の停止図柄が所定の図柄の組み合わせになると所定の遊技価値が遊技者に付与可能になる第 1 種パチンコ遊技機であったが、始動入賞にもとづいて可変表示される図柄の停止図柄が所定の図柄の組み合わせになると開放する所定の電動役物への入賞があると所定の権利が発生または継続する第 3 種パチンコ遊技機であっても、本発明を適用できる。

10

【0267】

以下、遊技状態復旧処理について説明する。

図 43 は、図 22 のステップ S10 に示された遊技状態復旧処理の一例を示すフローチャートである。この例では、CPU 56 は、バックアップ RAM に保存されていた値を各レジスタに復元する（ステップ S91）。そして、バックアップ RAM に保存されていたデータにもとづいて停電時の遊技状態を確認して復帰させる。すなわち、バックアップ RAM に保存されていたデータにもとづいて、ソレノイド回路 59 を介してソレノイド 16 やソレノイド 21 を駆動し、始動入賞口 14 や開閉板 20 の開閉状態の復旧を行う（ステップ S92, S93）。また、電源断中でも保存されていた特別図柄プロセスフラグおよび普通図柄プロセスフラグの値に応じて、電源断時の特別図柄プロセス処理の進行状況および普通図柄プロセス処理の進行状況に対応した制御コマンドを、図柄制御基板 80、ランプ制御基板 35 および音声制御基板 70 に送出する（ステップ S94）。

20

【0268】

以上のように、遊技状態復旧処理では、復元された内部状態に応じて、各種電気部品の状態復元が行われるとともに、図柄制御基板 80、ランプ制御基板 35 および音声制御基板 70 に対して、制御状態を電源断時の状態に戻すための制御コマンド（電源断時の制御状態を生じさせるための制御コマンド）が送出される。そのような制御コマンドは、一般に、電源断前に最後に送出された 1 つまたは複数の制御コマンドである。

30

【0269】

遊技状態を電源断時の状態に復帰させると、この実施の形態では、CPU 56 は、前回の電源断時の割込許可 / 禁止状態を復帰させるため、バックアップ RAM に保存されていたパリティフラグの値を確認する（ステップ S95）。パリティフラグがオフ状態であれば、割込許可設定を行う（ステップ S96）。しかし、パリティフラグがオン状態であれば、そのまま（ステップ S1 で設定された割込禁止状態のまま）遊技状態復旧処理を終了する。パリティフラグがオン状態であるということは、図 35 におけるステップ S452 に示されたように、前回の電源断時に割込禁止状態であったことを意味する。従って、パリティフラグがオン状態である場合には、割込許可はなされない。

40

【0270】

この実施の形態では、上述した遊技状態復旧処理によって、以下のような状態復旧が可能である。

【0271】

始動入賞口 14 および大入賞口（開閉板 20）の状態が復元される。表示制御手段によって制御される普通図柄の表示状態（可変表示器 10 の表示状態）は、電源断時に変動中であつた場合を除いて復元される。表示制御手段によって制御される特別図柄の表示状態（可変表示部 9 の表示状態）は、電源断時に変動中であつた場合を除いて復元される。さらに、可変表示部 9 に表示される背景やキャラクタは、特別図柄変動中および大当たり遊技中であつた場合を除いて復元される。

50

## 【0272】

特別図柄の変動中に電源断となった場合には、可変表示パターンの変動時間（例えば10秒）および既に実行した時間（例えば4秒）の情報がバックアップされる。そして、主基板31は、復旧時に、表示パターンを示す表示制御コマンドおよび停止図柄を示す表示制御コマンドを表示制御基板80に出力し、残り時間（上述の例では6秒）経過後に、図柄を停止させるため表示制御コマンドを出力する。従って、特別図柄の表示状態は、電源断時に特別図柄の変動中であった場合には、復旧時に、表示されていない残りの時間（上述の例では6秒）につき可変表示が実行される。なお、復旧時に表示制御基板80に対して出力される表示パターンを示す表示制御コマンドは、電源断前に出力された表示パターンを示す表示制御コマンドと同じのものであってもよいが、「停電復旧中です」のような画像を表示させるためのコマンドとしてもよい。この場合、「停電復旧中です」の表示は、残りの時間（上述の例では6秒）表示される。なお、特別図柄の変動中に電源断となった場合の、普通図柄の表示状態についても、上述と同様の制御が行われる。

10

## 【0273】

なお、大当り遊技中に電源断となった場合にも、上述した特別図柄の変動中に電源断となった場合と同様に、ラウンド中あるいはラウンド間のインターバルの残り時間について、復旧時に、表示、音、ランプ、ソレノイド21などを制御するが、主基板31は、表示制御基板80に対して電源断前に出力した確定時の図柄（停止図柄）を指定する表示制御コマンドを出力する。これにより、ラウンド中あるいはラウンド間の大当り図柄による演出が可能となり（大当り図柄で大当り演出する機種について）、また、大当り終了後の変動開始時に表示する図柄も表示制御基板80が認識することができる。

20

## 【0274】

ランプ制御手段が制御する装飾ランプ25、始動記憶表示器18、ゲート通過記憶表示器41、賞球ランプ51および球切れランプ52の表示状態が復元される。遊技効果ランプ・LED28a, 28b, 28cの表示状態は、特別図柄変動中および大当り遊技中であった場合を除いて復元される。ただし、電源断時に大当り遊技中であった場合には、各制御区間の最初の状態に復元可能である。各制御区間とは、例えば、大当り開始報知状態、大入賞口開放前状態、大入賞口開放中状態、大当り終了報知状態である。なお、特別図柄変動中に電源断となったあと復旧した場合には、上述した可変表示部9や可変表示装置10の表示制御と同様に、残り時間分だけ遊技効果ランプ・LED28a, 28b, 28cの表示状態を制御するようにしてもよいが、消灯または停電復旧時特有のパターンで点灯/点滅させるようにしてもよい。

30

## 【0275】

音声制御手段が制御する音発生状態は、特別図柄変動中および大当り遊技中であった場合を除いて復元される。ただし、電源断時に大当り遊技中であった場合には、各制御区間の最初の状態に復元可能である。なお、特別図柄変動中に電源断となったあと復旧した場合には、上述した可変表示部9や可変表示装置10の表示制御と同様に、残り時間分だけ音発生状態を制御するようにしてもよいが、無音または停電復旧時特有の音声パターン（例えば「停電復旧中です」との音声）を出力するようにしてもよい。

## 【0276】

40

なお、この実施の形態では、電源断からの復旧時に、主基板31の遊技制御手段から表示制御手段、ランプ制御手段および音声制御手段に対して状態復元のための制御コマンドが送出されるが、表示制御手段、ランプ制御手段および音声制御手段が電源バックアップされる場合には、主基板31からの制御コマンドを用いることなく、表示制御手段、ランプ制御手段および音声制御手段が独自に制御状態を復元するように構成してもよい。

## 【0277】

また、後述するように、払出制御基板37に搭載されている払出制御手段は、電源バックアップされているので、電源断からの復旧時に、賞球払出状態および球貸し制御状態は、電源断時の状態（電圧低下を検出したときから所定時間が経過したあとの状態）に復旧する。この実施の形態では、発射制御基板は払出制御手段に接続されているので、発射制御

50

基板 9 1 における制御状態も同様に復元される。

#### 【 0 2 7 8 】

なお、上記の実施の形態では、遊技制御手段において、データ保存処理および復旧処理が行われる場合について説明したが、払出制御手段、音声制御手段、ランプ制御手段および表示制御手段における R A M の一部も電源バックアップされ、払出制御手段、表示制御手段、音制御手段およびランプ制御手段も、上述したような処理を行ってもよい。ただし、払出制御手段、表示制御手段、音制御手段およびランプ制御手段は、復旧時にコマンド送出処理を行う必要はない。

#### 【 0 2 7 9 】

マスク不能割込処理が図 3 9 に示すように構成されている場合でも、電源基板 9 1 0 から復帰信号が主基板 3 1 に供給されると、C P U 5 6 にリセットがかかるので、C P U 5 6 は、図 2 2 に示されたメイン処理の実行を開始することができる。その際、電源断信号が出力されたときに遊技状態が保存されているので、ステップ S 9 の処理で遊技状態復旧処理が実行され、遊技制御は、電源断信号発生時の状態に戻り、その状態から遊技制御が継続される。

#### 【 0 2 8 0 】

次に、遊技制御手段以外の電気部品制御手段においてデータ保存処理および復旧処理が行われる場合の例として、払出制御手段においてデータ保存や復旧が行われる場合について説明する。

#### 【 0 2 8 1 】

図 4 4 は、払出制御用 C P U 3 7 1 周りの一構成例を示すブロック図である。図 4 4 に示すように、電源基板 9 1 0 の電源監視回路（電源監視手段）からの電源断信号が、バッファ回路 9 8 3 を介して払出制御用 C P U 3 7 1 のマスク不能割込端子（X N M I 端子）に接続されている。従って、払出制御用 C P U 3 7 1 は、マスク不能割込処理によって電源断の発生を確認することができる。

#### 【 0 2 8 2 】

払出制御用 C P U 3 7 1 の C L K / T R G 2 端子には、主基板 3 1 からの I N T 信号が接続されている。C L K / T R G 2 端子にクロック信号が入力されると、払出制御用 C P U 3 7 1 に内蔵されているタイマカウンタレジスタ C L K / T R G 2 の値がダウンカウントされる。そして、レジスタ値が 0 になると割込が発生する。従って、タイマカウンタレジスタ C L K / T R G 2 の初期値を「 1 」に設定しておけば、I N T 信号の入力に応じて割込が発生することになる。

#### 【 0 2 8 3 】

この実施の形態では、払出制御用 C P U 3 7 1 のリセット端子に、電源基板 9 1 0 からのローレベルがリセット状態を示すリセット信号、およびローアクティブの復帰信号が入力される。リセット信号は、バッファ回路 9 8 0 を介して A N D 回路 3 8 5 に入力される。また、復帰信号は、バッファ回路 9 8 1 を介して A N D 回路 3 8 5 に入力される。そして、A N D 回路 3 8 5 の出力が払出制御用 C P U 3 7 1 のリセット端子に入力される。従って、払出制御用 C P U 3 7 1 は、リセット信号または復帰信号の入力に応じてシステムリセットがかかる。

#### 【 0 2 8 4 】

+ 5 V 電源から電力が供給されていない間、払出制御用 C P U 3 7 1 の内蔵 R A M の少なくとも一部は、電源基板から供給されるバックアップ電源がバックアップ端子に接続されることによってバックアップされ、遊技機に対する電源が断しても内容は保存される。そして、+ 5 V 電源が復旧すると、電源基板 9 1 0 からリセット信号が発せられるので、払出制御用 C P U 3 7 1 は、通常の動作状態に復帰する。そのとき、必要なデータがバックアップされているので、停電等からの復旧時には停電発生時の払出制御状態に復帰することができる。

#### 【 0 2 8 5 】

なお、図 4 4 に示すように、スイッチ基板 1 9 0 に搭載されたクリアスイッチ 9 2 1 の出

10

20

30

40

50

力信号が、論理を反転させるバッファ回路 372 A、および入力ポート 372 を介して入力される。なお、入力ポート 372 には、本例では、バッファ回路 372 A を介して、賞球カウントスイッチ 301 A および球貸しカウントスイッチ 301 B の各スイッチの出力信号も入力されている。このような構成によれば、クリアスイッチ 921 の切換により出力信号がクリアスイッチ信号（ローレベル信号）とされていると、クリアスイッチ信号が反転（なお、バッファ回路 372 A がクリアスイッチ信号を反転して出力した信号を、クリアスイッチ信号と呼ぶことがある。）されて払出制御用 CPU 371 に与えられるので、払出制御用 CPU 371 により後述する初期化処理が行われる。

#### 【0286】

図 45 は、この実施の形態における出力ポートの割り当てを示す説明図である。図 45 に示すように、出力ポート C（アドレス 00 H）は、払出モータ 289 に出力される駆動信号の出力ポートである。また、出力ポート D（アドレス 01 H）は、7 セグメント LED であるエラー表示 LED 374 に出力される表示制御信号の出力ポートである。そして、出力ポート E（アドレス 02 H）は、振分ソレノイド 310 に出力される駆動信号、およびカードユニット 50 に対する EX S 信号と PR D Y 信号とを出力するための出力ポートである。

#### 【0287】

図 46 は、この実施の形態における入力ポートのビット割り当てを示す説明図である。図 46 に示すように、入力ポート A（アドレス 06 H）は、主基板 31 から送出された払出制御コマンドの 8 ビットの払出制御信号を取り込むための入力ポートである。また、入力ポート B（アドレス 07 H）のビット 0 ~ 2 には、それぞれ、賞球カウントスイッチ 301 A、球貸しカウントスイッチ 301 B、モータ位置センサの検出信号が入力される。ビット 3 ~ 5 には、カードユニット 50 からの BR D Y 信号、BR Q 信号および V L 信号が入力される。ビット 6 には、クリアスイッチ 921 の出力信号が入力される。

#### 【0288】

図 47 は、払出制御用 CPU 371 のメイン処理を示すフローチャートである。メイン処理では、払出制御用 CPU 371 は、まず、必要な初期設定を行う。すなわち、払出制御用 CPU 371 は、まず、割込禁止に設定する（ステップ S701）。次に、割込モードを割込モード 2 に設定し（ステップ S702）、スタックポインタにスタックポインタ指定アドレスを設定する（ステップ S703）。また、払出制御用 CPU 371 は、内蔵デバイスレジスタの初期化を行い（ステップ S704）、CTC および P I O の初期化（ステップ S705）を行った後に、R A M をアクセス可能状態に設定する（ステップ S706）。

#### 【0289】

この実施の形態では、内蔵 CTC のうちの一つのチャンネルがタイマモードで使用される。従って、ステップ S704 の内蔵デバイスレジスタの設定処理およびステップ S705 の処理において、使用するチャンネルをタイマモードに設定するためのレジスタ設定、割込発生を許可するためのレジスタ設定および割込ベクタを設定するためのレジスタ設定が行われる。そして、そのチャンネルによる割込がタイマ割込として用いられる。タイマ割込を例えば 2 m s 毎に発生させたい場合は、初期値として 2 m s に相当する値が所定のレジスタ（時間定数レジスタ）に設定される。

#### 【0290】

なお、タイマモードに設定されたチャンネル（この実施の形態ではチャンネル 3）に設定される割込ベクタは、タイマ割込処理の先頭番地に相当するものである。具体的は、I レジスタに設定された値と割込ベクタとでタイマ割込処理の先頭番地が特定される。タイマ割込処理ではタイマ割込フラグがセットされ、メイン処理でタイマ割込フラグがセットされていることが検知されると、払出制御処理が実行される。すなわち、タイマ割込処理では、電気部品制御処理の一例である払出制御処理を実行するための設定がなされる。

#### 【0291】

また、内蔵 CTC のうちの他の一つのチャンネル（この実施の形態ではチャンネル 2）が、遊

10

20

30

40

50

技制御手段からの払出制御コマンド受信のための割込発生用のチャンネルとして用いられ、そのチャンネルがカウンタモードで使用される。従って、ステップS 7 0 4の内蔵デバイスレジスタの設定処理およびステップS 7 0 5の処理において、使用するチャンネルをカウンタモードに設定するためのレジスタ設定、割込発生を許可するためのレジスタ設定および割込ベクタを設定するためのレジスタ設定が行われる。

【0292】

カウンタモードに設定されたチャンネル（チャンネル2）に設定される割込ベクタは、後述するコマンド受信割込処理の先頭番地に相当するものである。具体的は、Iレジスタに設定された値と割込ベクタとでコマンド受信割込処理の先頭番地が特定される。

【0293】

この実施の形態では、払出制御用CPU371でも割込モード2が設定される。従って、内蔵CTCのカウントアップにもとづく割込処理を使用することができる。また、CTCが送出した割込ベクタに応じた割込処理開始番地を設定することができる。

【0294】

CTCのチャンネル2（CH2）のカウントアップにもとづく割込は、上述したタイマカウンタレジスタCLK/TRG2の値が「0」になったときに発生する割込である。従って、例えばステップS 7 0 5において、特定レジスタとしてのタイマカウンタレジスタCLK/TRG2に初期値「1」が設定される。また、CTCのチャンネル3（CH3）のカウントアップにもとづく割込は、CPUの内部クロック（システムクロック）をカウントダウンしてレジスタ値が「0」になったら発生する割込であり、後述する2msタイマ割込として用いられる。具体的には、CH3のレジスタ値はシステムクロックの1/256周期で減算される。ステップS 7 0 5において、CH3のレジスタには、初期値として2msに相当する値が設定される。

【0295】

CTCのCH2のカウントアップにもとづく割込は、CH3のカウントアップにもとづく割込よりも優先順位が高い。従って、同時にカウントアップが生じた場合に、CH2のカウントアップにもとづく割込、すなわち、コマンド受信割込処理の実行契機となる割込の方が優先される。

【0296】

次いで、払出制御用CPU371は、入力ポート372を介して入力されるクリアスイッチ921の出力信号の状態を、本例では1回だけ所定期間（例えば、0.001秒）確認する（ステップS 7 0 7）。クリアスイッチ921がオン（クリアスイッチ921が押下されている状態）である場合には、ローレベルのクリアスイッチ信号が出力されている。従って、払出制御用CPU371は、クリアスイッチ921がオンとされていれば、通常の初期化処理を実行する（ステップS 7 1 1～ステップS 7 1 3）。なお、CPU56がクリアスイッチ921の出力信号の状態を2回以上確認する構成としてもよい。

【0297】

クリアスイッチ921がオンの状態でなければ（すなわち、クリアスイッチ921が押下されていない状態であれば）、払出制御用CPU371は、払出制御用のバックアップRAM領域にバックアップデータが存在しているか否かの確認を行う（ステップS 7 0 8）。すなわち、例えば、主基板31のCPU56の処理と同様に、電源断時にセットされるバックアップフラグがセット状態になっているか否かによって、バックアップデータが存在しているか否かを確認する。バックアップフラグがセット状態になっている場合には、バックアップデータありと判断する。

【0298】

バックアップありを確認したら、払出制御用CPU371は、バックアップRAM領域のデータチェック（この例ではパリティチェック）を行う。

【0299】

図48は、ステップS 7 0 9のパリティチェック処理の一例を示すフローチャートである。パリティチェックでは、CPU56は、まず、RAM55におけるバックアップパリティ

10

20

30

40

50

ィデータ領域に設定されているデータが「００」であるか否か確認する（ステップＳ７０９ａ）。バックアップパリティデータ領域については後で詳しく説明する。バックアップパリティデータ領域に設定されているデータが「００」でなければ、パリティ診断（チェックサム確認）を行う（ステップＳ７０９ｂ）。そして、チェックサム確認の結果が正当であれば（ステップＳ７０９ｃ）、ＣＰＵ５６は、後述する停電復旧処理を実行する（ステップＳ７１０）。また、チェックサム確認の結果が正当でなければ、または、バックアップパリティデータ領域に設定されているデータが「００」であった場合には、通常の初期化処理を実行する（ステップＳ７１１～Ｓ７１３）。

【０３００】

不測の電源断が生じた後に復旧した場合には、バックアップＲＡＭ領域のデータは保存されていたはずであるから、チェック結果は正常になる。チェック結果が正常でない場合には、内部状態を電源断時の状態に戻すことができないので、停電復旧時でない電源投入時に実行される初期化処理を実行する。

【０３０１】

チェック結果が正常であれば（ステップＳ７０９）、払出制御用ＣＰＵ３７１は、内部状態を電源断時の状態に戻すための払出状態復旧処理を行う（ステップＳ７１０）。そして、バックアップＲＡＭ領域に保存されていたＰＣ（プログラムカウンタ）の指すアドレスに復帰する。

【０３０２】

以上のように、この実施の形態では、電力供給開始時に、電力供給停止時にバックアップＲＡＭ領域に記憶されたチェックデータ（チェックサムデータ）にもとづいて、初期化処理を行うか遊技状態復旧処理を行うかを決定するように構成したので、停電等の不測の電源断が発生したときに必要なデータを確実に保存することができ、さらに、保存されていたデータを電源復帰後に確実に活用することができる。

【０３０３】

また、このように、クリアスイッチ９２１の操作状態に応じて電源断時の遊技状態に復旧するか否かの判断を行うようにし、その際、クリアスイッチ９２１がオン状態であれば、遊技状態復旧処理は実行されず、通常の初期化処理を実行する構成としたので、遊技店員等は、遊技機の電源供給再開時に、クリアスイッチ９２１を操作することによって、バックアップデータ記憶領域（変動データ記憶手段）に記憶されているバックアップデータにもとづく遊技状態復旧処理を実行するか否かを選択することができる。従って、電源断が発生しても遊技者に不利益がもたらされることを防止することができるとともに、遊技店での遊技機運用上の利便性を向上させることもできる遊技機が提供される。

【０３０４】

なお、電源投入時に、変動データ記憶手段にバックアップデータが記憶されていない場合に実行される初期化処理と、変動データ記憶手段にバックアップデータが記憶されていてもクリアスイッチ９２１がオフ状態である場合に実行される初期化処理とは、プログラム上兼用されている。従って、遊技店での運用上の利便性を向上させる制御を付加しても、プログラム容量はさほど増えない。

【０３０５】

また、上述した実施の形態では、チェックサム確認の結果が正当でなかった場合には通常の初期化処理を実行するようにしていたが、チェックサム確認の結果が正当でなかった場合であっても初期化処理を行わないようにしてもよい。

【０３０６】

例えば、チェックサム確認の結果が正当でなかった場合に、初期化処理を実行することなく、バックアップＲＡＭの記憶内容を修復したあと、遊技状態復旧処理を行うようにすればよい。この場合、データの修復は、例えば、誤り訂正符号（例えば、ランダム誤り対策に用いられるハミング符号、バースト誤り対策に用いられるＦｉｒｅ符号など、誤り特性に合わせて選択するようにすればよい）を用いて、変化したビットを検出して訂正するようにすればよい。

10

20

30

40

50

## 【0307】

また、例えば、チェックサム確認の結果が正当でなかった場合に、初期化処理を実行することなく、バックアップRAMの記憶内容に異常が発生していることを報知するようにしてもよい。この場合、異常の報知は、所定の制御によって、例えば、エラー表示用LED 374に異常を示す所定の表示を行うようにすればよい。また、バックアップRAMの記憶内容に異常が発生していることを示す所定の信号を、情報出力回路64などを介して管理コンピュータに出力するようにしてもよい。

## 【0308】

さらに、例えば、チェックサム確認の結果が正当でなかった場合に、初期化処理を実行することなく、クリアスイッチ921の操作によって初期化処理の実行要求を促すための報知を行うようにしてもよい。この場合の報知も、上述したように、所定の制御によってエラー表示用LED 374に表示するなどするようにすればよい。

10

## 【0309】

初期化処理では、払出制御用CPU 371は、まず、RAMクリア処理を行う（ステップS 711）。そして、2ms毎に定期的にタイマ割込がかかるように払出制御用CPU 371に設けられているCTCのレジスタの設定が行われる（ステップS 712）。すなわち、初期値として2msに相当する値が所定のレジスタ（時間定数レジスタ）に設定される。そして、初期設定処理のステップS 701において割込禁止とされているので、初期化処理を終える前に割込が許可される（ステップS 713）。

## 【0310】

20

この実施の形態では、払出制御用CPU 371の内蔵CTCが繰り返しタイマ割込を発生するように設定される。この実施の形態では、繰り返し周期は2msに設定される。そして、タイマ割込が発生すると、図49に示すように、払出制御用CPU 371は、例えばタイマ割込が発生したことを示すタイマ割込フラグをセットする（ステップS 721）。なお、図49には割込を許可することも明示されているが（ステップS 720）、2msタイマ割込処理では、最初に割込許可状態に設定される。すなわち、2msタイマ割込処理中には割込許可状態になっているので、INT信号の入力にもとづく払出制御コマンド受信処理を優先して実行することができる。

## 【0311】

払出制御用CPU 371は、ステップS 724において、タイマ割込フラグがセットされたことを検出するとステップS 751以降の払出制御処理を実行する。以上の制御によって、この実施の形態では、払出制御処理は2ms毎に起動されることになる。なお、この実施の形態では、タイマ割込処理ではフラグセットのみがなされ、払出制御処理はメイン処理において実行されるが、タイマ割込処理で払出制御処理を実行してもよい。

30

## 【0312】

払出制御処理において、払出制御用CPU 371は、まず、中継基板72を介して入力ポート372bに入力される賞球カウントスイッチ301A、球貸しカウントスイッチ301Bがオンしたか否かを判定する（スイッチ処理：ステップS 751）。

## 【0313】

次に、払出制御用CPU 371は、センサ（例えば、払出モータ289の回転数を検出するモータ位置センサ）からの信号入力状態を確認してセンサの状態を判定する等の処理を行う（入力判定処理：ステップS 752）。払出制御用CPU 371は、さらに、受信した払出制御コマンドを解析し、解析結果に応じた処理を実行する（コマンド解析実行処理：ステップS 753）。

40

## 【0314】

次いで、払出制御用CPU 371は、主基板31から払出停止指示コマンドを受信していたら払出停止状態に設定し、払出開始指示コマンドを受信していたら払出停止状態の解除を行う（ステップS 754）。また、プリペイドカードユニット制御処理を行う（ステップS 755）。

## 【0315】

50

次いで、払出制御用CPU371は、球貸し要求に応じて貸し球を払い出す制御を行う（ステップS756）。このとき、払出制御用CPU371は、振分ソレノイド310によって球振分部材311を球貸し側に設定する。

#### 【0316】

さらに、払出制御用CPU371は、総合個数記憶に格納された個数の賞球を払い出す賞球制御処理を行う（ステップS757）。このとき、払出制御用CPU371は、振分ソレノイド310によって球振分部材311を賞球側に設定する。そして、出力ポート372cおよび中継基板72を介して球払出装置97の払出機構部分における払出モータ289に対して駆動信号を出力し、所定の回転数分払出モータ289を回転させる払出モータ制御処理を行う（ステップS758）。

10

#### 【0317】

なお、この実施の形態では、払出モータ289としてステッピングモータが用いられ、それらを制御するために1-2相励磁方式が用いられる。従って、具体的には、払出モータ制御処理において、8種類の励磁パターンデータが繰り返し払出モータ289に出力される。また、この実施の形態では、各励磁パターンデータが4msずつ出力される。

#### 【0318】

次いで、エラー検出処理が行われ、その結果に応じてエラー表示LED374に所定の表示を行う（エラー処理：ステップS759）。

#### 【0319】

なお、出力ポートCは、払出制御処理における払出モータ制御処理（ステップS758）でアクセスされる。また、出力ポートDは、払出制御処理におけるエラー処理（ステップS759）でアクセスされる。そして、出力ポートEは、払出制御処理における球貸し制御処理（ステップS756）および賞球制御処理（ステップS757）でアクセスされる。

20

#### 【0320】

図50は、払出制御用CPU371が内蔵するRAMの使用例を示す説明図である。この例では、バックアップRAM領域に、総合個数記憶（例えば2バイト）と貸し球個数記憶とがそれぞれ形成されている。総合個数記憶は、主基板31の側から指示された賞球払出個数の総数を記憶するものである。貸し球個数記憶は、未払出の球貸し個数を記憶するものである。

30

#### 【0321】

このように、未払出の賞球個数と貸し球個数とが、所定期間はその内容を保持可能なバックアップRAM領域に記憶されるので、停電等の不測の電源断が生じて、所定期間内に電源復旧すれば、バックアップRAM領域に記憶される賞球処理および球貸し処理を続行できる。従って、遊技者に与えられる不利益を低減することができる。

#### 【0322】

図51～図53は、電源基板910からの電源断信号に応じて実行されるマスク不能割込処理の処理例を示すフローチャートである。この例では、NMIに応じて電力供給停止時処理が実行されるが、電源断信号を払出制御用CPU371のマスク可能端子に接続し、マスク可能割込処理によって電力供給停止時処理を実行してもよい。また、電源断信号を入力ポートに入力し、入力ポートのチェック結果に応じて電力供給停止時処理を実行してもよい。

40

#### 【0323】

マスク不能割込処理において、払出制御用CPU371は、AFレジスタを所定のバックアップRAM領域に退避する（ステップS801）。また、割込フラグをパリティフラグにコピーする（ステップS802）。パリティフラグはバックアップRAM領域に形成されている。また、BCレジスタ、DEレジスタ、HLレジスタ、IXレジスタおよびスタックポインタをバックアップRAM領域に退避する（ステップS804～808）。なお、電源復旧時には、退避された内容にもとづいてレジスタ内容が復元され、パリティフラグの内容に応じて、割込許可状態/禁止状態の内部設定がなされる。

50



## 【 0 3 2 4 】

次いで、払出モータ 2 8 9 に出力される駆動信号をオフ状態にする（ステップ S 7 6 1）。よって、球払出装置 9 7 の駆動は停止する。その後、この実施の形態では、所定期間、払出検出手段としての賞球カウントスイッチ 3 0 1 A（賞遊技媒体検出手段に相当）および球貸しカウントスイッチ 3 0 1 B（貸出遊技媒体検出手段に相当）の検出信号をチェックする。そして、賞球カウントスイッチ 3 0 1 A がオンしたら総合個数記憶の内容を 1 減らす。また、球貸しカウントスイッチ 3 0 1 B がオンしたら貸し球個数記憶の内容を 1 減らす。

## 【 0 3 2 5 】

なお、この実施の形態では、所定期間を計測するために、所定期間計測用カウンタが用いられる。所定期間計測用カウンタの値は、初期値 m から、以下に説明するスイッチ検出処理のループ（S 7 6 3 から始まって S 7 6 3 に戻るループ）が 1 回実行される毎に - 1 され、その値が 0 になると、所定期間が終了したとする。検出処理のループでは、例外はあるがほぼ一定の処理が行われるので、ループの 1 周に要する時間の m 倍の時間が、ほぼ所定期間に相当する。

10

## 【 0 3 2 6 】

所定期間を計測するために、払出制御用 CPU 3 7 1 の内蔵タイマを用いてもよい。すなわち、スイッチ検出処理開始時に、内蔵タイマに所定値（所定期間に相当）を設定しておく。そして、スイッチ検出処理のループが 1 回実行される毎に、内蔵タイマのカウント値をチェックする。そして、カウント値が 0 になったら、所定期間が終了したとする。内蔵タイマの値が 0 になったことを検出するために内蔵タイマによる割込を用いることもできるが、この段階では制御内容（RAM に格納されている各値など）を変化させないように、割込を用いず、内蔵タイマのカウント値を読み出してチェックするようなプログラム構成の方が好ましい。また、所定期間は、遊技球が、球払出装置 9 7 から落下した時点から、賞球カウントスイッチ 3 0 1 A または球貸しカウントスイッチ 3 0 1 B に到達するまでの時間以上に設定される。

20

## 【 0 3 2 7 】

少なくとも、スイッチ検出処理が実行される所定期間では、賞球カウントスイッチ 3 0 1 A および球貸しカウントスイッチ 3 0 1 B が遊技球を検出できる状態でなければならない。そこで、この実施の形態では、図 1 5 に示されたように、電源基板 9 1 0 におけるコンバータ IC 9 2 2 の入力側に比較的大容量の補助駆動電源としてのコンデンサ 9 2 3 が接続されている。よって、遊技機に対する電力供給停止時にも、ある程度の期間は + 1 2 V 電源電圧がスイッチ駆動可能な範囲に維持され、賞球カウントスイッチ 3 0 1 A および球貸しカウントスイッチ 3 0 1 B が動作可能になる。その期間が、上記の所定期間以上になるように、コンデンサの容量が決定される。

30

## 【 0 3 2 8 】

なお、入力ポートおよび払出制御用 CPU 3 7 1 も、コンバータ IC 9 2 2 で作成される + 5 V 電源で駆動されるので、電力供給停止時にも、比較的長い期間動作可能になっている。

## 【 0 3 2 9 】

さらに、この実施の形態では、賞球路と貸し球路とを切り換えるために振分ソレノイド 3 1 0 が用いられている。よって、図 1 5 に示されたコンデンサ 9 2 3 の容量は、少なくとも上記の所定期間の間、振分ソレノイド 3 1 0 も駆動できるような容量になっている。なお、コンデンサ 9 2 3 は、V SL の電源ラインと並列接続されているが、電源断信号に応じて遊技制御手段が他のソレノイド（大入賞口開閉用等）の駆動信号をオフ状態にしているので、電源断信号発生後では、コンデンサ 9 2 3 は、各ソレノイドのうちでは振分ソレノイド 3 1 0 のみを駆動できればよい。

40

## 【 0 3 3 0 】

なお、この実施の形態で用いられているコンデンサ 9 2 3 は補助駆動電源の一つの例であるが、補助駆動電源として他のものを用いてもよい。少なくとも、上記の所定期間の間は

50

、賞球カウントスイッチ301A、球貸しカウントスイッチ301B、振分ソレノイド310および払出制御用CPU371等の払出制御手段を駆動できるものであれば、他の態様の補助駆動電源を用いることができる。

【0331】

払出検出手段からの検出信号の入力処理（スイッチ検出処理）では、払出制御用CPU371は、まず、所定期間計測用カウンタに、所定期間に対応した値mを設定する（ステップS762）。そして、払出制御用CPU371は、所定期間計測用カウンタの値を-1し（ステップS763）、所定期間計測用カウンタの値を確認する（ステップS764）。その値が0であれば、スイッチ検出処理を終了し、制御状態を保存するための処理である電力供給停止時処理に移行する。

10

【0332】

所定期間計測用カウンタの値が0になっていなければ、賞球カウントスイッチオン中であるか否か確認する（ステップS765）。オン中であれば、検出期間用カウンタの値を1減らした後（ステップS766）、検出期間用カウンタの値が0になったか否か確認する（ステップS767）。0になっていれば、入力ポートを介して賞球カウントスイッチ301Aの検出信号を確認し（ステップS768）、オン状態を示していれば、賞球カウントスイッチ301Aが確実にオンしたとして、総合個数記憶の値を1減らす（ステップS769）。

【0333】

ステップS765で、賞球カウントスイッチオン中でないことを確認したら、入力ポートを介して賞球カウントスイッチ301Aの検出信号を確認し（ステップS770）、オン状態を示していれば、賞球カウントスイッチON中フラグをセットするとともに（ステップS771）、検出期間用カウンタに初期値nをセットする（ステップS772）。

20

【0334】

以上の処理によって、所定期間内に賞球カウントスイッチ301Aがオンしたら、総合個数記憶の値が-1される。バックアップRAMの内容を保存するための処理は、このようなスイッチ検出処理の後で行われるので、払出が完了した賞球について、必ず総合個数記憶が-1される。従って、遊技球の払出に関して、保存される制御状態に矛盾が生じてしまうことが防止される。また、上記のスイッチ検出処理では、検出期間用カウンタを用いたタイマ処理が施されている。すなわち、一度賞球カウントスイッチ301Aのオンが検出された後、所定時間（S763からS767に至りS763に戻るループにおける処理時間のn倍）の経過後にもオンが検出されないとスイッチオンと見なされない。従って、誤ってスイッチオン検出がなされてしまうことは防止される。

30

【0335】

なお、通常時のスイッチ処理（図47におけるステップS751）でも、誤検出防止用のタイマ処理が施されている。よって、そのような通常時のスイッチ処理をコールするようにしてもよい。また、ここでは、検出期間用カウンタを用いたタイマ処理が行われたが、所定期間の計測の場合にCPU内蔵タイマを用いてもよいのと同様、CPU内蔵タイマを用いてスイッチ検出処理におけるタイマ処理を実現してもよい。

【0336】

40

賞球カウントスイッチオン中でなく、かつ、賞球カウントスイッチ301Aのオン状態が検出できない場合には、球貸しカウントスイッチ301Bについてスイッチ検出処理を行う。すなわち、払出制御用CPU371は、球貸しカウントスイッチオン中であるか否か確認する（ステップS775）。オン中であれば、検出期間用カウンタの値を1減らした後（ステップS776）、検出期間用カウンタの値が0になったか否か確認する（ステップS777）。0になっていれば、入力ポートを介して球貸しカウントスイッチ301Bの検出信号を確認し（ステップS778）、オン状態を示していれば、球貸しカウントスイッチ301Bが確実にオンしたとして、貸し球個数記憶の値を1減らす（ステップS779）。

【0337】

50

ステップS 7 7 5で、球貸しカウントスイッチオン中でないことを確認したら、入力ポートを介して球貸しカウントスイッチ3 0 1 Bの検出信号を確認し(ステップS 7 8 0)、オン状態を示していれば、球貸しカウントスイッチON中フラグをセットするとともに(ステップS 7 8 1)、検出期間用カウンタに初期値nをセットする(ステップS 7 8 2)。

#### 【0 3 3 8】

以上の処理によって、所定期間内に球貸しカウントスイッチ3 0 1 Bがオンしたら、貸し球個数記憶の値が- 1される。バックアップRAMの内容を保存するための処理は、このようなスイッチ検出処理の後で行われるので、払出が完了した貸し球について、必ず貸し球個数記憶が- 1される。従って、遊技球の払出に関して、保存される制御状態に矛盾が生じてしまうことが防止される。また、上記のスイッチ検出処理では、検出期間用カウンタを用いたタイマ処理が施されている。すなわち、球貸しカウントスイッチ3 0 1 Bのオンが所定時間以上継続しないとスイッチオンと見なされない。従って、誤ってスイッチオン検出がなされてしまうことは防止される。

10

#### 【0 3 3 9】

所定期間が経過すると(ステップS 7 6 4)、払出制御用CPU 3 7 1は、バックアップあり指定値(この例では「5 5 H」)をバックアップフラグにストアする(ステップS 8 0 9)。バックアップフラグはバックアップRAM領域に形成されている。

#### 【0 3 4 0】

次いで、主基板3 1のCPU 5 6の処理と同様の処理を行ってパリティデータを作成しバックアップRAM領域に保存する(ステップS 8 1 0 ~ S 8 1 9)。

20

#### 【0 3 4 1】

図5 4は、バックアップパリティデータ作成方法を説明するための説明図である。ただし、図5 4に示す例では、簡単のために、バックアップデータRAM領域のデータのサイズを3 バイトとする。また、図5 4に示す例では、ステップS 8 1 2でチェックサム算出回数として3 がセットされるものとする。電源電圧低下にもとづく停電発生処理において、図5 4 (A)に示すように、バックアップチェックデータ領域に、初期データ(この例では0 0 H)が設定される。次に、「0 0 H」とチェックサム算出開始アドレス(この例では「F 0 H」)の排他的論理和がとられ、その結果と次のポインタが指すRAM領域の内容(本例では「1 6 H」)の排他的論理和がとられる。さらに、その結果と次のポインタが指すRAM領域の内容(本例では「D F H」)の排他的論理和がとられる。そして、その結果(この例では「3 9 H」)を反転したデータ(この例では「C 6 H」)がバックアップパリティデータ領域に設定される。

30

#### 【0 3 4 2】

電源が再投入されたときには、チェックサム確認処理(ステップS 7 0 9 b)においてパリティ診断が行われるが、図5 4 (B)はパリティ診断の例を示す説明図である。バックアップ領域の全データがそのまま保存されていれば、電源再投入時に、図5 4 (A)に示すようなデータがバックアップ領域に設定されている。

#### 【0 3 4 3】

ステップS 7 0 9の処理において、払出制御用CPU 3 7 1は、バックアップRAM領域のバックアップパリティデータ領域に設定されていたデータ(この例では「C 6 H」)を初期データとし、初期データを反転したデータ(この例では「3 9 H」)を用いて、バックアップデータ領域の各データについて順次排他的論理和をとる処理を行う。バックアップ領域の全データがそのまま保存されていれば、最終的な演算結果は、「0 0 H」、すなわちバックアップチェックデータ領域に設定されているデータと一致する。バックアップRAM領域内のデータにビット誤りが生じていた場合には、最終的な演算結果は「0 0 H」にならない。

40

#### 【0 3 4 4】

よって、CPU 5 6は、パリティチェック処理(チェックサム確認処理)において、最終的な演算結果とバックアップチェックデータ領域に設定されているデータとを比較して、

50

一致すればパリティ診断正常とする。一致しなければ、パリティ診断異常とする。

【0345】

このように、この実施の形態では、図54に示されたパリティチェック処理において、バックアップパリティデータ領域に設定されていたデータが「00」でないときにチェックサム確認処理が行われ（ステップS709a, S709b）、バックアップパリティデータ領域に設定されていたデータが「00」である場合には停電復旧処理を行う。

【0346】

なお、この実施の形態では、チェックサム確認処理（ステップS709b）におけるパリティ診断において図54（B）に示すようにパリティ診断を行うようにしていたが、パリティ診断において、図54（A）と同様の処理を行うようにしてもよい。すなわち、パリティ診断において、パリティデータ作成のための演算処理と同じ演算処理を行うようにしてもよい。この場合、払出制御用CPU371は、パリティチェック処理（チェックサム確認処理）において、最終的な演算結果とバックアップチェックデータ領域に設定されているデータ（この場合、「00」）とを比較して、一致すればパリティ診断正常とする。一致しなければ、パリティ診断異常とする。なお、パリティ診断においてもパリティデータ作成のときと同じ演算をおこなうので、初期データを設定する必要はない。

10

【0347】

パリティデータを作成してバックアップRAM領域に保存すると、払出制御用CPU371は、RAMアクセスレジスタにアクセス禁止値を設定する（ステップS820）。以後、内蔵RAMのアクセスができなくなる。

20

【0348】

さらに、払出制御用CPU371は、クリアデータ（00）を適当なレジスタにセットし（ステップS821）、処理数（この例では「3」）を別のレジスタにセットする（ステップS822）。また、出力ポートCのアドレス（この例では「00H」）をIOポインタに設定する（ステップS823）。IOポインタとして、さらに別のレジスタが用いられる。

【0349】

そして、IOポインタが指すアドレスにクリアデータをセットするとともに（ステップS824）、IOポインタの値を1増やし（ステップS825）、処理数の値を1減算する（ステップS827）。ステップS824～S826の処理が、処理数の値が0になるまで繰り返される。その結果、全ての出力ポートC～E（図45参照）にクリアデータが設定される。図45に示すように、この例では、「1」がオン状態であり、クリアデータである「00」が各出力ポートにセットされるので、全ての出力ポートがオフ状態になる。

30

【0350】

従って、遊技状態を保存するための処理（この例では、チェックサムの生成およびRAMアクセス防止）が実行された後、各出力ポートは直ちにオフ状態になる。なお、この実施の形態では、払出制御処理において用いられるデータが格納されるRAM領域は全て電源バックアップされている。従って、その内容が正しく保存されているか否かを示すチェックサムの生成処理、およびその内容を書き換えないようにするためのRAMアクセス防止処理が、払出制御状態を保存するための処理に相当する。

40

【0351】

以上のように、この実施の形態では、停電等の発生に応じて電源断信号が出力されたら、まず、球払出装97の駆動を停止した後、所定期間、払出検出手段からの検出信号の入力処理が実行され、その後、払出制御状態を保存するための処理が行われる。従って、停電発生時に払出途中であった遊技球も、バックアップRAMの保存内容に反映される。

【0352】

すなわち、この実施の形態では、遊技機への電力供給停止時に制御状態をバックアップ記憶手段に保存するように構成した場合に、制御の矛盾等を生じさせないようにすることができる。

【0353】

50

なお、振分ソレノイド 3 1 0 の出力ポート以外の出力ポートのクリア処理を、スイッチ検出処理の実行前（ステップ S 7 6 1 の前）に行ってもよい。電力供給停止時処理の実行中では、払出制御用 C P U 3 7 1 やスイッチ類はコンデンサの充電電力等で駆動されることになる。出力ポートのクリア処理をスイッチ検出処理の実行前に行った場合には、コンデンサの充電電力等を電力供給停止時処理のために効率的に使用することができる。

【 0 3 5 4 】

出力ポートに対するクリア処理が完了すると、払出制御用 C P U 3 7 1 は、待機状態（ループ状態）に入る。従って、システムリセットされるまで、何もしない状態になる。

【 0 3 5 5 】

上述したように、電源の瞬断等に起因して電源断信号が発生した場合には、電源電圧は平常時の値に復旧し遊技機は制御可能な状態に戻る。そのような状況が発生したときには、電源基板 9 1 0 から復帰信号が払出基板 3 7 に供給される。復帰信号が入力されると、払出制御用 C P U 3 7 1 にリセットがかかる。従って、払出制御用 C P U 3 7 1 は、図 4 7 に示されたメイン処理の実行を開始することができる。その際、電源断信号が出力されたときに遊技状態が保存されているので、ステップ S 7 0 9 の処理で払出状態復旧処理が実行され、払出制御は、電源断信号発生時の状態に戻り、その状態から払出制御が続行される。

【 0 3 5 6 】

なお、ここでは、賞球カウントスイッチ 3 0 1 A または球貸しカウントスイッチ 3 0 1 B の検出信号がオン状態を示したらタイマ（検出期間用カウンタ）をセットし、タイマがタイムアップしたときにも検出信号がオン状態を示していたら、スイッチが確実にオンしたと判定したが、主基板 3 1 の C P U 5 6 と同様に、2 m s のタイマ（2 m s 計測用カウンタ）がタイムアップする毎に検出信号の判定を行うように構成してもよい。

【 0 3 5 7 】

また、この実施の形態でも、電源断信号に応じて起動される処理の最初にレジスタの保存処理が行われたが、スイッチ検出処理においてレジスタを使用しない場合には、スイッチ検出処理の実行後に、すなわち、バックアップフラグの設定とチェックサムの算出の処理の前にレジスタ保存処理を行うことができる。その場合には、レジスタ保存処理、バックアップフラグ設定処理、チェックサム算出処理および出力ポートのオフ設定処理を電力供給停止時処理と見なすことができる。さらに、スイッチ検出処理において幾つかのレジスタを使用する場合であっても、使用しないレジスタについては、バックアップフラグの設定とチェックサムの算出の処理の前にレジスタ保存処理を行うことができる。

【 0 3 5 8 】

図 5 5 は、本発明の他の実施の形態における払出制御手段のクリアデータテーブルを用いたマスク不能割込処理の一部を示すフローチャートである。図 5 5 に示すフローチャートは、図 5 1 ~ 図 5 3 に示されたステップ S 8 0 1 ~ S 8 2 0 の処理に続いて実行される。すなわち、この実施の形態では、R A M アクセス禁止状態に設定された後（ステップ S 8 2 0 ）、クリアデータテーブルの先頭アドレスがポインタにセットされ（ステップ S 8 3 1 ）、次いで、データクリア処理が実行された後に（ステップ S 8 3 2 ）、システムリセットを待つ待機状態に入る。なお、ポインタとして所定のレジスタが用いられる。

【 0 3 5 9 】

図 5 6 は、クリアデータテーブルの一構成例を示す説明図である。図 5 6 に示す例では、クリアデータテーブルには、順に、処理数データ（この例では「3」）、出力ポート C のアドレス（アドレス 0 0 H ）、出力ポート C に設定されるべきクリアデータ、・・・、出力ポート E のアドレス（アドレス 0 2 H ）、出力ポート E に設定されるべきクリアデータが設定されている。出力ポートのアドレスとクリアデータとは、出力ポートのアドレスが小さいものから順に設定されている。

【 0 3 6 0 】

図 5 7 は、ステップ S 8 3 2 のデータクリア処理を示すフローチャートである。データクリア処理において、払出制御用 C P U 3 7 1 は、ポインタの指すアドレスから処理数デー

10

20

30

40

50

タを抽出する（ステップ S 8 4 1）。そして、ポインタの値を 1 増やす（ステップ S 8 4 2）。次いで、ポインタの指すアドレスからアドレスデータ（出力ポートのアドレス）を抽出する（ステップ S 8 4 3）。さらに、ポインタの値を 1 増やす（ステップ S 8 4 4）。

#### 【 0 3 6 1 】

そして、ポインタの指すアドレスからクリアデータを抽出し（ステップ S 8 4 5）、そのデータを、ステップ S 8 4 3 で抽出したアドレスに設定する（ステップ S 8 4 6）。次に、処理数の値を 1 減算し（ステップ S 8 4 7）、処理数が 0 になったらデータクリア処理を終了する（ステップ S 8 4 8）。処理数が 0 でない場合には、ステップ S 8 4 1 に戻る。

10

#### 【 0 3 6 2 】

クリアデータテーブルを用いるようにしても、クリア信号出力処理を迅速に行うことができ、遊技機への電力供給停止時に保存した制御状態と実際の制御状態との間の矛盾発生をより効果的に防止できる。そして、クリアデータテーブルを用いる場合には、テーブルにおいて、アドレスデータとクリアデータとをアドレス順に並べなくてもよく、テーブル構成の自由度が増す。また、出力ポートの増減や変更があったような場合に、テーブルの内容を変更するだけでよく、プログラム変更の必要はない。

#### 【 0 3 6 3 】

なお、クリアデータが全ての出力ポートについて 0 0 H である場合には、クリアデータテーブルにクリアデータを含めなくてもよい。その場合には、図 5 7 に示されたデータクリア処理における S 8 4 4、S 8 4 5 の処理は不要であり、ステップ S 8 4 6 において、アドレスデータが指すアドレスにクリアデータ 0 0 H が設定される。

20

#### 【 0 3 6 4 】

この実施の形態では、未払出の賞球および貸し球の総数が保存されるが、払出回数（例えば 1 回について 2 5 個）を記憶するというような他の保存方式を用いている場合であっても、電源断信号に応じて、所定期間は払出検出手段からの検出信号の入力処理が実行されるように構成されている場合には、保存される制御状態に矛盾が生じてしまうことが防止される。

#### 【 0 3 6 5 】

上述したように、上記の各実施の形態では、停電等の発生に応じて電源断信号が出力されたら、まず、払出装置の駆動を停止した後、所定期間、払出検出手段からの検出信号の入力処理が実行され、その後、払出制御状態を保存するための処理が行われる。従って、停電発生時に払出途中であった遊技球も、バックアップ R A M の保存内容に反映される。よって、遊技機への電力供給停止時に制御状態をバックアップ記憶手段に保存するように構成した場合に、保存される制御状態と実際の制御状態との間に矛盾等を生じさせないようにすることができる。

30

#### 【 0 3 6 6 】

上述した実施の形態では、電源断信号に応じて発生する割込による割込処理（上述した例ではマスク不能割込処理）の開始時に球払出装置の動作を止めるとともに、所定期間、払出検出手段からの検出信号の入力処理を行った。しかし、遊技機への電力供給停止時に、まず、そのことを示す第 1 の信号を発生し、さらに電圧が低下すると第 2 の信号を発生するようにしてもよい。そして、第 1 の信号に応じて球払出装置の動作を止めるとともに払出検出手段からの検出信号の入力処理を行い、第 2 の信号に応じて、制御状態をバックアップ R A M に保存するための処理を行ってもよい。

40

#### 【 0 3 6 7 】

上記の実施の形態では、電源基板 9 1 0 からの復帰信号は、主基板 3 1 において C P U 5 6 のリセット端子に入力されたが、I / O ポート部 5 7 の入力ポートに入力されてもよい。図 5 8 は、そのような形態を示すブロック図である。

#### 【 0 3 6 8 】

図 5 9 は、このように構成された場合の遊技制御手段のマスク不能割込処理（電力供給停

50

止時処理)の一部を示すフローチャートである。図59に示すフローチャートは、図35～図37に示されたステップS451～S492の処理に続いて実行される。すなわち、この実施の形態では、出力ポートクリア処理が実行された後(ステップS493～S499)、システムリセットを待つ待機状態において、入力ポートを介して復帰信号のオンの検出が実行される(ステップS500)。そして、復帰信号がオンになったら、図22に示されたメイン処理のステップS1にジャンプする。メイン処理の実行が開始されると、電源断信号が出力されたときに遊技状態が保存されているので、ステップS9の処理で遊技状態復旧処理が実行され、遊技制御は、電源断信号発生時の状態に戻り、その状態から遊技制御が続行される。

#### 【0369】

10

なお、復帰信号は、例えば入力ポート1のビット5(図21参照)に入力される。また、この実施の形態では、復帰信号のオンが検出されると直ちにステップS1にジャンプしたが、ノイズ除去等のために、複数回連続したオンを検出したらステップS1にジャンプするようにしたり、オン検出後所定期間経過後にも再度オンが検出されたらステップS1にジャンプするようにしてもよい。

#### 【0370】

さらに、払出制御手段のマスク不能割込処理においても、入力ポートに入力される復帰信号を検出するようにしてもよい。

#### 【0371】

上記の各実施の形態では、復帰信号は電源基板910で作成されたが、復帰信号を必要とする電気部品制御基板において作成されてもよい。図60は、復帰信号が電気部品制御基板において作成される場合の電源基板910Aの構成例を示すブロック図である。図60に示す電源基板910Aは、図15に示された電源基板910とは異なり、復帰信号を出力しない。

20

#### 【0372】

リセット管理回路940Aは、図16に示された回路構成から復帰信号生成部分を除いた構成を用いてもよいが、例えば、図61に示すように構成してもよい。図61に示す構成では、リセット管理回路940Aにおいて、それぞれ、VSLを導入して、VSLの電圧値が上昇して所定値以上になると出力をローレベルからハイレベルに変化させるリセットICを有するリセット回路65、65B、65Cが設けられている。リセット回路65の出力は、リセット信号回路950およびバッファ回路965を介して主基板31に対してリセット信号として供給される。なお、各リセットICは、VSLの電圧が低下して所定値を下回ると、出力をハイレベルからローレベルに変化させる。

30

#### 【0373】

リセット回路65Bの出力は、リセット信号回路950Bおよびバッファ回路961を介して払出制御基板37に対してリセット信号として供給される。なお、リセット信号回路950、950Bの構成は、それぞれ、図16に示されたりリセット信号回路950の構成と同じである。そして、リセット回路65Cの出力は、バッファ回路962、963、964を介して、図柄制御基板80、ランプ制御基板35および音声制御基板70に対してリセット信号として供給される。

40

#### 【0374】

リセット回路65、65B、65Cにおける各リセットICが出力レベルを変化させるための所定値はそれぞれ異なっている。具体的には、リセット回路65のリセットICにおける所定値は、他のリセットICにおける所定値よりも大きい。また、リセット回路65B、65CのリセットICにおける各所定値は、等しいか、または、リセット回路65BのリセットICにおける所定値の方が大きい値である。

#### 【0375】

よって、電源が投入されVSLが上昇していくときには、リセット回路65の出力が最も遅くハイレベルになる。すなわち、主基板31のCPU56が最も遅く立ち上がる。また、電源断時においてVSLが低下していくときには、リセット回路65の出力が最も早くロー

50

レベルになる。すなわち、主基板 31 の CPU が最も早くリセット状態になる。

【0376】

リセット管理回路 940A を図 62 に示すように構成することもできる。図 62 に示す構成では、電源が投入され VSL が上昇していくときには、主基板 31 に対するリセット信号は、AND 回路 951 によって、他の基板へのリセット信号がハイレベルになったことを条件に、ハイレベルになる。従って、主基板 31 の CPU56 が、他の基板における CPU よりも遅く立ち上がる。従って、このように構成する場合には、リセット回路 65, 65B, 65C における各リセット IC における所定値を、図 61 に示された構成に比べて、さほど厳密に差を付けた値にしくなくてもよい。

【0377】

図 63 は、電源基板 910A において復帰信号が生成されない場合の遊技制御手段のマスク不能割込処理（電力供給停止時処理）の一例を示すフローチャートである。図 63 に示すフローチャートは、図 35 ~ 図 37 に示されたステップ S451 ~ S492 の処理に続いて実行される。すなわち、この実施の形態では、出力ポートクリア処理が実行された後（ステップ S493 ~ S499）、システムリセットを待つ待機状態において、まず、カウンタの初期値 M が設定される（ステップ S111）。そして、カウンタの値を 1 減算しつつ（ステップ S112）、カウンタの値が 0 になったか否か確認する（ステップ S113）。

【0378】

そして、カウンタの値が 0 になったら、図 22 に示されたメイン処理のステップ S1 にジャンプする。メイン処理の実行が開始されると、電源断信号が出力されたときに遊技状態が保存されているので、ステップ S9 の処理で遊技状態復旧処理が実行され、遊技制御は、電源断信号発生時の状態に戻り、その状態から遊技制御が続行される。

【0379】

カウンタに初期値 M が設定されてからカウントアップ（= 0 になる）するまでの時間は、[ステップ S112 および S113 の処理に要する時間] × M であるが、M の値は、電源断信号が発生してから、Vcc 電源で動作する CPU56 が動作不能になるまでに時間よりも長い時間をカウントするように設定される。従って、一般には、カウンタがカウントアップしてステップ S1 にジャンプする前に、CPU56 は動作しなくなる。すなわち、ステップ S1 にジャンプすることはない。

【0380】

しかし、電源の瞬断等が生ずると、電源電圧レベルが短期間低下した後に復旧する。その場合にも、VSL の電圧レベルが電源断信号出力レベル以下になると、電源断信号がローレベルになって、電力供給停止時処理が開始される。そして、CPU56 は電力供給停止時処理終了後ループ状態に入る。何らの制御も行わないと、ループ処理から抜けられないのであるが、この場合には、カウンタがカウントアップしてメイン処理に復帰することができる。

【0381】

すなわち、この実施の形態におけるカウンタは、電源断信号に応じた処理における待機状態において実行されるタイマ処理を行うためのソフトウェアタイマに相当する。そして、カウンタがカウントアップすると、すなわち、タイマ処理によって所定期間の経過が計測されると、復帰手段としての CPU56 が、待機状態から遊技制御状態に復帰させる制御を行う。

【0382】

このような構成でも、電源の瞬断等に起因して電源断信号が発生したにもかかわらず電源電圧が平常時の値に復旧したときに、CPU56 は、図 22 に示されたメイン処理の実行を再開することができる。その際、電源断信号が出力されたときに遊技状態が保存されているので、ステップ S9 の処理で遊技状態復旧処理が実行され、遊技制御は、電源断信号発生時の状態に戻り、その状態から遊技制御が続行される。

【0383】

10

20

30

40

50



このような制御は、払出制御手段が実行することも可能である。図 6 4 は、電源基板 9 1 0 A において復帰信号が生成されない場合の払出制御手段のマスク不能割込処理（電力供給停止時処理）の一例を示すフローチャートである。図 6 4 に示すフローチャートは、図 5 1 ~ 図 5 3 に示されたステップ S 8 0 1 ~ S 8 2 0 の処理に続いて実行される。すなわち、この実施の形態では、出力ポートクリア処理が実行された後（ステップ S 8 2 1 ~ S 8 2 7）、システムリセットを待つ待機状態において、まず、カウンタの初期値 M が設定される（ステップ S 8 5 1）。そして、カウンタの値を 1 減算しつつ（ステップ S 8 5 2）、カウンタの値が 0 になったか否か確認する（ステップ S 8 5 3）。

【 0 3 8 4 】

そして、カウンタの値が 0 になったら、図 4 7 に示されたメイン処理のステップ S 7 0 1 にジャンプする。メイン処理の実行が開始されると、電源断信号が出力されたときに制御状態が保存されているので、ステップ S 7 0 9 の処理で払出状態復旧処理が実行され、制御は電源断信号発生時の状態に戻り、その状態から払出制御が続行される。

【 0 3 8 5 】

なお、主基板 3 1 の CPU 5 6 が扱うカウントアップ値（図 6 3 における S 1 1 1 で設定される M）は、払出制御用 CPU 3 7 1 が扱うカウントアップ値よりも大きい値であることが好ましい。CPU 5 6 が扱うカウントアップ値の方が大きい値である場合には、遊技制御手段よりも前に払出制御手段が再起動することになる。従って、払出制御手段が先に立ち上がって、遊技制御手段からの払出制御コマンドを取りこぼすようなことはない。

【 0 3 8 6 】

上記のように、電源基板 9 1 0 A において復帰信号が生成されない場合にソフトウェアによってタイマ処理を行うことによって待機状態から制御状態に戻ることができるが、タイマ処理は、ハードウェアによって実行されてもよい。

【 0 3 8 7 】

図 6 5 は、電源基板 9 1 0 A において復帰信号が生成されない場合にハードウェアによってタイマ処理を行うような構成の一例を示すブロック図である。この例では、主基板 3 1 に、ウォッチドッグタイマとして機能するカウンタ（ウォッチドッグタイマ回路）1 6 2 が設けられる。ウォッチドッグタイマ回路 1 6 2 は、発振回路 1 6 4 の出力パルスをカウントし、カウントアップすると、Q 出力としてハイレベルの 1 パルスが発生する。そのパルス信号は、反転回路 1 6 3 で論理反転され、復帰信号として AND 回路 1 6 1 に入力される。AND 回路 1 6 1 は、リセット信号と復帰信号の論理積をとって CPU 5 6 のリセット端子に供給する。なお、CPU 5 6 からシステムクロックまたはその分周クロックを出力するように設定し、そのクロックを、ウォッチドッグタイマ回路 1 6 2 の入力クロック信号としてもよい。

【 0 3 8 8 】

カウントアップ値は、電源断信号がローレベルになってから、V<sub>SL</sub>の電圧値が V<sub>cc</sub>生成可能電圧にまで低下する時間以上に設定される。ウォッチドッグタイマ回路 1 6 2 は V<sub>cc</sub>を電源として動作するので、カウントアップ値は、ウォッチドッグタイマ回路 1 6 2 の動作可能期間に相当する値以上に設定される。従って、遊技機への電力供給停止時には、一般には、ウォッチドッグタイマ回路 1 6 2 がカウントアップして復帰信号が出力される前に、ウォッチドッグタイマ回路 1 6 2 およびその他の回路部品は動作しなくなる。

【 0 3 8 9 】

なお、CPU 5 6 が遊技制御を行っているときには、定期的にクリアパルスがウォッチドッグタイマ回路 1 6 2 に与えられる。クリアパルスの出力周期は、ウォッチドッグタイマ回路 1 6 2 がカウントアップするまでの時間よりも短い。従って、CPU 5 6 が、通常の遊技制御を行っているときにウォッチドッグタイマ回路 1 6 2 の Q 出力にパルスが現れることはない。

【 0 3 9 0 】

図 6 6 は、ウォッチドッグタイマ回路 1 6 2 が設けられた場合の遊技制御手段のメイン処理の一部を示すフローチャートである。図 6 6 に示す処理は、図 2 2 に示されたステップ

10

20

30

40

50

S 1 ~ S 1 5 の処理に続いて実行される。この場合には、遊技制御処理のループ（ステップ S 1 6 ~ S 3 2 ）内において、ウォッチドッグタイマクリア処理（ステップ S 3 2 ）が実行される。従って、ウォッチドッグタイマクリア処理は、2 m s 毎に実行される。

【 0 3 9 1 】

ウォッチドッグタイマクリア処理（ステップ S 3 2 ）では、ウォッチドッグタイマ回路 1 6 2 のクリア端子に至る出力ポートに 1 パルスを出力する処理が行われる。よって、遊技制御処理の実行中では、ウォッチドッグタイマ回路 1 6 2 に定期的にクリアパルスが与えられるので、カウントアップすることはない。

【 0 3 9 2 】

遊技機に対する供給電圧が低下して電源断信号が出力されると、図 3 5 ~ 図 3 7 に示されたようなマスク不能割込処理が開始される。その処理中ではウォッチドッグタイマ回路 1 6 2 に対してクリアパルスは出力されない。従って、電源電圧が復旧して、ウォッチドッグタイマ回路 1 6 2 がカウントアップするまで動作しているような場合には復帰信号が出力される。

10

【 0 3 9 3 】

図 6 7 は、上述したソフトウェアタイマ処理またはウォッチドッグタイマ回路 1 6 2 によって復帰信号が作成される場合の復帰信号の出力タイミング等を示すタイミング図である。図 6 7 ( A ) は、遊技機に対する電力供給が停止された場合の例である。ソフトウェアタイマ処理は電力供給停止時処理が終了して待機状態になってから開始される。また、マスク不能割込処理ではウォッチドッグタイマ回路 1 6 2 に対してクリアパルスは出力されない。ウォッチドッグタイマ回路 1 6 は、実質的に、電力供給停止時処理の開始時から起動される。いずれの場合でも、タイムアップ値（カウントアップ値）は、電源電圧が V cc 生成可能電圧値よりも小さくなるまでタイムアップしないように設定されているので、復帰信号が発生することはない。

20

【 0 3 9 4 】

電源の瞬断等が生ずると、図 6 7 ( B ) に示すように、V SL の電圧レベルが短期間低下した後に復旧する。その場合にも、V SL の電圧レベルが電源断信号出力レベル以下になると、電源断信号がローレベルになって、電力供給停止時処理が開始される。そして、C P U 5 6 は電力供給停止時処理終了後ループ状態に入る。何らの制御も行わないと、ループ処理から抜けられないのであるが、この場合には、ウォッチドッグタイマ回路 1 6 がカウントアップして復帰信号が発生する。

30

【 0 3 9 5 】

図 6 5 に示されたように、主基板 3 1 において、復帰信号は、A N D 回路 1 6 1 を介して、C P U 5 6 のリセット端子に入力される。従って、C P U 5 6 にはシステムリセットがかかる。その結果、C P U 5 6 は待機状態から抜け出すことができる。

【 0 3 9 6 】

図 6 8 は、電源基板 9 1 0 A において復帰信号が生成されない場合に払出制御基板 3 7 におけるハードウェアによってタイマ処理を行うような構成の一例を示すブロック図である。この例では、払出制御基板 3 7 に、ウォッチドッグタイマとして機能するカウンタ（ウォッチドッグタイマ回路）3 8 6 が設けられる。ウォッチドッグタイマ回路 3 8 6 は、発振回路 3 8 8 の出力パルスをカウントし、カウントアップすると、Q 出力としてハイレベルの 1 パルスを発生する。そのパルス信号は、反転回路 3 8 7 で論理反転され、復帰信号として A N D 回路 3 8 5 に入力される。A N D 回路 3 8 5 は、リセット信号と復帰信号の論理積をとって C P U 5 6 のリセット端子に供給する。

40

【 0 3 9 7 】

カウントアップ値は、電源断信号がローレベルになってから、V SL の電圧値が V cc 生成可能電圧にまで低下する時間以上に設定される。ウォッチドッグタイマ回路 3 8 6 は V cc を電源として動作するので、カウントアップ値は、ウォッチドッグタイマ回路 3 8 6 の動作可能期間に相当する値以上に設定される。従って、一般には、ウォッチドッグタイマ回路 3 8 6 がカウントアップして復帰信号が出力される前に、ウォッチドッグタイマ回路 3 8

50

6 およびその他の回路部品は動作しなくなる。なお、払出制御用 CPU 371 が払出制御を行っているときには、定期的にクリアパルスがウォッチドッグタイマ回路 386 に与えられる。クリアパルスの出力周期は、ウォッチドッグタイマ回路 386 がカウントアップするまでの時間よりも短い。従って、払出制御用 CPU 371 が、通常の遊技制御を行っているときにウォッチドッグタイマ回路 387 6 の Q 出力にパルスが現れることはない。

#### 【0398】

図 69 は、ウォッチドッグタイマ回路 386 が設けられた場合の払出制御手段のメイン処理の一部を示すフローチャートである。図 69 に示す処理は、図 47 に示されたステップ S701 ~ S713 の処理に続いて実行される。この場合には、払出制御処理のループ（ステップ S724 ~ S760）内において、ウォッチドッグタイマクリア処理（ステップ S760）が実行される。従って、ウォッチドッグタイマクリア処理は、2ms 毎に実行される。

10

#### 【0399】

ウォッチドッグタイマクリア処理（ステップ S760）では、ウォッチドッグタイマ回路 386 のクリア端子に至る出力ポートに 1 パルスを出力する処理が行われる。よって、払出制御処理の実行中では、ウォッチドッグタイマ回路 386 に定期的にクリアパルスが与えられるので、カウントアップすることはない。

#### 【0400】

遊技機に対する供給電圧が低下して電源断信号が出力されると、図 51 ~ 図 53 に示されたようなマスク不能割込処理が開始される。その処理中ではウォッチドッグタイマ回路 386 に対してクリアパルスは出力されない。従って、電源電圧が復旧して、ウォッチドッグタイマ回路 386 がカウントアップするまで動作しているような場合には復帰信号が出力される。

20

#### 【0401】

図 68 に示されたように、払出制御基板 37 において、復帰信号は、AND 回路 385 を介して、払出制御用 CPU 371 のリセット端子に入力される。従って、払出制御用 CPU 371 にはシステムリセットがかかる。その結果、払出制御用 CPU 371 は待機状態から抜け出すことができる。

#### 【0402】

以上のように、主基板 31 および払出制御基板 37 においてウォッチドッグタイマ回路 162, 386 が設けられている場合には、ハードウェアによって復帰信号を発生させることができる。しかも、電源電圧が低下したときのみならず、何らかの理由で、CPU 56 または払出制御用 CPU 371 の制御が無限ループに入ってしまったような場合にも、ループ状態から抜け出すことができる。

30

#### 【0403】

なお、主基板 31 のウォッチドッグタイマ回路 162 のカウントアップ値は、払出制御基板 37 のウォッチドッグタイマ回路 386 のカウントアップ値よりも大きい値であることが好ましい。ウォッチドッグタイマ回路 162 のカウントアップ値の方が大きい値である場合には、復帰信号は、遊技制御手段よりも前に払出制御手段に対して供給される。従って、払出制御手段が先に立ち上がって、遊技制御手段からの払出制御コマンドを取りこぼすようなことはない。

40

#### 【0404】

また、例えば主基板 31 のみにウォッチドッグタイマ回路 162 を設置し、ウォッチドッグタイマ回路 162 による復帰信号を CPU 56 に供給するとともに、払出制御基板 37 に供給してもよい。そのように構成した場合には、全体的な回路構成規模を小さくすることができる。また、そのように構成した場合には、払出制御手段が先に立ち上がるように、ウォッチドッグタイマ回路 162 と CPU 56 のリセット端子との間に遅延回路を置くことが好ましい。

#### 【0405】

さらに、ウォッチドッグタイマ回路 162, 386 による復帰信号を CPU のリセット端

50

子に接続するのではなく、入力ポートの入力するようにしてもよい。その場合には、電力供給停止時処理における待機状態で入力ポートの監視が行われ、復帰信号がオンしたことが検出されると、メイン処理の最初にジャンプする。さらに、ウォッチドッグタイマ回路 162, 386 による復帰信号を CPU の CTC 端子に入力してもよい。その場合には、あらかじめ、復帰信号の入力に応じて CTC 割込がかかるように設定される。また、待機状態で割込許可に設定される。そして、CTC 割込がかかると、メイン処理の最初にジャンプする。

#### 【0406】

なお、上記の各実施の形態では、払出制御基板 37 において、NMI に応じて電力供給停止時処理が実行されたが、電源断信号を払出制御用 CPU 371 のマスク可能端子に接続し、マスク可能割込処理によって電力供給停止時処理を実行してもよい。また、電源断信号を入力ポートに入力し、入力ポートのチェック結果に応じて電力供給停止時処理を実行してもよい。

10

#### 【0407】

以上説明したように、上記の各実施の形態では、記憶保持手段（例えばバックアップ RAM）を有する遊技制御手段および払出制御手段が電源断信号に応じて電力供給停止時処理を行った後にシステムリセットを待つ待機状態にあるときに、電源復旧に応じて復帰信号が出力されると、遊技制御手段および払出制御手段は、プログラムの最初部分から動作を再開する。または、ソフトウェアによるタイマ処理でタイムアウトが生ずると、遊技制御手段および払出制御手段は、プログラムの最初部分から動作を再開する。その際、電力供給停止時処理において保存された制御状態が復旧されるので、遊技者から見ると、何事もなかったかのように遊技が続行される。

20

#### 【0408】

また、電源基板に設けられている起動順序制御手段が、記憶保持手段を有していない電気部品制御手段と記憶保持手段を有している電気部品制御手段とを含む全ての電気部品制御手段を対象に、リセット信号の供給順序を制御することによって起動順序を制御するので、全ての電気部品制御手段の起動順序制御を、簡単な構成で実現できる。なお、上記の各実施の形態では、記憶保持手段を有していない電気部品制御手段は、表示制御手段、ランプ制御手段および音声制御手段であり、記憶保持手段を有している電気部品制御手段遊技制御手段および払出制御手段である。

30

#### 【0409】

さらに、起動順序制御手段は、遊技制御手段を最後に起動するので、各電気部品制御手段が、遊技制御手段からの制御コマンドを取りこぼしてしまうという不都合は生じない。

#### 【0410】

また、バックアップデータが正常に保持されていなかった場合には、バックアップデータにもとづいて復旧させると不当な制御が実行されてしまうおそれがあるため、そのまま制御状態を復旧させることは好ましくない。上述した各実施の形態では、電力供給開始時に、電力供給停止時にバックアップ RAM 領域に記憶されたチェックデータ（チェックサムデータ）にもとづいて、初期化処理を行うか遊技状態復旧処理を行うかを決定するように構成したので、停電等の不測の電源断が発生したときに必要なデータを確実に保存することができ、さらに、保存されていたデータを瞬断からの復旧後を含む電源復帰後に確実に活用することができる。

40

#### 【0411】

なお、上記の各実施の形態では、遊技制御手段および払出制御手段が電源断信号に応じてスイッチ検出処理を行う場合を例示したが、表示制御手段、音制御手段およびランプ制御手段についても、制御状態保存処理が行われる場合に、電源断信号に応じて、所定の電気部品の駆動を停止し、その電気部品に関連するスイッチ手段の検出信号を所定期間に渡って確認した後に、制御状態保存処理を行うように構成してもよい。

#### 【0412】

また、上記の各実施の形態では、復帰信号の入力に応じて、メイン処理（図 22、図 47

50

）にジャンプするようにしていたが、例えば電源スイッチを備える構成として、復帰信号の入力に応じて、その電源スイッチをオフして、その後ただちにオンするようにしてもよい。

#### 【0413】

また、上記の各実施の形態において、電力供給停止時処理を実行する際に、例えば主基板31であれば表示制御コマンドを送信するなどして、例えば可変表示装置9に「停電処理中です。復帰操作を行って下さい。」の様な表示をするようにしてもよい。このようにすれば、電源の瞬断に起因して待機状態が継続してしまっている、そのことを報知することができるため、遊技者などが遊技が中断していることを認識することができるようになり、その後の対処をとることが可能となる。

10

#### 【0414】

また、上記の各実施の形態では、クリアスイッチ921を押しボタン構造としていたが、他の構造であってもよい。図70は、スイッチ基板190に搭載された他の実施の形態におけるクリアスイッチ921の構成の一例を示す外観構成図である。図70に示すクリアスイッチ921は、「OFF」、「ON」および「クリア」の選択切り換えがされる切換操作スイッチ921aを有する。この例では、クリアスイッチ921の「OFF」が選択されているときは何らの信号も発生せず動作停止中となっており、「ON」が選択されているときはハイレベルの信号を出力する。クリアスイッチ921は、この例では、遊技機1に対する電源供給のオン/オフ切換のためのスイッチと連動された構成とされている。従って、クリアスイッチ921で「OFF」が選択されているときには遊技機1の電源供給が停止された状態（遊技機の電源がオフの状態）にあり、「ON」および「クリア」が選択されているときには遊技機1が稼動している状態（遊技機の電源がオンの状態）にあるとすればよい。また、クリアスイッチ921の「クリア」が選択されているときに、ローレベルのクリア信号を出力するようにすればよい。

20

#### 【0415】

また、上記の各実施の形態では、パリティチェックの結果が不当であるときやクリアスイッチ921が所定の操作状態とされていたときに、初期化処理を実行する構成としていたが、例えば初期化処理を実行することなく、チェック結果やクリアスイッチ921の操作状態に応じた特有の処理を実行するようにしてもよい。この場合、例えば、ROMの所定の記憶領域に、パリティチェックの結果が不当であるときに実行される制御プログラムおよびクリアスイッチ921が操作されたときに実行される制御プログラムを格納しておく。そして、例えばパリティチェックの結果が不当であった場合には、ROMに記憶されている制御プログラムにもどづく処理が実行され、例えば可変表示装置9に「データが正常に保存されていませんでした」などの表示がされるようにする。また、例えばクリアスイッチ921が所定の操作状態とされると、ROMに記憶されている制御プログラムにもどづく処理が実行され、例えば可変表示装置9に「クリアスイッチが操作されました」などの表示がされるようにする。また、例えば、初期化処理が実行されたあとに可変表示装置9に表示される特別図柄の初期表示が例えば「1、1、7」である場合に、パリティチェック結果が不当であった場合に可変表示装置9に表示される特別図柄の初期表示を例えば「3、3、7」とし、また、クリアスイッチ921が操作された場合の特有の処理が実行されたあとに可変表示装置9に表示される特別図柄の初期表示を例えば「5、5、7」として、実行された処理が識別可能となるようにする。なお、ランプの点灯パターンや音などによって、実行された処理（あるいは、実行されている処理）が初期化処理であるのか、パリティチェック結果が不当であることに応じた特有の処理であるのか、あるいはクリアスイッチ921の操作に応じた特有の処理であるのかを識別可能とするようにしてもよい。

30

40

#### 【0416】

また、上述した各実施の形態では、初期化処理においてRAMに記憶されている変動データを全てクリアする構成（ステップS4a参照）としていたが、RAMに記憶されている変動データのうちの一部をクリアするようにしてもよい。この場合、例えば価値付与の数

50

量にかかわる変動データ（例えば、入賞にもとづき払い出される遊技球の数量などを示すデータ）をRAMに記憶されている変動データの一部としてクリアしたり、遊技状態にかかわる変動データ（例えば、大当りか否か、大当り状態、当りか否か、確変か否か、確変状態（確変残り回数など）、時短中か否か、普通図柄や特別図柄の変動時間短縮状態（残り回数）、始動入賞記憶数などを示すデータ）をRAMに記憶されている変動データの一部としてクリアするようにすればよい。すなわち、パリティチェックの結果が不当である場合やクリアスイッチ921の所定の操作にもとづくRAMのクリアにおいて、変動データのうちの一部のデータとして、例えば確変フラグや時短フラグのみがクリアされるようにしてもよい。なお、RAMの一部が初期化されたあとは、クリアされなかった変動データにもとづく遊技状態復旧処理（例えばステップS10）が実行されるように構成される。

10

#### 【0417】

このように、変動データの一部をクリアすることができる構成とすれば、復旧させる必要のないデータを除く変動データにもとづいて遊技状態を復旧させることができる。なお、変動データの一部として価値付与の数量にかかわる変動データをクリアする構成とすれば、電源断前に得られていた遊技球を、電源投入後に不当に得ることを防止することができる。また、変動データの一部として遊技状態にかかわる変動データをクリアする構成とすれば、電源断前に得られていた例えば確変などの有利な遊技状態を、電源投入後に不当に得ることを防止することができ、あるいは不利な遊技状態を不当に与えてしまうことを防止することができる。

20

#### 【0418】

また、上記の各実施の形態では、電源監視回路は電源基板910に設けられたが、電源監視回路は主基板31や払出制御基板37などの電気部品制御基板に設けられていてもよい。電源回路が搭載された電気部品制御基板が構成される場合には、電源基板には電源監視回路は搭載されない。

#### 【0419】

上記の各実施の形態のパチンコ遊技機1は、主として、始動入賞にもとづいて可変表示部9に可変表示される特別図柄の停止図柄が所定の図柄の組み合わせになると所定の遊技価値が遊技者に付与可能になる第1種パチンコ遊技機であったが、始動入賞にもとづいて開放する電動役物の所定領域への入賞があると所定の遊技価値が遊技者に付与可能になる第2種パチンコ遊技機や、始動入賞にもとづいて可変表示される図柄の停止図柄が所定の図柄の組み合わせになると開放する所定の電動役物への入賞があると所定の権利が発生または継続する第3種パチンコ遊技機であっても、本発明を適用できる。

30

#### 【0420】

さらに、遊技媒体が遊技球であるパチンコ遊技機に限られず、スロット機等においても、遊技媒体の払い出しを行う電気部品が備えられている場合には本発明を適用することができる。

#### 【0421】

#### 【発明の効果】

以上のように、本発明によれば、遊技機を、遊技制御用マイクロコンピュータおよび払出制御用マイクロコンピュータが、電源監視手段によって所定の状態になったことが検出されたことを条件に記憶内容保持手段により保持された記憶内容が正常か否かの判定に用いるチェックデータの作成処理を含む電力供給停止時処理を行った後に待機状態に移行し、電力供給再開時に、チェックデータにもとづいて記憶内容が正常であるか否かの判定を行うとともに、待機状態中に復帰信号が入力された場合に、制御状態を電力供給停止前の状態に復旧させる状態復帰制御を実行する構成としたので、復帰信号によって遊技制御用マイクロコンピュータおよび払出制御用マイクロコンピュータを制御実行状態に復帰させることが可能になり、その結果、ごく短時間で復旧する電源の瞬断等が生じても制御に支障を来すことがないという効果を得ることができる。

40

#### 【0423】

50

遊技制御用マイクロコンピュータが、電力供給が開始されたときまたは復帰信号の入力に応じて、チェックデータにもとづいて遊技制御用変動データ記憶手段に記憶されている記憶内容が正常でないと判定したときには遊技制御用変動データ記憶手段の記憶内容を初期化し、払出制御用マイクロコンピュータが、電力供給が開始されたときまたは復帰信号の入力に応じて、チェックデータにもとづいて払出制御用変動データ記憶手段に記憶されている記憶内容が正常でないと判定したときには払出制御用変動データ記憶手段の記憶内容を初期化するように構成されている場合には、誤った記憶内容にもとづいて誤った制御状態が復元されてしまって不当な遊技制御がなされてしまうようなことは防止される。

【0428】

遊技制御用マイクロコンピュータが、遊技制御用変動データ記憶手段の記憶内容にもとづいた演算を行うことによりチェックデータを作成し、払出制御用マイクロコンピュータが、払出制御用変動データ記憶手段の記憶内容にもとづいた演算を行うことによりチェックデータを作成するように構成されている場合には、記憶内容が正常であるか否かの判定に用いられるチェックデータを演算により容易に作成することができる。

【0430】

遊技制御用マイクロコンピュータおよび払出制御用マイクロコンピュータが信号を出力するための出力ポートを備え、遊技制御用マイクロコンピュータおよび払出制御用マイクロコンピュータが、遊技制御用電力供給停止時処理で、出力ポートに出力される信号をクリアする出力ポートクリア処理を行うように構成されている場合には、例えば遊技制御用マイクロコンピュータに対してはポート出力状態がオンのままであって可変入賞球装置が開放し続けるようなことがない。

【0431】

遊技媒体の払い出しを行う払出手段と、該払出手段から払い出された遊技媒体を検出するための遊技媒体検出手段とを備え、払出制御用マイクロコンピュータが、電源監視手段が検出信号を出力したときに、遊技媒体検出手段からの検出信号の入力処理を所定期間実行した後、払出制御用電力供給停止時処理を行うように構成されている場合には、例えば電力供給停止直前に払出装置が払出を行ったにもかかわらず払い出された遊技媒体が検知されず、保存される残払出数と現実の残払出数とが整合しなくなってしまうようなことが防止される。

【図面の簡単な説明】

【図1】 パチンコ遊技機を正面からみた正面図である。

【図2】 パチンコ遊技機の裏面に設けられている各基板を示す説明図である。

【図3】 パチンコ遊技機の機構盤を背面からみた背面図である。

【図4】 機構板に設置されている中間ベースユニット周りの構成を示す正面図である。

【図5】 球払出装置を示す分解斜視図である。

【図6】 スイッチ基板が搭載された遊技盤を正面からみた例を示す正面図である。

【図7】 クリアスイッチの構成の例を示す回路図である。

【図8】 遊技制御基板（主基板）の回路構成を示すブロック図である。

【図9】 払出制御基板および球払出装置の構成要素などの賞球に関連する構成要素を示すブロック図である。

【図10】 図柄制御基板の回路構成例を示すブロック図である。

【図11】 ランプ制御基板の回路構成例を示すブロック図である。

【図12】 音声制御基板の回路構成例を示すブロック図である。

【図13】 発射制御基板の回路構成例を示すブロック図である。

【図14】 電源基板から各基板に供給される直流電圧等を示すブロック図である。

【図15】 電源基板の一構成例を示すブロック図である。

【図16】 リセット管理回路の構成例を示すブロック図である。

【図17】 タイマ手段の一例であるカウンタの作用を説明するためのタイミング図である。

【図18】 主基板におけるCPU周りの一構成例を示すブロック図である。

- 【図 19】 出力ポートのビット割り当ての一例を示す説明図である。
- 【図 20】 出力ポートのビット割り当ての一例を示す説明図である。
- 【図 21】 入力ポートのビット割り当ての一例を示す説明図である。
- 【図 22】 主基板における CPU が実行するメイン処理の一例を示すフローチャートである。
- 【図 23】 バックアップフラグと遊技状態復旧処理を実行するか否かとの関係の一例を示す説明図である。
- 【図 24】 パリティチェック処理の例を示すフローチャートである。
- 【図 25】 2 m s タイマ割込処理を示すフローチャートである。
- 【図 26】 R A M におけるスイッチタイマの形成例を示す説明図である。 10
- 【図 27】 スイッチ処理の一例を示すフローチャートである。
- 【図 28】 スイッチチェック処理の一例を示すフローチャートである。
- 【図 29】 賞球処理の一例を示すフローチャートである。
- 【図 30】 賞球処理の一例を示すフローチャートである。
- 【図 31】 賞球処理の一例を示すフローチャートである。
- 【図 32】 スイッチオンチェック処理を示すフローチャートである。
- 【図 33】 賞球個数減算処理の一例を示すフローチャートである。
- 【図 34】 入力判定値テーブルの構成例を示す説明図である。
- 【図 35】 遊技制御手段におけるマスク不能割込処理を示すフローチャートである。
- 【図 36】 遊技制御手段におけるマスク不能割込処理を示すフローチャートである。 20
- 【図 37】 遊技制御手段におけるマスク不能割込処理を示すフローチャートである。
- 【図 38】 バックアップパリティデータ作成方法を説明するための説明図である。
- 【図 39】 遊技制御手段における電力供給停止時処理の他の例を示すフローチャートである。
- 【図 40】 クリアデータテーブルの一構成例を示す説明図である。
- 【図 41】 データクリア処理を示すフローチャートである。
- 【図 42】 検出信号の入力処理が実行される様子の一例を示すタイミング図である。
- 【図 43】 遊技状態復旧処理の一例を示すフローチャートである。
- 【図 44】 払出制御用 CPU 周りの一構成例を示すブロック図である。
- 【図 45】 出力ポートのビット割り当ての一例を示す説明図である。 30
- 【図 46】 入力ポートのビット割り当ての一例を示す説明図である。
- 【図 47】 払出制御基板における CPU が実行するメイン処理の一例を示すフローチャートである。
- 【図 48】 払出制御手段におけるパリティチェック処理の例を示すフローチャートである。
- 【図 49】 2 m s タイマ割込処理を示すフローチャートである。
- 【図 50】 払出制御手段における R A M の一構成例を示す説明図である。
- 【図 51】 払出制御手段におけるマスク不能割込処理を示すフローチャートである。
- 【図 52】 払出制御手段におけるマスク不能割込処理を示すフローチャートである。
- 【図 53】 払出制御手段におけるマスク不能割込処理を示すフローチャートである。 40
- 【図 54】 バックアップパリティデータ作成方法を説明するための説明図である。
- 【図 55】 払出制御手段におけるマスク不能割込処理の他の例を示すフローチャートである。
- 【図 56】 クリアデータテーブルの一構成例を示す説明図である。
- 【図 57】 データクリア処理を示すフローチャートである。
- 【図 58】 遊技制御基板の他の回路構成を示すブロック図である。
- 【図 59】 遊技制御手段における電力供給停止時処理の他の例を示すフローチャートである。
- 【図 60】 電源基板の他の構成例を示すブロック図である。
- 【図 61】 リセット管理回路の他の構成例を示すブロック図である。 50



- 【図 6 2】 リセット管理回路のさらに他の構成例を示すブロック図である。
- 【図 6 3】 遊技制御手段における電力供給停止時処理の他の例を示すフローチャートである。
- 【図 6 4】 払出制御手段における電力供給停止時処理の他の例を示すフローチャートである。
- 【図 6 5】 遊技制御手段の他の構成例の一部を示すブロック図である。
- 【図 6 6】 主基板における CPU が実行するメイン処理の他の例を示すフローチャートである。
- 【図 6 7】 ソフトウェアタイマおよびウォッチドッグタイマ回路の作用を説明するためのタイミング図である。
- 【図 6 8】 払出制御手段の他の構成例の一部を示すブロック図である。
- 【図 6 9】 払出制御基板における CPU が実行するメイン処理の他の例を示すフローチャートである。
- 【図 7 0】 他の実施の形態におけるクリアスイッチの外観構成の例を示す説明図である。

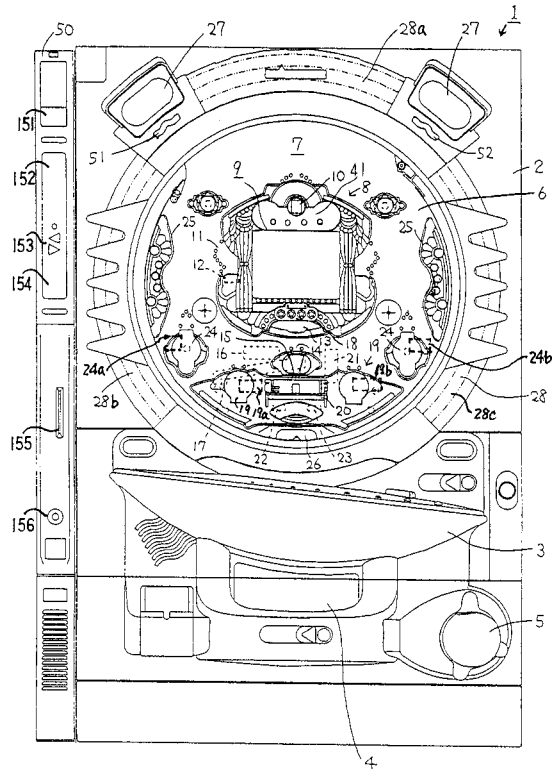
10

【符号の説明】

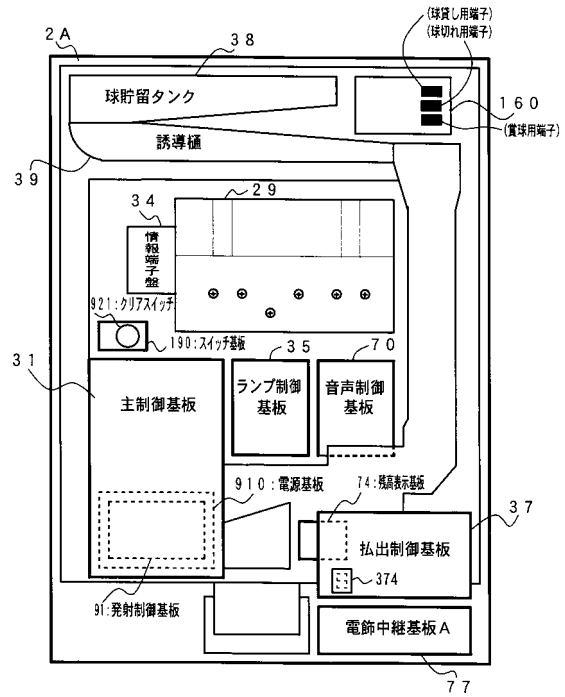
- 3 1 遊技制御基板（主基板）
- 3 7 払出制御基板
- 5 4 ROM
- 5 5 RAM
- 5 6 CPU
- 5 7 I/Oポート
- 1 6 2 ウォッチドッグタイマ回路
- 3 7 1 払出制御用 CPU
- 3 8 5 ウォッチドッグタイマ回路
- 9 1 0 , 9 1 0 A 電源基板
- 9 4 0 , 9 4 0 A リセット管理回路
- 9 7 1 カウンタ（タイマ手段）
- 9 2 1 クリアスイッチ

20

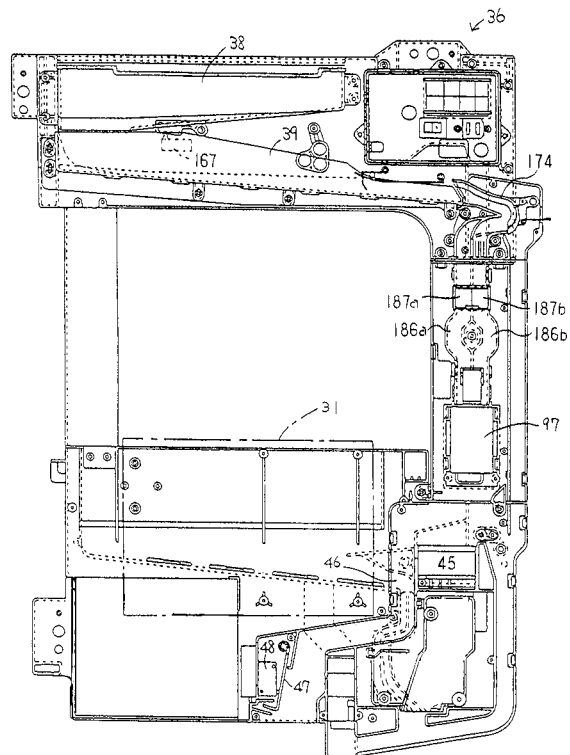
【図 1】



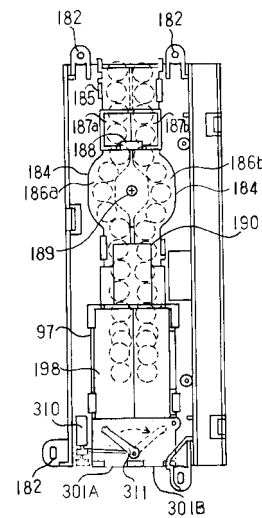
【図 2】



【図 3】

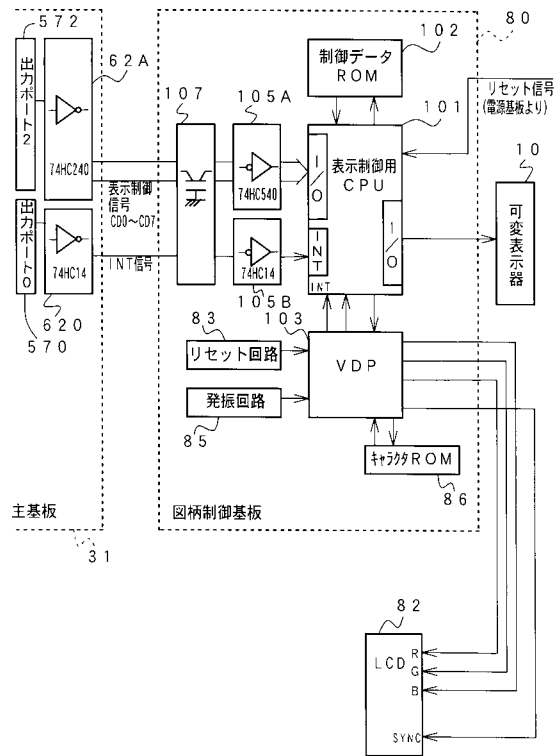


【図 4】

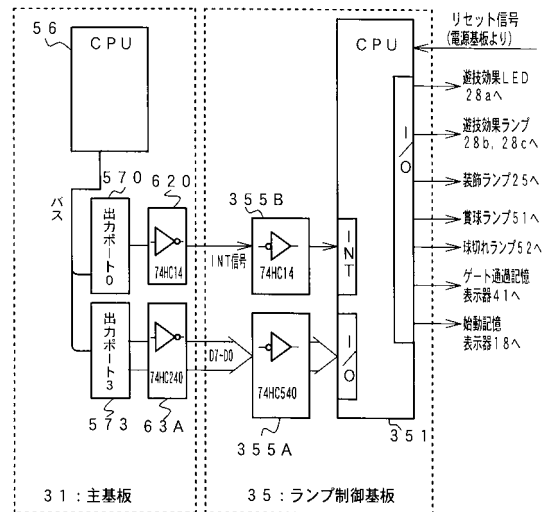




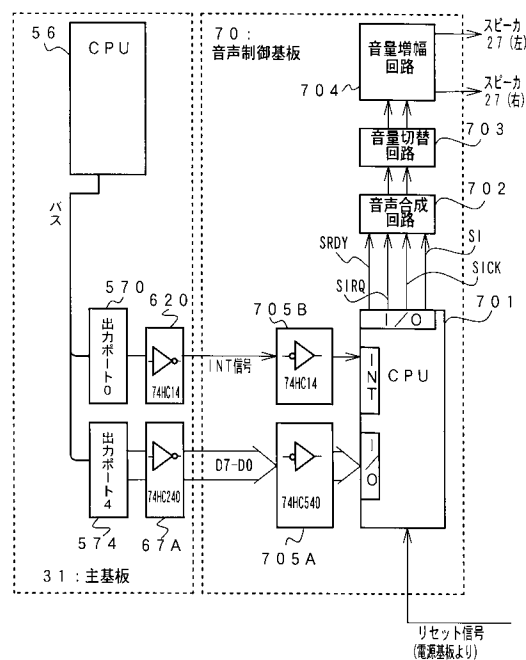
【図 10】



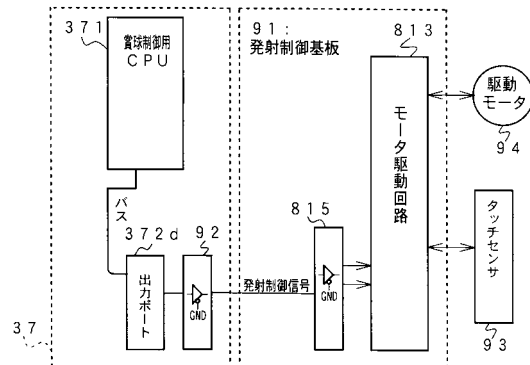
【図 11】



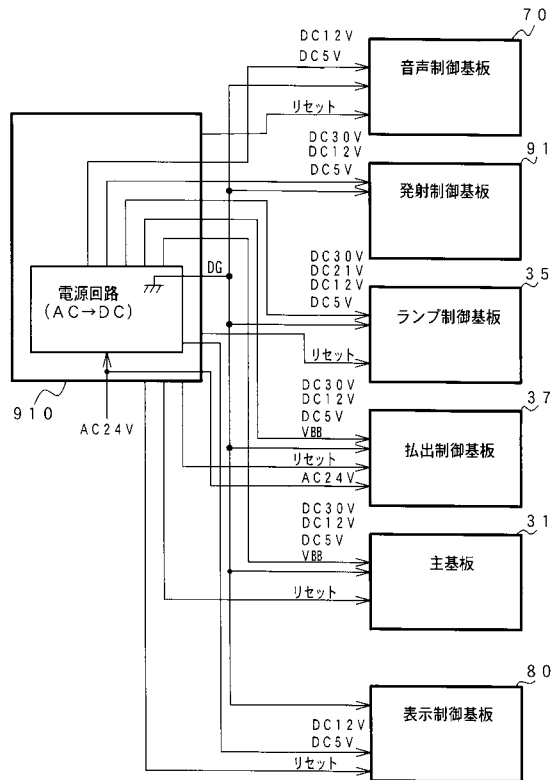
【図 12】



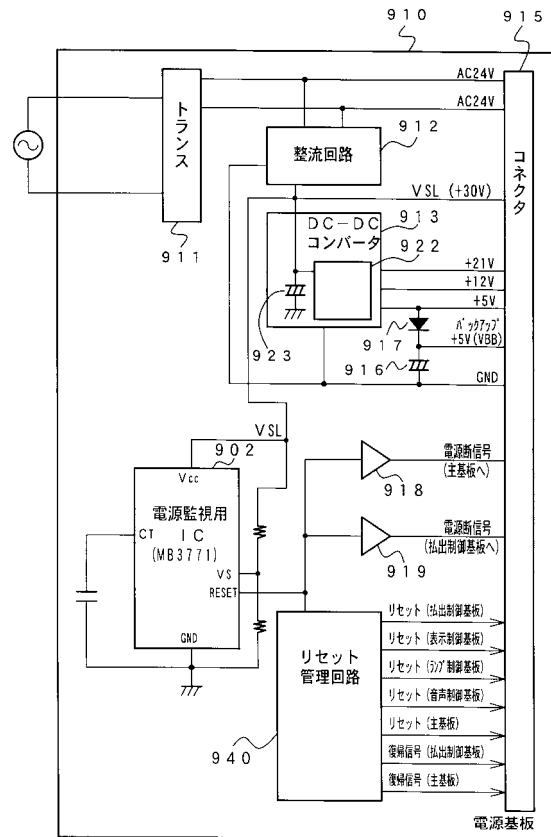
【図 13】



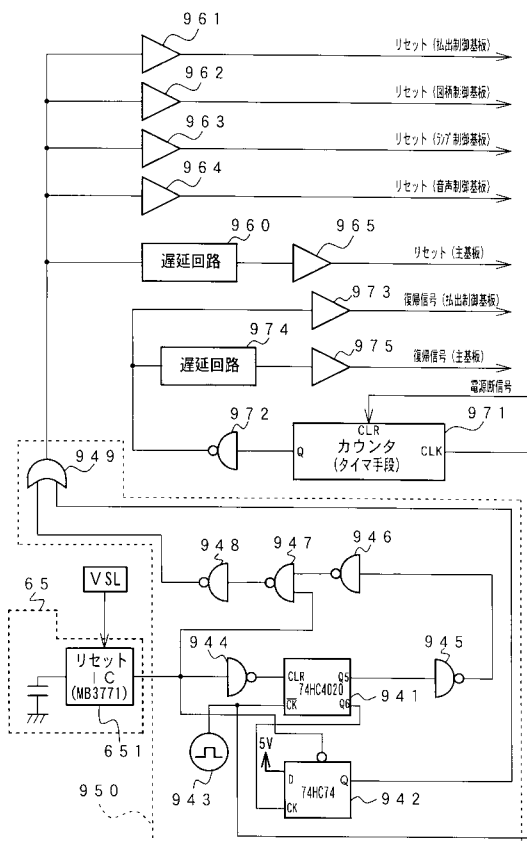
【図 14】



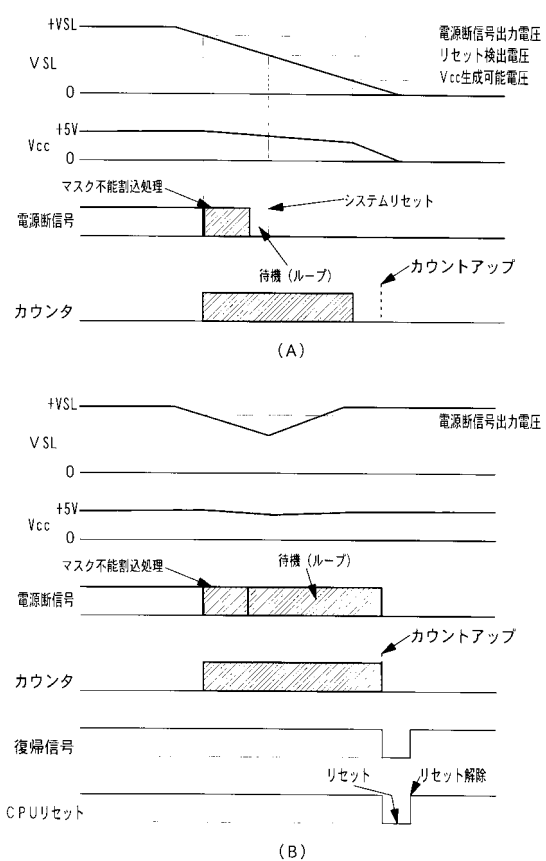
【図 15】



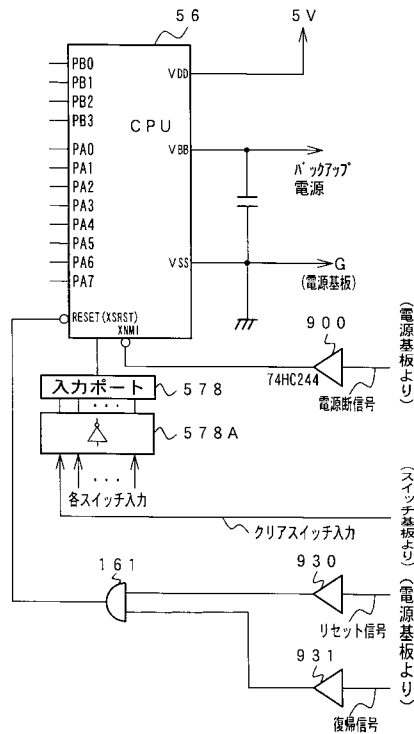
【図 16】



【図 17】



【図 18】



【図 19】

アドレス	ビット	データ内容	論理	状態
出力ポート0 (00H)	0	払出制御信号INT	1	オン
	1	表示制御信号INT	1	オン
	2	ランプ制御信号INT	1	オン
	3	音声制御信号INT	1	オン
	4	未使用	—	—
	5	未使用	—	—
	6	未使用	—	—
出力ポート1 (01H)	0	払出制御信号CD0	1	オン
	1	払出制御信号CD1	1	オン
	2	払出制御信号CD2	1	オン
	3	払出制御信号CD3	1	オン
	4	払出制御信号CD4	1	オン
	5	払出制御信号CD5	1	オン
	6	払出制御信号CD6	1	オン
出力ポート2 (02H)	0	表示制御信号CD0	1	オン
	1	表示制御信号CD1	1	オン
	2	表示制御信号CD2	1	オン
	3	表示制御信号CD3	1	オン
	4	表示制御信号CD4	1	オン
	5	表示制御信号CD5	1	オン
	6	表示制御信号CD6	1	オン
出力ポート3 (03H)	0	ランプ制御信号CD0	1	オン
	1	ランプ制御信号CD1	1	オン
	2	ランプ制御信号CD2	1	オン
	3	ランプ制御信号CD3	1	オン
	4	ランプ制御信号CD4	1	オン
	5	ランプ制御信号CD5	1	オン
	6	ランプ制御信号CD6	1	オン

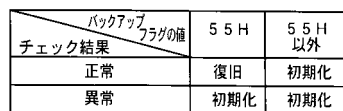
【図 20】

アドレス	ビット	データ内容	論理	状態
出力ポート4 (04H)	0	音声制御信号CD0	1	オン
	1	音声制御信号CD1	1	オン
	2	音声制御信号CD2	1	オン
	3	音声制御信号CD3	1	オン
	4	音声制御信号CD4	1	オン
	5	音声制御信号CD5	1	オン
	6	音声制御信号CD6	1	オン
出力ポート5 (05H)	0	始動口	1	オン
	1	図柄確定回数1	1	オン
	2	大当り1	1	オン
	3	大当り2	1	オン
	4	確率変動	1	オン
	5	図柄確定回数2	1	オン
	6	役物回数	1	オン
出力ポート6 (06H)	0	賞球	1	オン
	1	ソレノイド(大入賞口扉)	1	オン
	2	ソレノイド(大入賞口内誘導板)	1	オン
	3	ソレノイド(普通電動役物)	1	オン
	4	未使用	—	—
	5	未使用	—	—
	6	未使用	—	—

【図 21】

アドレス	ビット	データ内容	論理	状態
入力ポート0 (0EH)	0	左袖入賞口スイッチ(24a)	1	オン
	1	右袖入賞口スイッチ(24b)	1	オン
	2	左落とし入賞口スイッチ(19a)	1	オン
	3	右落とし入賞口スイッチ(19b)	1	オン
	4	始動口スイッチ	1	オン
	5	カウントスイッチ	1	オン
	6	特定領域スイッチ(Vカウントスイッチ)	1	オン
入力ポート1 (0FH)	0	ゲートスイッチ	1	オン
	1	賞球カウントスイッチ	1	オン
	2	満タンスイッチ	1	オン
	3	球切れスイッチ	1	オン
	4	カウントスイッチ短絡	1	オン
	5	クリアスイッチ	1	オン
	6	未使用	—	0固定

【 図 2 3 】



```

graph TD
    S9([S9]) --> S9a{{チェックサム=0?}}
    S9a -- Y --> Init[初期化処理へ]
    S9a -- N --> S9b[チェックサム確認]
    S9b --> S9c{{チェックサム正当?}}
    S9c -- Y --> Restore[遊技状態復旧処理へ]
    S9c -- N --> Init
  
```

The flowchart illustrates the process for restoring the game state (S9). It begins with a start node S9, which leads to a decision point S9a: "チェックサム=0?" (Checksum=0?). If the answer is "Y" (Yes), the process proceeds to "初期化処理へ" (To initialization processing). If the answer is "N" (No), the process moves to S9b: "チェックサム確認" (Checksum confirmation). From S9b, it proceeds to another decision point S9c: "チェックサム正当?" (Checksum correct?). If the answer is "Y" (Yes), the process proceeds to "遊技状態復旧処理へ" (To game state restoration processing). If the answer is "N" (No), the process proceeds back to the "初期化処理へ" (To initialization processing) step.

```

graph TD
    S12([2ms タイマ割込処理]) --> S13[タイマ割込フラグセット]
    S13 --> S14([RETI])

```

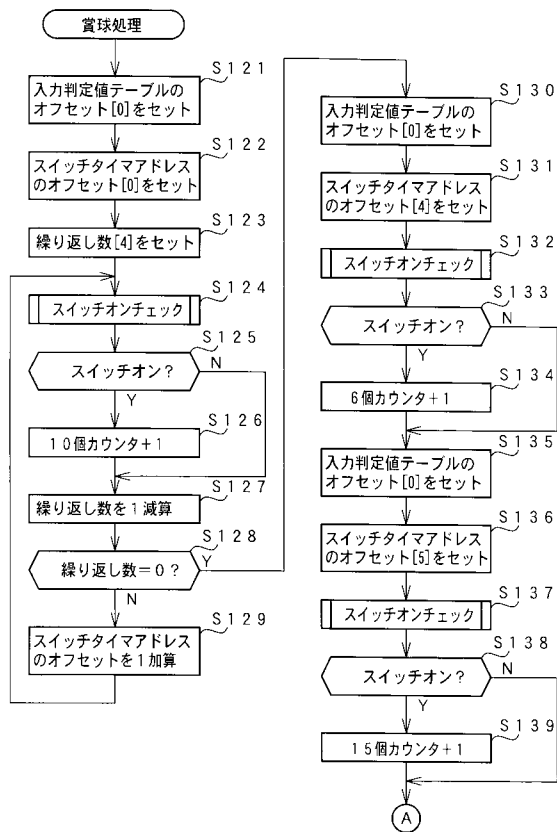
+0	スイッチ 1 用のスイッチタイマ	←スイッチタイマのアドレス
+1	スイッチ 2 用のスイッチタイマ	
	⋮	
	⋮	
+n-1	スイッチ n 用のスイッチタイマ	

```

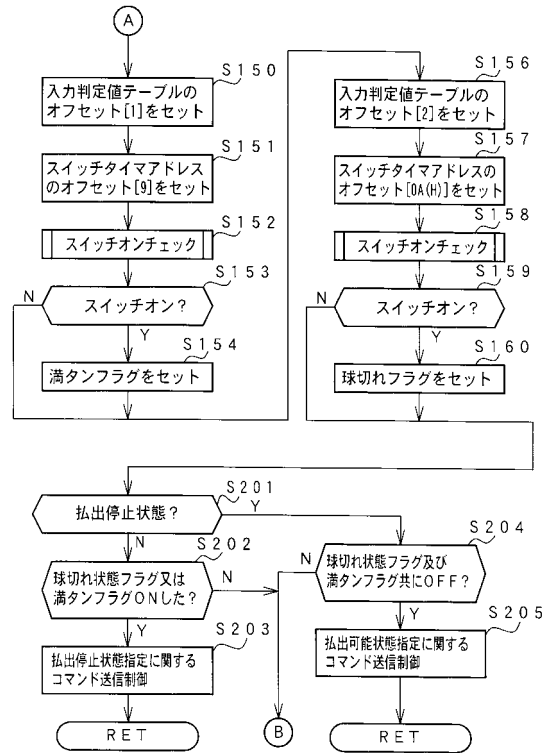
graph TD
    Start([スイッチ処理]) --> S71[入力ポート0を入力 S71]
    S71 --> S72[処理数(8)をセット S72]
    S72 --> S73[左指入貫ロスイッチタイマの  
アドレスをポインタにセット S73]
    S73 --> S74[スイッチチェック処理 S74]
    S74 --> S75[入力ポート1を入力 S75]
    S75 --> S76[処理数(4)をセット S76]
    S76 --> S77[右指入貫ロスイッチタイマの  
アドレスをポインタにセット S77]
    S77 --> S78[スイッチチェック処理 S78]
    S74 --> RET([RET])
    S78 --> RET
  
```

```
graph TD
    Start([スタート]) --> S81[ポート入力データを比較値にセット S 8 1]
    S81 --> S82[クリアデータ (0 0) をセット S 8 2]
    S82 --> S83[スイッチタイマのアドレスが  
指すスイッチタイマをロード S 8 3]
    S83 --> S84[比較値を右シフト S 8 4]
    S84 --> S85{キャリーフラグ=0? S 8 5}
    S85 -- Y --> S86[スイッチタイマにクリア  
データをセット S 8 6]
    S85 -- N --> S87[スイッチタイマ値を1加算 S 8 7]
    S86 --> S87
    S87 --> S88{スイッチタイマ値=0? S 8 8}
    S88 -- Y --> S89[スイッチタイマ値をスイッチ  
タイマのアドレスにストア S 8 9]
    S88 -- N --> S89
    S89 --> S90[スイッチタイマのアドレスを  
1加算 S 9 0]
    S90 --> S91[処理数を1減算 S 9 1]
    S91 --> S92{処理数=0? S 9 2}
    S92 -- Y --> RET([RET])
    S92 -- N --> S85
```

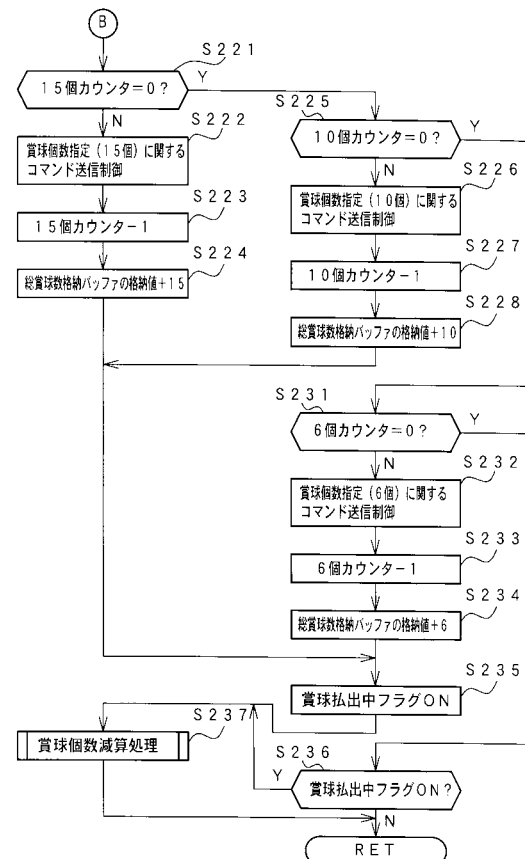
【図 29】



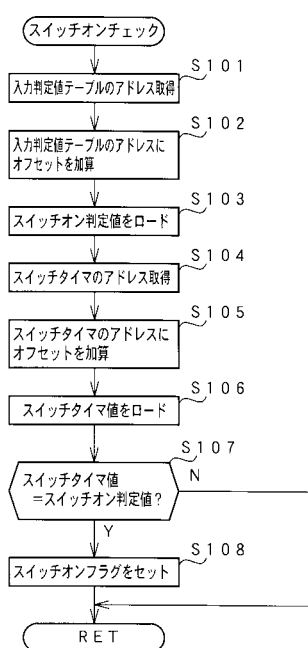
【図 30】



【図 31】

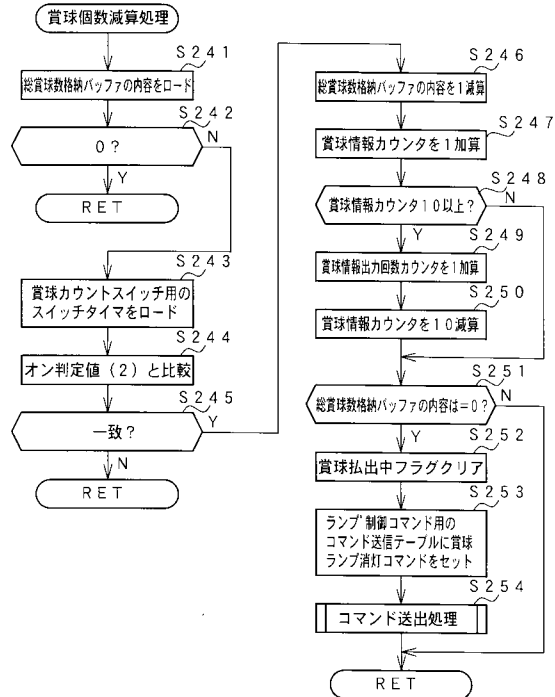


【図 32】





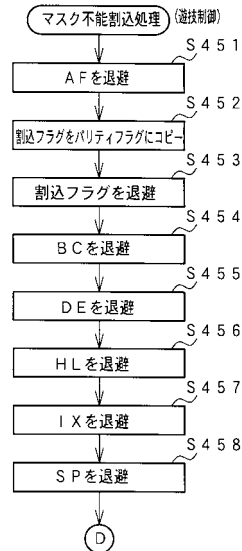
【図 33】



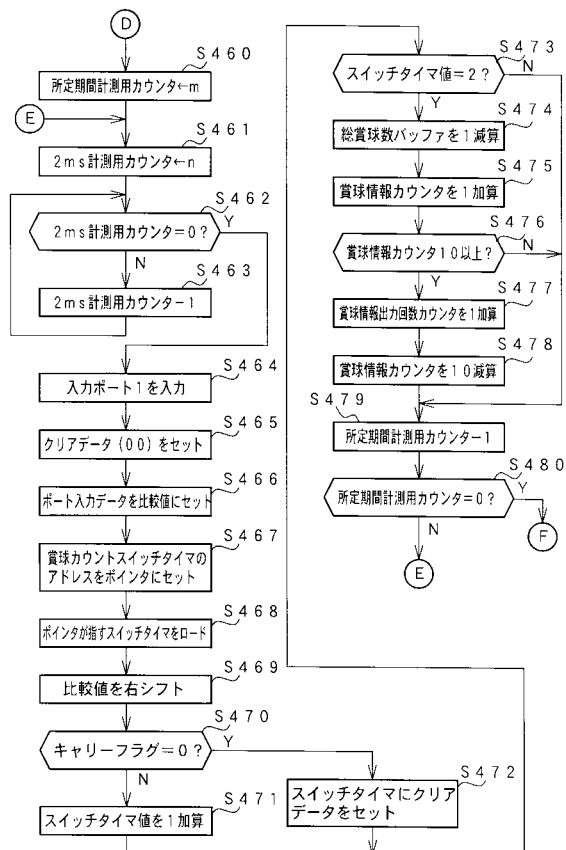
【図 34】

種類	判定値
スイッチオン判定値	2
満タンスイッチオン判定値	50
球切れスイッチオン判定値	250
球切れスイッチオフ判定値	30
カウントスイッチ断線エラー判定値	250
カウントスイッチ短絡エラー判定値	1

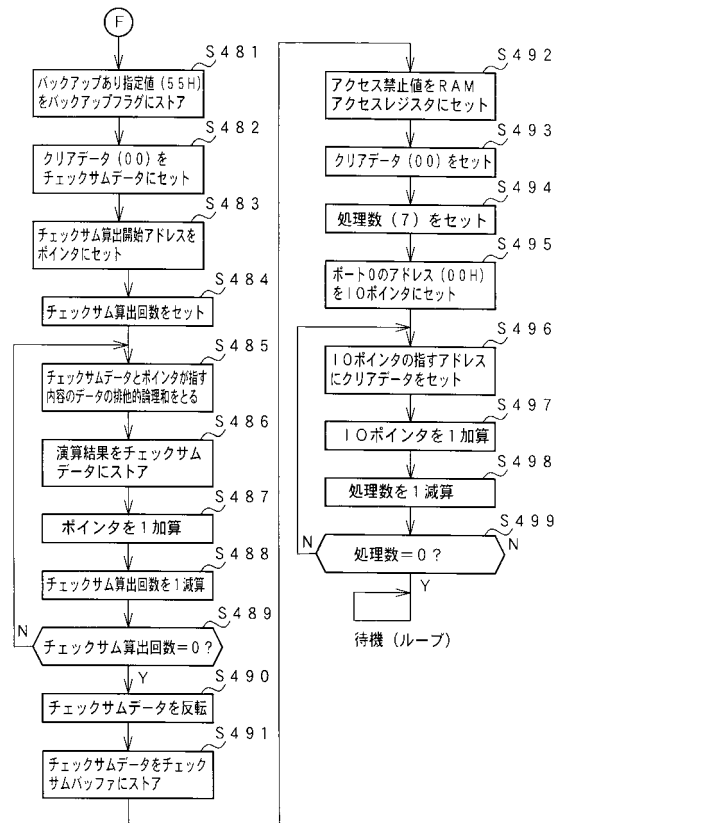
【図 35】



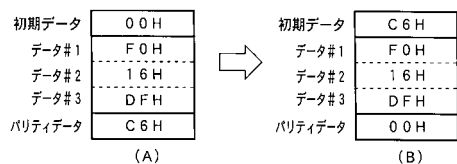
【図 36】



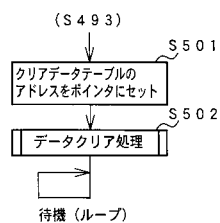
【図 37】



【 ㊦ 3 8 】



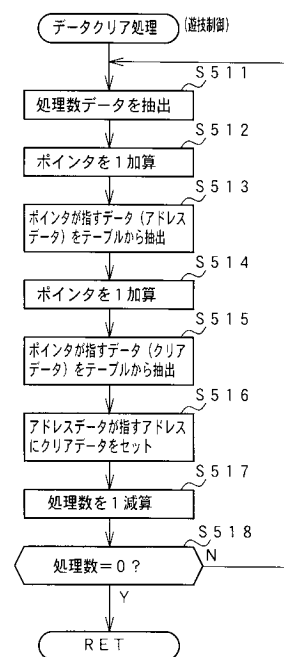
【 図 3 9 】



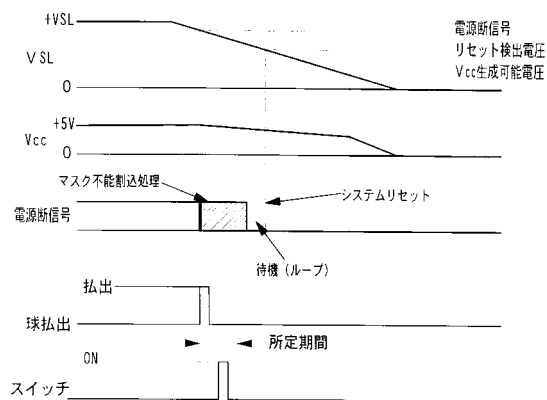
【 図 4 0 】

処理数データ (7)
アドレス (00H)
クリアデータ (00H)
アドレス (01H)
クリアデータ (00H)
アドレス (02H)
クリアデータ (00H)
アドレス (03H)
クリアデータ (00H)
アドレス (04H)
クリアデータ (00H)
アドレス (05H)
クリアデータ (00H)
アドレス (06H)
クリアデータ (00H)

【 図 4 1 】

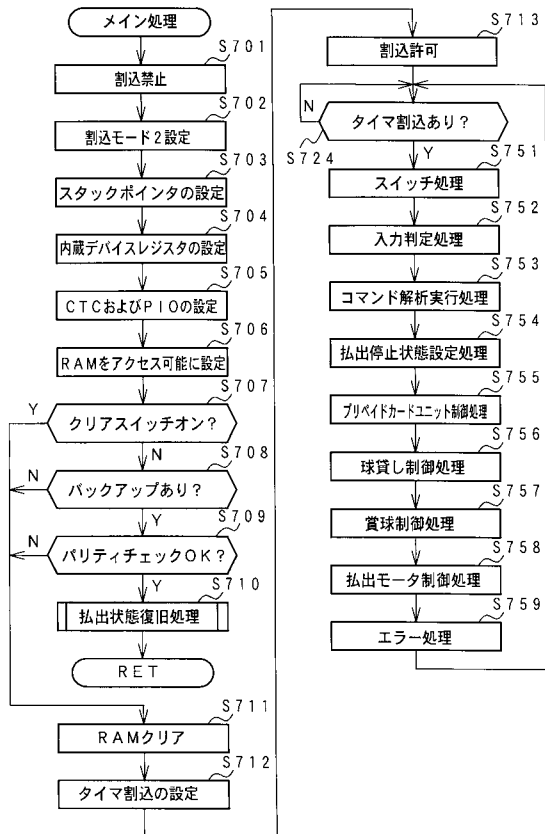


【 図 4 2 】

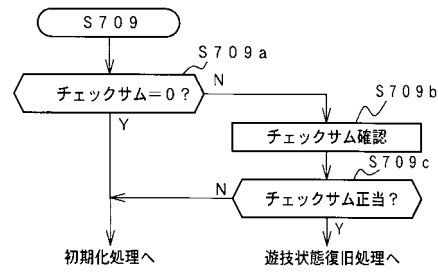




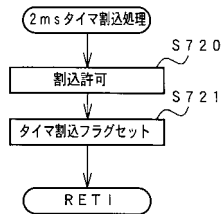
【図 47】



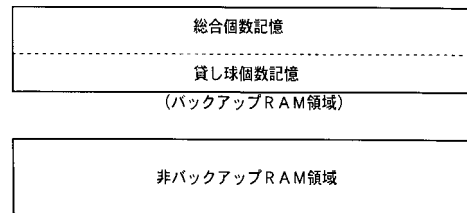
【図 48】



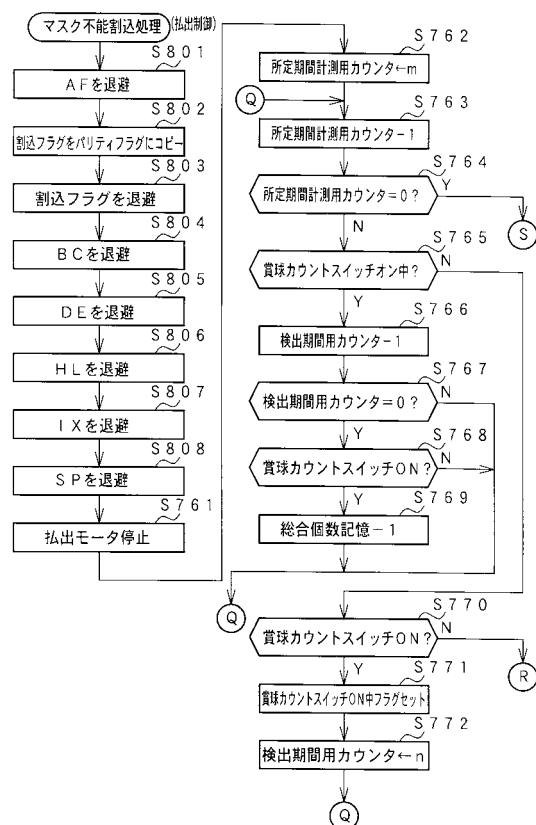
【図 49】



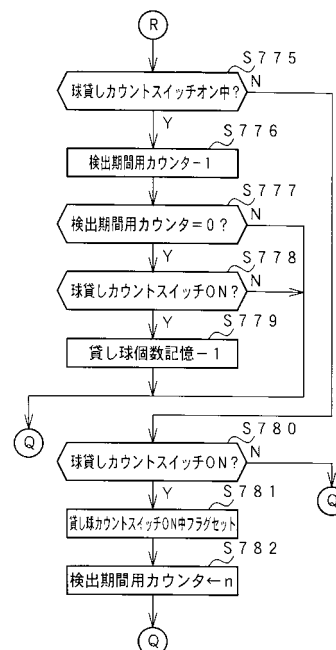
【図 50】



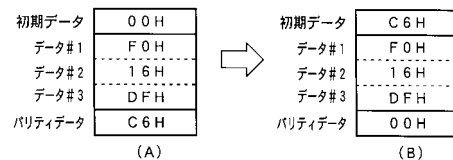
【図 51】



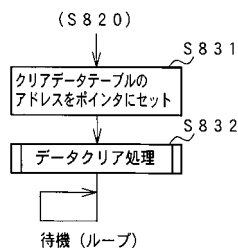
【図 52】



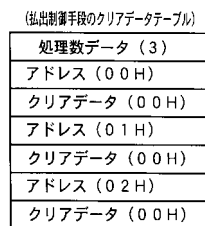
【 図 5 4 】



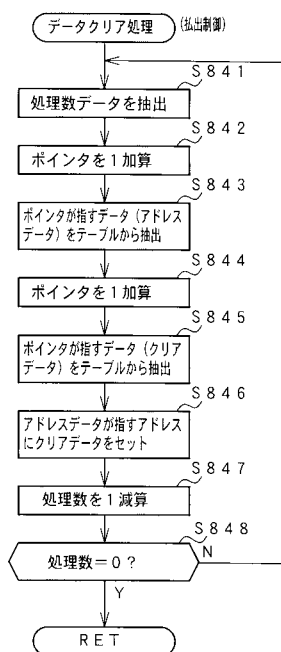
【 図 5 5 】



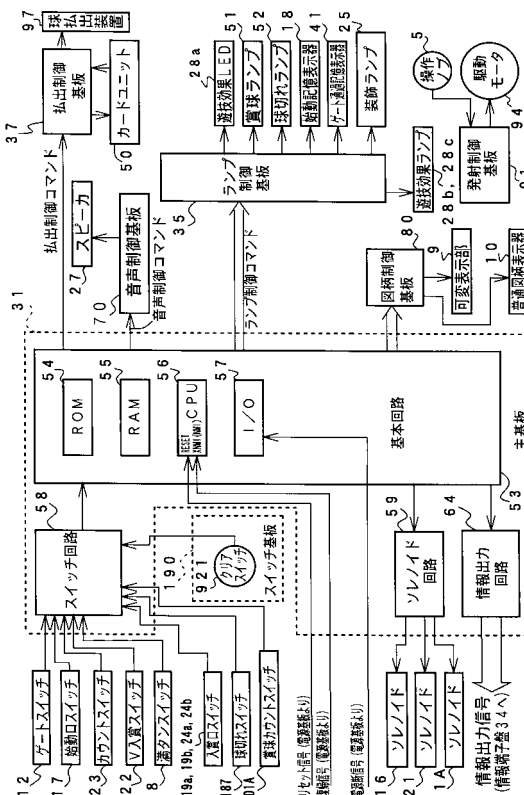
【 図 5 6 】



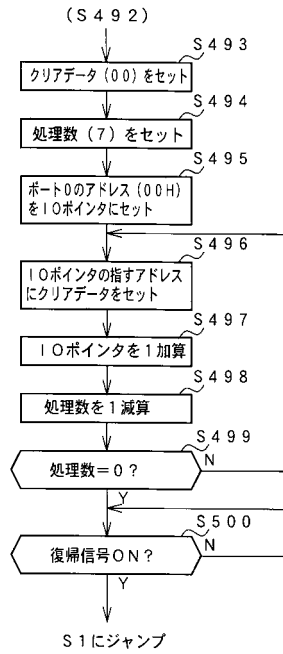
【 図 5 7 】



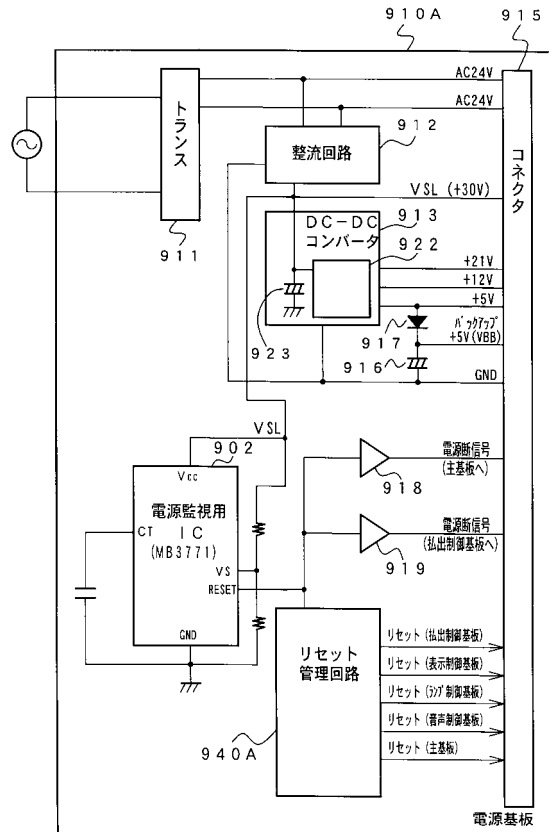
【 ㄨ 5 8 】



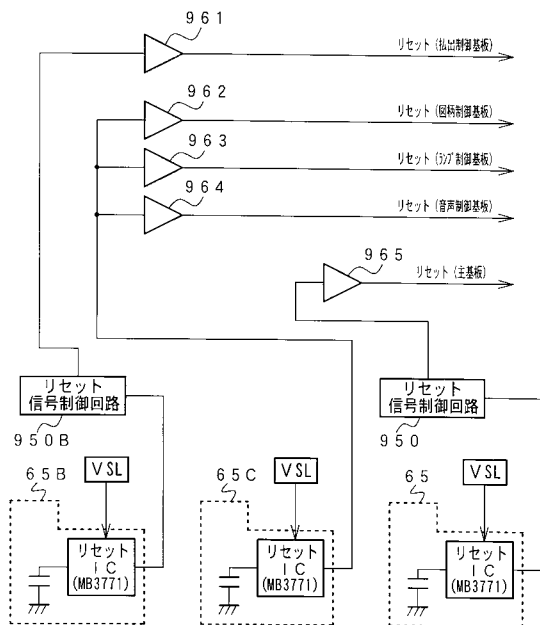
【図 59】



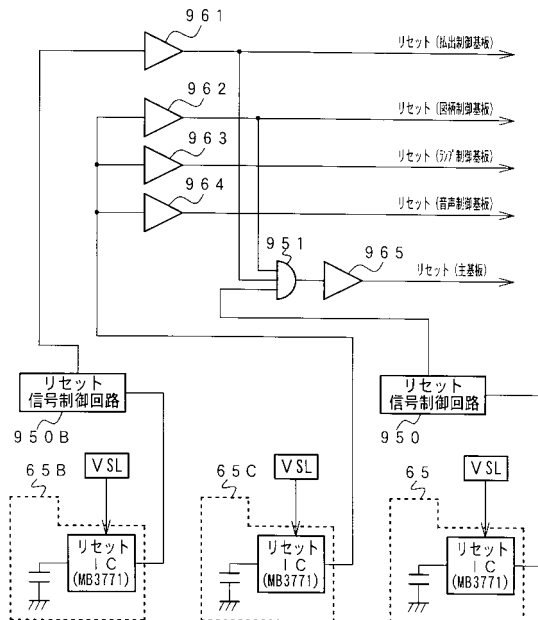
【図 60】



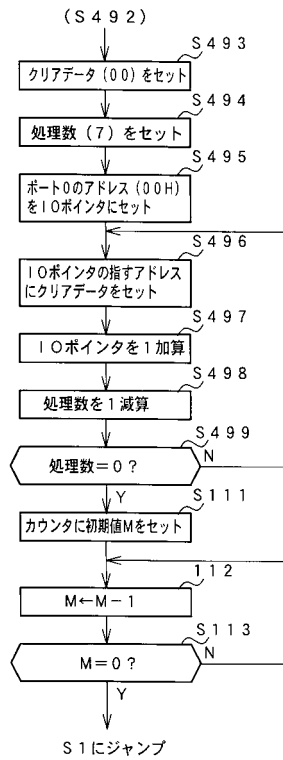
【図 61】



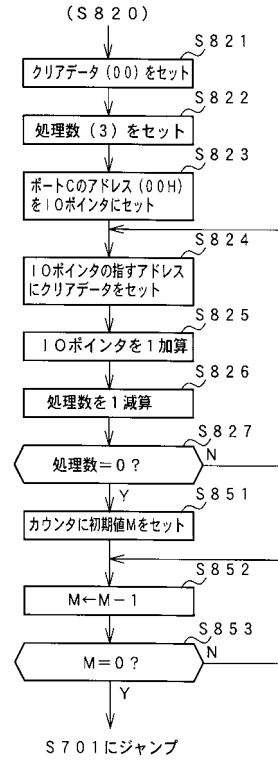
【図 62】



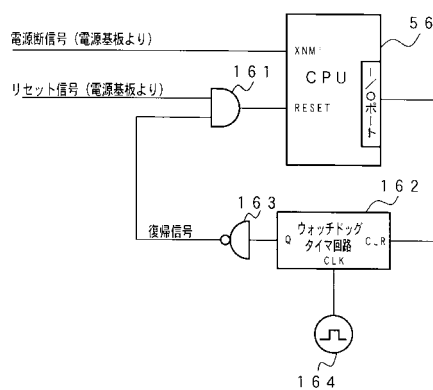
【図 6 3】



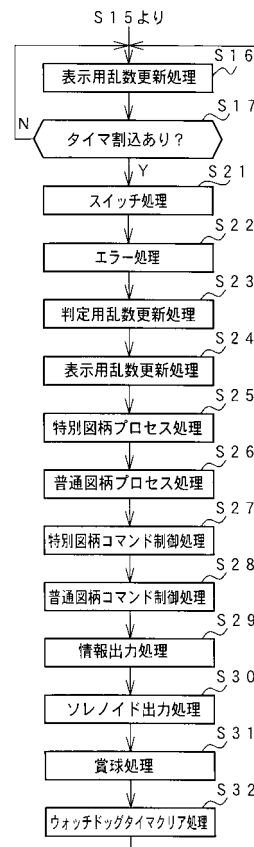
【図 6 4】



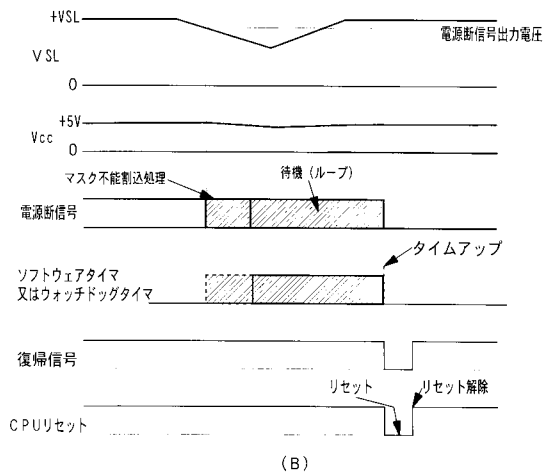
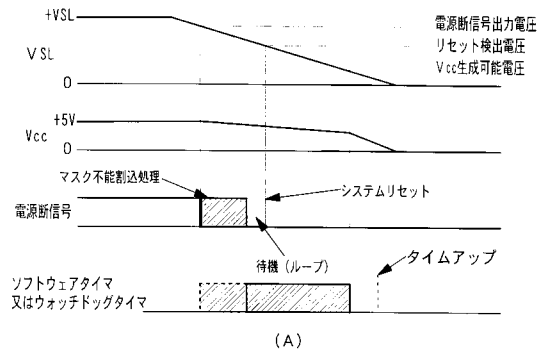
【図 6 5】



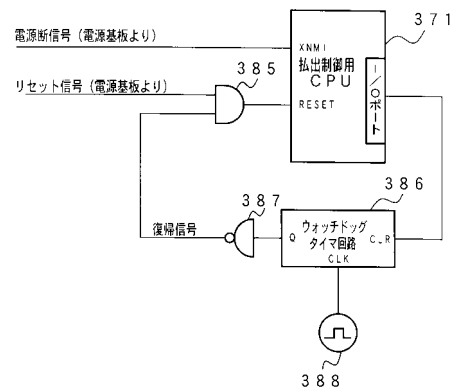
【図 6 6】



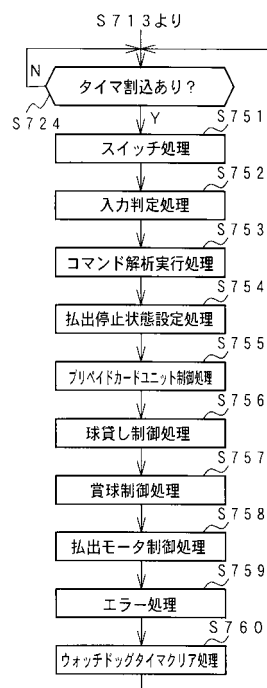
【図 67】



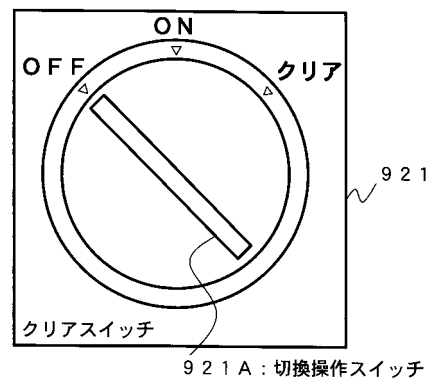
【図 68】



【図 69】



【図 70】





---

フロントページの続き

(72)発明者 近藤 武宏  
群馬県桐生市境野町6丁目460番地 株式会社三共内

審査官 澤田 真治

(56)参考文献 特開平10-003331(JP,A)  
特開平08-229208(JP,A)  
特開平05-027880(JP,A)  
特開平06-233867(JP,A)  
特開平10-118265(JP,A)  
特開昭62-143153(JP,A)  
特開昭63-078211(JP,A)  
特開昭60-058186(JP,A)  
特開2000-140336(JP,A)  
特開2000-271326(JP,A)

(58)調査した分野(Int.Cl., DB名)  
A63F 7/02