

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 4 月 24 日 (24.04.2014)



(10) 国际公布号
WO 2014/059565 A1

- (51) 国际专利分类号:
H01L 21/8238 (2006.01) H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2012/001542
- (22) 国际申请日: 2012 年 11 月 13 日 (13.11.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210395581.4 2012 年 10 月 17 日 (17.10.2012) CN
- (71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 殷华湘 (YIN, Huaxiang); 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。 闫江 (YAN, Jiang); 美国纽约州纽堡市蕾蒙娜路 30 号, New York 12550 (US)。 陈大鹏 (CHEN, Dapeng); 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。
- (74) 代理人: 中国专利代理 (香港) 有限公司 (CHINA PATENT AGENT (H.K.) LTD); 中国香港特别行政区

区湾仔港湾道 23 号鹰君中心 22 字楼, Hong Kong 100011 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条(3))。

(54) Title: METHOD FOR MANUFACTURING CMOS DEVICE

(54) 发明名称: CMOS 制造方法

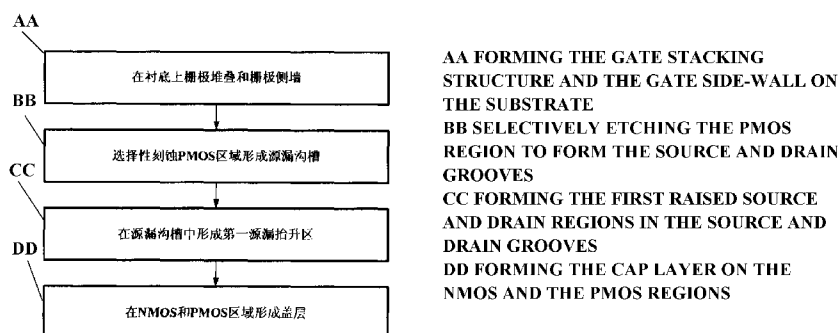


图6 / Fig. 6

(57) Abstract: A method for manufacturing CMOS device includes forming a gate stacking structure (3), (4) on an NMOS region and a PMOS region of a substrate (1); forming a gate side-wall (5) surrounding the gate stacking structure; selectively etching the PMOS region of the substrate to form source and drain grooves (1T) at two sides of the gate stacking structure; forming a first raised source and drain regions (1P) in the source and drain grooves; and forming a cap layer (7) on the NMOS region and the PMOS region of the substrate. This method for manufacturing CMOS device reduces the steps of processing and the cost and improves the reliability of the device.

(57) 摘要: 一种 CMOS 制造方法, 包括: 在衬底 (1) 上 NMOS 区域和 PMOS 区域形成栅极堆叠结构 (3)、(4); 在栅极堆叠结构周围形成栅极侧墙 (5); 选择性刻蚀 PMOS 区域衬底, 在栅极侧墙两侧形成源漏沟槽 (1T); 在源漏沟槽中形成第一源漏抬升区 (1P); 在衬底上 NMOS 区域和 PMOS 区域形成盖层 (7)。这种 CMOS 制造方法, 先选择性刻蚀、外延生长 PMOS 抬升源漏, 后全局选择性外延生长 NMOS 抬升源漏, 减少了工艺步骤, 降低了成本, 提高了器件的可靠性。

WO 2014/059565 A1

CMOS 制造方法

优先权要求

本申请要求了2012年10月17日提交的、申请号为201210395581.4、
5 发明名称为“CMOS制造方法”的中国专利申请的优先权，其全部内容
通过引用结合在本申请中。

技术领域

本发明涉及一种半导体器件制造方法，特别是涉及一种CMOS器件
10 源漏选择性外延的集成方法。

背景技术

从 90nm CMOS 集成电路工艺起，随着器件特征尺寸的不断缩小，
以提高沟道载流子迁移率为目的应力沟道工程（Strain Channel
15 Engineering）起到了越来越重要的作用。多种单轴工艺诱致应力被集
成到器件工艺中去，也即在沟道方向引入压应力或拉应力从而增强载
流子迁移率，提高器件性能。例如，在 90nm 工艺中，采用嵌入式 SiGe
（e-SiGe）源漏或 100 晶向衬底并结合拉应力蚀刻阻障层（tCESL）来
提供 pMOS 器件中的压应力；在 65nm 工艺中，在 90nm 工艺基础上进
20 一步采用第一代源漏极应力记忆技术（SMT^{*1}），并采用了双蚀刻阻障
层；45nm 工艺中，在之前基础上采用了第二代源漏极应力记忆技术
（SMT^{*2}），采用 e-SiGe 技术结合单 tCESL 或双 CESL，并采用了应力
近临技术（Stress Proximity Technique, SPT），此外还针对 pMOS 采用
110 面衬底而针对 nMOS 采用 100 面衬底；32nm 之后，采用了第三代
25 源漏极应力记忆技术（SMT^{*3}），在之前基础之上还选用了嵌入式 SiC
源漏来增强 nMOS 器件中的拉应力。

另一方面，32nm 以下工艺中，源漏接触电阻在整个器件的电阻中
所占比例越来越大，严重制约了器件性能提高。为了减小源漏接触电
阻，通常采取的方法是在源漏区上外延生长形成抬升的源漏区，或者
30 在接触区域形成金属硅化物。具体应用在前述应力沟道工程的基础上，
不仅要对于 PMOS 区的源漏选择性外延 SiGe，还要对于 NMOS 区的源
漏选择性外延 Si 或者 SiC。这种 NMOS、PMOS 均外延抬升的制造方

法通常是利用掩模或盖帽层，先在其中一种 MOSFET 区域刻蚀形成源漏沟槽并选择性外延形成一种材料的抬升源漏，随后沉积第二掩模或盖帽层，再在另一种 MOSFET 区域刻蚀形成源漏沟槽并选择性外延形成另一种材料的抬升源漏。此种制作方法利用两次掩模分别刻蚀、外延，需要的工序复杂，成本较高、耗时较多，且容易带来可靠性问题。

发明内容

由上所述，本发明的目的在于提供一种能低成本、高效的源漏选择性外延的 CMOS 制造方法。

10 为此，本发明提供了一种 CMOS 制造方法，包括：在衬底上 NMOS 区域和 PMOS 区域形成栅极堆叠结构；在栅极堆叠结构周围形成栅极侧墙；选择性刻蚀 PMOS 区域衬底，在栅极侧墙两侧形成源漏沟槽；在源漏沟槽中形成第一源漏抬升区；在衬底上 NMOS 区域和 PMOS 区域形成盖层。

15 其中，栅极堆叠结构是假栅极堆叠结构，包括垫氧化层和假栅极材料层，假栅极材料层包括多晶硅、非晶硅、微晶硅、非晶锗及其组合。

其中，选择性外延生长以形成第一源漏抬升区和/或盖层。

20 其中，选择性刻蚀 PMOS 区域衬底的步骤进一步包括：在整个器件上形成保护层；选择性刻蚀保护层，暴露 PMOS 区域的衬底；刻蚀 PMOS 区域暴露的衬底，形成源漏沟槽。

其中，源漏沟槽的剖面形态包括矩形、梯形、倒梯形、 Σ 形、D形、C形及其组合。

其中，盖层也作为 NMOS 区域的第二源漏抬升区。

25 其中，盖层包括 Si、Si:C。

其中，第一源漏抬升区包括 SiGe、SiGe:C。

其中，保护层包括氮化硅、氧化硅及其组合。

其中，形成第一源漏抬升区之后还包括去除保护层。

30 依照本发明的 CMOS 制造方法，先选择性刻蚀、外延生长 PMOS 抬升源漏，后全局选择性外延生长 NMOS 抬升源漏，减少了工艺步骤，降低了成本，提高了器件的可靠性。

附图说明

以下参照附图来详细说明本发明的技术方案，其中：

图1至图5为依照本发明的CMOS制造方法各步骤的剖面示意图；以及

5 图6为依照本发明的CMOS制造方法的示意性流程图。

具体实施方式

以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果，公开了能低成本、高效的源漏选择性外延的
10 CMOS制造方法。需要指出的是，类似的附图标记表示类似的结构，本申请中所用的术语“第一”、“第二”、“上”、“下”等等可用于修饰各种器件结构或制造工序。这些修饰除非特别说明并非暗示所修饰器件结构或制造工序的空间、次序或层级关系。

以下将结合图6的流程图并且参照图1至图5的剖面示意图来详细
15 说明依照本发明的半导体器件制造方法各步骤。

如图1所示，在衬底上形成（假）栅极堆叠结构。提供衬底1。衬底1依照器件用途需要而合理选择，可包括单晶体硅（Si）、绝缘体上硅（SOI）、单晶体锗（Ge）、绝缘体上锗（GeOI）、应变硅（Strained Si）、锗硅（SiGe），或是化合物半导体材料，例如氮化镓（GaN）、
20 砷化镓（GaAs）、磷化铟（InP）、锑化铟（InSb），以及碳基半导体例如石墨烯、SiC、碳纳管等等。优选地，衬底1为体Si或SOI以便与CMOS工艺兼容而用于制作大规模集成电路。

在衬底1中形成浅沟槽隔离（STI）2，例如先光刻/刻蚀衬底1形成浅沟槽然后采用LPCVD、PECVD等常规技术沉积绝缘隔离材料并
25 CMP平坦化直至露出衬底1，形成STI2，其中STI2的填充材料可以是氧化物、氮化物、氮氧化物等常规绝缘材料，还可以是 $\text{Bi}_{0.95}\text{La}_{0.05}\text{NiO}_3$ 、 BiNiO_3 、 ZrW_2O_8 、 $\text{Ag}_3[\text{Co}(\text{CN})_6]$ 等具有超大（正/负）热膨胀系数的材料（100K的温度下线性体积膨胀系数的绝对值大于 $10^{-4}/\text{K}$ ）以便通过应力STI2向沟道区施加应力从而进一步提高载流子
30 迁移率。STI2包围的区域构成有源区域，其中图1中左侧区域对应于NMOS区域，右侧区域对应于PMOS区域。图1中虽然NMOS区域与PMOS区域仅为一个且相邻，实际上依照版图设计需要，两种MOSFET

区域可以为多个，也可以不相邻。

在整个晶片表面也即衬底1和STI 2表面依次沉积栅极绝缘层3和栅极材料层4，并刻蚀形成位于有源区域内的栅极堆叠结构（3/4）。在本发明一个实施例中，采用后栅工艺，因此栅极堆叠结构是假栅极堆叠结构，将在后续工艺中去除。因此栅极绝缘层3优选为氧化硅的垫层；栅极材料层4是假栅极材料层，优选为多晶硅、非晶硅、微晶硅、非晶锗及其组合。

值得注意的是，除此之外，在本发明其他实施例中，可以采用前栅工艺，栅极堆叠结构将在后续工艺中保留。因此栅极绝缘层3优选为氧化硅、掺氮氧化硅、氮化硅、或其它高K材料，高k材料包括但不限于包括选自 HfO_2 、 HfSiO_x 、 HfSiON 、 HfAlO_x 、 HfTaO_x 、 HfLaO_x 、 HfAlSiO_x 、 HfLaSiO_x 的铪基材料（其中，各材料依照多元金属组分配比以及化学价不同，氧原子含量x可合理调整，例如可为1~6且不限于整数），或是包括选自 ZrO_2 、 La_2O_3 、 LaAlO_3 、 TiO_2 、 Y_2O_3 的稀土基高K介质材料，或是包括 Al_2O_3 ，以其上述材料的复合层；栅极材料层4则可为多晶硅、多晶锗硅、或金属，其中金属可包括Co、Ni、Cu、Al、Pd、Pt、Ru、Re、Mo、Ta、Ti、Hf、Zr、W、Ir、Eu、Nd、Er、La等金属单质、或这些金属的合金以及这些金属的氮化物，栅极材料层4中还可掺杂有C、F、N、O、B、P、As等元素以调节功函数。栅极材料层4与栅极绝缘层3之间还优选通过PVD、CVD、ALD等常规方法形成氮化物的阻挡层（未示出），阻挡层材质为 M_xN_y 、 $\text{M}_x\text{Si}_y\text{N}_z$ 、 $\text{M}_x\text{Al}_y\text{N}_z$ 、 $\text{M}_a\text{Al}_x\text{Si}_y\text{N}_z$ ，其中M为Ta、Ti、Hf、Zr、Mo、W或其它元素。更优选地，栅极材料层4与阻挡层不仅采用上下叠置的复合层结构，还可以采用混杂的注入掺杂层结构，也即构成栅极材料层4与阻挡层的材料同时沉积在栅极绝缘层3上，因此栅极导电层包括上述阻挡层的材料。

优选地，在栅极材料层4之上还可以进一步形成例如氮化硅等材质的硬掩模层或者盖帽层（未示出），以在后续刻蚀过程中保护栅极堆叠结构。优选地，可以在形成栅极堆叠结构之后，以此为掩模进行离子注入，使得衬底相应区域具有轻掺杂而构成源漏扩展区或者晕状源漏掺杂区（未示出）。

如图2所示，在（假）栅极堆叠结构3/4周围的衬底1上形成栅极侧墙5，并且在整个器件上形成保护层6。采用PECVD、HDPCVD等常规

沉积方法，在衬底1、栅极堆叠结构3/4上沉积氮化硅、氮氧化硅、类金刚石无定形碳(DLC)等材质的绝缘层，随后光刻/刻蚀形成栅极侧墙5。栅极侧墙5用于限定稍后源漏区的位置。通过PECVD、HDPCVD等方法，在整个器件上沉积氮化硅等材质的保护层6，覆盖了NMOS区域和

5 PMOS区域中的衬底1、栅极堆叠结构。

如图3所示，选择性刻蚀，在PMOS区域形成源漏沟槽。刻蚀去除PMOS区域的部分保护层6以暴露PMOS区域的衬底，仅在NMOS区域留下部分保护层6。随后采用TMAH湿法腐蚀或者氟基、氯基气体等离子干法刻蚀，在PMOS区域形成源漏沟槽1T。源漏沟槽1T的剖面形态可以

10 是矩形、梯形、倒梯形、 Σ 形（多段折线相连，朝向沟道区凹进，也即沟槽中部的宽度要大于顶部和/或底部的宽度）、D形（1/2曲线，曲线包括圆、椭圆、双曲线）、C形（大于1/2曲线，曲线包括圆、椭圆、双曲线）。源漏沟槽1T的深度优选地小于STI 2的厚度/深度。

如图4所示，形成第一抬升源漏区1P。通过CVD、UHVCVD、

15 HDPCVD、MBE、ALD、热分解等方法选择性外延生长，在PMOS区域的源漏沟槽中形成第一抬升源漏区1P，其顶部优选地高于衬底1顶部，其材质例如是适用于PMOS的SiGe、SiGe:C。优选地，可以在外延生长同时原位掺杂、或者外延生长之后执行离子注入，形成重掺杂源漏区（未示出），对于PMOS而言掺杂硼B、铝Al、镓Ga、铟In等。该

20 抬升源漏区1P可以有效降低PMOS区域的源漏接触电阻，此外还可以向PMOS沟道区施加应力，增大载流子迁移率。

如图5所示，去除保护层6，在NMOS区域和PMOS区域同时形成盖层。通过湿法腐蚀和/或干法刻蚀，去除NMOS区域剩余的保护层6。随后，在NMOS和PMOS的有源区上同时执行全局选择性外延，通过

25 PECVD、HDPCVD、MBE、ALD、热分解等方法选择性外延生长，在栅极堆叠结构两侧的衬底1以及第一抬升源漏区1P上形成盖层7，其材质例如是适用于NMOS的Si或者Si:C。该盖层7在NMOS区域也可以作为第二抬升源漏区1N。优选地，可以在外延生长同时原位掺杂、或者外延生长之后执行离子注入，形成重掺杂源漏区（未示出），对于NMOS

30 而言可以掺杂磷P、砷As、锑Sb等。在NMOS区域，该盖层7/抬升源漏区1N可以有效降低NMOS区域的源漏接触电阻，此外还可以向NMOS沟道区施加应力，增大载流子迁移率。

此后，可以执行后续工艺，例如沉积低k材料的层间介质层（ILD，未示出），刻蚀ILD形成源漏接触孔直至暴露抬升源漏区1N/1P，在源漏接触孔中形成金属硅化物，沉积金属填充形成源漏接触塞，最终完成器件制造。对于后栅工艺而言，可以在形成ILD之后，去除假栅极堆叠形成栅极沟槽，在栅极沟槽中沉积高k材料的栅极绝缘层和金属材料的栅极导电层构成的最终栅极堆叠结构，然后再执行后续的工艺。

此外，虽然本发明附图中仅显示了平面沟道的CMOS示意图，但是本领域技术人员应当知晓的是本发明也可应用于其他器件结构，例如立体多栅、垂直沟道、纳米线器件等。

10 依照本发明的CMOS制造方法，先选择性刻蚀、外延生长PMOS抬升源漏，后全局选择性外延生长NMOS抬升源漏，减少了工艺步骤，降低了成本，提高了器件的可靠性。

15 尽管已参照一个或多个示例性实施例说明本发明，本领域技术人员可以知晓无需脱离本发明范围而对器件结构做出各种合适的改变和等价方式。此外，由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此，本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例，而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

权 利 要 求

1. 一种CMOS制造方法，包括：
在衬底上NMOS区域和PMOS区域形成栅极堆叠结构；
5 在栅极堆叠结构周围形成栅极侧墙；
选择性刻蚀PMOS区域衬底，在栅极侧墙两侧形成源漏沟槽；
在源漏沟槽中形成第一源漏抬升区；
在衬底上NMOS区域和PMOS区域形成盖层。
2. 如权利要求1的方法，其中，栅极堆叠结构是假栅极堆叠结构，
10 包括垫氧化层和假栅极材料层，假栅极材料层包括多晶硅、非晶硅、微晶硅、非晶锗及其组合。
3. 如权利要求1的方法，其中，选择性外延生长以形成第一源漏抬升区和/或盖层。
4. 如权利要求1的方法，其中，选择性刻蚀PMOS区域衬底的步骤
15 进一步包括：
在整个器件上形成保护层；
选择性刻蚀保护层，暴露PMOS区域的衬底；
刻蚀PMOS区域暴露的衬底，形成源漏沟槽。
5. 如权利要求1的方法，其中，源漏沟槽的剖面形态包括矩形、梯
20 形、倒梯形、 Σ 形、D形、C形及其组合。
6. 如权利要求1的方法，其中，盖层也作为NMOS区域的第二源漏抬升区。
7. 如权利要求1的方法，其中，盖层包括Si、Si:C。
8. 如权利要求1的方法，其中，第一源漏抬升区包括SiGe、SiGe:C。
- 25 9. 如权利要求4的方法，其中，保护层包括氮化硅、氧化硅及其组合。
10. 如权利要求4的方法，其中，形成第一源漏抬升区之后还包括去除保护层。

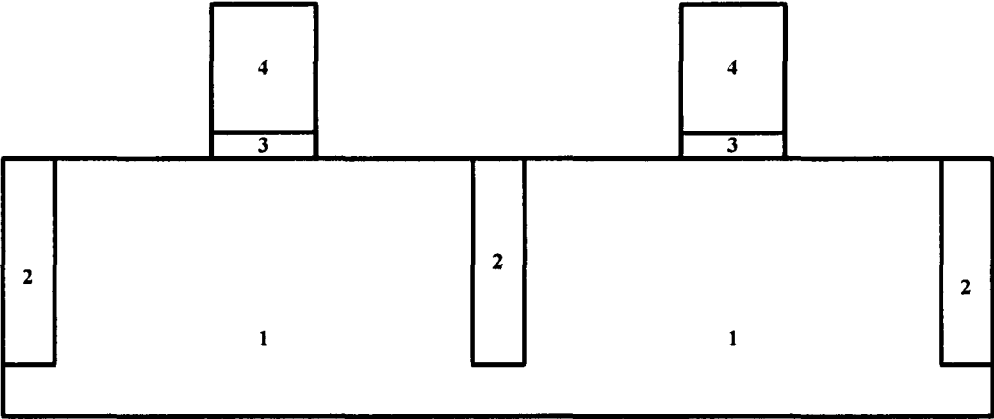


图1

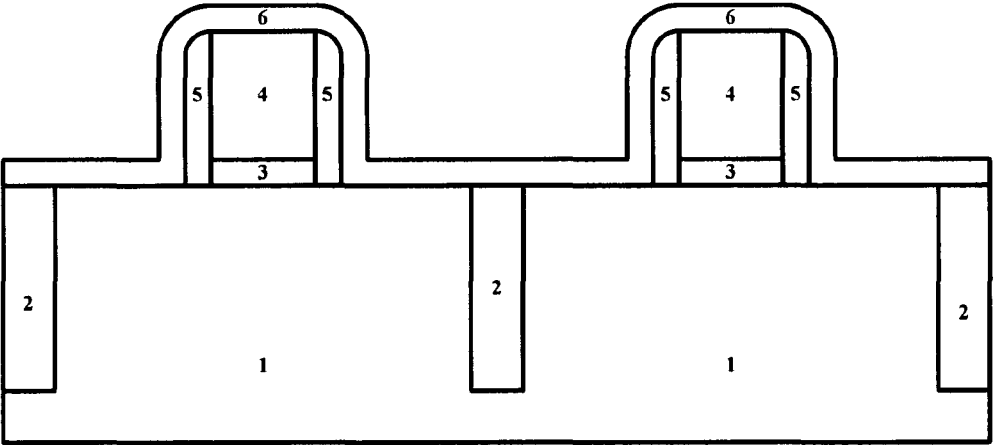


图2

2/3

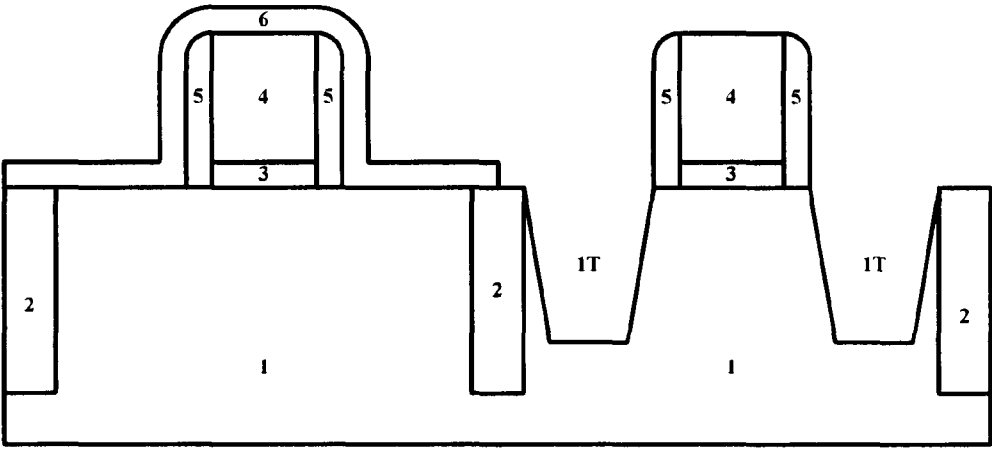


图3

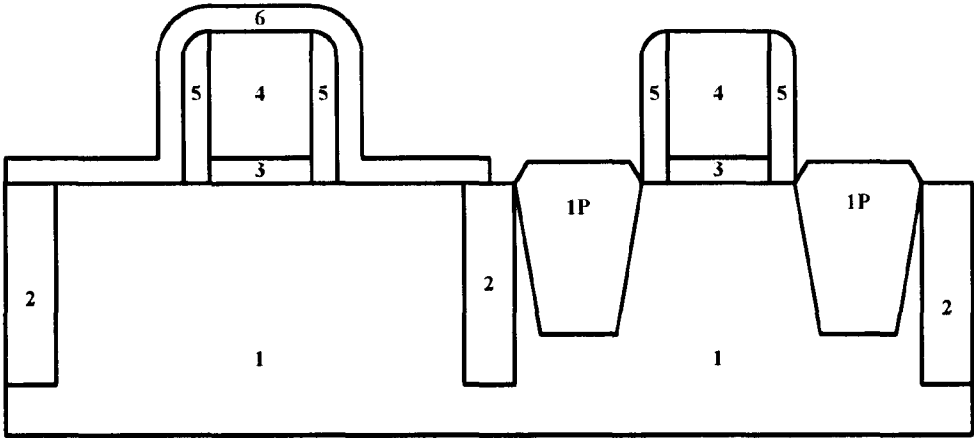


图4

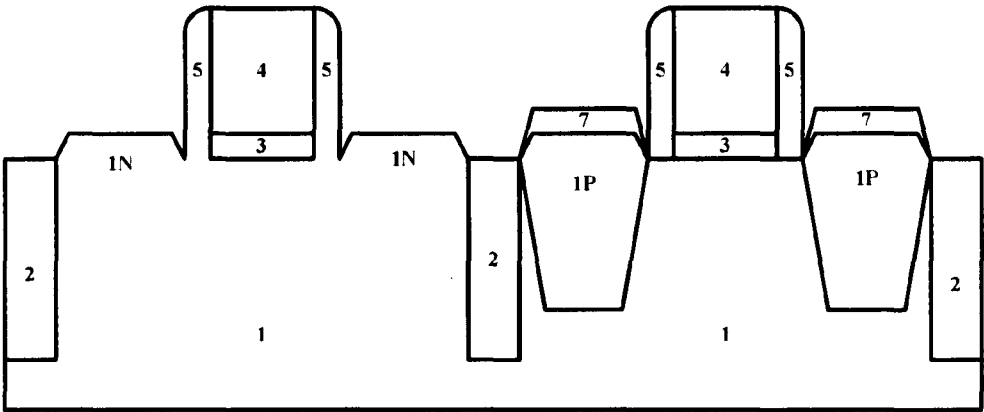


图5

3/3

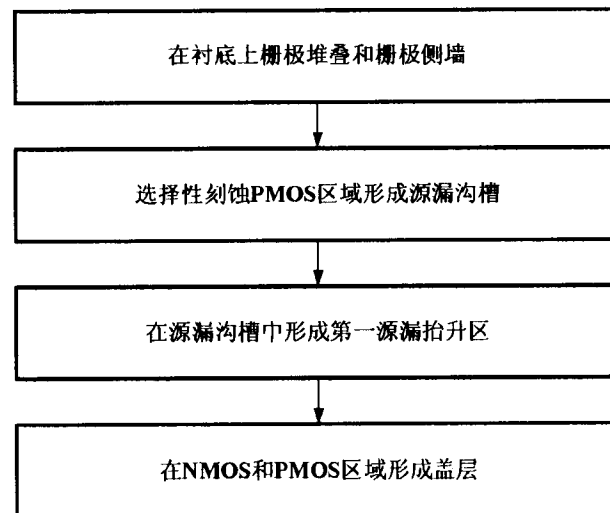


图6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/001542

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-, H01L 29/-, H01L 27/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI: elevated source/drain, gate, side wall, stress, memory, CMOS, transistor

DWPI, EPOQUE, IEEE: cmos, gate, spacer?, side w wall, source s drain s rais+, stress, pres+, transistor?

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2008/0217686 A1 (MAJUMDAR et al.), 11 September 2008 (11.09.2008), description, paragraphs [0038]-[0058], and figures 1-8	1-10
A	US 2012/0094448 A1 (YEH et al.), 19 April 2012 (19.04.2012), the whole document	1-10
A	CN 102315171 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.), 11 January 2012 (11.01.2012), the whole document	1-10
A	CN 1641846 A (INTERNATIONAL BUSINESS MACHINE CORP.), 20 July 2005 (20.07.2005), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 16 May 2013 (16.05.2013)	Date of mailing of the international search report 27 June 2013 (27.06.2013)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZHEN, Lijuan Telephone No.: (86-10) 62411856

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2012/001542

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2008/0217686 A1	11.09.2008	None	
US 2012/0094448 A1	19.04.2012	US 8357574 B2	22.01.2013
CN 102315171 A	11.01.2012	US 2012/0001238 A1	05.01.2012
		US 8216906 B2	10.07.2012
CN 1641846 A	20.07.2005	US 2005/0112811 A1	26.05.2005
		US 7060546 B2	13.06.2006
		CN 100346456 C	31.10.2007

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/001542

CONTINUATION: CLASSIFICATION OF SUBJECT MATTER

H01L 21/8238 (2006.01) i

H01L 21/336 (2006.01) i

A. 主题的分类		
参见附加页		
按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
IPC: H01L 21/-, H01L 29/-, H01L 27/-		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNPAT, CNKI: 源漏抬升、抬升源漏、栅、侧墙、应力、记忆、CMOS、晶体管;		
DWPI, EPOQUE, IEEE: cmos, gate, spacer?, side w wall, source s drain s rais+, stress, pres+, transistor?。		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US2008/0217686 A1 (MAJUMDAR 等) 11.9 月 2008(11.09.2008) 说明书第[0038]-[0058]段, 图 1-8	1-10
A	US2012/0094448 A1 (YEH 等) 19.4 月 2012(19.04.2012) 全文	1-10
A	CN102315171 A (台湾积体电路制造股份有限公司) 11.1 月 2012(11.01.2012) 全文	1-10
A	CN1641846 A(国际商业机器公司) 20.7 月 2005(20.07.2005) 全文	1-10
☐ 其余文件在 C 栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件		“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件
国际检索实际完成的日期 16.5 月 2013(16.05.2013)		国际检索报告邮寄日期 27.6 月 2013 (27.06.2013)
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451		授权官员 甄丽娟 电话号码: (86-10) 62411856

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/001542

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2008/0217686 A1	11.09.2008	无	
US2012/0094448 A1	19.04.2012	US8357574 B2	22.01.2013
CN102315171 A	11.01.2012	US2012/0001238 A1	05.01.2012
		US8216906 B2	10.07.2012
CN1641846 A	20.07.2005	US2005/0112811 A1	26.05.2005
		US7060546 B2	13.06.2006
		CN100346456 C	31.10.2007

续：主题的分类

H01L 21/8238 (2006.01) i

H01L 21/336 (2006.01) i