

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 27/00

(45) 공고일자 1990년01월23일
(11) 공고번호 특1990-0000171

(21) 출원번호	특1985-0001895	(65) 공개번호	특1985-0006785
(22) 출원일자	1985년03월22일	(43) 공개일자	1985년10월16일
(30) 우선권 주장	55501 1984년03월23일 일본(JP)		
(71) 출원인	후지쓰 가부시끼가이샤 야마모도 다쿠마 일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 1015반지		
(72) 발명자	다케마에 요시히로 일본국 도오쿄오도 미나토꾸아까사까 8-13-24-303 나카노 도미오 일본국 가나가와켄 와사끼시 미야마에 쿠시라하따다이 1-11-2, 12-404-고오 다데마쓰 다케오 일본국 가나가와켄 요코하마시 미도리구 도오까이지바 쥬요 727-1, 에스페란사 다이-도오까이지바 102고오 쓰게 노리히사 일본국 가나가와켄 가마쿠라시 자이모꾸자 5-6-14 오가와 준지 일본국 도오쿄오도 오오다꾸미나미센쥬꾸 1-8-17, 207 호리이 다카시 일본국 가나가와켄 가와사끼시 나가하라 구가미고다나카 847-101 야시오소오 후지 야스히로 일본국 가나가와켄 요코하마시 미도리 구후지가오까 2-1 다이3 후지가오까료오 나카노 마사오 일본국 가나가와켄 가와사끼시 다카스꾸 히사스에 473-4		
(74) 대리인	장용식		

심사관 : 유한열 (책자공보 제1726호)

(54) 퓨우즈형 정보기억회로를 갖춘 반도체집적회로장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

퓨우즈형 정보기억회로를 갖춘 반도체집적회로장치

[도면의 간단한 설명]

제1도는 일반적 용장성제어회로(redundancy control circuit)의 블록회로도.

제2도와 제3도는 종래기술정보기억회로에 포함되어 있는 퓨우즈형 롬(ROM)의 회로도.

제4도는 제2도 및 제3도의 퓨우즈의 평면도.

제5a와 b도는 제4도의 V-V 선을 따라 절단한 단면도.

제6도는 본 발명에 따른 정보감지(information sensing)회로의 실시예에 포함된 퓨우즈형 롬의 회로도.

증가되는 것이 더욱 바람직하다.

본 발명의 다른 목적 및 특징에 관하여 첨부된 도면을 참조하여 상세히 기술하겠다.

제1도는 일반적인 용장성제어회로를 도시하고 있다. 용장성제어회로는 각각이 어드레스 신호($A_0, \overline{A_0}; A_1, \overline{A_1}; \dots; A_n, \overline{A_n}$)를 각각 수신하는 퓨우즈형(1-0, 1-1, ..., 1-n)을 포함하고 있다. 각각의 롬은 결합된 행 또는 열(이하 결합 어드레스라함)에 대응되는 1비트 어드레스 대응정보에 따라서 용단되거나 용단되지 않으며 출력(S_0, S_1, \dots, S_n)중 하나에 접속되는 내부논리스위칭 트랜지스터를 정보와 대응되는 1비트의 어드레스신호가 일치할 때 비도통되도록 하는 1개의 퓨우즈를 포함한다. 그러므로 어드레스 신호($A_0, \overline{A_0}; A_1, \overline{A_1}; \dots; A_n, \overline{A_n}$)로서 정해지는 입력어드레스가 결합어드레스와 일치할 때 롬(1-0, 1-1, ..., 1-n)의 모든 출력(S_0, S_1, \dots, S_n)이 고레벨이 되어 용장성제어회로의 출력(Sd)이 고레벨이 된다. 출력(Sd)의 고레벨에 응하여 정상메모리셀을 위한 모든 정상 디코더(도시되지않음)불능상태가 되며, 추가적으로 용장성 행 또는 열이 선택된다. 역으로 A_0 와 $\overline{A_0}$ 와 같은 어드레스 신호중 적어도 한쌍이 롬(1-0)에 기억된 내용과 상위할 때 그의 출력(S_0)은 저레벨이 된다. 이경우에 부하로서의 역할을 하는 디플리이션형 트랜지스터(Q_1)의 전도성이 조절되어 용장성제어회로의 출력(Sd)이 저레벨이 된다. 결과적으로 정상메모리셀을 위한 정상디코더는 불능상태가 되지 않으며 용장성 행 또는 열이 선택되지 않는다. 다음에 결합이 있는 정상메모리셀을 용장성 행 또는 열로 대치된다.

본 발명의 바람직한 실시예를 기술하기전에 참고로 종래 기술에 대하여 기술하겠다. 전자공학(Electronics 1981.7.28,p129)에 밝힌 내용을 참고하여 종래기술의 롬(1-i)의 예가 제2도에 도시되었다. 제2도에서 프로그램회로(2)는 부하로서 역할을 하는 디플리이션형 트랜지스터(Q_{21}), 프로그램 신호(P)를 수신하는 엔헨스먼트형 트랜지스터(Q_{22}) 및 어드레스신호($\overline{A_1}$)를 수신하는 엔헨스먼트형 트랜지스터(Q_{23})를 포함하고 있다. 정보기억소자(3)는 퓨우즈(F), 프로그램회로(2)에 의하여 온되는 엔헨스먼트형 트랜지스터(Q_{31}) 및 부하로서 기능을 하는 디플리이션형(Q_{23})을 포함하고 있다. 변환기(4)는 부하로서 기능을 하는 디플리이션형 트랜지스터(Q_{41})와 엔헨스먼트형 트랜지스터(Q_{42})를 포함하고 있다. 어드레스 일치 검출회로(5)는 어드레스신호($A_1, \overline{A_1}$)를 각각 수신하는 엔헨스먼트형 트랜지스터(Q_{51}, Q_{52})변환기(4)를 경우하여 정보기억소자의 출력을 수신하는 엔헨스먼트형 트랜지스터(Q_{53}) 및 정보기억소자(3)의 출력을 수신하는 엔헨스먼트형 트랜지스터(Q_{54})를 포함하고 있다. 제2도에서 프로그램신호(\overline{P})와 어드레스신호($\overline{A_1}$)가 모두 낮을 때 트랜지스터(Q_{31})는 온되어 큰 전류가 퓨우즈(F)로 통과하여 퓨우즈(F)를 용단한다. 다음에 데이터("1")를 기입함에 실행된다. 정보기억회로(3)의 출력이 어드레스신호($A_1, \overline{A_1}$)와 일치할 때, 어드레스 일치검출회로(5)는 고레벨출력신호(S_1)를 발생한다.

제2도에서 트랜지스터(Q_{22}, Q_{23})가 모두 컷오프일때 트랜지스터(Q_{31})를 완전히 온되도록 $V_{pp} > V_{CC}$ 로 되어 있어 퓨우즈(F)가 쉽게 용단된다는 것을 주목해야 한다.

전자공학(Electronics, 1981.7.28,p123)에 밝힌 내용을 참고로 하여 종래 기술의 롬(1-i)의 다른예에 대하여 설명하겠다. 제3도에서 정보기억회로(3')는 래치회로를 포함한다. 즉 엔헨스먼트형 트랜지스터(Q_{33}), 디플리이션형트랜지스터(Q_{34}), 및 엔헨스먼트형 트랜지스터(Q_{35})가 제2도의 디플리이션형 트랜지스터(Q_{32}) 대신 제공되어 퓨우즈(F)의 용단 및 비용단 저항비율의 허용치를 증가시킨다.

제2도 및 제3도에 도시된 바와 같은 퓨우즈(F)는 예컨데 제4도에 도시된 바와 같은 다결정실리콘(SI)을 포함하고 있다. 다결정실리콘(SI)은 접속영역(CONT)을 경우하여 전도층으로서 역할을 하는 알루미늄층(AL)에 접속된다. 퓨우즈(F)의 용단부는 예컨데 폭이 $2\mu m$, 길이가 $8\mu m$ 이다. 제5a에 도시된 바와 같이 용단부에 다결정실리콘(SI)이 노출되어 용단공정중에 용단되는 다결정실리콘이 증발되어 접속이 재상되는것 즉 용단상태에서 비용단상태로 회복되는 것을 피한다. 이 경우에 다결정실리콘 서브스트레이트(substrate)(L_0)속으로 침투하는 소듐 이온(sodium ion)등의 함유물이 증가하여 회로동작에 간섭하게 된다.

한편 제5b도에 도시된 바와 같이 용단부가 절연층으로 덮여있는 동안 용단의 실현이 가능하다. 그러나 이 경우에 용단부의 다결정실리콘이 그 증발을 완료하지 못하므로 용단되는 다결정실리콘의 재생될 위험이 증가된다.

제5a도 및 제5b도에서 L_1, L_2, L_3 는 이산화실리콘(SiO_2) 또는 인규산유리(PSG)등의 절연층을 표시하고 있음을 주목해야 한다.

일정한 경우에 용단된 퓨우즈의 전기적으로 재상되는 결함이 초래되는 주요한 현상은 용단갭 양단의 고전계로 인하여 여분의 퓨우즈 물질의 이동이다. 퓨우즈는 항상균일하게 또는 완전하게 용단되는 것이 아니다.

용단갭이 극히 좁을지라도(예컨데 수백 Å) 용단 퓨우즈의 단자사이의 고전기적저항이 존재한다. 일반적으로 프로그램단계에서 용단된 퓨우즈 갭의 협소함을 검출한다는 것은 어렵다. 결과적으로 용단된 퓨우즈의 협소한 갭(gap)은 미리 식별될 수 없다. 전력공급전압(예컨데 5V)이 용단된 퓨우즈의 단자 사이에 인가될 때 강전계가 협소갭에 인가된다. 결과적으로 전도물질 즉 퓨우즈(F)를 형성하는 다결정실리콘이 전계방향을 따라 점차 제거되므로써 퓨우즈(F)에서 단락회로를 형성한다. 상기의 이동에 의하여 야기된 용단 퓨우즈의 전기적 회복은 전계의 강함에 의존한다. 낮은 강도의 전계에 대

해서는 전기적회복에 대한 효과는 실제로 무시할 수 있다. 한편 더 강한 전계는 회복을 야기한다. 전계의 세기가 증가함에 따라 회복이 발생할 가능성이 극적으로 증가하여 열등한 반도체 IC장치를 초래한다.

본 발명은 용단 퓨우즈의 회복의 반대효과에 대하여 보호되는 반도체 IC장치의 개선에 관한 것이다.

제6도는 정보기억회로(3)를 포함하고 있는 반도체 IC 회로의 실시예의 회로도이다.

제6도에서 롬(1-i)을 포함하고 있는 반도체 IC 회로는 전압전송선(V_{cc})(C_{cc} 는 또한 전력공급전압을 가 르킴)과 접지(GND)사이에서 접속되어 있으며 퓨우즈(F)의 한쪽단자에 접속되는 출력단을 갖추고 있는 전압레벨 전환회로(10); 및 퓨우즈(F)의 한쪽단자에 접속되는 플로브패드(probingpad)(20)를 갖추고 있다. 제6도에서 다른 소자로는 제2도의 것과 실제로 동일하며 제2도에서와 동일한 참조번호로 표시 되었다.

프로그램이 실행되어 결합메모리 행 또는 열의 정보를 기억할 때 전력공급전압 예컨대 5V 또는 전압 (V_{cc})보다 더 높은 프로그램전압(V_{pp})의 전압을 갖는 플로브는 플로브패드(20)에 접속되어 있다. 퓨 우즈(F)는 프로그램신호(\bar{P})가 어드레스신호(\bar{A}_1)가 일치하여 트랜지스터(Q_{31})가 온될때 퓨우즈를 통과 하는 큰 전류에 의하여 용단된다.

그후에 용단된 퓨우즈(F)의 한쪽 단자에 전압레벨변환회로(10)로부터 전압(V_{cc})가 공급된다. 전압레 벨변환회로(10)는 전력공급전압(V_{cc})보다 더 낮은 전압(V_{cc}')을 출력한다.

제7도는 실시예의 전압레벨변환회로(10)의 회로도이다. 제7도에서 전압레벨변환회로(10)는 직렬접속 디폴리이션형 트랜지스터(Q_{71})와 엔헨스먼트형트랜지스터(Q_{72} 내지 Q_{74})를 포함하고 있다. 또한 전압레 벨변환회로(10)는 직렬접속엔헨스먼트형 트랜지스터(Q_{75})와 디폴리이션형 트랜지스터(Q_{76})로 구성되었 다. 디폴리이션형 트랜지스터(Q_{71})의 드레인은 전압전송선(V_{cc})에 접속되어 있으며 트랜지스터(Q_{71})의 게이트와 소오스는 노드(N_1)에 접합된다. 각각의 트랜지스터(Q_{72} 내지 Q_{74})의 게이트와 드레인은 접속 된다. 트랜지스터(Q_{74})의 소오스는 접지(GND)에 접속된다. 그러므로 전압전송선(V_{cc})와 접지(GND)사이 에 제공된 직렬접속트랜지스터(Q_{71} 내지 Q_{74})는 전압분배기로서 기능을 한다. 트랜지스터(Q_{71})는 전류 제한소자로서 기능을 한다. 트랜지스터(Q_{75})의 드레인은 전압전송선(V_{cc})에 접속되고, 그의 게이트는 노드(N_1)에 접속되어 전류제어소자로서 기능한다. 트랜지스터(Q_{76})의 드레인은 트랜지스터(Q_{75})의 소 오스에 접속되며 그의 공통접속점은 용단 퓨우즈(F)의 한쪽단자에 접속된다. 트랜지스터(Q_{75})의 게이 트와 소오스는 둘다 접지(GND)에 접속된다. 결과적으로 트랜지스터(Q_{76})는 강하 저항기(dropping resistor)로서 기능을 한다.

엔헨스먼트형트랜지스터(Q_{72} 내지 Q_{75})는 1V의 게이트 드레시호올드전압을 각각 가지며 디폴리이션형 트랜지스터(Q_{71} , Q_{76})보다 충분히 더 큰 게이트 폭을 갖는다.

제8도는 전력공급전압(V_{cc})과 노드(N_1)에서의 전압(V_{N1}) 및 출력단에서의 전압(V_{cc})사이의 관계의 특성 그래프이다. 전력공급전압(V_{cc})이 증가할 때 노드에서의 전압(V_{N1})은 증가할 것이다. 출력단에서의 전압(V_{cc}')은 전압(V_{cc})이 6V에 증가에 따라 증가한다. 전압(V_{cc})이 3V를 초과할 때 트랜지스터(Q_{71})를 통과 하는 전류는 제한되어 전압(V_{N1})이 3V로 유지된다. 결과적으로 트랜지스터(Q_{75})를 통과하는 전류는 일 정치로 유지되어 전압(V_{N1})보다 1V 더 낮은 전압을 갖는 전압(V_{cc}') 즉 부하의 변화에 관계없이 퓨우 즈(F)의 용단 또는 비용단 상태에 관계없이 $V_{cc}'=2V$ 이다.

정보를 프로그램 한 후에 퓨우즈(F)의 1단자는 전압(V_{c1})_F보다 더 낮은 즉 $V_{cc}'=2V$ 및 $V_{cc}'=5V$ 인 전압 (V_{cc}')이 제공된다. 따라서 퓨우즈(F)의 용단부에 인가될 수 있는 전계는 상당히 줄어든다. 결과적으 로 용단퓨우즈형 정보기억회로를 포함하고 있는 반도체 IC장치의 신뢰성을 개선한다.

한편 전압레벨변환회로로부터의 출력전압(V_{cc}')이 가능한 한 낮게 하여 고전계로 인한 이동효과를 억 제하는 것이 바람직하다. 다른 한편 정보검출회로로서 변환기(4)에서 퓨우즈의 용단 또는 비용단 상 태를 감지하기에 충분한 소정치에 전압(V_{cc}')은 있어야 한다. 즉 전압(V_{cc}')은 변환기(4)에 구동 트랜 지스터(Q_{42})의 드레시호올드(V_{TH})보다 더 높아야만한다. 퓨우즈가 용단되었는지 아닌지에 관계없이 전 압(V_{cc}')은 상기의 소정레벨에 유지되는 것이 바람직하다.

변환기(4)는 전력공급전압(V_{cc})보다 트랜지스터(Q_{35})의 드레시호올드전압(V_{TH})만큼 더 낮은 감지된 신 호를 퓨우즈(F)의 다른쪽 단자에서의 전압에 응하여 트랜지스터(Q_{53})의 게이트에 출력한다. 퓨우즈 (F)의 다른 단자에 접속된 게이트를 갖는 트랜지스터(Q_{44})를 포함하고 있는 게이트회로(5)는 다른 단 자의 전압레벨에 따라서 노드(S_1)에서의 전압(V_{cc})에 대응되는 레벨을 갖는 논리신호를 출력한다. 즉 변환기(4)와 회로(5)중에 어느 하나는 전압(V_{cc}')에 대응하는 상당히 낮은 레벨을 갖는 퓨우즈(F)의 다른단자의 전압에 기하여 다른 내부회로를 구동하는데 필요한 전력공급전압(V_{cc})에 대응되는 레벨을 갖는 논리신호를 제공하는 정보감지 및 신호레벨변환회로로서 실제로 기능을 한다. 제9도는 전압레 벨변환회로(10')의 다른 실시예의 회로도이다. 제9도에서 전압레벨변환회로(10')는 더우기 엔헨스먼트 형트랜지스터(Q_{75})에 병렬 접속되는 엔헨스먼트형트랜지스터(Q_{85}), 직렬로 접속되는 엔헨스먼트형트 랜지스터(Q_{82} 내지 Q_{84}) 및 노드(N_2)에서 트랜지스터(Q_{82})의 소오스에 결합되는 직렬접속 엔헨스먼트

형트랜지스터(Q₈₁)를 포함하고 있다. 트랜지스터(Q₈₅)의 게이트는 노드(N₂)에 접속된다. 트랜지스터(Q₇₁ 내지 Q₇₅)는 제7도에 도시된 전압레벨변환회로(10)에 있는 것과 동일하며 동일참조번호로 표시되었다.

출력노드와 2개의 전력공급선 사이의 낮은 전압을 출력하는 적절한 전압시프트(shift)수단이 사용된다면 전압레벨변환회로(10)는 2전력공급(V_{cc})과 접지중 단 하나에만 접속되도록 더욱 개선될 것이다.

제10도는 전력공급전압(V_{cc})과 노드(N₁)에서의 전압(V_{N1}), 노드(N₂)에서의 전압(V_{N2}) 및 출력단자에서의 전압(V_{cc}')사이의 관계의 특성 그래프이다. 전압(V_{cc})이 3V에 도달할때까지 전압(V_{c1})_N 전압(V_{N1}, V_{cc}')사이의 관계는 전압(N₂)이 제로이며 트랜지스터(Q₈₅)가 여전히 오프이기 때문에 제8도에서의 것과 유사하다.

전압(V_{cc})이 3V를 초과하여 증가할 때 전압(V_{N2})은 증가하지만 전압(V_{N1})은 전에 언급한 바와 같이 3V로 유지된다. 그러나 전압(N₂)은 트랜지스터(Q₈₅)를 온할만큼 충분하지 못하므로 전압(V_{cc}')은 2V로 유지된다.

전압(V_{cc})이 6V를 초과할 때 전압(V_{N2})은 3V에 도달하여 충분히 트랜지스터(Q₈₅)을 온시킨다. 따라서 저항기로서 기능을 하는 디플리이션형 트랜지스터(Q₇₆)를 통과하는 전류는 증가하여 전압(V_{cc}')을 상승시킨다. 이것은 제7도에 도시된 전압레벨변환회로(10)의 동작과 상위하다.

전압(V_c) 상승에 따라 전압(V_{cc}')을 선형적으로 상승한다.

명백히 정상동작모드에서 두개의 전압레벨변환회로(10, 10')에서의 전력공급전압(V_{cc})의 비율치는 동일하다.(예컨데 V_{cc}=5V) 따라서 제9도에 도시된 전압레벨변환회로(10')로 부터의 출력전압(V_{cc}')은 전압(V_{cc})이 비율치일 때 제7도에 도시된 전압레벨변환회로(10')로부터의 출력전압(V_{cc}')만큼 낮으므로 전압레벨변환회로(10')로부터 위 출력전압(V_{cc}')은 또한 고전계로 인한 퓨우즈 물질의 역이동효과를 감소하는데 공헌한다. 추가적으로 전압레벨변환회로(10')는 비율치보다 더 높은 전압(V_{cc})(예컨데 7V)을 인가함으로써 문제의 반도체 IC장치의 신뢰성을 조사하고, 스크린 테스트 및 가속테스트를 하는데 유용하다. 제11도는 래치형 정보기억회로(3')를 포함하고 있는 반도체 IC 회로의 다른 실시예의 회로도이다. 제11도에서 반도체 IC 장치내의 롬(1-i)은 제3도에 도시된 것과 대응되며, 회로소자는 동일참조번호를 사용하고 있다. 다른 실시예에서와 같이 반도체(IC)는 전압레벨변환회로(10)와 플로브패드(20)를 포함하고 있다. 전압레벨변환회로(10)와 플로브패드(20)의 출력단자는 래치형회로(3')내의 용단 또는 비용단 퓨우즈(F)의 한쪽 단자에 둘다 접속되어 있다.

명백히 이해되는 바와 같이 제7도에 도시된 전압레벨변환회로(10) 또는 제9도에 도시된 전압레벨변환회로(10')는 제11도에 도시된 전압레벨변환회로(10)에 대하여 인가 가능하다.

용단퓨우즈에 의하여 정보를 기억하고 기억된 정보를 가지며 및 반도체 IC 장치의 선택적 테스트동작은 상기에서 기술한것과 유사하다. 따라서 그 설명이 생략되었다. 상기의 실시예와 상위한 보다 폭넓은 본 발명의 실시예가 본 발명의 정신과 목적을 벗어나지 않는 한 제조될 수 있다. 본 발명은 본 명세서에 기술된 특성의 실시예에 국한되지 않는다는 것을 이해해야만 할 것이다.

(57) 청구의 범위

청구항 1

제1 및 제2전압전송수단 사이에 접속된 반도체집적회로장치에 있어서, 퓨우즈를 용단(blow)하거나 용단하지 않음으로써 정보를 기억하는 상기 퓨우즈를 포함하고 있는 정보기억수단; 제1 및 제2전압전송수단중 적어도 하나에 접속되어 있으며 제1 및 제2전압전송수단의 전압보다 더 낮은 전압을 상기 정보기억수단으로 출력하는 전압레벨변환수단; 및 제1 및 제2전압전송수단 사이에 접속되어 있으며 전압이 전압레벨변환수단으로 인가되며 전압치가 퓨우즈의 용단 또는 비용단상태에서 변경되는 정보기억수단 내의 퓨우즈(fuse)에서의 전압치에 응하여 검출신호를 출력하는 수단을 포함하고 있는 것을 특징으로 하는 반도체집적회로장치.

청구항 2

제1항에 있어서, 상기 전압레벨변환수단은 제1 및 제2전압전송수단 사이에 접속되어 있는 전압분배기(divider)를 포함하고 있는 것을 특징으로 하는 반도체집적회로장치.

청구항 3

제2항에 있어서, 전압레벨변환수단내의 상기 전압분배기는 전류제한저항기로서 적어도 하나의 디플리이션형 트랜지스터와 저항기로서 적어도 하나의 엔헨스먼트형트랜지스터를 포함하고 있으며 상기 디플리이션형 및 엔헨스먼트형 저항이 출력전압을 한정하는 것을 특징으로 하는 반도체집적회로장치.

청구항 4

제1항에 있어서, 상기 전압레벨변환수단으로부터의 출력전압이 제1 및 제2전압전송수단이 소정치를 초과할때 소정치로 유지되는 것을 특징으로 하는 반도체집적회로장치.

청구항 5

제4항에 있어서, 상기 전압레벨변환수단은 제1 및 제2전압전송수단 사이에 접속되어 있는 전류제한 소자, 전류제어소자 및 상기 전류제어소자에 직렬접속된 저항기소자를 포함하고 있으며, 전류제어소자는 전류제한소자에서의 출력에 의하여 제어됨으로써 저항기소자를 통과하는 전류를 제어하는 것을 특징으로 하는 반도체집적회로장치.

청구항 6

제4항에 있어서, 전압레벨변환수단으로부터의 전압출력이 퓨우즈가 용단되었는지 용단되지 않았는지에 관계없이 소정치로 유지되는 것을 특징으로 하는 반도체집적회로장치.

청구항 7

제1항에 있어서, 정상동작에서 상기 전압레벨변환수단으로부터의 출력전압이 가능한 한 낮게 설정되어 상기 정보검출수단의 트레시홀드(threshold)전압보다 더 높게 인가되어 퓨우즈 용단부 근방에서 발생하는 이동을 억제하는 것을 특징으로 하는 반도체집적회로장치.

청구항 8

제7항에 있어서, 상기 전압레벨변환수단은 제1 및 제2전압전송수단 사이에 접속되며 전류제한소자를 갖고 있는 전압분배기, 전류제어소자 및 상기 전류제어소자에 직렬접속된 저항기소자를 포함하고 있으며, 전류제어소자는 저항기소자를 통과하는 전류를 제어하도록 전류제한소자에서의 출력전압에 의하여 구동되는 것을 특징으로 하는 반도체집적회로장치.

청구항 9

제1항에 있어서, 상기 전압레벨변환수단으로부터의 출력전압이 제1 및 제2전압전송수단 사이의 전압이 소정범위내에 있을 때 소정치로 유지되며, 상기 전압레벨변환수단으로부터의 상기 출력전압은 상기 전압이 상기 소정범위를 초과할 때 제1 및 제2전압전송수단 사이의 전압의증분(increment)에 의하여 증가하는 것을 특징으로 하는 반도체집적회로장치.

청구항 10

제9항에 있어서, 전압레벨변환수단은 제1 및 제2전압전송수단 사이에 접속되어 있으며 제1전류제한소자를 갖고 있는 제1전압분배기, 제1전류제어소자, 상기의 제1전류제어소자와 병렬접속된 제2전류제어소자, 상기 제1 및 제2전류제한소자를 갖는 제2전압분배기를 포함하고 있으며, 제1전류제어소자는 제2전류제어소자가 구동되기 전에 제1전류제한소자에서의 출력전압에 의하여 구동되며 제2전류제어소자는 제1전류제어소자를 통과하는 전류가 포화(saturate)된 후에 제2전류제한소자에서의 입력전압에 의하여 구동되며, 제1 및 제2전류제어소자를 통과하는 전류의 합이 저항기소자로 흐르는 것을 특징으로 하는 반도체집적회로장치.

청구항 11

제1항에 있어서, 퓨우즈를 용단하기에 충분한 전압을 외부에서 인가될 수 있도록 상기 정보기억수단 내의 상기 퓨우즈의 1단계 접속된 단자수단을 포함하고 있는 것을 특징으로 하는 반도체집적회로장치.

청구항 12

제1항에 있어서, 상기 정보검출수단은 용단 퓨우즈에서의 전압보다 더 낮은 소정의 드레시홀드레벨을 갖는 반전기(inverter)회로인 것을 특징으로 하는 반도체집적회로장치.

청구항 13

제1항에 있어서, 상기 정보기억수단은 퓨우즈 소자를 포함하고 있는 비래치형 회로인 것을 특징으로 하는 반도체집적회로장치.

청구항 14

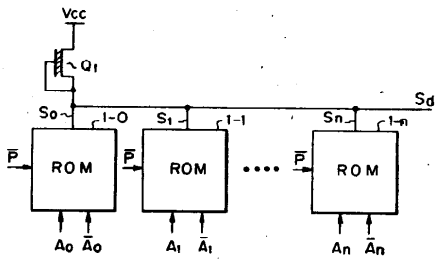
제1항에 있어서, 상기 정보기억수단은 퓨우즈 소자를 포함하고 있는 래치형 회로인 것을 특징으로 하는 반도체집적회로장치.

청구항 15

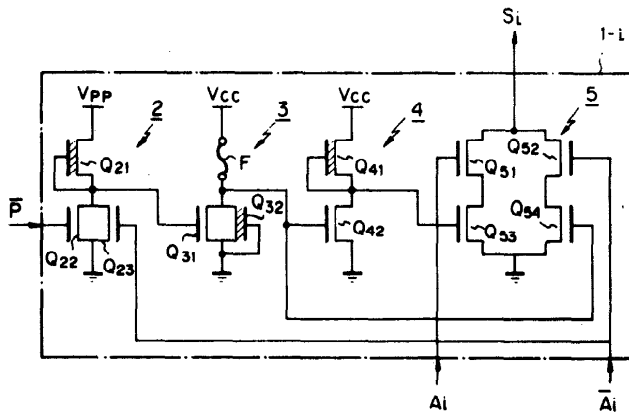
제1항에 있어서, 상기 퓨우즈는 절연층에 의하여 한정되며 각각이 전도부재에 접속되는 2개의 단을 갖는 공동(cavity)내에 형성되는 것을 특징으로 하는 반도체집적회로장치.

도면

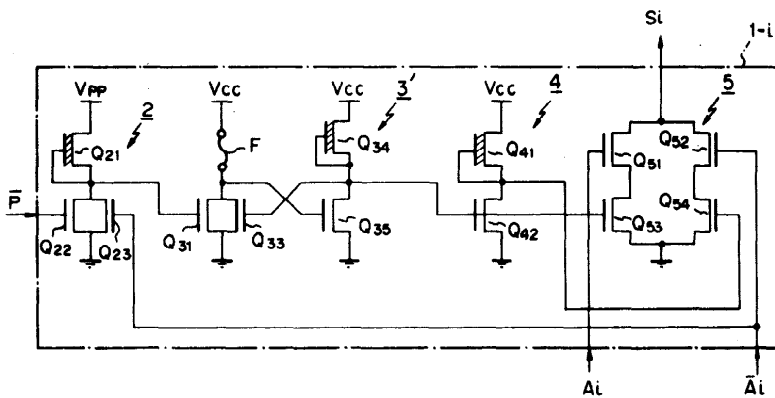
도면1



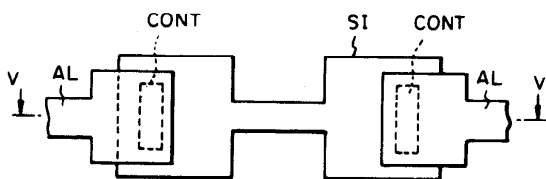
도면2(종래기술)



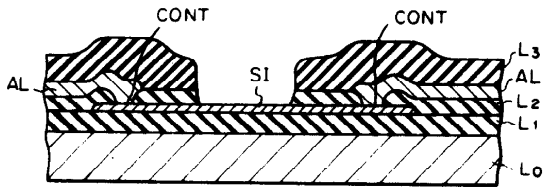
도면3(종래기술)



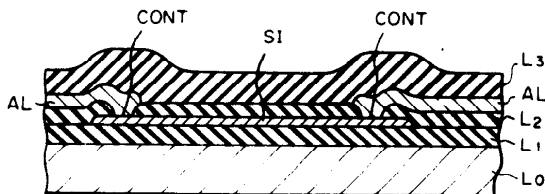
도면4(종래기술)



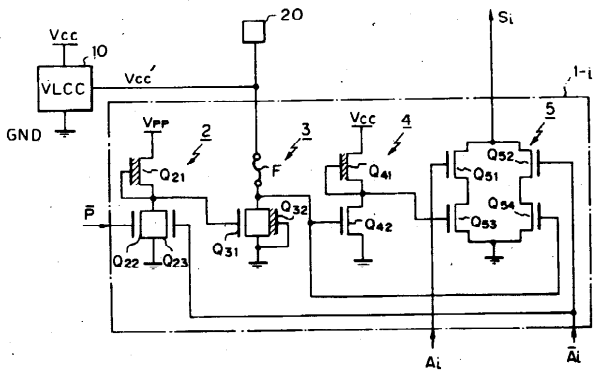
도면5A(종래기술)



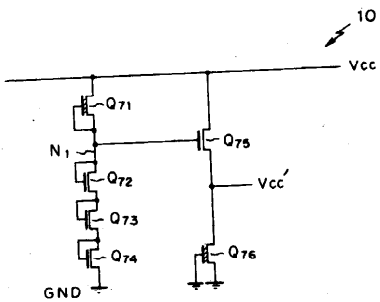
도면5B(종래기술)



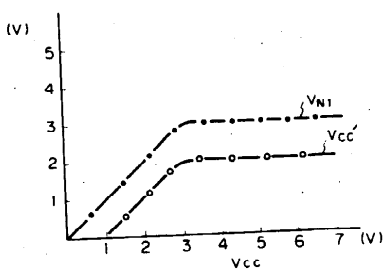
도면6



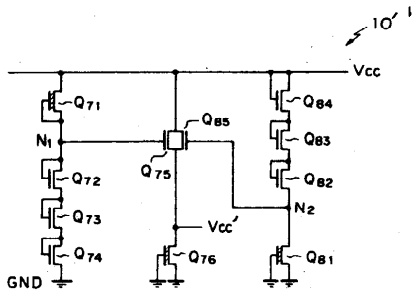
도면7



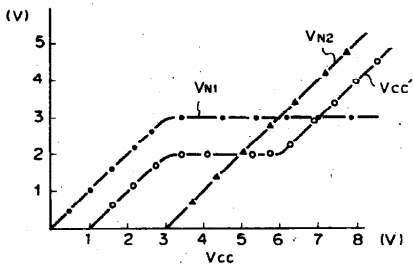
도면8



도면9



도면10



도면11

