

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2011年1月27日(27.01.2011)

PCT



(10) 国際公開番号

WO 2011/010436 A1

(51) 国際特許分類:

H01L 33/38 (2010.01) H01L 33/32 (2010.01)

(21) 国際出願番号:

PCT/JP2010/004509

(22) 国際出願日: 2010年7月12日(12.07.2010)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2009-171499 2009年7月22日(22.07.2009) JP

(71) 出願人(米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 岩永順子(IWANAGA, Junko). 横川俊哉(YOKOGAWA, Toshiya). 山田篤志(YAMADA, Atsushi).

(74) 代理人: 奥田誠司(OKUDA, Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

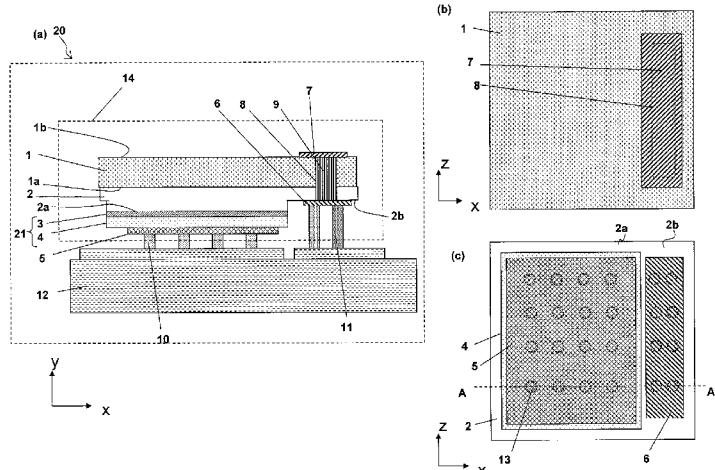
添付公開書類:

- 国際調査報告(条約第21条(3))
- 補正された請求の範囲(条約第19条(1))

(54) Title: LIGHT EMITTING DIODE

(54) 発明の名称: 発光ダイオード

[図6]



(57) Abstract: The light emitting diode disclosed comprises an n-type conductive layer (2) having main face and a back face and comprising a gallium nitride type compound, and having an m-plane as the main face; a semiconductor lamination layer structure (21) provided in a first region (2a) of the main face of the n-type conductive layer (2) and containing a p-type conductive layer (4), and an active layer (3) placed between the n-type conductive layer (2) and the p-type conductive layer (4); a p-type electrode (5) placed on the p-type conductive layer (4); a conductive part (9) provided in a second region (2b) of the main face of the n-type conductive layer (2) in contact with the inside wall of a through hole (8); and an n-type surface electrode (6) placed in a second region (2b) of the main face of the n-type conductive layer (2) to be in contact with the conductive part (9).

(57) 要約:

[続葉有]



本発明の発光ダイオード素子は、主面および裏面を有し、主面がm面である窒化ガリウム系化合物からなるn型導電層2と、n型導電層2の主面における第1の領域2aに設けられ、p型導電層4、および、n型導電層2とp型導電層4との間に位置する活性層3を含む半導体積層構造21と、p型導電層4上に設けられたp型電極5と、n型導電層2の主面における第2の領域2bに設けられ、スルーホール8の内壁と接する導電体部9と、n型導電層2の主面における第2の領域2bに設けられ、導電体部9と接するn型表面電極6とを備える。

明 細 書

発明の名称：発光ダイオード

技術分野

[0001] 本発明は発光ダイオードに関し、特に、非極性面発光ダイオードに関する。

背景技術

[0002] V族元素として窒素（N）を有する窒化物半導体は、そのバンドギャップの大きさから、短波長発光素子の材料として有望視されている。そのなかでも、窒化ガリウム系化合物半導体（GaN系半導体）の研究は盛んに行われ、青色発光ダイオード（LED）、緑色LED、ならびに、GaN系半導体を材料とする半導体レーザも実用化されている（例えば、特許文献1、2参照）。

[0003] 窒化ガリウム系半導体は、ウルツ鉱型結晶構造を有している。図1は、G_aNの単位格子を模式的に示している。Al_aG_bI_n_cN（0≤a，b，c≤1、a+b+c=1）半導体の結晶では、図1に示すG_aの一部がAlおよび／またはInに置換され得る。

[0004] 図2は、ウルツ鉱型結晶構造の面を4指数表記（六方晶指数）で表すために一般的に用いられている4つの基本ベクトル_a₁、_a₂、_a₃、cを示している。基本ベクトルcは、[0001]方向に延びており、この方向は「c軸」と呼ばれる。c軸に垂直な面（p lane）は「c面」または「(0001)面」と呼ばれている。なお、「c軸」および「c面」は、それぞれ、「c軸」および「C面」と表記される場合もある。

[0005] ウルツ鉱型結晶構造には、図3に示すように、c面以外にも代表的な結晶面方位が存在する。図3(a)は、(0001)面、図3(b)は(10-10)面、図3(c)は(11-20)面、図3(d)は(10-12)面を示している。ここで、ミラー指数を表すカッコ内の数字の左に付された「-」は、「バー」を意味する。(0001)面、(10-10)面、(11

－20)面、および(10－12)面は、それぞれ、c面、m面、a面、およびr面である。m面およびa面はc軸(基本ベクトルc)に平行な「非極性面」であるが、r面は「半極性面」である。

[0006] 長年、窒化ガリウム系化合物半導体を利用した発光素子は、「c面成長(c-plane growth)」によって作製されてきた。本明細書において、「X面成長」とは、六方晶ウルツ鉱構造のX面(X=c、m、a、rなど)に垂直な方向にエピタキシャル成長が生じることを意味するものとする。X面成長において、X面を「成長面」と称する場合がある。また、X面成長によって形成された半導体の層を「X面半導体層」と称する場合もある。

[0007] c面成長によって形成された半導体積層構造を用いて発光素子を製造すると、c面が極性面であるため、c面に垂直な方向(c軸方向)に強い内部分極が生じる。分極が生じる理由は、c面において、Ga原子とN原子の位置がc軸方向にずれているからである。このような分極が発光部に生じると、キャリアの量子閉じ込めシユタルク効果が発生する。この効果により、発光部内におけるキャリアの発光再結合確率が下がるため、発光効率が低下してしまう。

[0008] このため、近年、m面やa面などの非極性面、またはr面などの半極性面上に窒化ガリウム系化合物半導体を成長させることが活発に研究されている。非極性面を成長面として選択できれば、発光部の層厚方向(結晶成長方向)に分極が発生しないため、量子閉じ込めシユタルク効果も生じず、潜在的に高効率の発光素子を作製できる。半極性面を成長面に選択した場合でも、量子閉じ込めシユタルク効果の寄与を大幅に軽減できる。

[0009] 現在、製品として販売されている発光ダイオードは、c面基板上にGaN、InGaN、AlGaNなどのGaN系半導体層をエピタキシャル成長して作製され発光ダイオード素子(LEDチップ)をサブマウント上に実装することにより作製される。発光ダイオード素子の平面サイズ(基板正面の平面的なサイズ:以下、単に「チップサイズ」と称する)は、発光ダイオード

素子の用途に応じて異なるが、典型的なチップサイズは、例えば $300\text{ }\mu\text{m} \times 300\text{ }\mu\text{m}$ 、あるいは $1\text{ mm} \times 1\text{ mm}$ である。

[0010] 発光ダイオード素子の電極の配置には、大きく分けて2つのタイプがある。一つは、p型電極およびn型電極を、それぞれ、発光ダイオード素子の表面および裏面に形成する「両面電極タイプ」である。もう一つは、p型電極およびn型電極の両方を、発光ダイオード素子の表面側に形成する「表面電極タイプ」である。以下、これらの電極配置を有する従来の発光ダイオード素子の構成を説明する。

[0011] 図4(a)は、両面電極タイプの発光ダイオード素子を示す断面図、図4(b)は、その斜視図である。図4(c)は、両面電極タイプの発光ダイオード素子が実装基板12に搭載された状態を示す断面図である。図5(a)は、表面電極タイプの発光ダイオード素子が実装基板12に搭載された状態を示す断面図、図5(b)は、表面電極タイプの発光ダイオード素子をp型電極5およびn型表面電極6側から見た図である。

[0012] 図4(a)および図4(b)に示す例では、GaNからなるn型基板1上に、GaNからなるn型導電層2、InGaNおよびGaNの量子井戸からなる活性層3、GaNからなるp型導電層4が積層されている。p型導電層4上にp型電極5が形成され、n型基板1の裏面にn型裏面電極7が形成されている。この例では、活性層3から出た光がn型基板1の裏面から取り出されるため、n型裏面電極7は透明電極材料から形成されている。n型裏面電極7を不透明な導電材料から形成する場合は、n型裏面電極7は、光を遮蔽しないようにn型基板1の裏面の一部領域に形成される。n型裏面電極7が透明な両面電極タイプの発光ダイオード素子を実装する場合、図4(c)に示すように、p型電極5が実装基板12側に位置するように配置させる。n型裏面電極7上にはボンディングパッド15が設けられ、ボンディングパッド15は、ワイヤ16によって実装基板12と電気的に接続される。

[0013] 図5(a)および図5(b)に示す例では、p型導電層4、活性層3、およびn型導電層2の一部が除去されて露出したn型導電層2上にn型表面電

極6が形成されている。p型電極5は、p型導電層4上に形成されている。この例では、活性層3で発生した光は基板1の裏面から取り出される。そのため、このタイプの発光ダイオード素子を実装する場合、p型電極5およびn型表面電極6が実装基板12側に位置するようにして実装する。

- [0014] 両面電極タイプの場合、p型電極5とn型裏面電極7との間における電気抵抗は、GaN基板1の抵抗成分によって大きな影響を受けるため、GaN基板1の抵抗は可能な限り低く抑えることが好ましい。GaN半導体は、p型不純物よりもn型不純物が相対的に高い濃度でドープされるため、一般に、n型の方が低抵抗を実現しやすい。このため、通常、GaN基板1の導電型はn型に設定される。
- [0015] また、表面電極タイプの場合でも、p型電極5とn型表面電極6との間における電気抵抗がGaN基板1の抵抗成分によって影響を受けるため、通常、GaN基板1の導電型はn型に設定される。
- [0016] 上述の電極配置はc面の発光ダイオード素子で採用されてきたものであるが、m面の発光ダイオード素子でもそのまま適用されている。

先行技術文献

特許文献

- [0017] 特許文献1：特開2001-308462号公報
特許文献2：特開2003-332697号公報

発明の概要

発明が解決しようとする課題

- [0018] しかしながら、前記従来の構成では、入力パワーが増加するにつれてコンタクト抵抗や導電層の抵抗が増加するため、活性層にかかる電圧が低下し、電力効率が低下する。また、活性層からキャリアがあふれるために発生する暗電流や、導電層やコンタクト部分の抵抗に起因するチップの温度の上昇のために、内部量子効率が低下するという課題がある。

- [0019] 特に、m面GaN層を用いた場合は、c面GaN層を用いた場合に比べて

n型導電層の不純物濃度が低く、n型導電層内の抵抗が高くなる。さらに、m面GaN層では、その結晶構造に起因して、c面GaNよりもn型電極のコンタクト抵抗が高くなる傾向がある。これらの抵抗が高くなる結果、電力効率が低下し、発熱も起こりやすくなる。

[0020] 本発明は、上記の課題を解決するためになされたものであり、その目的は、コンタクト抵抗を低下させ、チップ温度の上昇を抑制することにより、電力効率および内部量子効率の高い発光ダイオード素子を提供することにある。

課題を解決するための手段

[0021] 本発明の発光ダイオード素子は、主面および裏面を有し、前記主面がm面である窒化ガリウム系化合物からなる第1導電型の第1の半導体層と、前記第1の半導体層の前記主面における第1の領域に設けられ、第2導電型の第2の半導体層、および、前記第1の半導体層と前記第2の半導体層との間に位置する活性層を含む半導体積層構造と、前記第2の半導体層上に設けられた第1の電極と、前記第1の半導体層の前記主面における第2の領域に設けられ、前記第1の半導体層を貫通するスルーホールの内壁と接する導電体部と、前記第1の半導体層の前記主面における前記第2の領域に設けられ、前記導電体部と接する第2の電極とを備える。

[0022] ある実施形態において、前記スルーホールの前記内壁の側面はc面またはa面を含んでいる。

[0023] ある実施形態において、前記第1の半導体層の前記裏面に設けられた第3の電極をさらに備え、前記導電体部と前記第3の電極とは接している。

[0024] ある実施形態において、前記第1の半導体層は、第1導電型の半導体基板を含んでいる。

[0025] ある実施形態において、前記スルーホールの前記内壁の側面における一部は+ c面であり、前記スルーホールの前記内壁の側面における他の一部は- c面であり、前記内壁の側面における前記+ c面は、前記内壁の側面における前記- c面よりも前記活性層に近い位置に配置される。

- [0026] ある実施形態において、前記スルーホールは、前記第1の半導体層の前記主面の中央部に設けられている。
- [0027] ある実施形態において、前記スルーホールの前記内壁の側面は相対する2つのa面、相対する+c面と-c面とを含み、前記第1の半導体層の前記主面に垂直な方向から見たとき、前記活性層は、前記2つのa面のうちの一方によって規定される辺に対向する辺と、前記2つのa面のうちの他方によって規定される辺に対向する辺と、前記+c面によって規定される辺に対向する辺とを有し、前記-c面によって規定される辺に対向する辺は有していない。
- [0028] ある実施形態において、前記第1の半導体層の前記主面に垂直な方向から見たとき、前記スルーホールは正方形または長方形の形状を有し、前記活性層はコの字形状を有している。
- [0029] ある実施形態において、前記第2の電極、前記第3の電極および前記導電体部は同一の金属材料から一体的に形成されている。
- [0030] ある実施形態において、前記第1の半導体層の前記主面に垂直な方向から見たとき、前記第3の電極は前記第1の電極と重なる領域に設けられている。
- [0031] ある実施形態において、前記第1の半導体層の前記主面に垂直な方向から見たとき、前記第3の電極は、前記第1の電極と重なる領域に、互いに間隔をおいて配置されている。
- [0032] 本発明の発光ダイオード装置は、本発明の発光ダイオード素子と、実装基板とを備える発光ダイオード装置であって、前記第1の電極および前記第2の電極が配置されている側が前記実装基板に対向するように前記発光ダイオード素子は前記実装基板上に配置される。

発明の効果

- [0033] 本発明によると、m面を主面とする第1の半導体層にスルーホールを設けることにより、スルーホールの内壁に導電体部に対するコンタクト抵抗がm面よりも低い面(+c面、a面)を現すことができる。このスルーホールの

内壁に電極を構成する導電体部を接触させることにより、第1導電型の第1の半導体層と電極との間のコンタクト抵抗を全体として低下させることができる。これにより、活性層に印加される電圧を十分な大きさに維持し、電力効率を高めることができる。また、コンタクト抵抗に起因する発熱も起こりにくくなる。

[0034] さらに、導電体部によってチップ内の熱の放出が促進される。これにより、活性層の温度の上昇が抑制されるため、発光効率および内部量子効率を向上させることができる。

[0035] また、スルーホール内にも導電体部を設けることによって第1の半導体層と電極との接触面積が増えるため、第1導電型の第1の半導体層と電極との間のコンタクト抵抗を全体として低下させることができ、コンタクト部分でのバイアスの低下が抑えられ、電力効率の低下を防ぐことができる。また、スルーホールを介して、電流を均一に、放熱性の良い状態で流すことができる。その結果、発光ダイオード素子の効率を高めることや、電極端への電流の集中を防いで信頼性を向上させることができる。

図面の簡単な説明

[0036] [図1] GaNの単位格子を模式的に示す図である。

[図2] ウルツ鉱型結晶構造の面を4指数表記（六方晶指数）で表すために一般的に用いられている4つの基本ベクトル a_1 、 a_2 、 a_3 、 c を示す図である。

[図3] (a) は、(0 0 0 1) 面、(b) は (1 0 -1 0) 面、(c) は (1 1 -2 0) 面、(d) は (1 0 -1 2) 面を示す図である。

[図4] (a) は、両面電極タイプの発光ダイオード素子を示す断面図、(b) は、その斜視図であり、(c) は、両面電極タイプの発光ダイオード素子が実装基板12に搭載された状態を示す断面図である。

[図5] (a) は、表面電極タイプの発光ダイオード素子が実装基板12に搭載された状態を示す断面図であり、(b) は、表面電極タイプの発光ダイオード素子を p 型電極5およびn型表面電極6側から見た図である。

[図6] (a) は、本発明による発光ダイオード装置の実施の形態1を示す断面

図であり、(b)は、発光ダイオード素子14のn型GaN基板1の裏面1bを示す図であり、(c)は、発光ダイオード素子14の主面側の表面を示す図である。

[図7] (a)は、スルーホール8の代わりに凹部8'を形成した構成を示す断面図であり、(b)は、スルーホール8の内壁を覆い、中央部が空洞になるような導電体部9'を形成した構成を示す断面図である。

[図8] GaN系発光ダイオードによる光出力の電流依存性のシミュレーション結果を示すグラフである。

[図9] (a)は、本発明による発光ダイオード装置の実施の形態2を示す断面図であり、(b)は、図9(a)に示すn型GaN基板1の裏面1bを示す図であり、(c)は、図9(a)に示す発光ダイオード素子14の主面側の表面を示す図である。

[図10] GaN系発光ダイオードによる光出力の電流依存性のシミュレーション結果を示すグラフである。

[図11] (a)は、本発明による発光ダイオード装置の実施の形態3を示す断面図であり、(b)は、図11(a)に示すn型GaN基板1の裏面1bを示す図である。(c)は、図11(a)に示す発光ダイオード素子14の主面側の表面を示す図である。

[図12] GaN系発光ダイオードによる光出力の電流依存性のシミュレーション結果を示すグラフである。

[図13] (a)は、本発明による発光ダイオード装置の実施の形態4を示す断面図であり、(b)は、図13(a)に示すn型GaN基板1の裏面1bを示す図であり、(c)は、図13(a)に示す発光ダイオード素子14の主面側の表面を示す図である。

[図14] (a)は、本発明による発光ダイオード装置の実施の形態5を示す断面図であり、(b)は、図14(a)に示すn型GaN基板1の裏面を示す図であり、(c)は、図14(a)に示す発光ダイオード素子14の主面側の表面を示す図である。

[図15] GaN系発光ダイオードによる光出力の電流依存性のシミュレーション結果を示すグラフである。

[図16] (a) は、本発明による発光ダイオード装置の実施の形態6を示す断面図であり、(b) は、図16(a) に示すn型GaN基板1の裏面1bを示す図であり、(c) は、図16(a) に示す発光ダイオード素子14の正面側の表面を示す図である。

[図17] GaN系発光ダイオードによる光出力の電流依存性のシミュレーション結果を示すグラフである。

[図18] (a) は、本発明による発光ダイオード装置の実施の形態7を示す断面図であり、(b) は、図18(a) に示すn型GaN基板1の裏面1bを示す図であり、(c) は、図18(a) に示す発光ダイオード素子14の正面側の表面を示す図である。

[図19] GaN系発光ダイオードによる光出力の電流依存性のシミュレーション結果を示すグラフである。

[図20] (a) は、本発明による発光ダイオード装置の実施の形態8を示す断面図であり、(b) は、図20(a) に示すn型導電層2の裏面2cを示す図であり、(c) は、図20(a) に示す発光ダイオード素子14の正面側の表面を示す図である。

[図21] GaN系発光ダイオードによる光出力の電流依存性のシミュレーション結果を示すグラフである。

発明を実施するための形態

[0037] 以下、図面を参照しながら本発明の実施形態を説明する。

[0038] (実施の形態1)

図6(a) は、本発明による発光ダイオード装置の実施の形態1を示す断面図であり、図6(b) は、発光ダイオード素子14のn型GaN基板1の裏面1bを示す図である。図6(c) は、発光ダイオード素子14の正面側の表面を示す図である。図6(a) から(c) では、図4(a) から(c) 、図5(a) 、(b) と同じ構成要素には同じ符号を用いて示している。

[0039] 図6（a）に示すように、本実施形態の発光ダイオード装置20は、実装基板12の上に発光ダイオード素子（チップ）14が搭載された構成を有する。発光ダイオード素子14は、実装基板12の上に、バンプ10、11を介して配置されている。バンプ10は、発光ダイオード素子14のp型電極5と実装基板12とを接続し、バンプ11は、発光ダイオード素子14のn型表面電極6と実装基板12とを接続している。

[0040] 発光ダイオード素子14は、正面1aがm面であるn型GaN基板1と、n型GaN基板1の正面1a上に設けられ、n型のGaNからなるn型導電層2と、n型導電層2の正面の第1の領域2aに設けられた半導体積層構造21とを備える。半導体積層構造21は、n型導電層2の主面上に設けられた活性層3と、活性層3の主面上に設けられ、p型のGaNからなるp型導電層4とを有する。活性層3は、例えば、InGaNおよびGaNの積層から構成される量子井戸構造を有する。n型導電層2、活性層3、p型導電層4は、いずれもm面成長によって形成されたエピタキシャル成長層である。n型GaN基板1およびn型導電層2におけるn型不純物濃度は、例えば $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。

[0041] 図6（c）に示すように、p型導電層4の主面上にはp型電極5が設けられ、n型導電層2の正面の第2の領域2bにはn型表面電極6が設けられている。本実施形態において、p型電極5は例えばPd/Pt層からなり、n型表面電極6は例えばTi/AI層からなる。ただし、p型電極5およびn型表面電極6の構成はこれらに限定されない。

[0042] n型GaN基板1およびn型導電層2には、これらを貫通するスルーホール8が設けられている。スルーホール8内には、Ti/AI層からなる導電体部（n型貫通電極）9が埋め込まれている。導電体部9は、n型導電層2の正面の第2の領域2bにおいて、n型表面電極6に接している。一方、n型GaN基板1の裏面1bには、導電体部9に接するようにTi/AI層からなるn型裏面電極7が形成されている。図6（b）に示すように、n型GaN基板1の裏面1bにおいて、n型裏面電極7は導電体部9を覆っている。

なお、図6（a）は、図6（c）のA-A'に沿った断面図である。

[0043] スルーホール8の内壁は、m面とは異なる面を含む。具体的には、スルーホール8の内壁の側面は、c面、a面を含んでいる。 $+c$ 面やa面と導電体部9との間のコンタクト抵抗は、m面がn型表面電極6に接する場合のコンタクト抵抗よりも低い。本実施形態では、スルーホール8の内壁に電極を構成する導電体部9を接触させることにより、n型の半導体層と電極との間のコンタクト抵抗を全体として低下させることができる。これにより、活性層に印加される電圧を十分な大きさに維持し、電力効率を高めることができる。さらに、コンタクト抵抗の低い領域で熱が発生しにくくなることによってチップ内の熱の放出が促進される。これにより、活性層3の温度の上昇が抑制されるため、発光効率および内部量子効率を向上させることができる。なお、 $+c$ 面とは、最表面にG aが配置されるc面であり、 $-c$ 面とは、最表面にNが配置されるc面である。

[0044] 発光ダイオード素子14は、正面を下にして実装基板12上に搭載されている。

[0045] n型GaN基板1は、エピタキシャル成長や電極形成の工程が完了した後、裏面から研磨やエッティングによって薄くされる場合がある。n型GaN基板1の最終的な厚さは、例えば50μmから250μmまでの範囲内にある。活性層3で発生した光は、n型GaN基板1の裏面1bから取り出される。この場合、光取り出し効率を向上させるためには、n型GaN基板1をできるだけ薄くしてn型GaN基板1による吸収損失を低減することが好ましい。発光ダイオード素子14の機械的強度も考慮すると、n型GaN基板1の標準的な厚さは、例えば100μm程度に設定される。

[0046] n型導電層2の厚さは基板にエピタキシャル成長する際のバッファ層の厚さに相当し、例えばおよそ5μmである。

[0047] 実際の発光ダイオードでは、キャリアのあふれ出し（オーバーフロー）を防いで発光効率を向上させる効果のあるオーバーフローストッパー層が活性層3とp型導電層4との間に挿入される場合がある。オーバーフローストッ

一層は、例えばAlGaN層からなる。また、より多くの光がn型導電層2の裏面から取り出せるように、p型電極5の表面に例えば銀からなる反射電極を設けたり、Si基板をパッド電極の表面に貼り付けてチップのワレを防ぐなどの構造上の工夫がなされることがしばしばある。ここではその図示および詳細な説明は省略するが、本実施形態ではこれらを必要に応じて構成に取り込むことができるものとする。

- [0048] 本実施形態では、n型導電層2およびn型GaN基板1を貫通するスルーホール8の代わりに、図7(a)に示すような凹部8'を設けてもよい。また、導電体部9は、スルーホール8を全体的に埋めていなくてもよい。例えば、図7(b)に示すように、スルーホール8の内壁を覆う導電体部9'を形成してもよい。図7(b)では、スルーホール8の内部は空洞になっている。
- [0049] 以下、図6を参照しながら、本実施形態の発光ダイオード素子を製造する方法の好ましい一例を説明する。
- [0050] まず、正面1aがm面のn型GaN基板1を用意する。このn型GaN基板1は、HVPE(Hydride Vapor Phase Epitaxy)法を用いて作製され得る。例えば、まずc面サファイア基板上に厚さ数mmオーダの厚膜GaNを成長する。その後、厚膜GaNをc面に垂直なm面で切り出すことにより、m面GaN基板が得られる。GaN基板の作製方法は、上記に限らず、例えばナトリウムフラックス法などの液相成長やアモノサーマル法などの融液成長方法を用いてバルクGaNのインゴットを作製し、それをm面で切り出す方法でも良い。
- [0051] 本実施形態では、基板の上に、MOCVD(Metal Organic Chemical Vapor Deposition)法により結晶層を順次形成していく。まず、n型GaN基板1上に、n型導電層2として厚さ $3\mu m$ のGaN層を形成する。具体的には、n型GaN基板1上に、例えば $1100^{\circ}C$ でTMG($Ga(CH_3)_3$)、TMA($Al(CH_3)_3$)および NH_3 を供給することによってGaN層を堆積する。このとき、n型導電層2として、GaN層ではなく、 $Al_uGa_vIn_wN$ 層($u \geq 0, v \geq 0, w \geq 0$)

を形成してもよい。なお、n型GaN基板1ではなく、他の基板を用いてもよい。

- [0052] 次に、n型導電層2の上に、活性層3を形成する。活性層3は、例えば厚さ9nmのGa_{0.9}In_{0.1}N井戸層と厚さ9nmのGaNバリア層とが交互に積層された厚さ81nmのGaN/N/GaN多重量子井戸(MQW)構造を有している。Ga_{0.9}In_{0.1}N井戸層を形成する際には、Inの取り込みを行うために、成長温度を800°Cに下げることが好ましい。
- [0053] 活性層3の上に、TMG、TMA、NH₃およびp型不純物としてCp₂Mg(シクロペンタジエニルマグネシウム)を供給することにより、厚さ70nmのGaNからなるp型導電層4を形成する。p型導電層4は、表面に不図示のp-GaNコンタクト層を有していることが好ましい。p型導電層4としては、GaN層ではなく例えばp-Al_{0.14}Ga_{0.86}N層を形成してもよい。
- [0054] 上記のMOCVD法によるエピタキシャル成長工程が終了した後、塩素系ドライエッチングを行うことによりp型導電層4および活性層3の一部を除去して凹部を形成し、n型導電層2における第2の領域2bを露出させる。
- [0055] 次に、例えばドライエッチングプロセスを用いて、スルーホール8を形成する。具体的には、p型導電層4およびn型導電層2の主面にレジストマスクを形成した後、レジストマスクのうちスルーホール8を形成する部分に開口を形成する。このレジストマスクを用いてドライエッチングを行うことにより、n型導電層2およびn型GaN基板1にスルーホール8となる穴を形成することができる。例えば、穴の深さが100μmになったときに、穴がn型GaN基板1を貫通する前にドライエッチングを停止する。図6(b)に示すように、スルーホール8は、n型導電層2の主面に垂直な方向から見て長方形の形状を有するように形成される。このとき、長方形の各辺の方向を調整することにより、スルーホール8の内壁に、m面に垂直な+c面、-c面、a面を現すことができる。スルーホール8の寸法(主面と平行な面における寸法)は、例えば100μm×270μmとすることが好ましい。
- [0056] 次に、蒸着法やスパッタ法によって、スルーホール8となる前述の穴の側

壁および底面に、厚さ 10 nm の Ti 層および厚さ 100 nm の Al 層を形成し、その上からメッキ法によって Al 层をさらに積んで導電体部 9 を形成する。このとき、スルーホール 8 の内部を全体的に充填する導電体部 9 を形成してもよいし、図 7 (b) に示すように、スルーホール 8 の内壁を覆い、中央部が空洞になるように導電体部 9' を形成してもよい。内壁に前述の Ti / Al が均等に形成できるように、スルーホール 8 の主面と平行な面における寸法がスルーホール 8 の垂直な面における寸法と同等以上になるように設定することが望ましい。

- [0057] 次いで、n 型導電層 2 の第 2 の領域 2 b に、例えば厚さ 10 nm の Ti 層と厚さ 100 nm の Al 層からなる n 型表面電極 6 を形成する。n 型表面電極 6 は、導電体部 9 に接するように形成する。一方、p 型導電層 4 上には p 型電極 5 を形成する。
- [0058] 次に、n 型 GaN 基板 1 を裏面から導体部 9 が露出するように研磨し、その後、蒸着法等によって、n 型 GaN 基板 1 の裏面 1 b に、厚さ 10 nm の Ti 層と厚さ 100 nm の Al 層とからなる n 型裏面電極 7 を形成する。スルーホール 8 ではなく図 7 (a) に示す凹部 8' を形成する場合には、穴の深さを浅くする、研磨後の基板を厚くするなどの調整を行うとよい。
- [0059] 次に、450 °C で 15 分程度の熱処理を行う。この熱処理により、半導体層と電極との間のコンタクト抵抗を低減することができる。この熱処理は、450 °C から 650 °C 程度の温度で 5 分から 20 分程度行えばよい。
- [0060] 上記の記載は、好ましい実施形態の一例を説明するものに過ぎない。
- [0061] 図 8 は、GaN 系発光ダイオードによる光出力の電流依存性のシミュレーション結果を示すグラフである。図 8において、横軸はアノード電極に流れる単位面積あたりの電流値 I_a (A/mm^2) を、縦軸は単位面積あたりに生じる光出力 (W/mm^2) を示している。図 8 に示す従来構造のシミュレーション結果は、図 5 (a)、(b) に示す表面電極構造を有する発光ダイオードを用いて得た。図 8 に示すように、本実施形態では、同じ電流で従来よりも大きな光出力が得られ、効率が上がっている。

[0062] 本実施形態では、m面を主面とするn型GaN基板1およびn型導電層2にスルーホール8を設けることにより、スルーホール8の内壁に、m面とは異なる面を現すことができる。具体的には、スルーホール8の内壁に、c面やa面を現すことができる。+c面やa面と導電体部9との間のコンタクト抵抗は、m面窒化物半導体層がn型表面電極6に接する場合のコンタクト抵抗よりも低い。スルーホール8の内壁に電極を構成する導電体部9を接触させることにより、n型の半導体層と電極との間のコンタクト抵抗を全体として低下させることができる。さらに、スルーホール8の内壁およびn型GaN基板1の裏面においてn型の半導体層と電極とを接触させることにより、n型の半導体層と電極との接触面積を従来よりも大きくすることができる。このように接触面積を大きくすることによっても、n型の半導体層と電極との間のコンタクト抵抗を全体として低下させることができる。これにより、活性層に印加される電圧を十分な大きさに維持し、電力効率を高めることができる。さらに、コンタクト抵抗の低い領域で熱が発生しにくくなると共に、n型の半導体層と電極との接触面積を大きくすることによってチップ内の熱の放出が促進される。これにより、活性層3の温度の上昇が抑制されるため、発光効率および内部量子効率を向上させることができる。さらに、スルーホール8の内壁に接触する導電体部9やn型裏面電極7があるので、活性層との間の電流経路に広がりができる。従来構造では、n型表面電極6の端部に電流が集中して電極が破壊される問題が発生することがあったが、均一な電流経路によって信頼性を向上させることができる。

[0063] +c面は、熱処理を行う前（as-depo）には高いコンタクト抵抗を示すが、450°C程度の温度で15分の熱処理を行うと、 $5 \times 10^{-5} \Omega \cdot cm^2$ (+c面上に電極としてTi/AI/Ptを形成した場合) の低いコンタクト抵抗を示すようになる。+c面のコンタクト抵抗は、m面の場合の約10分の1から約5分の1である。また、+c面はm面に対して垂直に配置しておりエッチングによって現れやすいため、m面を主面とするGaN系半導体層において+c面を内壁に現すのは容易である。そのため、スルーホール

8の内壁の側面が+ c面を含むようにすることが特に望ましい。

[0064] 一方、- c面は、熱処理を行う前 (a s - d e p o) には、 $7 \times 10^{-4} \Omega / c m^2$ (- c面の上に電極としてTi/AIを形成した場合) の比較的低いコンタクト抵抗を示す。しかしながら、熱処理を行うと、- c面のコンタクト抵抗は上昇し、 $1 \times 10^{-3} \sim 1 \times 10^{-2} \Omega / c m^2$ となる。- c面が現れている半導体層に対してドライエッチングやSiO₂の堆積を行って表面を改質すればコンタクト抵抗の上昇をやや抑制することは可能である。しかしながら、たとえ表面処理を行っても、- c面のコンタクト抵抗は+ c面のコンタクト抵抗の10倍以上となってしまう。ただし、スルーホール8の内壁に- c面が現れても、スルーホール8を形成しない従来の構成よりもn型の半導体層と電極との接触面積を大きくすることによって、全体としてのコンタクト抵抗を低下させることは可能である。

[0065] 热処理によってコンタクト抵抗が上昇または低下するメカニズムは次のように考えられる。+ c面においては最表面の原子がGaであるにもかかわらずN原子が熱処理によって拡散しやすい。ドナーとして働く窒素空孔が形成されやすいため、熱処理によってn型のコンタクト抵抗が得られやすい。一方、- c面においては逆に最表面の原子がNであるにもかかわらずGa原子が熱処理によって抜けやすい。アクセプターであるGa空孔が形成されるため、熱処理によってコンタクト抵抗が上昇してしまうと考えられる。- c面に対してドライエッチングなどの表面処理を行うと、窒素空孔が形成されるため、コンタクト抵抗が低下すると考えられる。

[0066] a面のTi/AIに対するコンタクト抵抗はm面の場合の2分の1から3分の1である。

[0067] (実施の形態2)

図9(a)は、本発明による発光ダイオード装置の実施の形態2を示す断面図であり、図9(b)は、図9(a)に示すn型GaN基板1の裏面1bを示す図である。図9(c)は、図9(a)に示す発光ダイオード素子14の主面側の表面を示す図である。図9(a)から(c)では、図6(a)か

ら（c）と同じ構成要素には同じ符号を用いて示している。

[0068] 図9（a）に示すように、本実施の形態では、スルーホール8の内壁の側面に、+c面8aと-c面8bとが現れており、-c面8bよりも+c面8aのほうが活性層3に近い側に配置されている。上述したように、+c面は、熱処理を行うことによってm面の場合の10分の1から5分の1の低いコンタクト抵抗を示す。このように、より多くの電流が流れる側に+c面を配置させることによって、全体としてのコンタクト抵抗がさらに低くなる。なお、スルーホール8の内壁の側面において、+c面、-c面以外の部分には、a面が現れている。

[0069] 本実施形態は、スルーホール8と活性層3との配置以外は実施の形態1と同様の構成を有する。その構成についての説明は省略する。

[0070] 図10は、GaN系発光ダイオードによる光出力の電流依存性のシミュレーション結果を示すグラフである。図10は、本実施形態のシミュレーション結果と、本実施形態よりもn型電極のコンタクト抵抗が5倍高い発光ダイオード（比較例）のシミュレーション結果とを示す。本実施形態では、比較例と比較して、同じ電流で大きな光出力が得られ、効率が上がっている。

[0071] 本実施形態では、実施の形態1の場合と同様の効果を得ることができる。特に、本実施形態では、コンタクト抵抗の最も低い+c面を活性層3に近づけているため、実施の形態1と比較して、全体としてのコンタクト抵抗がさらに低くなる。

[0072] なお、a面のコンタクト抵抗は、-c面のコンタクト抵抗よりも小さい。よって、スルーホール8の側壁において、a面を活性層3の近傍に配置させ、-c面を活性層3から遠ざけるように配置させてもよい。

[0073] （実施の形態3）

図11（a）は、本発明による発光ダイオード装置の実施の形態3を示す断面図であり、図11（b）は、図11（a）に示すn型GaN基板1の裏面1bを示す図である。図11（c）は、図11（a）に示す発光ダイオード素子14の正面側の表面を示す図である。図11（a）から（c）では、

図6（a）から（c）と同じ構成要素には同じ符号を用いて示している。

- [0074] 図11（a）から（c）に示すように、本実施の形態では、スルーホール8がチップの中央部（ x 方向の中央部）に設けられている。スルーホール8が設けられている領域の両側（チップの x 方向の両側）には、活性層3およびp型導電層4が配置されている。図11（b）に示すように、スルーホール8は、 z 方向に3つ配列され、3つのスルーホール8の上（裏面上）はn型裏面電極7によって覆われている。本実施形態は、スルーホール8の数および配置以外は実施の形態1と同様の構成を有する。その構成についての説明は省略する。
- [0075] 本実施形態において、「スルーホール8がチップの中央部に設けられている」とは、スルーホール8の x 方向の両側または z 方向（図11（b）に示す）の両側に、活性層3やp型導電層4が設けられていることをいう。
- [0076] 図5において、n型導電層2のn型不純物濃度は例えば $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $2 \times 10^{18} \text{ cm}^{-3}$ 以下であり、n型GaN基板1の厚さはおよそ $100 \mu\text{m}$ 、n型導電層2の厚さは例えばおよそ $5 \mu\text{m}$ である。スルーホール8はドライエッチングプロセスを用いて形成することができる。
- [0077] 本実施形態では、実施の形態1の場合と同様の効果を得ることができる。さらに、本実施形態では、GaNよりも高い熱伝導率を有する導電体部9がチップの中央部に設けられている。そのため、チップの中央部にこもりやすい熱を、導電体部9によって積極的にチップの外部に放出させることができる。
- [0078] m面を主面とするGaN系のLEDでは、n型導電層およびn型GaN基板の不純物濃度を高めることが難しく、これらの層の抵抗が高くなりやすい。そのため、n型電極から遠く離れた活性層へ電圧を十分に印加できないという問題があった。本実施形態では、貫通電極9をチップの中央部に配置させることによって、同一のチップ面積で考えた場合、導電体部9から活性層3までの距離を短くすることができる。これにより、活性層3へ電圧を十分に印加することができる。その結果、活性層3への電流注入が場所によらず

均一になるため、同一電流における光出力が高くなり、効率がよくなる。

[0079] 図12はGaN系発光ダイオードによる光出力の電流依存性のシミュレーション結果を示すグラフである。図12に示す従来構造のシミュレーション結果は、図5（a）、（b）に示す表面電極構造を有する発光ダイオードを用いて得た。図12に示すように、本実施形態では、同じ電流で従来よりも大きな光出力が得られ、効率が上がっている。また、図8に示す実施の形態1のシミュレーション結果と比較すると、横軸の値が大きいときに、本実施形態のほうが光出力の値が大きくなっている。例えば、横軸の値が3（A/mm²）のときの光出力の値は、実施形態1では5W/mm²であるのに対し、本実施形態では、6W/mm²に近い値である。これは、導電体部9をチップの中心部に配置させることによって、放熱性が向上し、かつ活性層3に印加される電圧が均一になることに起因していると考えられる。本実施形態では、放熱性が高まり、活性層3への電流注入が場所によらず均一になることにより、同一電流における光出力が高くなり、効率がよくなる。

[0080] （実施の形態4）

図13（a）は、本発明による発光ダイオード装置の実施の形態4を示す断面図であり、図13（b）は、図13（a）に示すn型GaN基板1の裏面1bを示す図である。図13（c）は、図13（a）に示す発光ダイオード素子14の正面側の表面を示す図である。図13（a）から（c）では、図6（a）から（c）と同じ構成要素には同じ符号を用いて示している。

[0081] 図13（a）から（c）に示すように、本実施の形態では、スルーホール8がチップの中央部（x方向の中央部）に配置されている。n型導電層2の正面に垂直な方向（y方向）から見たとき、スルーホール8およびn型表面電極6は、z方向に沿った長辺とx方向に沿った短辺とを有する長方形の平面形状を有している。スルーホール8の長方形の4つの角部は丸まっていてもよい。図13（b）に示すように、スルーホール8の内壁は、a面8c、8dと、+c面8aと、-c面8bとを含む。一方、p型電極5、p型導電層4および活性層3はコの字（c字）形状を有している。なお、スルーホー

ル8およびn型表面電極6は正方形の形状を有していてもよい。また、x方向に沿った長辺とz方向に沿った短辺とを有する長方形の平面形状を有していてもよい。

[0082] また、n型導電層2の主面に垂直な方向(y方向)から見たとき、図13(c)に示すように、p型電極5は、スルーホール8の内壁の側面におけるa面8cによって規定される辺に対向する辺5cと、a面8dによって規定される辺に対向する辺5dと、+c面8aによって規定される辺に対向する辺5aとを有する。一方、スルーホール8の内壁の側面における-c面8bはチップの端に設けられ、p型電極5は、-c面8bによって規定される辺に対向する辺は有していない。活性層3はp型電極5と同様の平面形状を有するため、活性層3も、a面8c、8d、+c面8aのそれぞれによって規定される辺に対向する辺を有し、-c面8bによって規定される辺に対向する辺を有さない。本実施形態は、スルーホール8の設けられる場所およびスルーホール8の内壁の面方位以外は実施の形態1と同様の構成を有する。その構成についての説明は省略する。

[0083] -c面は、+c面およびa面と比較してコンタクト抵抗が大きい。したがって+c面およびa面の側面を活性層3の近傍に配置させ、-c面の側面を活性層3から離して配置されることによって、より多くの電流が+c面およびa面の側面を流れるようになる。その結果、全体としてのコンタクト抵抗がさらに低くなる。

[0084] 図13において、n型導電層2の不純物濃度は例えば $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $2 \times 10^{18} \text{ cm}^{-3}$ 以下であり、n型GaN基板1の厚さはおよそ $100 \mu\text{m}$ 、n型導電層2の厚さは例えばおよそ $5 \mu\text{m}$ である。

[0085] スルーホール8は、ドライエッチングプロセスを用いて形成することができる。このとき、スルーホール8の内壁がc軸方向(図13(b)のz方向)およびa軸方向(図13(b)のx方向)に沿うように、ドライエッティングを行う。スルーホール8の内壁において互いに対向する側面の一方に+c面が現れると、もう一方には-c面が現れる。本実施形態では、-c面の側

面を活性層3から遠ざける必要があるため、-c面の側面がチップの端に向くようにスルーホール8を配置させる。

[0086] 本実施形態では、実施の形態3の場合と同様の効果を得ることができる。さらに、本実施形態では、+c面およびa面の側面を活性層3の近傍に配置させ、-c面の側面を活性層3から離して配置されることによって、実施の形態3と比較して、全体としてのコンタクト抵抗がさらに低くなる。

[0087] また、実施の形態3では、チップの中央部にスルーホール8を設け、その両側に活性層3を配置させているのに対して、本実施形態では、スルーホール8をコの字状に囲む活性層3を形成している。このように、本実施形態では、実施の形態3と比較して、活性層3の面積を大きくすることができるため、光出力をより多くすることができる。

[0088] (実施の形態5)

図14(a)は、本発明による発光ダイオード装置の実施の形態5を示す断面図であり、図14(b)は、図14(a)に示すn型GaN基板1の裏面を示す図である。図14(c)は、図14(a)に示す発光ダイオード素子14の主面側の表面を示す図である。図14(a)から(c)では、図6(a)から(c)と同じ構成要素には同じ符号を用いて示している。

[0089] 図14(a)から(c)に示すように、本実施の形態では、図6(a)から(c)に示すn型表面電極6およびn型裏面電極7が設けられていない。本実施形態では、スルーホール8内に設けられた導電体部9aがn型表面電極6およびn型裏面電極7の役割を兼ねている。言い換えれば、導電体部9、n型表面電極6およびn型裏面電極7が、同一の金属材料から一体的に形成されている。

[0090] 図14(a)に示す構成では、導電体部9aが、n型GaN基板1の裏面および第2導電層2の第2領域2bよりも突出している。ただし、導電体部9が突出していないてもよい。

[0091] 本実施形態は、導電体部9a、n型表面電極6およびn型裏面電極7の構成以外は実施の形態1と同様の構成を有する。その構成についての説明は省

略する。

- [0092] スルーホール8はドライエッティングプロセスを用いて形成することができる。本実施形態では、スルーホール8の開口面積がn型表面電極6およびn型裏面電極7の面積となる。スルーホール8の寸法（正面と平行な面における寸法）は、例えば $100\mu\text{m} \times 300\mu\text{m}$ とすることが好ましい。導電体部9は、蒸着法やスパッタ法、メッキ法を用いてTi/AIを堆積することによって形成することができる。
- [0093] n型GaN基板1およびn型導電層2の不純物濃度は $1 \times 10^{17}\text{cm}^{-3}$ 以上 $2 \times 10^{18}\text{cm}^{-3}$ 以下であり、n型GaN基板1の厚さは例えばおよそ $100\mu\text{m}$ である。n型導電層2の厚さはn型GaN基板1にエピタキシャル成長する際のバッファ層の厚さに相当し、例えばおよそ $5\mu\text{m}$ である。
- [0094] 本実施形態では、m面を正面とするn型GaN基板1およびn型導電層2にスルーホール8を設けることにより、スルーホール8の内壁に、c面、a面を現すことができる。+c面やa面と導電体部9との間のコンタクト抵抗は、m面がn型表面電極6に接する場合のコンタクト抵抗よりも低い。スルーホール8の内壁に電極を構成する導電体部9を接触させることにより、n型の半導体層と電極との間のコンタクト抵抗を全体として低下させることができる。これにより、活性層に印加される電圧を十分な大きさに維持し、電力効率を高めることができる。さらに、コンタクト抵抗の低い領域で熱が発生しにくくなる。これにより、活性層3の温度の上昇が抑制されるため、発光効率および内部量子効率を向上させることができる。さらに、スルーホール8の内壁に接触する導電体部9があることで、活性層との間の電流経路に広がりができる。従来構造では、n型表面電極6の端部に電流が集中して電極が破壊される問題が発生することがあったが、均一な電流経路によって信頼性を向上させることができる。
- [0095] なお、本実施形態では、実施の形態1のようなn型表面電極6やn型裏面電極7が設けられていないため、n型の半導体層と電極との接触面積が実施の形態1と比較して小さい。そのため、m面よりもコンタクト抵抗の高い一

c面を活性層3に近い側に配置させると、放熱性と低抵抗化の効果が十分に得られない。したがって、スルーホール8の内壁におけるc面を活性層3から遠い側に配置させることが好ましい。

[0096] 図15はGaN系発光ダイオードによる光出力の電流依存性のシミュレーション結果を示すグラフである。図12に示す従来のシミュレーション結果は、図5(a)、(b)に示す表面電極構造を有する発光ダイオードを用いて得た。図15に示すように、本実施形態では、同じ電流で従来よりも大きな光出力が得られ、効率が上がっていることがわかる。

[0097] (実施の形態6)

図16(a)は、本発明による発光ダイオード装置の実施の形態6を示す断面図であり、図16(b)は、図16(a)に示すn型GaN基板1の裏面1bを示す図である。図16(c)は、図16(a)に示す発光ダイオード素子14の正面側の表面を示す図である。図16(a)から(c)では、図6(a)から(c)と同じ構成要素には同じ符号を用いて示している。

[0098] 図16(a)から(c)に示すように、本実施の形態では、n型導電層2の正面に垂直な方向(y方向)から見たとき、スルーホール8が、四角形の平面形状を有するチップの角部に設けられている。p型電極5、p型導電層4および活性層3は、スルーホール8の設けられた角部以外の領域に設けられている。また、本実施形態では、n型GaN基板1の裏面1b上に、ITO(Indium Tin Oxide)等の透明な材料からなるn型裏面電極7が形成されている。n型裏面電極7は、活性層3を挟んでp型電極5に対向する位置に、p型電極5とほぼ同じ形状、ほぼ同じ面積で配置されている。導電体部9とスルーホール8の内壁との間は電気的に接続されている。スルーホール8はm面GaN基板1に形成するので、その内壁に、c面やa面などの側面を形成することができる。

[0099] n型導電層2の不純物濃度は例えば $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $2 \times 10^{18} \text{ cm}^{-3}$ 以下であり、n型GaN基板1の厚さはおよそ $100 \mu\text{m}$ 、n型導電層2の厚さは例えばおよそ $5 \mu\text{m}$ である。

- [0100] 本実施形態のn型裏面電極7は必ずしも図16(a)、(b)に示すような構成を有していないくともよく、n型導電層2の主面に垂直な方向から見たとき、n型裏面電極7がp型電極5と重なる領域に設けられていればよい。ただし、n型裏面電極7が設けられている面積が大きいほど、放熱性が高まり、抵抗も低くなる。本実施形態は、n型裏面電極7の構成以外は実施の形態1と同様の構成を有する。その構成についての説明は省略する。
- [0101] 本実施形態では、実施の形態1の場合と同様の効果を得ることができる。さらに、本実施形態では、n型の半導体層と電極との接触面積が実施の形態1よりも広いため、コンタクト抵抗がさらに低下する。また、裏面1bの全体から活性層3に電圧を印加することができるため、活性層3への電流注入をより均一に、さらに多量にすることができる。これにより、光出力を大きくすることができる。また、電流集中が緩和されるので、電極の信頼性が向上する。
- [0102] さらに、n型導電層2の主面にn型表面電極6を設けることによってフリップチップ実装が可能となる。これにより、チップの熱が実装基板12に伝わりやすくなり、放熱性および信頼性をさらに高めることができる。
- [0103] 図17は、GaN系発光ダイオードによる光出力の電流依存性のシミュレーション結果を示すグラフである。図17に示す従来のシミュレーション結果は、図5(a)、(b)に示す表面電極構造を有する発光ダイオードを用いて得た。図17に示すように、本実施形態では、同じ電流で従来よりも大きな光出力が得られ、効率が上がっている。また、図8に示す実施の形態1のシミュレーション結果と比較すると、横軸の値が大きいときに、本実施の形態のほうが光出力の値が大きくなっている。例えば、横軸の値が3(A/m²)のときの光出力の値は、実施の形態1では5W/mm²であるのに対し、本実施形態では、6W/mm²を超えている。実施の形態1と比較すると、本実施形態では、裏面1bにおけるn型裏面電極7の面積がより広くなるため、放熱性が高まり抵抗もより低くなっていると考えられる。また、裏面1bの全体から活性層3に電圧を印加することができるため、活性層3への電流注

入が均一であり、さらに多量の電流を流すことができる。

[0104] (実施の形態 7)

図18 (a) は、本発明による発光ダイオード装置の実施の形態7を示す断面図であり、図18 (b) は、図18 (a) に示すn型GaN基板1の裏面1bを示す図である。図18 (c) は、図18 (a) に示す発光ダイオード素子14の正面側の表面を示す図である。図18 (a) から (c) では、図6 (a) から (c) と同じ構成要素には同じ符号を用いて示している。

[0105] 図18 (a) から (c) に示すように、本実施の形態では、n型GaN基板1の裏面1bにn型裏面電極7が形成されている。n型導電層2の正面に垂直な方向(y方向)から見たとき、n型裏面電極7は、n型表面電極6に重なる部分だけではなく、活性層3を挟んでp型電極5に重なる部分にも設けられている。n型裏面電極7は、n型貫通電極9を覆う主部7aと、主部7aからx方向に延びる線状のx方向延長部7bと、z方向に延びる複数の線状のz方向延長部7cとを有する。それぞれのz方向延長部7cの両端部にはx方向延長部7bが接続されており、これによって、主部7a、x方向延長部7bおよびz方向延長部7cは全て電気的に接続されている。このように、n型裏面電極7が裏面1bに均一に近い密度で設けられることにより、活性層3に均一に電圧を印加することができる。活性層3において発生した光は、n型GaN基板1の裏面において、x方向延長部7bおよびz方向延長部7cの隙間から取り出される。

[0106] なお、n型裏面電極7は必ずしも図18 (b) に示すような形状を有していないなくてもよい。裏面1bに均一に近い密度で配置され、裏面1bから光を取り出すための隙間が設けられていれば、格子形状などの他の形状を有してもよい。本実施形態は、n型裏面電極7の構成以外は実施の形態1と同様の構成を有する。その構成についての説明は省略する。

[0107] n型基板1およびn型導電層2の不純物濃度は例えば $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $2 \times 10^{18} \text{ cm}^{-3}$ 以下であり、n型GaN基板1の厚さはおよそ $100 \mu\text{m}$ 、n型導電層2の厚さは例えばおよそ $5 \mu\text{m}$ である。

- [0108] 本実施形態では、実施の形態 1 の場合と同様の効果を得ることができる。さらに、本実施形態では、n 型の半導体層と電極との接触面積が実施の形態 1 よりも広いため、コンタクト抵抗がさらに低下する。また、裏面 1 b から全体的に活性層 3 に電圧を印加することができるため、活性層 3 への電流注入をより均一に、さらに多量にすることができる。これにより、光出力を大きくすることができる。また、電流集中が緩和されるので、電極の信頼性が向上する。
- [0109] 実施の形態 6 では、n 型裏面電極 7 を、p 型電極 5 に対向する位置に、p 型電極 5 とほぼ同じ面積で形成している。それに対して、本実施形態では、n 型裏面電極 7 を、裏面 1 b の全体には形成していない。そのため、本実施形態では、実施の形態 6 と比較して、活性層 3 へ印加される電圧の均一性は低い。しかしながら、本実施形態では、透明電極材料にありがちな接触抵抗の増大や密着性の悪さなどの課題を回避することができる。また、安価な電極材料を用いることができるという利点もある。
- [0110] さらに、n 型導電層 2 の主面に n 型表面電極 6 を設けることによってフリップチップ実装が可能となる。これにより、チップの熱が実装基板 1 2 に伝わりやすくなり、放熱性および信頼性をさらに高めることができる。
- [0111] 図 19 は、GaN 系発光ダイオードによる光出力の電流依存性のシミュレーション結果を示すグラフである。図 19 に示す従来のシミュレーション結果は、図 5 (a)、(b) に示す表面電極構造を有する発光ダイオードを用いて得た。図 19 に示すように、本実施形態では、同じ電流で従来よりも大きな光出力が得られ、効率が上がっている。また、図 8 に示す実施の形態 1 のシミュレーション結果と比較すると、横軸の値が大きいときに、本実施の形態のほうが光出力の値が大きくなっている。例えば、横軸の値が 3 (A/m²) のときの光出力の値は、実施形態 1 では 5 W/mm² であるのに対し、本実施形態では、5.5 W/mm² 程度である。実施の形態 1 と比較すると、本実施形態では、裏面 1 b における n 型裏面電極 7 の面積がより広くなるので、放熱性が高まり抵抗もより低くなっていると考えられる。また、裏面 1 b か

ら活性層3に均一に電圧を印加することができるため、活性層3への電流注入が均一であり、更に多量の電流を流すことができる。

[0112] (実施の形態8)

図20(a)は、本発明による発光ダイオード装置の実施の形態8を示す断面図であり、図20(b)は、図20(a)に示すn型導電層2の裏面2cを示す図である。図20(c)は、図20(a)に示す発光ダイオード素子14の主面側の表面を示す図である。図20(a)から(c)では、図6(a)から(c)と同じ構成要素には同じ符号を用いて示している。

[0113] 図20(a)から(c)に示すように、本実施の形態の発光ダイオード素子14は、n型GaN基板1を有していない。スルーホール8および導電体部9はn型導電層2に設けられ、n型導電層2の裏面2cには、ITO(Indium Tin Oxide)等の透明な材料からなるn型裏面電極7が設けられている。n型裏面電極7は、活性層3を挟んでp型電極5に対向する位置に、p型電極5とほぼ同じ形状、ほぼ同じ面積で配置されている。本実施形態は、基板が除去されている点とn型裏面電極7の構成以外は実施の形態1と同様の構成を有する。その構成についての説明は省略する。

[0114] n型導電層2の不純物濃度は例えば $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $2 \times 10^{18} \text{ cm}^{-3}$ 以下であり、n型導電層2の厚さは例えばおよそ $5 \mu\text{m}$ である。

[0115] n型導電層2は、例えばサファイア基板などの基板上に結晶成長されたものを用いることができる。発光ダイオード素子14を形成した後に基板を除去することによって、薄いチップを得ることができる。基板を除去する方法としては、剥離させたり、エッティングやCMPが考えられる。エッティング等を行う場合には、基板を完全に除去せず、一部のみを残してもよい。

[0116] 本実施形態では、実施の形態6の場合と同様の効果を得ることができる。さらに、本実施形態では、n型の半導体層が薄いため、光取り出し効率が良くなると共に、装置を小型化することができる。従来の表面電極タイプの発光ダイオードでは、n型の半導体層を薄くすると、横方向のn型の半導体層の抵抗が高くなるという問題があった。本実施形態では、裏面2cにもn型

裏面電極 7 を形成しているため、キャリアが縦方向へ移動できる。そのため、n 型の半導体層の抵抗が高くなるという問題を回避することができる。また、電流集中が緩和されるので、電極の信頼性が向上する。

[0117] 図 21 は、GaN 系発光ダイオードによる光出力の電流依存性のシミュレーション結果を示すグラフである。図 21 に示す従来のシミュレーション結果は、図 5 (a)、(b) に示す表面電極構造を有する発光ダイオードを用いて得た。図 21 に示すように、本実施形態では、同じ電流で従来よりも大きな光出力が得られ、効率が上がっている。本実施形態では、裏面 2c における n 型裏面電極 7 の面積がより広くなるので、放熱性が高まり抵抗もより低くなっていると考えられる。また、裏面 2c の全体から活性層 3 に電圧を印加することができるため、活性層 3 への電流注入が均一であり、更に多量の電流を流すことができる。これにより、光出力が大きくなる。また、n 型導電層 2 の主面に n 型表面電極 6 を設けることによってフリップチップ実装が可能となる。これにより、チップの熱が実装基板 12 に伝わりやすく、放熱性および信頼性をさらに高めることができる。

[0118] なお、図 20 には、n 型裏面電極 7 が裏面 2c の全体に配置する構造を示したが、本実施形態の n 型裏面電極 7 は、実施の形態 7 のように、裏面 2c に線状に配置する構造を有していてもよい。

産業上の利用可能性

[0119] 本発明の半導体発光素子は、表示装置、照明装置、LCD バックライトの光源として好適に用いられる。

符号の説明

[0120] 1 n 型基板

1 a 主面

1 b 裏面

2 n 型導電層

2 a 第 1 の領域

2 b 第 2 の領域

- 2 c 裏面
- 3 活性層
- 4 p 型導電層
- 5 p 型電極
- 6 n 型表面電極
- 7 n 型裏面電極
- 7 a 主部
- 7 b x 方向延長部
- 7 c z 方向延長部
- 8 スルーホール
- 8' 凹部
- 8 a + c 面
- 8 b - c 面
- 8 c、8 d a 面
- 9 導電体部
- 9' 導電体部
- 9 a 導電体部
- 10 バンプ
- 11 バンプ
- 12 実装基板
- 13 バンプ位置
- 14 発光ダイオードチップ
- 15 ボンディングパッド
- 16 ワイヤ
- 20 発光ダイオード装置
- 21 半導体積層構造

請求の範囲

- [請求項1] 主面および裏面を有し、前記主面がm面である窒化ガリウム系化合物からなる第1導電型の第1の半導体層と、
前記第1の半導体層の前記主面における第1の領域に設けられ、第2導電型の第2の半導体層、および、前記第1の半導体層と前記第2の半導体層との間に位置する活性層を含む半導体積層構造と、
前記第2の半導体層上に設けられた第1の電極と、
前記第1の半導体層の前記主面における第2の領域に設けられ、前記第1の半導体層を貫通するスルーホールの内壁と接する導電体部と、
前記第1の半導体層の前記主面における前記第2の領域に設けられ、前記導電体部と接する第2の電極とを備える発光ダイオード素子。
- [請求項2] 前記スルーホールの前記内壁の側面はc面またはa面を含んでいる
、請求項1に記載の発光ダイオード素子。
- [請求項3] 前記第1の半導体層の前記裏面に設けられた第3の電極をさらに備え、
前記導電体部と前記第3の電極とは接している請求項1または2に記載の発光ダイオード素子。
- [請求項4] 前記第1の半導体層は、第1導電型の半導体基板を含んでいる請求項1から3のいずれかに記載の発光ダイオード素子。
- [請求項5] 前記スルーホールの前記内壁の側面における一部は+c面であり、
前記スルーホールの前記内壁の側面における他の一部は-c面であり、
前記内壁の側面における前記+c面は、前記内壁の側面における前記-c面よりも前記活性層に近い位置に配置される請求項1から4のいずれかに記載の発光ダイオード素子。
- [請求項6] 前記スルーホールは、前記第1の半導体層の前記主面の中央部に設けられている、請求項1から5のいずれかに記載の発光ダイオード素

子。

[請求項7] 前記スルーホールの前記内壁の側面は相対する2つのa面、相対する+c面と-c面とを含み、

前記第1の半導体層の前記主面に垂直な方向から見たとき、前記活性層は、前記2つのa面のうちの一方によって規定される辺に対向する辺と、前記2つのa面のうちの他方によって規定される辺に対向する辺と、前記+c面によって規定される辺に対向する辺とを有し、前記-c面によって規定される辺に対向する辺は有していない請求項1から6のいずれかに記載の発光ダイオード素子。

[請求項8] 前記第1の半導体層の前記主面に垂直な方向から見たとき、前記スルーホールは正方形または長方形の形状を有し、前記活性層はコの字形状を有している請求項7に記載の発光ダイオード素子。

[請求項9] 前記第2の電極、前記第3の電極および前記導電体部は同一の金属材料から一体的に形成されている請求項3に記載の発光ダイオード素子。

[請求項10] 前記第1の半導体層の前記主面に垂直な方向から見たとき、前記第3の電極は前記第1の電極と重なる領域に設けられている請求項3に記載の発光ダイオード素子。

[請求項11] 前記第1の半導体層の前記主面に垂直な方向から見たとき、前記第3の電極は、前記第1の電極と重なる領域に、互いに間隔をおいて配置されている請求項3に記載の発光ダイオード素子。

[請求項12] 請求項1から11のいずれかに記載の発光ダイオード素子と、実装基板とを備える発光ダイオード装置であって、前記第1の電極および前記第2の電極が配置されている側が前記実装基板に対向するように前記発光ダイオード素子は前記実装基板上に配置される発光ダイオード装置。

補正された請求の範囲
[2010年11月16日 (16.11.2010) 国際事務局受理]

- [請求項 1] (補正後) 主面および裏面を有し、前記主面がm面である窒化ガリウム系化合物からなる第1導電型の第1の半導体層と、
前記第1の半導体層の前記主面における第1の領域に設けられ、
第2導電型の第2の半導体層、および、前記第1の半導体層と前記
第2の半導体層との間に位置する活性層を含む半導体積層構造と、
前記第2の半導体層上に設けられた第1の電極と、
前記第1の半導体層の前記主面における第2の領域に設けられ、
前記第1の半導体層を貫通するスルーホールの内壁と接する導電
体部と、
前記第1の半導体層の前記主面における前記第2の領域に設け
られ、前記導電体部と接する第2の電極とを備え、前記スルーホー
ルの前記内壁の側面はc面またはa面を含んでいる、発光ダイオー
ド素子。
- [請求項 2] (削除)
- [請求項 3] (補正後) 前記第1の半導体層の前記裏面に設けられた第3の電
極をさらに備え、
前記導電体部と前記第3の電極とは接している請求項1に記載
の発光ダイオード素子。
- [請求項 4] (補正後) 前記第1の半導体層は、第1導電型の半導体基板を含
んでいる請求項1または3に記載の発光ダイオード素子。
- [請求項 5] (補正後) 前記スルーホールの前記内壁の側面における一部は+
c面であり、前記スルーホールの前記内壁の側面における他の一部
は-c面であり、
前記内壁の側面における前記+c面は、前記内壁の側面における
前記-c面よりも前記活性層に近い位置に配置される請求項1、3
および4のいずれかに記載の発光ダイオード素子。
- [請求項 6] (補正後) 前記スルーホールは、前記第1の半導体層の前記主面

の中央部に設けられている、請求項 1 および 3 から 5 のいずれかに記載の発光ダイオード素子。

[請求項 7] (補正後) 前記スルーホールの前記内壁の側面は相対する 2 つの a 面、相対する +c 面と -c 面とを含み、

前記第 1 の半導体層の前記正面に垂直な方向から見たとき、前記活性層は、前記 2 つの a 面のうちの一方によって規定される辺に対向する辺と、前記 2 つの a 面のうちの他方によって規定される辺に対向する辺と、前記 +c 面によって規定される辺に対向する辺とを有し、前記 -c 面によって規定される辺に対向する辺は有していない請求項 1 および 3 から 6 のいずれかに記載の発光ダイオード素子。

[請求項 8] 前記第 1 の半導体層の前記正面に垂直な方向から見たとき、前記スルーホールは正方形または長方形の形状を有し、前記活性層はコの字形状を有している請求項 7 に記載の発光ダイオード素子。

[請求項 9] 前記第 2 の電極、前記第 3 の電極および前記導電体部は同一の金属材料から一体的に形成されている請求項 3 に記載の発光ダイオード素子。

[請求項 10] 前記第 1 の半導体層の前記正面に垂直な方向から見たとき、前記第 3 の電極は前記第 1 の電極と重なる領域に設けられている請求項 3 に記載の発光ダイオード素子。

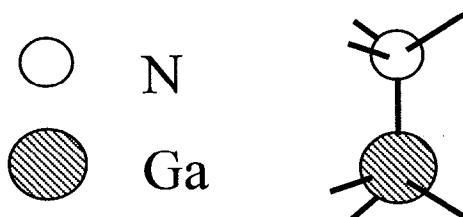
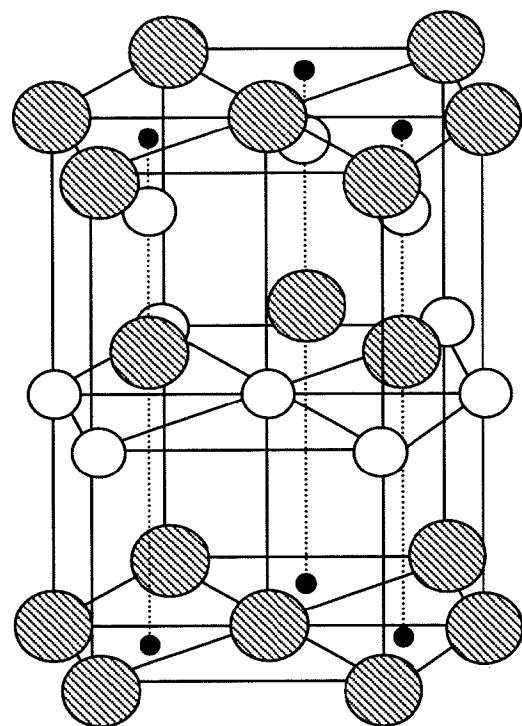
[請求項 11] 前記第 1 の半導体層の前記正面に垂直な方向から見たとき、前記第 3 の電極は、前記第 1 の電極と重なる領域に、互いに間隔をおいて配置されている請求項 3 に記載の発光ダイオード素子。

[請求項 12] (補正後) 請求項 1 および 3 から 11 のいずれかに記載の発光ダイオード素子と、

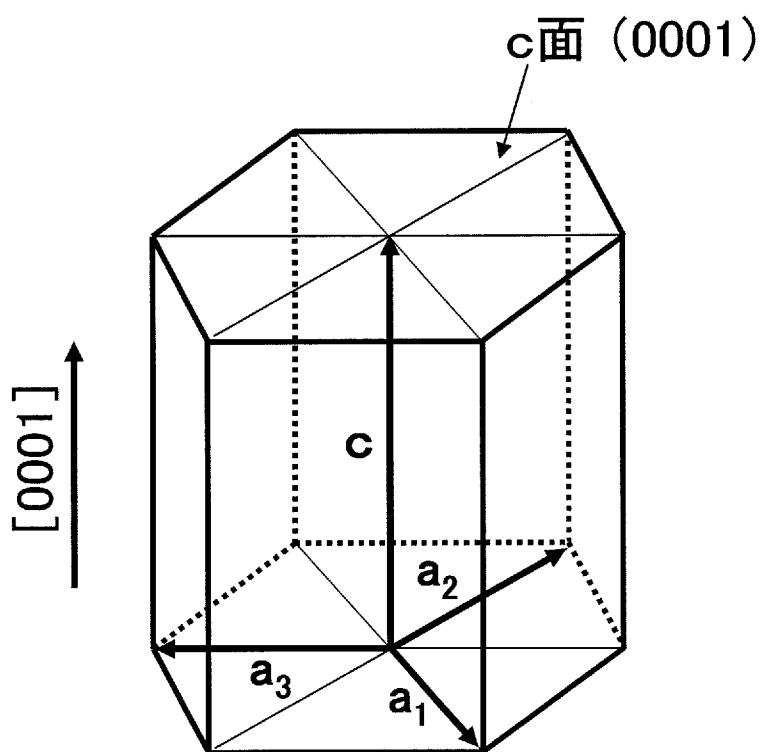
実装基板とを備える発光ダイオード装置であって、

前記第 1 の電極および前記第 2 の電極が配置されている側が前記実装基板に対向するように前記発光ダイオード素子は前記実装基板上に配置される発光ダイオード装置。

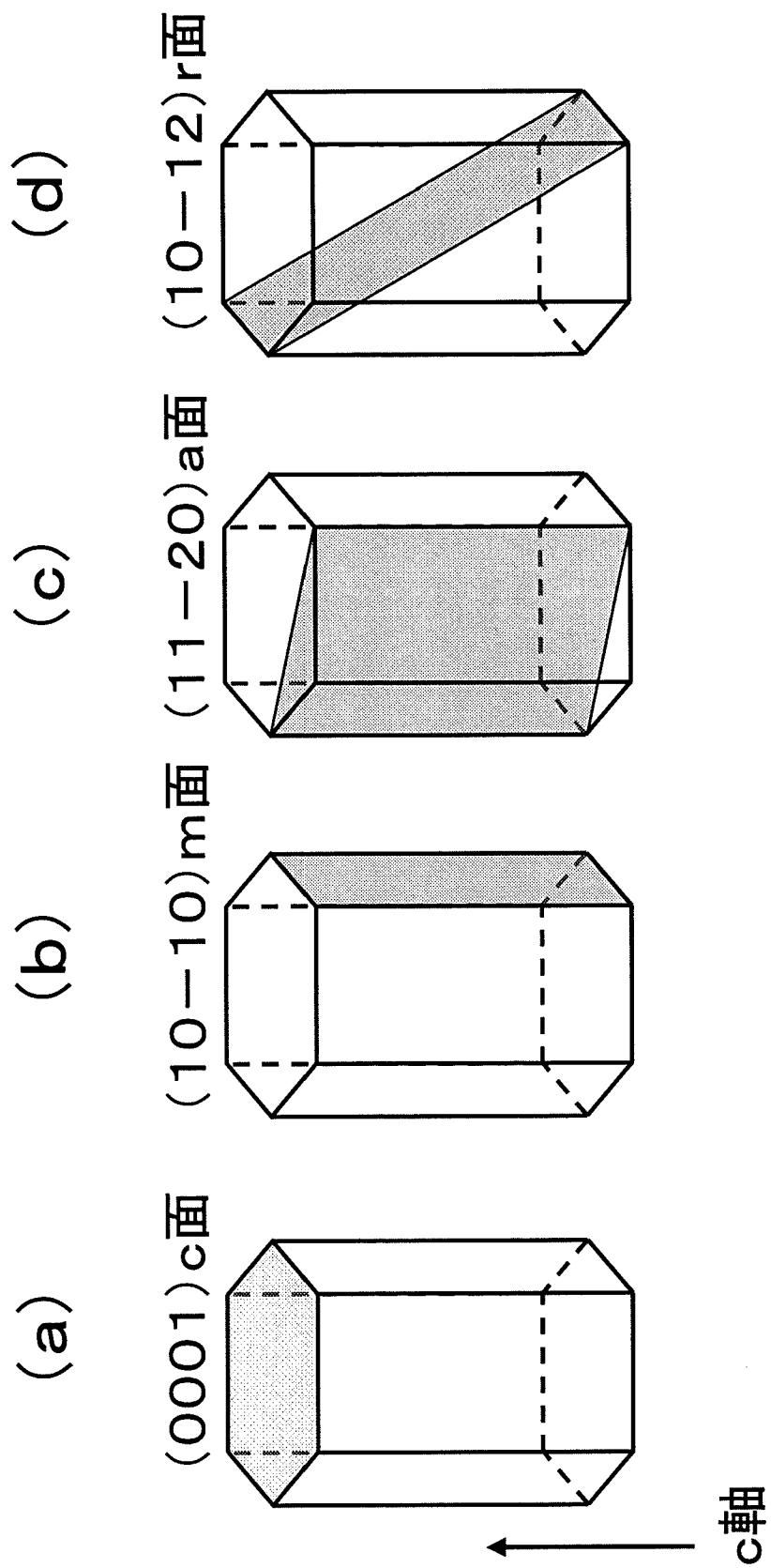
[図1]



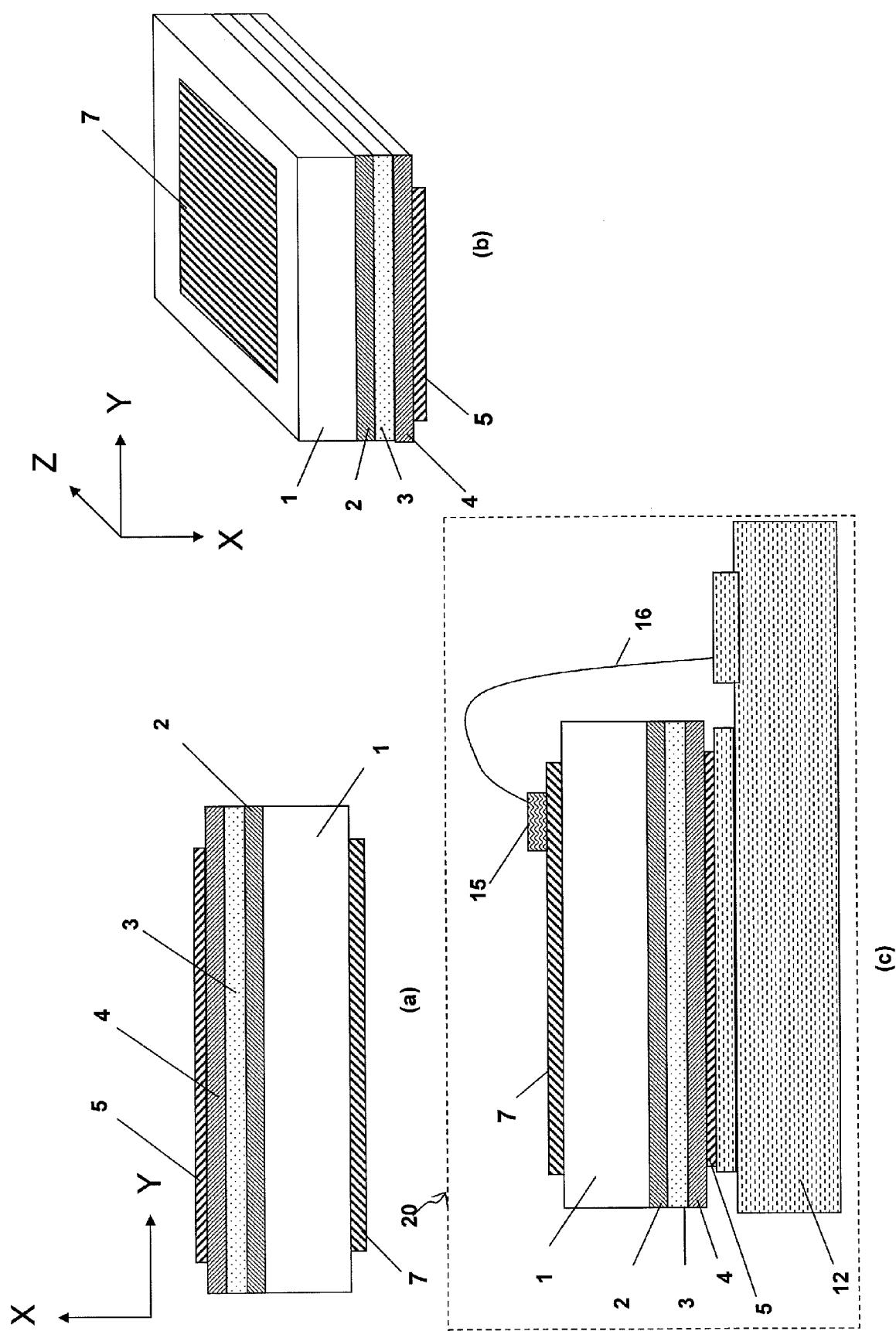
[図2]



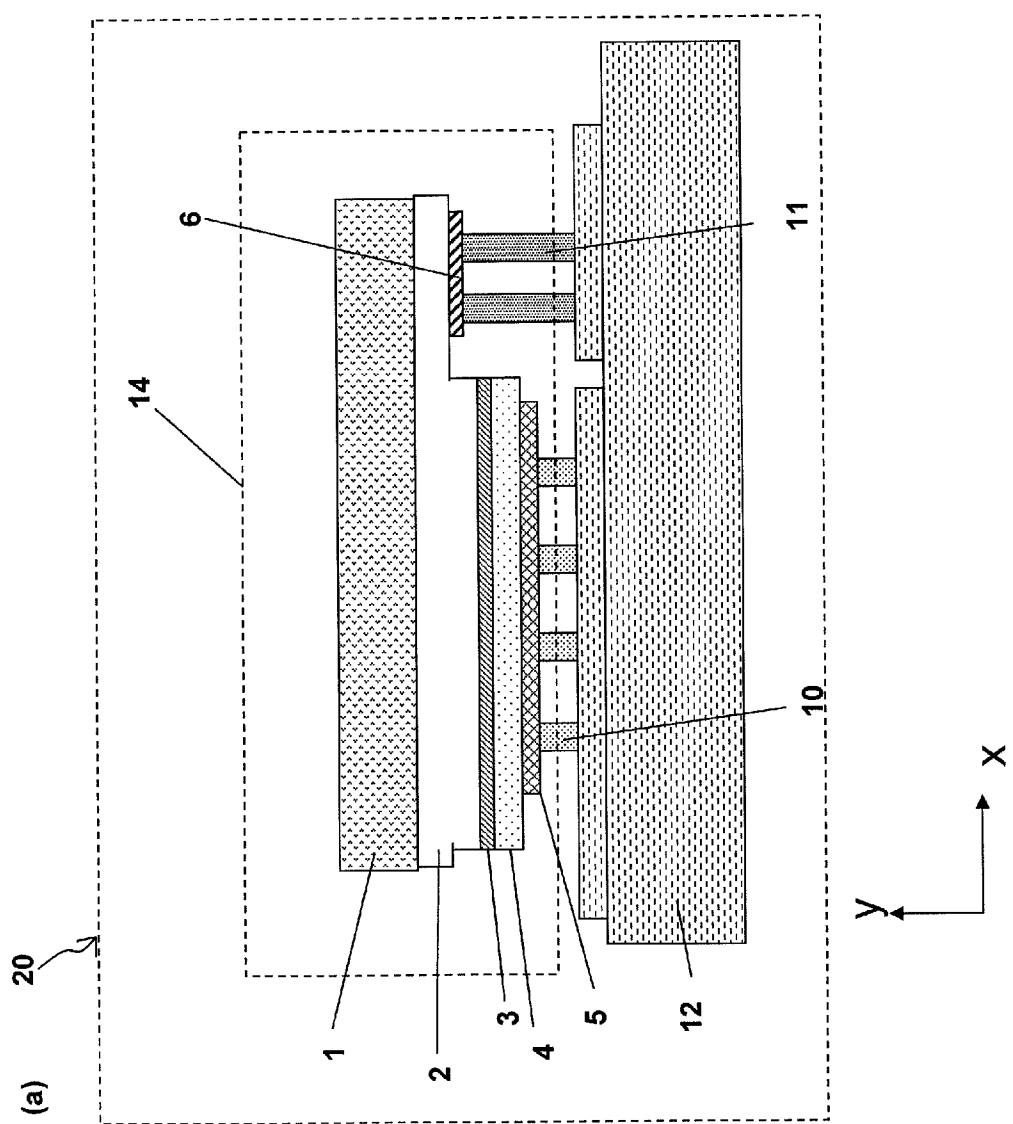
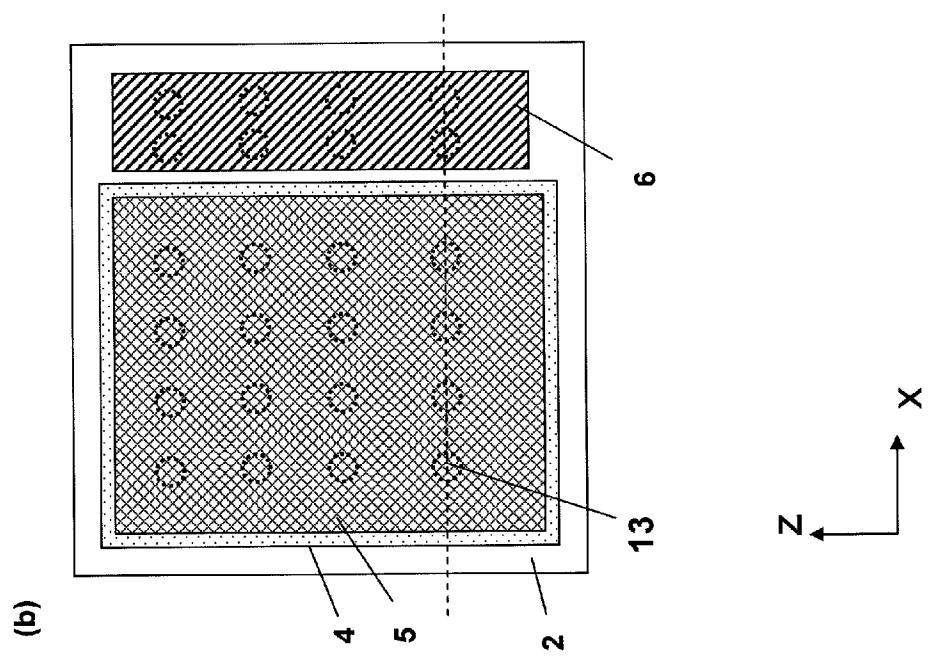
[図3]



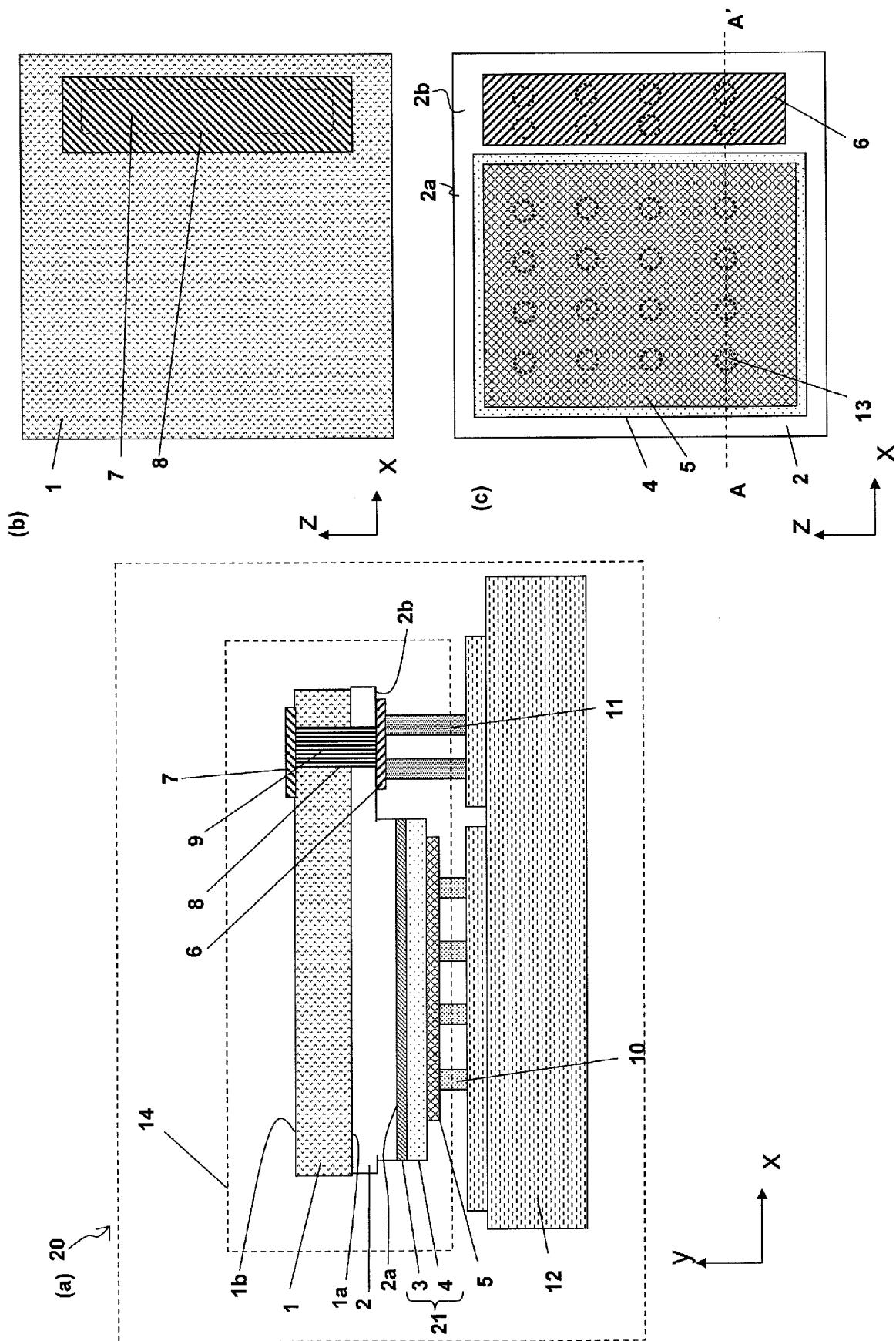
[図4]



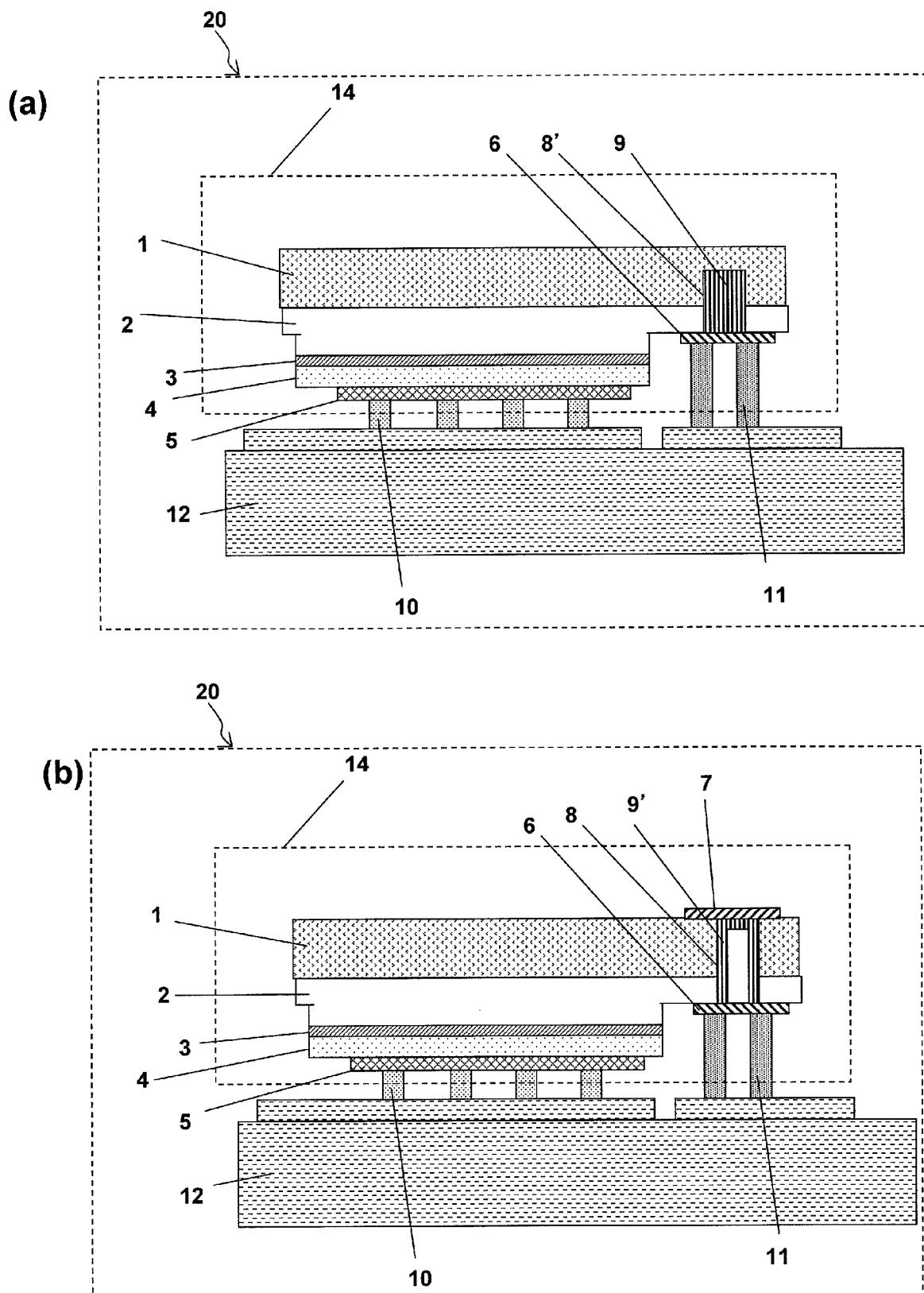
[図5]



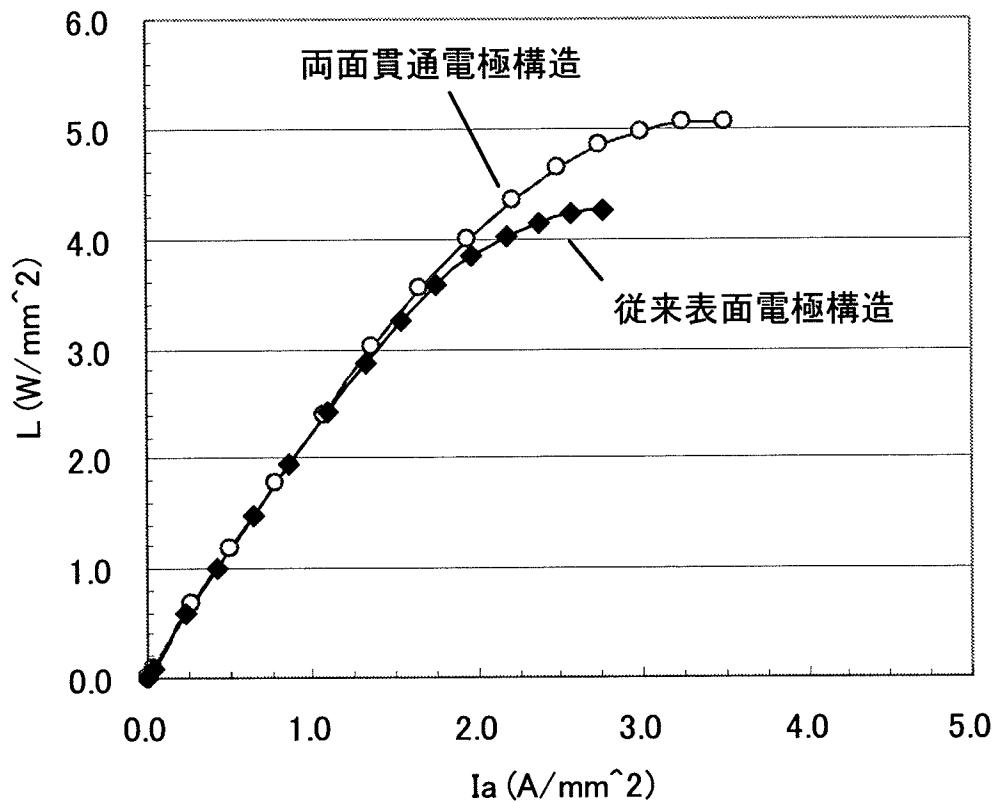
[図6]



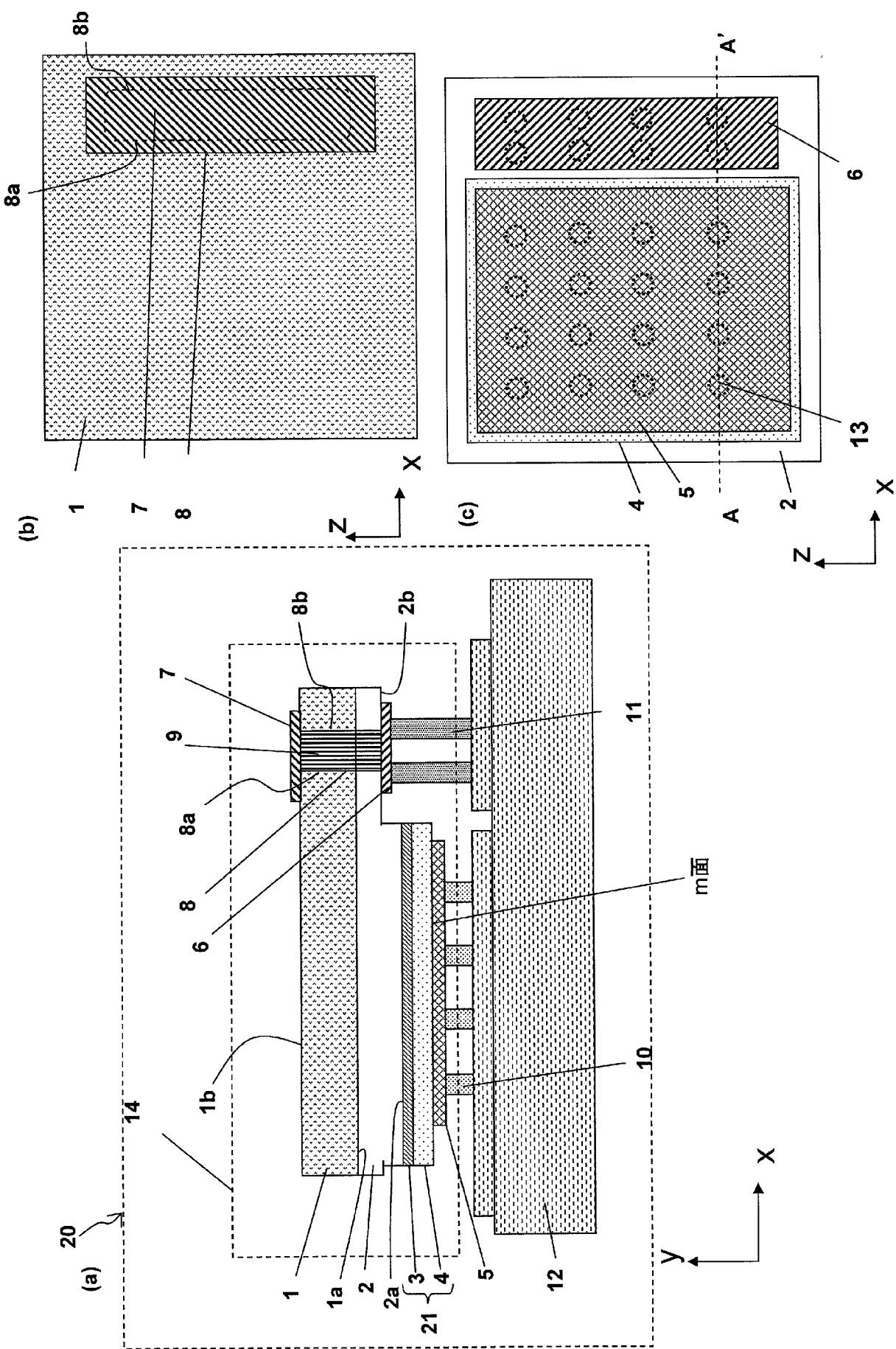
[図7]



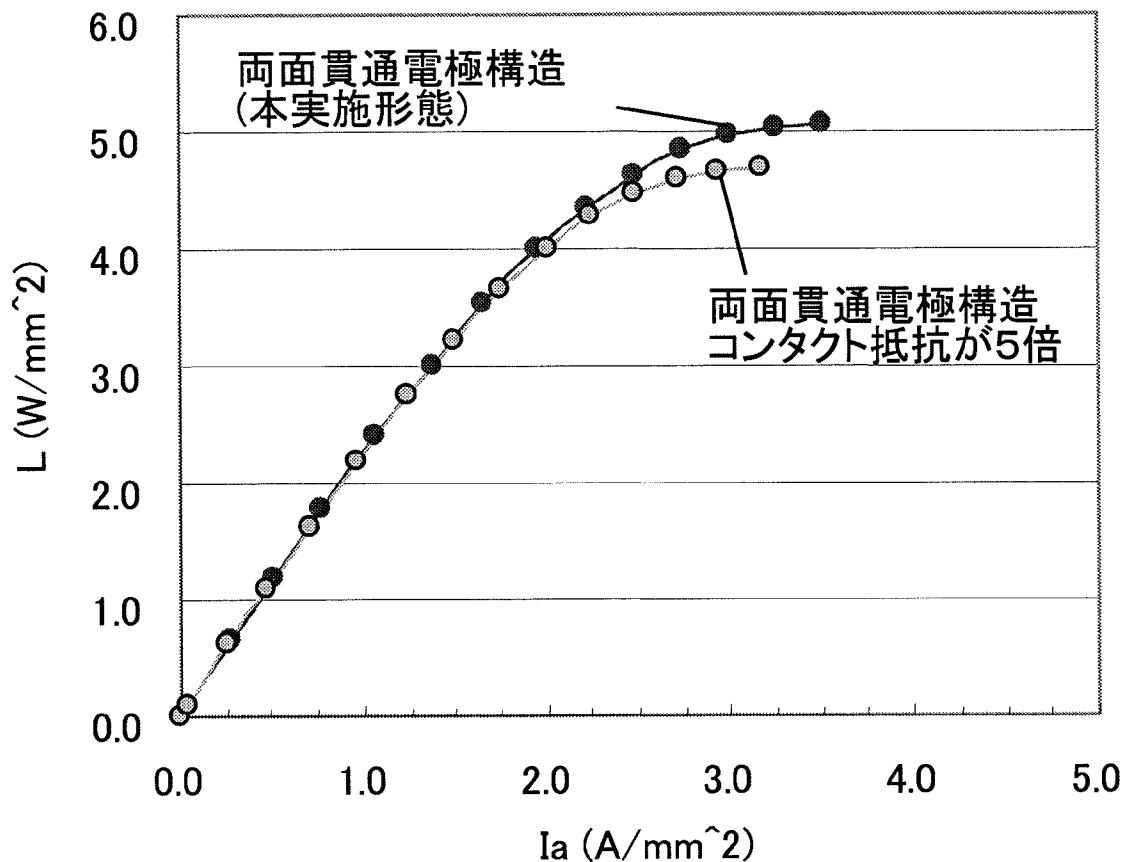
[図8]



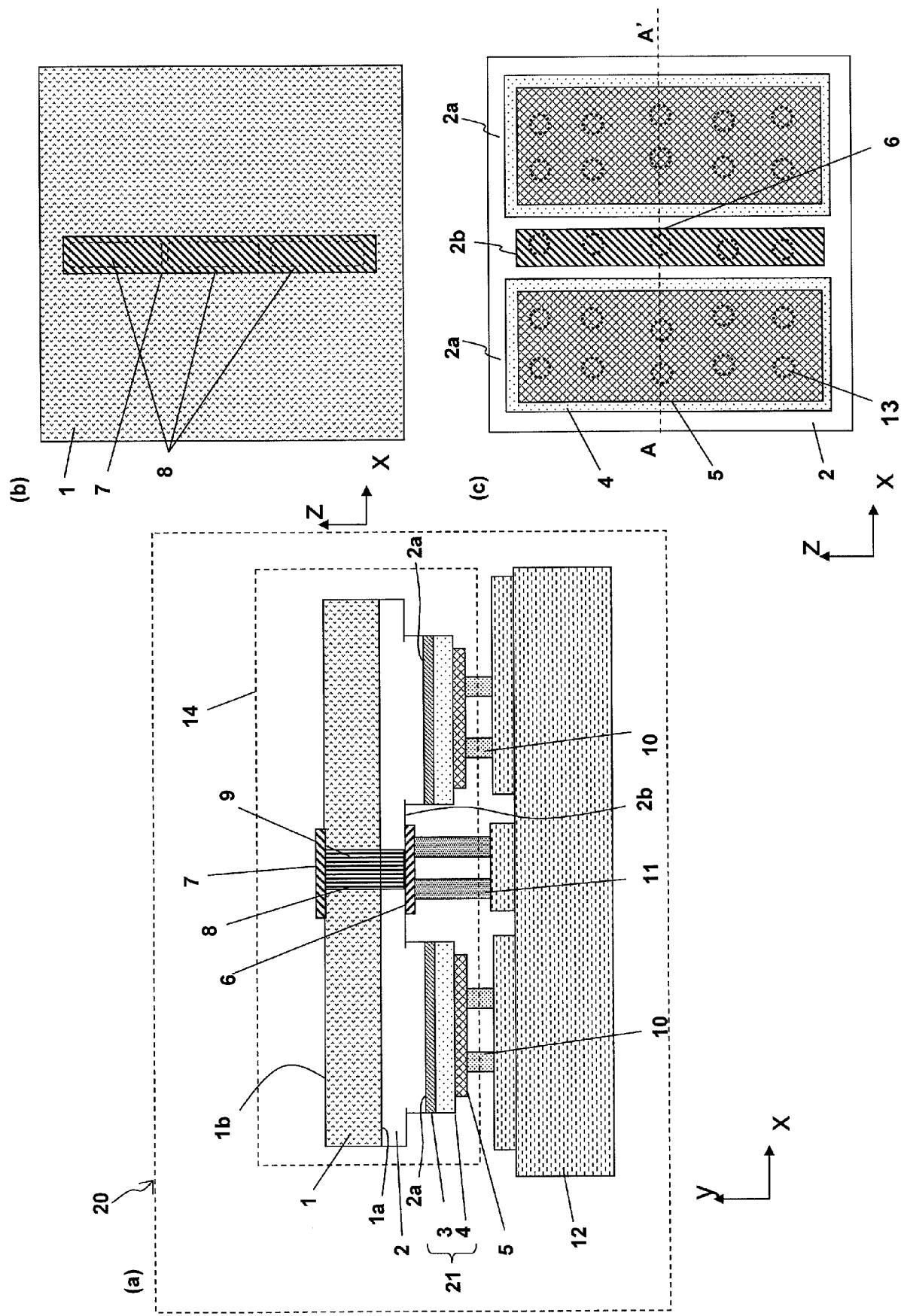
[図9]



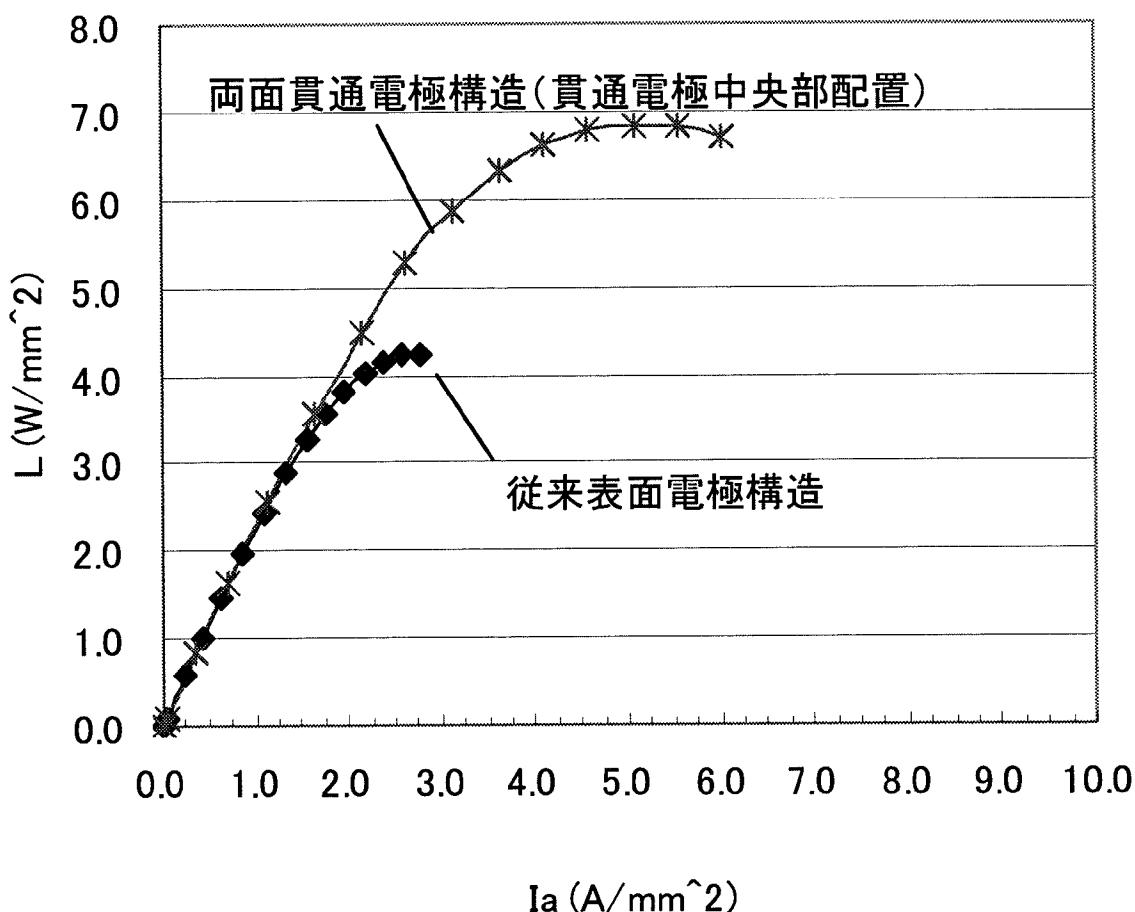
[図10]



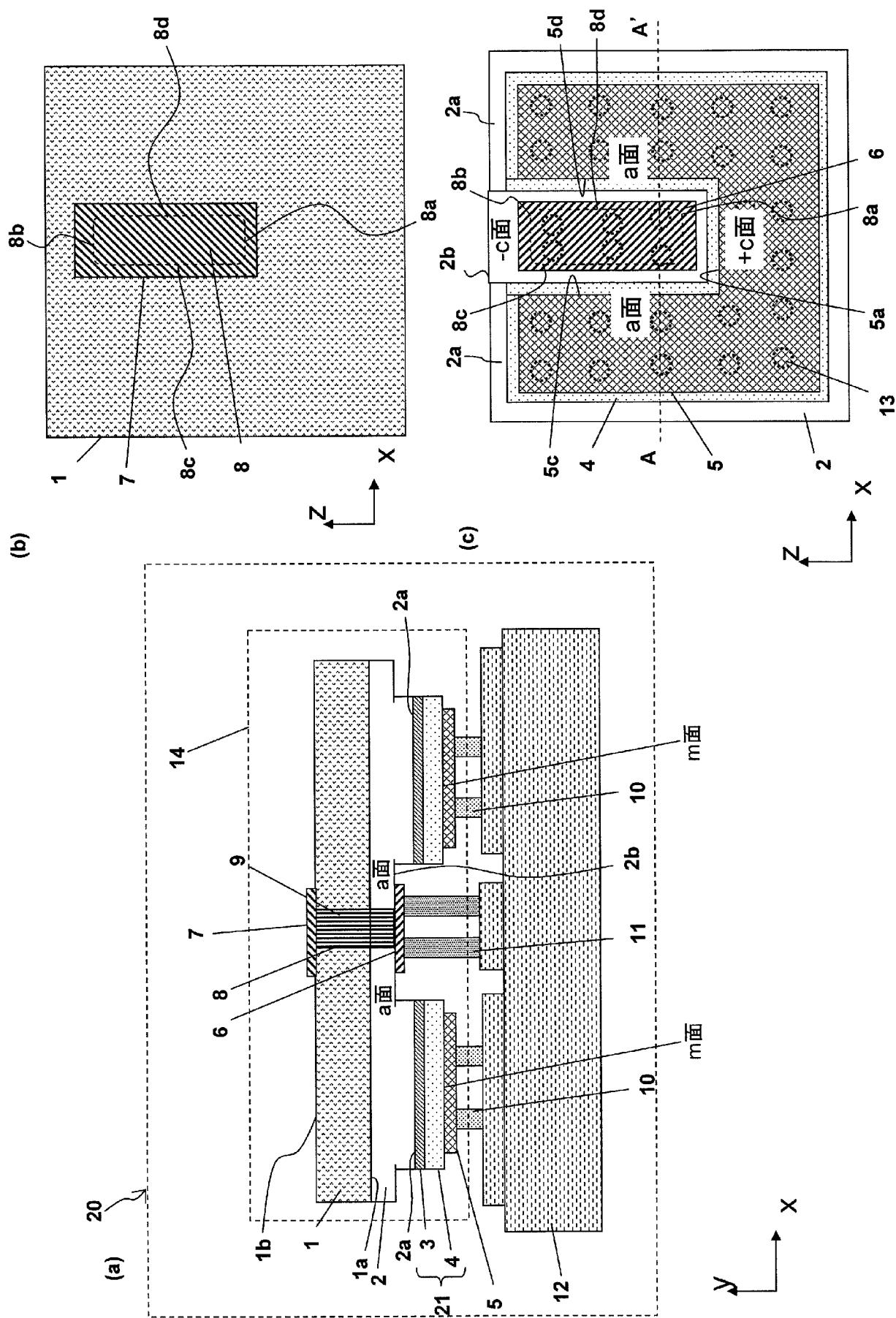
[図11]



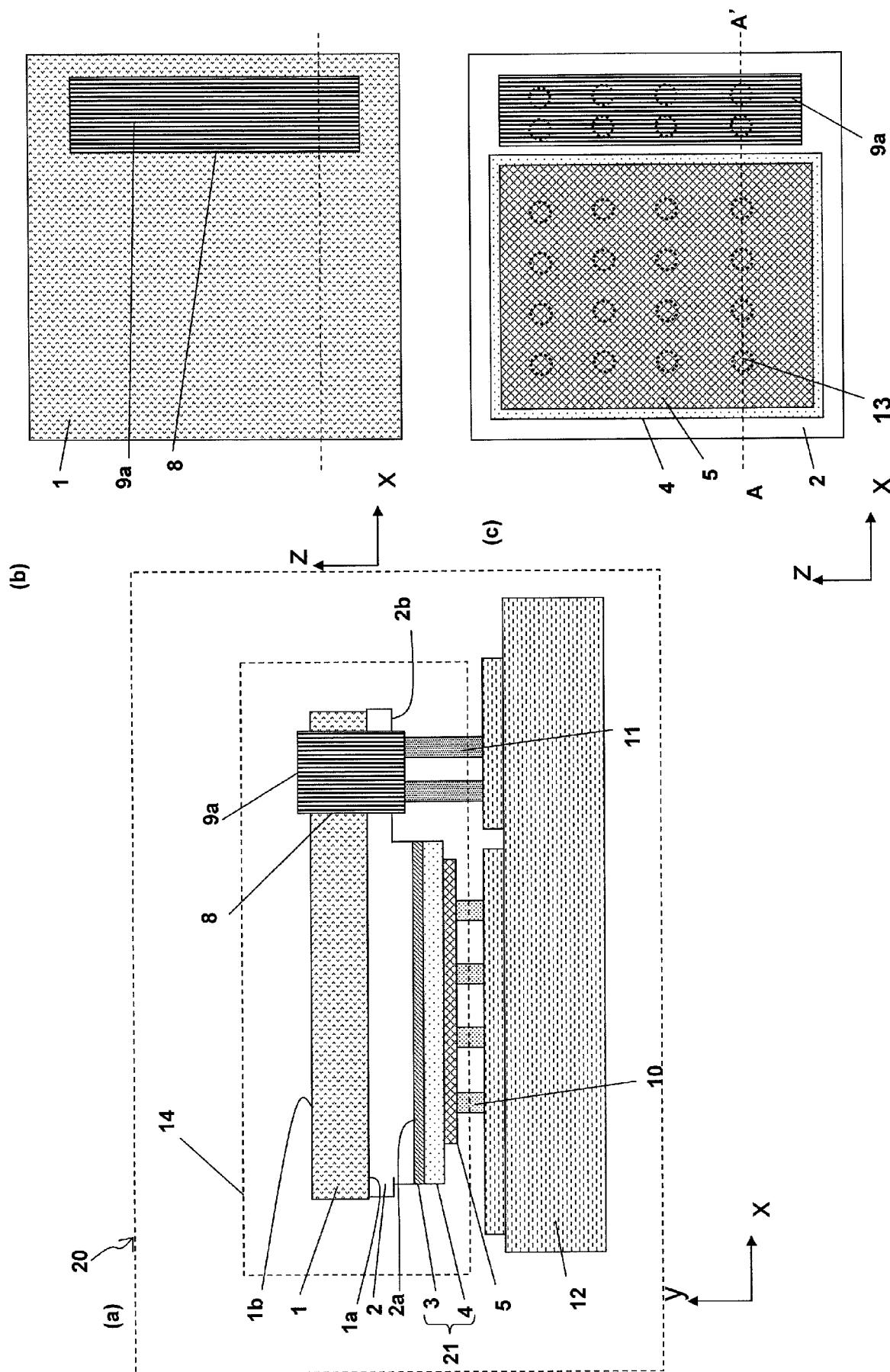
[図12]



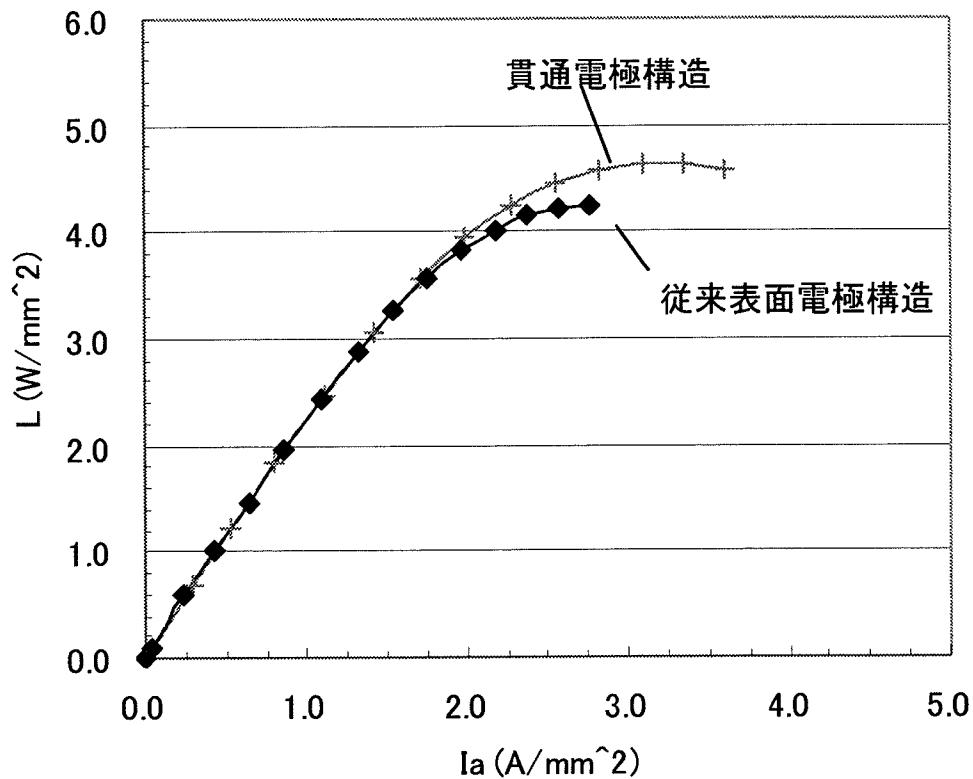
[図13]



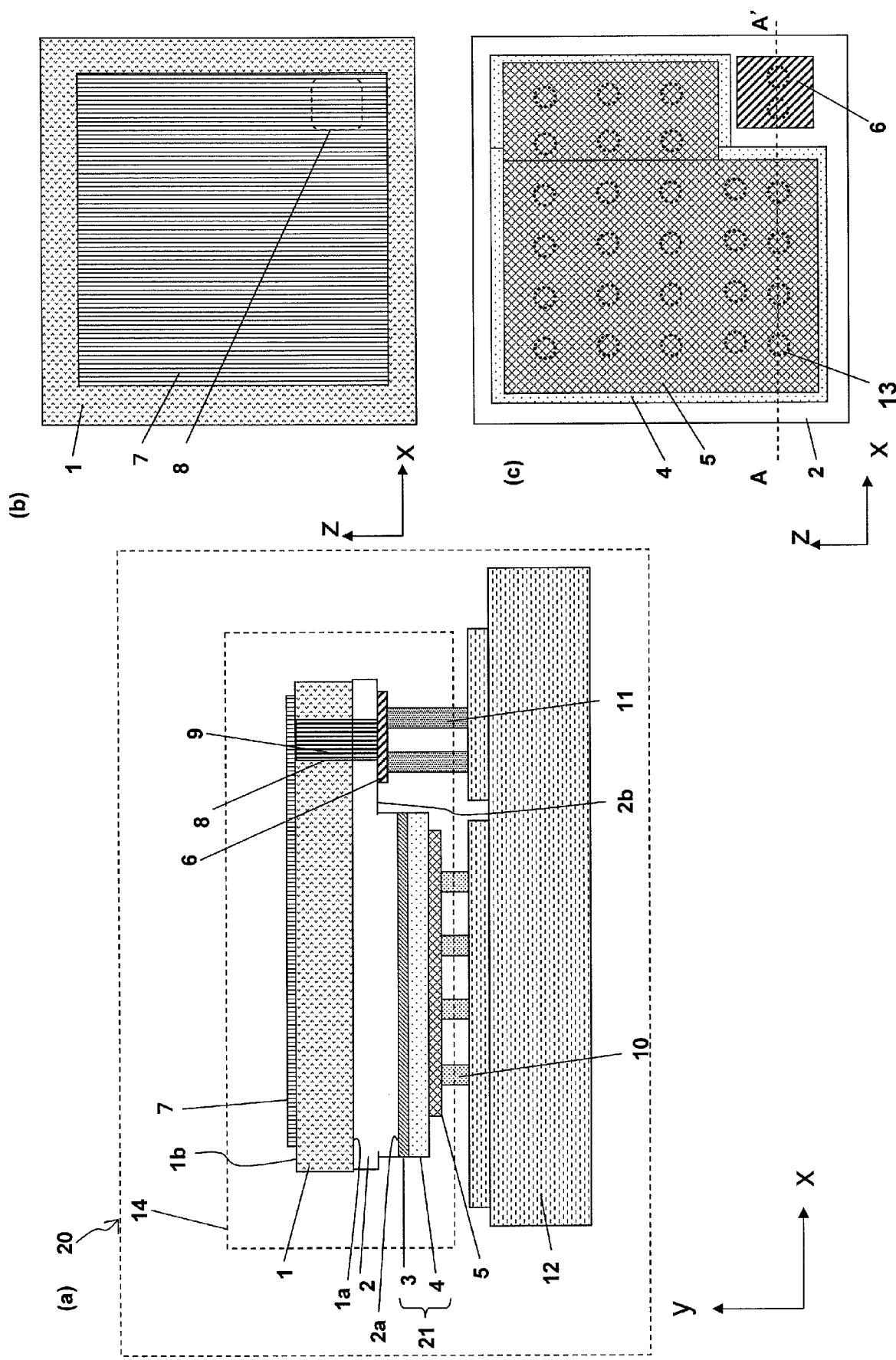
[図14]



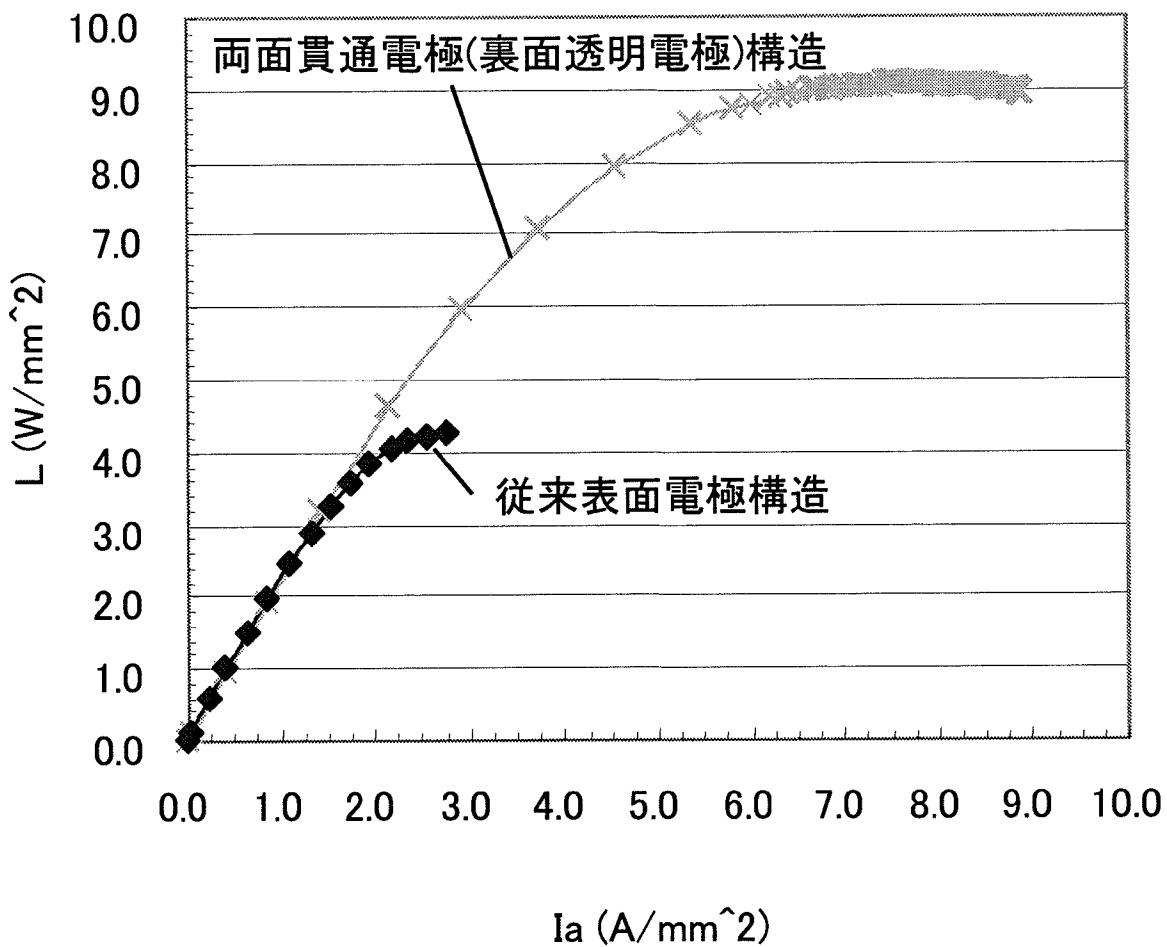
[図15]



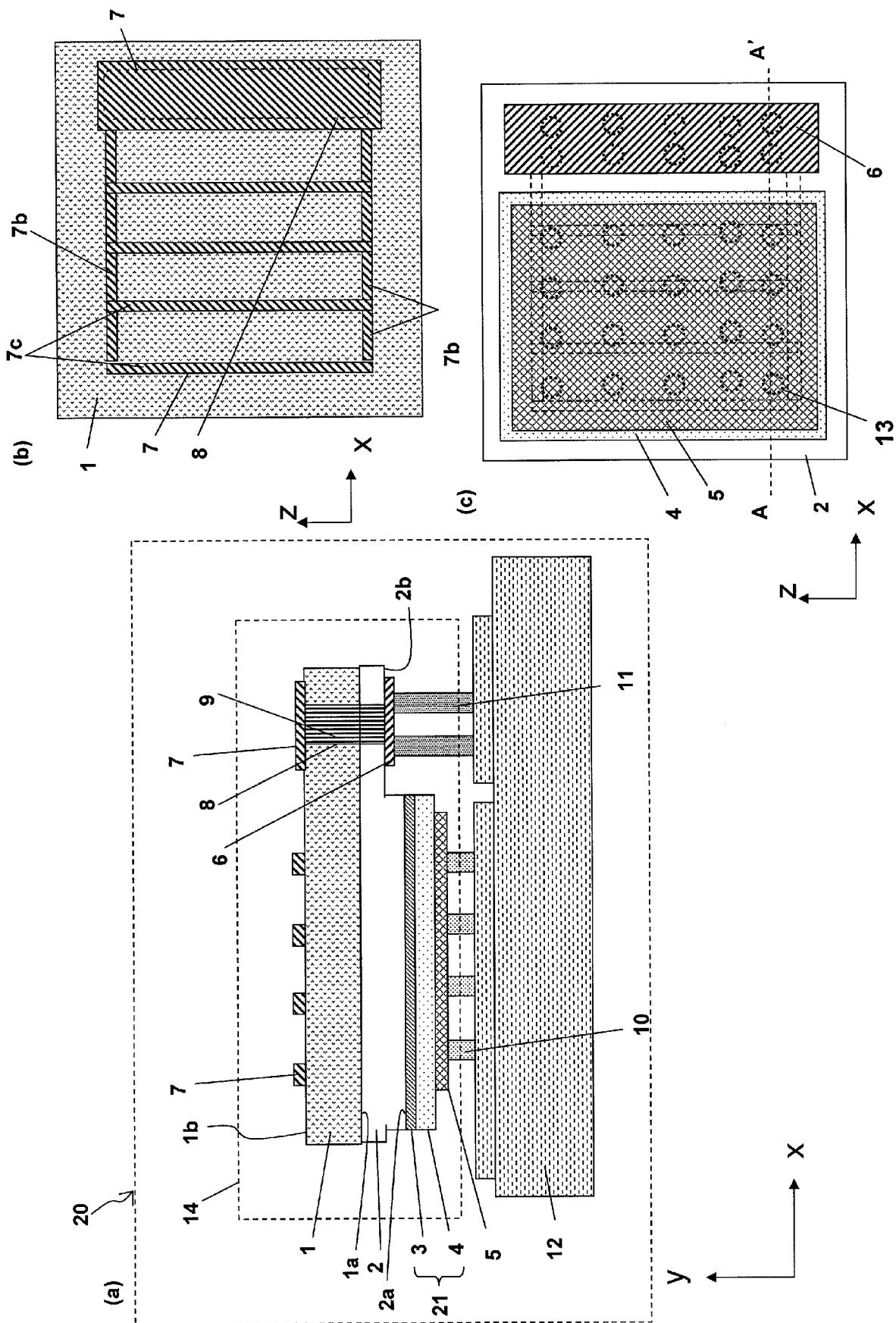
[図16]



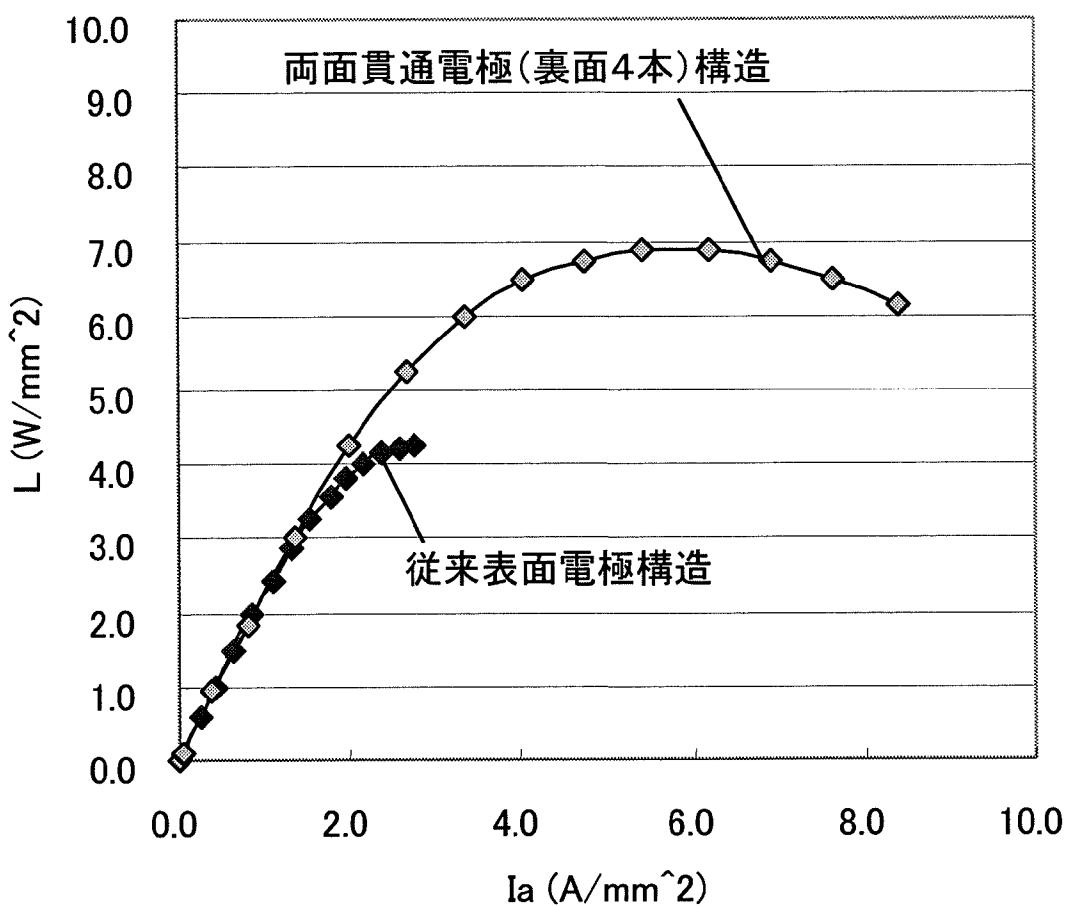
[図17]



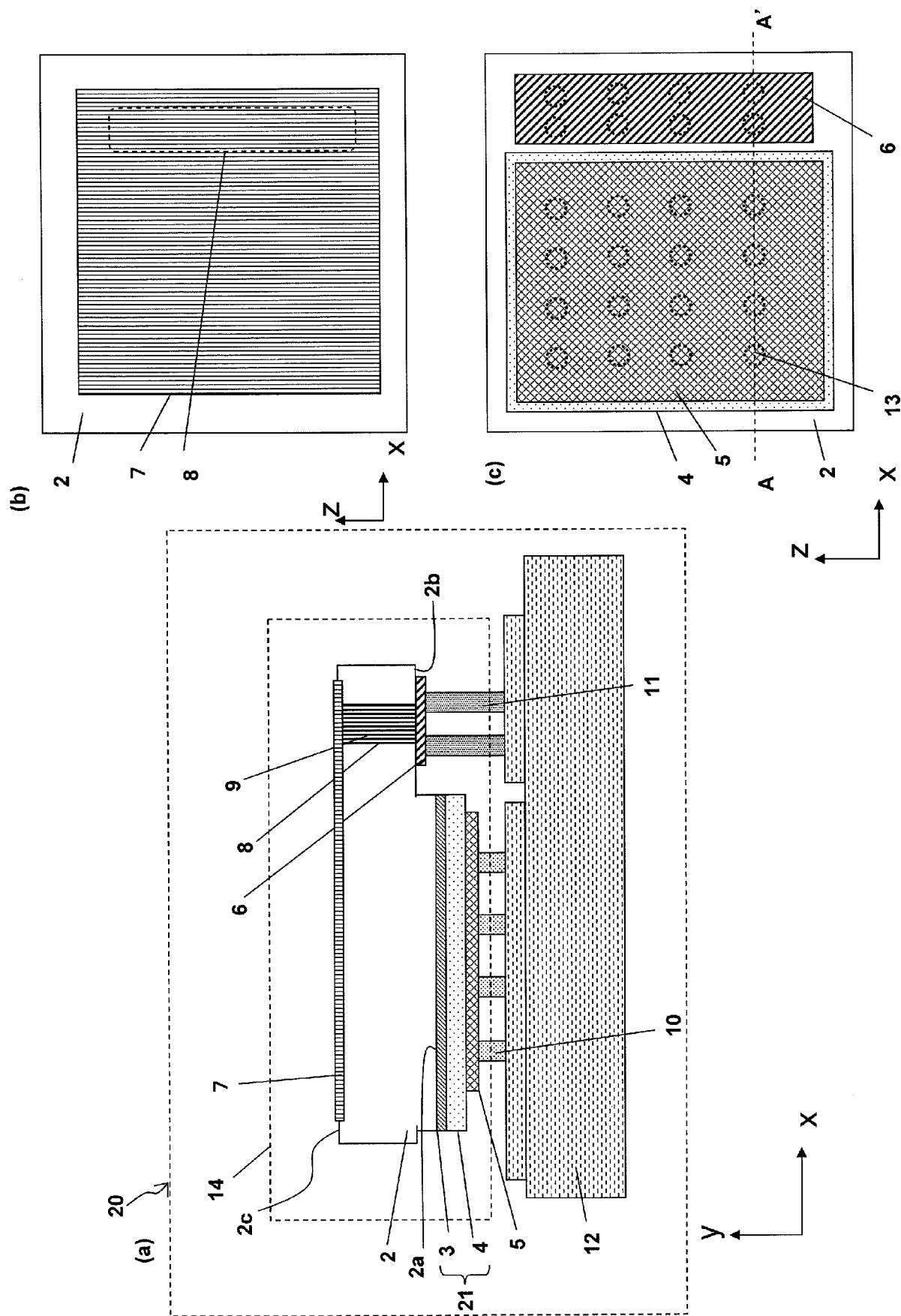
[図18]



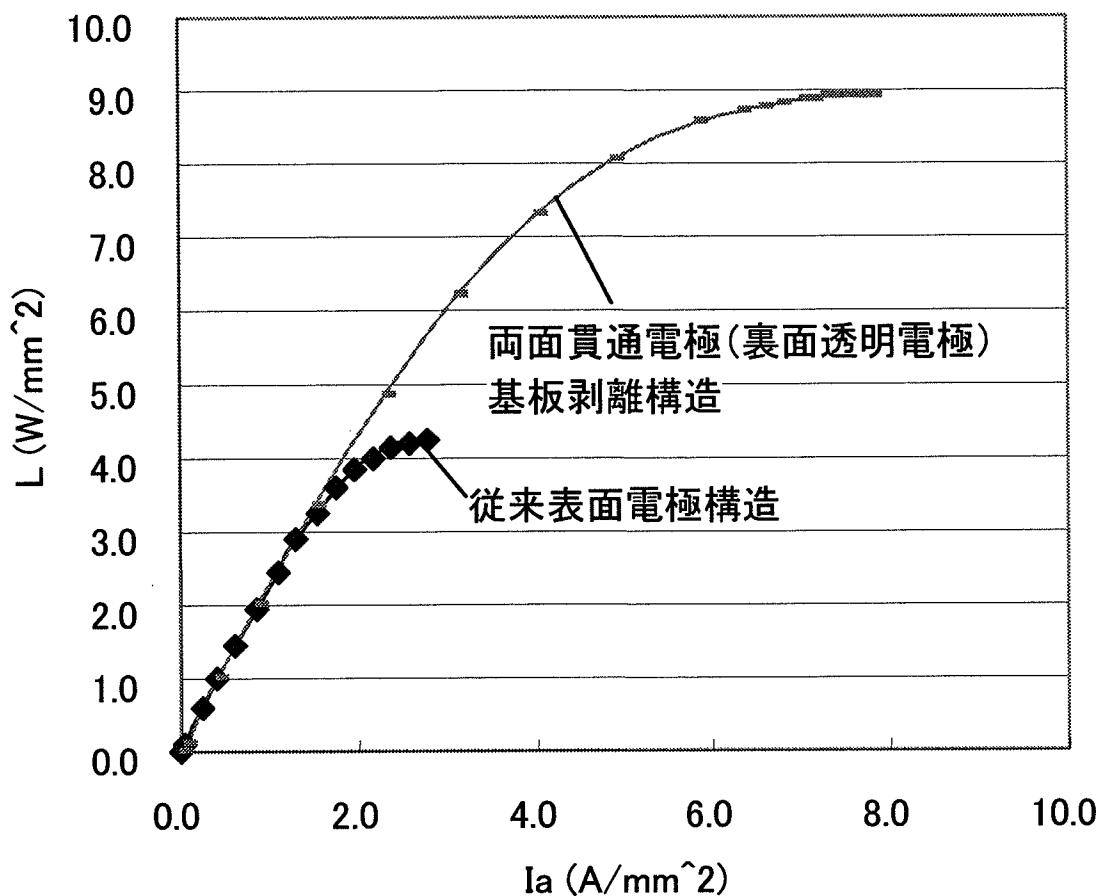
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/004509

A. CLASSIFICATION OF SUBJECT MATTER

H01L33/38(2010.01)i, H01L33/32(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/00-33/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2003/044872 A1 (Sanyo Electric Co., Ltd.), 30 May 2003 (30.05.2003), page 9, line 10 to page 11, line 1; page 12, line 10 to page 13, line 18; page 22, line 11 to page 23, line 21; fig. 1, 2, 13, 14 & US 2005/0012109 A1 & EP 1460694 A1 & KR 10-2005-0044518 A & CN 1618133 A	1, 3, 4, 6, 9-12
Y	JP 2009-043832 A (Rohm Co., Ltd.), 26 February 2009 (26.02.2009), paragraphs [0011], [0016], [0036]; fig. 5 (Family: none)	1, 3, 4, 6, 9-12

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 July, 2010 (26.07.10)

Date of mailing of the international search report
03 August, 2010 (03.08.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/004509

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2008/004437 A1 (Panasonic Corp.), 10 January 2008 (10.01.2008), paragraph [0041]; fig. 6 & US 2009/0127568 A1 & EP 2037507 A1 & KR 10-2009-0027220 A & CN 101473457 A	6
Y	JP 2008-078440 A (Dowa Holdings Co., Ltd.), 03 April 2008 (03.04.2008), paragraph [0053]; fig. 10 (Family: none)	6
A	JP 2009-032900 A (Toyoda Gosei Co., Ltd.), 12 February 2009 (12.02.2009), entire text; all drawings & US 2009/0065900 A1 & CN 101355131 A	1-12

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L33/38(2010.01)i, H01L33/32(2010.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L33/00-33/64

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2010年
日本国実用新案登録公報	1996-2010年
日本国登録実用新案公報	1994-2010年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2003/044872 A1 (三洋電機株式会社) 2003.05.30, 第9頁第10行-第11頁第1行, 第12頁第10行-第13頁第18行, 第22頁第11行-第23頁第21行, 第1, 2, 13, 14図 & US 2005/0012109 A1 & EP 1460694 A1 & KR 10-2005-0044518 A & CN 1618133 A	1, 3, 4, 6, 9-12
Y	JP 2009-043832 A (ローム株式会社) 2009.02.26, 段落 0011, 0016, 0036, 図5 (ファミリーなし)	1, 3, 4, 6, 9-12

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 26. 07. 2010	国際調査報告の発送日 03. 08. 2010
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 高棕 健司 電話番号 03-3581-1101 内線 3255 2K 3715

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2008/004437 A1 (パナソニック株式会社) 2008. 01. 10, 段落 0041, 図 6 & US 2009/0127568 A1 & EP 2037507 A1 & KR 10-2009-0027220 A & CN 101473457 A	6
Y	JP 2008-078440 A (DOWAホールディングス株式会社) 2008. 04. 03, 段落 0053, 図 10 (ファミリーなし)	6
A	JP 2009-032900 A (豊田合成株式会社) 2009. 02. 12, 全文, 全図 & US 2009/0065900 A1 & CN 101355131 A	1-12