

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6499400号  
(P6499400)

(45) 発行日 平成31年4月10日(2019.4.10)

(24) 登録日 平成31年3月22日(2019.3.22)

(51) Int.Cl.

F 1

HO 1 L 21/3205	(2006.01)	HO 1 L 21/88	J
HO 1 L 21/768	(2006.01)	HO 1 L 27/146	A
HO 1 L 23/522	(2006.01)		
HO 1 L 27/146	(2006.01)		

請求項の数 9 (全 11 頁)

(21) 出願番号	特願2014-78231 (P2014-78231)
(22) 出願日	平成26年4月4日 (2014.4.4)
(65) 公開番号	特開2015-201493 (P2015-201493A)
(43) 公開日	平成27年11月12日 (2015.11.12)
審査請求日	平成29年2月20日 (2017.2.20)

(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(74) 代理人	100076428 弁理士 大塚 康徳
(74) 代理人	100112508 弁理士 高柳 司郎
(74) 代理人	100115071 弁理士 大塚 康弘
(74) 代理人	100116894 弁理士 木村 秀二
(74) 代理人	100130409 弁理士 下山 治
(74) 代理人	100134175 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】半導体装置の製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

第1面と、前記第1面と反対側の第2面とを有する半導体基板の前記第1面の側に開口した第1の孔を形成する第1の工程と、

絶縁部材を前記第1の孔に充填する工程と、

前記第1面の上に前記絶縁部材を覆う絶縁膜を成膜する工程と、

前記第1面の側から前記絶縁膜および前記絶縁部材に、前記絶縁部材が底を成す第2の孔を形成する工程と、

前記第1面の側から導電部材を前記第2の孔に充填する工程と、

前記半導体基板の前記第2面の側から、前記導電部材を覆う前記絶縁部材が露出するよう前記半導体基板を薄化する工程と、

前記薄化する工程の後に、前記第1面の側とは反対側から前記半導体基板の上に誘電体膜を形成する工程と、

前記誘電体膜および前記絶縁部材をエッチングし、前記導電部材を前記第1面の側とは反対側から露出させる開口部を、前記誘電体膜および前記絶縁部材に形成する工程と、

前記開口部を介して前記導電部材に接続する導電層を形成する工程と、  
を備えることを特徴とする半導体装置の製造方法。

## 【請求項 2】

前記開口部の径が、前記導電部材の径よりも小さいことを特徴とする請求項1に記載の半導体装置の製造方法。

10

20

## 【請求項 3】

第1面と、前記第1面と反対側の第2面とを有する半導体基板の前記第1面の側に開口した第1の孔を形成する第1の工程と、

絶縁部材を前記第1の孔に充填する工程と、

前記第1面の上に前記絶縁部材を覆う絶縁膜を成膜する工程と、

前記半導体基板の前記第2面の側から、前記絶縁部材が露出するように前記半導体基板を薄化する工程と、

前記薄化する工程の後に、前記第1面の側とは反対側から前記絶縁膜および前記絶縁部材に第2の孔を形成する工程と、

前記第1面の側とは反対側から前記第2の孔に導電部材を充填する工程と、

10

を備え、

前記第1の孔に埋め込まれる前記絶縁部材は、複数種類の絶縁層によって構成され、

前記絶縁部材を前記第1の孔に充填する工程では、前記複数種類の絶縁層のうち、第1の種類の絶縁層を前記第1の孔の内壁に沿って成膜した後に、第2の種類の絶縁層を前記第1の孔に充填し、

前記第2の孔を形成する工程では、前記第2の孔の周囲に前記第2の種類の絶縁層と前記第1の種類の絶縁層とが存在するように前記第2の孔を形成することを特徴とする半導体装置の製造方法。

## 【請求項 4】

前記導電部材に接続する電極を前記第1面の側とは反対側から形成する工程を更に備えることを特徴とする請求項3に記載の半導体装置の製造方法。

20

## 【請求項 5】

前記第1の孔に埋め込まれる前記絶縁部材は、複数種類の絶縁層で構成され、

前記絶縁部材を充填する工程では、前記複数種類の絶縁層のうち、第1の種類の絶縁層を前記第1の孔の内壁に沿って成膜した後、第2の種類の絶縁層を前記第1の孔に充填することを特徴とする請求項1または2に記載の半導体装置の製造方法。

## 【請求項 6】

前記第2の孔を形成する工程では、深さ方向に前記第1の種類の絶縁層を貫通して前記第2の種類の絶縁層を露出させることを特徴とする請求項3に記載の半導体装置の製造方法。

30

## 【請求項 7】

前記第1の種類の絶縁層は窒化シリコン層であって、前記第2の種類の絶縁層は酸化シリコン層であることを特徴とする請求項5または6に記載の半導体装置の製造方法。

## 【請求項 8】

前記第1の孔に絶縁部材を埋め込んだ後、前記絶縁膜を成膜する前に、前記半導体基板の前記第1面の上に半導体素子を形成する工程を更に備えることを特徴とする請求項1乃至7のいずれか1項に記載の半導体装置の製造方法。

## 【請求項 9】

前記半導体基板は光電変換部を有することを特徴とする請求項1乃至8のいずれか1項に記載の半導体装置の製造方法。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置及びその製造方法に関するものである。

## 【背景技術】

## 【0002】

シリコン基板を貫通する電極の形成に関しては、電極を通すための開口を設ける際、層間絶縁膜とシリコン基板とを、フォトレジストをマスクとして一度に開口している。開口後は、フォトレジストを剥離する。しかしながら、上記の製造方法では開口時に生成される、シリコン基板から生成されるデポ物と、層間絶縁膜から生成されるデポ物が混合され

50

フォトレジストに付着する。この付着した混合のデポ物が原因で、その後のフォトレジストの剥離が困難になる。

【0003】

このため、フォトレジストをマスクとして層間絶縁膜を開口した後、フォトレジストを剥離し、層間絶縁膜をハードマスクとしてシリコン基板を開口する製造方法が特許文献1に提案されている。この製造方法によれば、フォトレジストをマスクとして開口するのが層間絶縁膜のみなので、デポ物は混合せず、フォトレジストの剥離を容易に行うことが可能である。

【先行技術文献】

【特許文献】

10

【0004】

【特許文献1】特開2011-199314号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記製造方法では、シリコン基板のエッチング時に層間絶縁膜もエッチングされ、層間絶縁膜の孔の角が取れてしまい、開口が広がってしまう。貫通電極間の距離を短くする場合、この角がとれてしまうことが原因となって配線または電極部の短絡が起こる可能性がある。そのため貫通電極間の距離を短くできないため、微細化ができない。

20

【0006】

そこで本発明は、貫通電極を形成する半導体製造方法において工程の簡易化と安定化に對してより有利になる技術を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記課題を解決するための本発明は、半導体装置の製造方法であって、

第1面と、前記第1面と反対側の第2面とを有する半導体基板の前記第1面の側に開口した第1の孔を形成する第1の工程と、

絶縁部材を前記第1の孔に充填する工程と、

前記第1面の上に前記絶縁部材を覆う絶縁膜を成膜する工程と、

30

前記第1面の側から前記絶縁膜および前記絶縁部材に、前記絶縁部材が底を成す第2の孔を形成する工程と、

前記第1面の側から導電部材を前記第2の孔に充填する工程と、

前記半導体基板の前記第2面の側から、前記導電部材を覆う前記絶縁部材が露出するよう前記半導体基板を薄化する工程と、

前記薄化する工程の後に、前記第1面の側とは反対側から前記半導体基板の上に誘電体膜を形成する工程と、

前記誘電体膜および前記絶縁部材をエッチングし、前記導電部材を前記第1面の側とは反対側から露出させる開口部を、前記誘電体膜および前記絶縁部材に形成する工程と、

前記開口部を介して前記導電部材に接続する導電層を形成する工程と、

40

を備えることを特徴とする。

【発明の効果】

【0008】

本発明によれば、貫通電極を形成する半導体製造方法において工程の簡易化と安定化に對して有利になる技術が提供される。

【図面の簡単な説明】

【0009】

【図1】発明の実施形態に係る半導体装置としての固体撮像素子の概略構成と、固体撮像素子の周辺部の断面を示す図

【図2】発明の実施形態に係る固体撮像素子の製造における工程断面図

50

【図3】発明の実施形態に係る固体撮像素子の製造における他の工程断面図

【図4】発明の第2、第3の実施形態に係る固体撮像素子の製造における他の工程断面図

【発明を実施するための形態】

【0010】

以下に、本発明の実施の形態について、図面を参照して説明する。

【0011】

【第1の実施形態】

図1(a)は本実施形態に係る半導体装置の概略断面図である。当該半導体装置には、例えばCMOSイメージセンサのような固体撮像素子が含まれ、以下では半導体装置の一例として固体撮像素子を例に発明の実施形態を説明する。半導体層100は、例えばシリコン層であり、本発明の半導体基板に相当する。半導体層100には単位画素を構成する光電変換部であるところの複数のフォトダイオード101が形成されている。フォトダイオード101は、P型の半導体層100中にN型不純物を導入することにより形成されるPN接合により構成される。

【0012】

半導体層100には、トランジスタのソースあるいはドレイン領域やフローティングディフェュージョンFDとなるN型の半導体領域102と、画素間での信号電荷の流入出を防止するためのP型のチャネルストップ部とが形成されている。半導体層100の第1面は所定の半導体素子が形成される素子形成面であり、例えば酸化シリコン等からなるゲート絶縁膜を介して、トランジスタのゲート電極103が形成されている。上記トランジスタを被覆して、半導体層100の第1面上には、層間絶縁膜104が形成されている。層間絶縁膜104上には、多層の金属配線105を含む配線構造106が形成されている。配線構造106上には、保護膜107が形成されている。

【0013】

保護膜107上には、接着層108を介して支持基板109が設けられている。支持基板109は、シリコン基板100および固体撮像素子全体の強度を補強するために設けられている。支持基板109は、例えば半導体層で構成される。シリコン基板100の第1面の反対側の第2面側には、反射防止膜として機能し得る誘電体膜110が形成されており、誘電体膜110上には各フォトダイオード101部を開口する遮光膜111が形成されている。誘電体膜110上には、遮光膜111を被覆するように保護膜112が形成されている。保護膜112は、例えば酸化シリコン膜からなる。保護膜112上には、所望の波長領域の光のみを透過させるカラーフィルター層113が形成されている。また、カラーフィルター層113上には、入射光をフォトダイオード101に集光させるためのオーバーチップレンズ114が形成されている。

【0014】

図1(a)に示す固体撮像素子の周囲には、外部信号の入出力を行うためのパッドが設けられる。図1(b)は、パッドが配置される周辺部における固体撮像素子の詳細な断面図である。

【0015】

図1(b)に示すように、半導体層100の第1面上には、層間絶縁膜104が形成される。層間絶縁膜104は、例えば酸化シリコン膜やケイ酸塩ガラス膜からなる。半導体層100および層間絶縁膜104を貫通して、導電部材C10が形成される。導電部材C10は、後述するパッドP10と、画素部や周辺回路を電気的に接続する貫通電極である。半導体層100と導電部材C10の間には、半導体層100と導電部材C10とを電気的に絶縁するための側壁絶縁部材115が形成される。導電部材C10は、バリアメタルC01と導電層C02からなる。

【0016】

層間絶縁膜104内には、さらにコンタクトプラグC20が形成されている。コンタクトプラグC20は、半導体層100に形成されたトランジスタのゲート電極103や半導体領域に接続されている。コンタクトプラグC20により、画素部や周辺回路のトランジ

スタ同士が接続される。コンタクトプラグC20は、導電部材C10と同様にバリアメタルと導電層からなる。

【0017】

層間絶縁膜104上には、配線構造106が形成されている。配線構造106は、層間絶縁膜や拡散防止膜等で構成された絶縁体と、この絶縁体中に形成された配線105を有する。配線構造106の絶縁体は、例えば酸化シリコン膜からなる。図2では、3層配線の例を示す。配線105は、導電部材C10およびコンタクトプラグC20に接続されている。

【0018】

配線構造106上には、保護膜107が形成されている。保護膜107上には、図1(b)では省略しているが、図1(a)に示すように接着層108を介して支持基板109が設けられている。支持基板109はシリコン基板からなる。半導体層100の第2面側には、誘電体膜110が形成されている。誘電体膜110は、例えば酸化シリコン層と窒化シリコン層の2層構成からなる。さらに半導体層100の第2面側の、導電部材C10の上に、誘電体膜110の開口を介して導電部材C10に接続するパッドP10が形成される。パッドP10は、バリアメタルP01と導電層P02により形成される。また、誘電体膜110上に保護膜112が形成されている。保護膜112の、パッドP10上にあたる部分は、外部から導通をとるために開口が設けられている。

【0019】

次に、上記の実施例に係る固体撮像素子の製造方法として、図2及び図3を用いて説明する。図2及び図3は、図1(b)に示すパッド配置領域を形成する工程の一例を説明するための断面図である。

【0020】

まず、図2(a)に示すように、シリコン基板100(半導体基板)の第1面側にマスクのパターニングを行い、マスクを用いてシリコン基板100の第1面側からシリコン基板100をエッチングする。これにより、孔116(第1の孔)を形成する。ここで、第1面は図2(a)に示すシリコン基板100の上側の面とする。なお、下側の面を第2面とする。孔116を形成するエッチング工程では、シリコン基板100の深さ方向の途中で止めている。そのため、孔116は第1面の側に開口し、シリコン基板100が底を成す有底孔として形成される。この時、シリコン基板100の厚さは100~1000μmであるのに対し、エッチングされる開口深さは、100μm未満であり、例えば3μm程度である。その後、絶縁部材117となる絶縁膜を成膜する。この絶縁部材117となる絶縁膜は、例えば窒化シリコン膜や酸化シリコン膜である。絶縁部材117となる絶縁膜は孔116の内壁に沿って成膜され、孔116は絶縁膜によって充填される。また、絶縁部材117となる絶縁膜は第1面に沿って成膜される。

【0021】

次に、絶縁部材117となる絶縁膜をCMP法などにより研磨・平坦化する。続いて図2(b)に示すように、エッチバック法にて、絶縁部材117となる絶縁膜をエッチングし、孔116以外の第1面上に残っている絶縁膜を除去して、シリコン基板100の第1面側を露出させる。このようにして、孔116の内側に絶縁部材117を形成する。なお、CMP法によって第1面が露出するまで絶縁膜を除去することもできる。その後、シリコン基板100に、画素部や周辺回路を構成する各種の半導体素子であるトランジスタやフォトダイオードを形成する。その後、シリコン基板100の第1面上に、トランジスタやフォトダイオードを被覆する層間絶縁膜104を形成する。層間絶縁膜104は孔116に充填された絶縁部材117をも覆う。次に、層間絶縁膜104上に、導電部材C10が埋め込まれる孔を形成するためのレジストパターンを形成する。導電部材C10用の開口のためのレジストパターンは、孔116の径よりも小さい径に形成されうる。

【0022】

次に図2(c)に示すように、レジストパターンをマスクとして、層間絶縁膜104と、孔116に充填された絶縁部材117をドライエッチングする。これにより、層間絶縁

10

20

30

40

50

膜 104 および絶縁部材 117 に孔 118 (第 2 の孔) が形成される。この時、エッチング工程を絶縁部材 117 中で止めることで、孔 118 は、絶縁部材 117 が底を形成するする有底孔として形成することができる。あるいは、絶縁部材 117 を貫通するまでエッチングして、孔 118 の底をシリコン基板 100 が形成するようにすることもできる。この時、孔 118 の径は、孔 116 の径より小さいため、孔 118 の周囲には絶縁部材 117 が残り、これが側壁絶縁部材 115 となる。側壁絶縁部材 115 は、孔 118 に埋め込まれる導電層とシリコン基板 100 とを電気的に絶縁させる役割を果たす。ドライエッチングの後、レジストパターンを除去する。

#### 【0023】

次に図 2 (d) に示すように、孔 118 の内側を被覆するようにバリアメタル C01 を形成する。その後、孔 118 を充填するように導電層 C02 を形成する。その後、孔 118 の外側、すなわち層間絶縁膜 104 上に堆積した余分な導電層 C02 とバリアメタル C01 の一部を除去する。必要に応じて層間絶縁膜 104 の一部も除去してよい。除去する方法として、エッチバック法もしくは CMP 法を用いることができる。これにより孔 118 内に、バリアメタル C01 および導電層 C02 からなる導電部材 C10 が形成される。

#### 【0024】

次に、所定のレジストパターンを用いて、層間絶縁膜 104 をドライエッチングし、コンタクトプラグ C20 の形成位置にコンタクトホールを形成する。その後、レジストパターンを除去する。続いて、導電部材 C10 形成時と同様に、コンタクトホールの内側を被覆するようにバリアメタル C01 を形成し、コンタクトホールを充填するように導電層 C02 を形成する。

#### 【0025】

次に図 2 (e) に示すように、コンタクトホール外の部位、すなわち層間絶縁膜 104 上に堆積した余分な導電層 C02 とバリアメタル C01 一部を除去する。必要に応じて層間絶縁膜 104 の一部も除去してよい。導電部材 C10 形成時と同じく、除去する方法として、エッチバック法もしくは CMP 法を用いることができる。これによりコンタクトホール内に、バリアメタル C01 および導電層 C02 からなるコンタクトプラグ C20 が形成される。

#### 【0026】

次に図 2 (f) に示すように、層間絶縁膜 104 上に、配線構造 106 を形成する。配線構造 106 の形成では、層間絶縁膜の形成工程、層間絶縁膜中へのピアホールの形成工程、ピアホール中へのピアプラグの形成工程、層間絶縁部材上への配線 105 の形成工程が繰り返し行われる。各配線は、プラグを介してコンタクトプラグ C20 に接続される。

#### 【0027】

次に図 3 (a) に示すように、配線構造 106 上に、保護膜 107 を形成する。その後、シリコン基板 100 の第 1 面側に、接着層 108 を介して支持基板 109 を貼りつける。これにより、保護膜 107 上に、接着層 108 を介して支持基板 109 が設けられる。

#### 【0028】

次に図 3 (b) に示すように、シリコン基板 100 の第 2 面側から、シリコン基板 100 を研磨し薄化する。この時、研磨工程は、孔 116 内に充填されている側壁絶縁部材 115 が、シリコン基板 100 の第 1 面とは反対側 (第 2 面側と同じ側) に露出するまで行う。ここで、側壁絶縁部材 115 は研磨時のストップーとなりうる。なお、図 3 (b) からは、図 3 (a) に対して、上下を反転させて記述する。次に図 3 (c) に示すように、シリコン基板 100 の第 2 面側に誘電体膜 110 を形成する。誘電体膜 110 は酸化シリコン層および窒化シリコン層からなる多層膜でありうるが、誘電体膜 110 は单層膜であつてもよい。

#### 【0029】

次に図 3 (d) に示すように、導電部材 C10 上の誘電体膜 110 を開口するために、誘電体膜 110 上にレジストパターンを形成する。その後、誘電体膜 110 と絶縁部材 117 をドライエッチングする。エッチング工程後、導電部材 C10 が、シリコン基板 100

10

20

30

40

50

0の第2面側に露出する。これにより、導電部材C10に達する開口部119が形成される。その後、レジストパターンを除去する。本例では開口部119の開口径は導電部材C10の開口径よりも小さいが、大きくてもよい。ここでは開口部119を側壁絶縁部材115にも形成することによって導電部材C10を露出させる例を示したが、シリコン基板100の薄化のための研磨工程で導電部材C10を露出させることも可能である。

#### 【0030】

次に図3(e)に示すように、開口部119を埋め込むように、バリアメタルP01、導電層P02を順次成膜する。その後、導電層P02上にレジストパターンを形成し、エッチングすることでパッドP10を形成する。この時、同時に画素内に遮光膜111も同時に形成される。なお、本例ではパッドP10の口径は、導電部材C10の開口径よりも小さいが、大きくてもよい。

10

#### 【0031】

次に、誘電体膜110上に、パッドP10および遮光膜111を被覆する保護膜112を形成する。保護膜112は例えば酸化シリコン膜からなる。保護膜112は複層膜でも単層膜でもよい。続いて、全面にカラーフィルター材を塗布し、パターニングすることでカラーフィルター層113を形成する。さらに、カラーフィルター層113上に、レンズ材を塗布し、パターニングすることでオンチップレンズ114を形成する。カラーフィルター層およびオンチップレンズは画素部のみに配置されるため、レジストパターンを形成して、画素部以外のカラーフィルター層113とオンチップレンズ114は除去する。その後、パッドP10上の保護膜112をエッチングにて除去し、外部との信号の入出力を行うためにパッドP10を開口する。以上により、本実施形態に係る固体撮像素子が製造される。

20

#### 【0032】

以上によれば、シリコン基板に第1の孔を設けた後、第1の孔に絶縁部材を埋め込み、更にその上に絶縁膜を形成することで、導電部材を設けるための第2の孔を容易に形成することができる。これにより、層間絶縁膜をハードマスクとしないため、シリコン基板のエッチング時に層間絶縁膜もエッチングされ、層間絶縁膜の孔の角が取れてしまうことを抑制できる。そのため、配線または電極部の短絡の発生を効果的に防止することができる。

#### 【0033】

30

##### [第2の実施形態]

上述の第1の実施形態と同様、図2(a)に表記するように、シリコン基板100をエッチングして、孔116を形成する。その後、絶縁部材117となる絶縁膜を成膜する。第1の実施形態と異なり、絶縁部材117となる絶縁膜は、互いに異なる複数種類の絶縁層からなる多層膜である。多層膜の1層目である第1絶縁層121は、孔116の内壁に沿って成膜される。第1絶縁層121は孔116の内壁を覆うために、孔116を充填しない程度に薄く成膜する。この第1絶縁層121は例えれば窒化シリコン層である。ここで例えば第1絶縁層121は50nmほど成膜する。続いて、第1絶縁層121とエッチング耐性の異なる第2絶縁層122を第1絶縁層121よりも厚く成膜し、第2絶縁層122で孔116の内部を充填する。この第2絶縁層122は、例えれば酸化シリコン層である。第1実施形態と同様に、孔116の外側の余分な絶縁膜を除去することにより、絶縁部材117が形成される。この時の断面図を図4(a)に示す。

40

#### 【0034】

その後、第1の実施形態と同様、層間絶縁膜104に導電部材を形成するためのレジストパターンを形成する。続いて、レジストパターンをマスクとして層間絶縁膜104と、孔116に充填された絶縁部材117をドライエッチングする。この時、エッチング工程は深さ方向に絶縁部材117中で止め、第1絶縁層121あるいは第2絶縁層122が底を成す有底孔としての孔118を形成する。これにより、層間絶縁部材104と絶縁部材117に渡る孔118が形成される。第2絶縁層122が底を成す場合、深さ方向に第2絶縁層122を貫通して第1絶縁層121を露出させる。この時、第2絶縁層122が工

50

ツチングストップとなる条件で第1絶縁層121をエッチングすることが好ましい。孔118の開口は、孔116に充填された第2絶縁層122の内側になるように形成することができる。これにより、孔118の周囲には第2絶縁層122が存在し、さらにその周囲には第1絶縁層121が存在する構造を得ることができる。この時の断面図を図4(b)に示す。なお、孔118の外周が第2絶縁層122の外周と一致する形態とすることもできる。その後、第1の実施形態と同様に図2(e)~図3(e)の工程を経て、本実施形態に係る固体撮像素子が製造される。第1絶縁層121および第2絶縁層122からなる絶縁部材117は、孔に埋め込まれる導電層C02シリコン基板100とを電気的に絶縁させる絶縁性保護膜の役割を果たす。

## 【0035】

10

本実施形態では、孔116がエッチング耐性の異なる2種の絶縁層で充填される。よって、孔118を形成する際、サイドエッチが入ってもエッチングは第2絶縁層122中で止まるため、孔118の周囲には絶縁部材117を確実に残すことが可能となる。これにより、孔118に埋め込まれた導電部材C10とシリコン基板100との絶縁を確保することができる。シリコン基板100の厚みが増した場合、孔118を形成するために必要なドライエッチングの量が増すため、必然的にサイドエッチの量が増すことになる。第2の実施形態では、このサイドエッチの増加が発生しても、貫通孔に埋め込まれた導電層とシリコン基板との絶縁は確保することができ、工程の安定性を保つことが可能である。なお、本実施形態では、孔116を充填する絶縁部材117としてエッチング耐性の異なる2種類の絶縁層を使用する場合を説明した。しかし、絶縁部材の絶縁層の種類数としては2種類に限定されるのではなく、3種類以上であってもよい。

20

## 【0036】

## [第3の実施形態]

本実施形態は、孔118を形成するタイミングや方向が第1, 2実施形態と異なる。第2の実施形態と同様、図4(a)に示すように、第1面側から孔116を形成し、絶縁部材117を形成することで、孔116の内部を充填する。なお、図2(b)に示すように孔116には1種類の絶縁体のみで孔116を充填してもよい。その後、層間絶縁膜104を成膜する。この後、第2の実施形態と異なり、導電部材を形成せずにコンタクトプラグC20のみを形成する。

## 【0037】

30

続いて、図2(f)~図3(c)までの第2面側からの薄化工程を含む工程を、第2の実施形態と同様に行い、誘電体膜110を成膜する。この時の断面図を図4(c)に示す。薄化によって、シリコン基板100の第2面側に絶縁部材117が露出し、その上を誘電体膜110が覆っている。次に孔118を開口するために、誘電体膜110上にレジストパターンを形成する。その後、誘電体膜110と絶縁部材117を第1面側とは反対側(第2面側)からドライエッチングする。エッチング工程後、孔118の底に金属配線105が露出する。これにより、誘電体膜110と絶縁部材117と層間絶縁膜104を貫通する有底孔としての孔118が形成される。この時、レジストパターンは、孔116に充填された絶縁部材117の外径よりも内側に形成される。そのため、孔118の周囲には絶縁部材117の一部としての側壁絶縁部材115が存在する。この側壁絶縁部材115は、孔118に導電材料を埋め込んで形成される導電部材と、シリコン基板100とを、電気的に絶縁させる。エッチング工程後、レジストパターンを除去する。この時の断面図を図4(d)に示す。

40

## 【0038】

次に孔118を埋め込むように、バリアメタルP01、導電層P02を順次成膜する。その後、導電層P02上にレジストパターンを形成し、パッドP10を形成する。この時、同時に画素内に不図示の遮光膜111も同時に形成される。また、バリアメタルP01と導電層P02の埋め込み時に、孔118も埋め込まれることで、導電部材C10も同時に形成することができる。この時の断面図を図4(e)に示す。ただし、導電部材C10を埋め込んだ後に、別途、パッドP10を形成することもできる。このような製法によれ

50

ば、第1絶縁層121と第2絶縁層122の双方が、導電部材C10に接することになる。

【0039】

その後、第1の実施形態と同様にカラーフィルター層、およびオンチップレンズを形成する工程を経て、本実施形態に係る固体撮像素子が製造される。第2の実施形態と異なり、誘電体膜を形成した後に第1貫通孔を開口することで、第2の実施形態と比較して、配線構造形成前に導電部材C10を形成する工程を省くことが可能である。

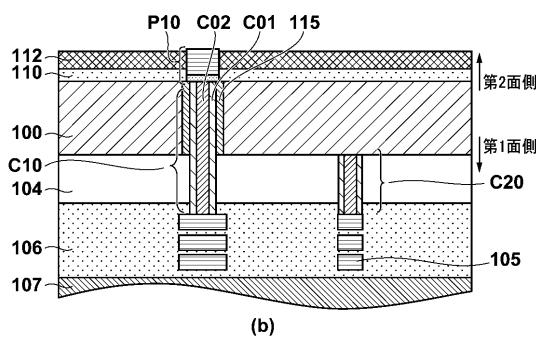
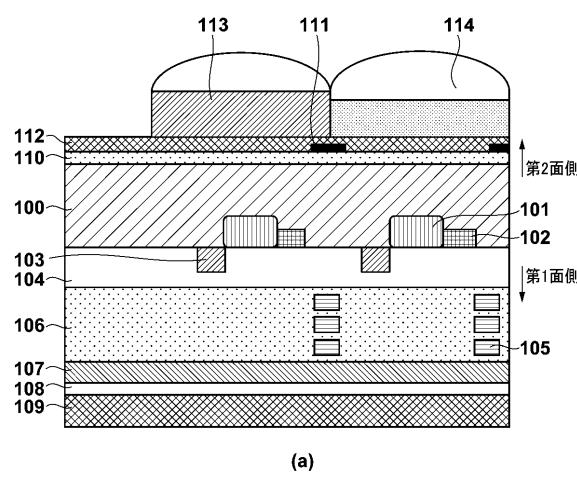
【符号の説明】

【0040】

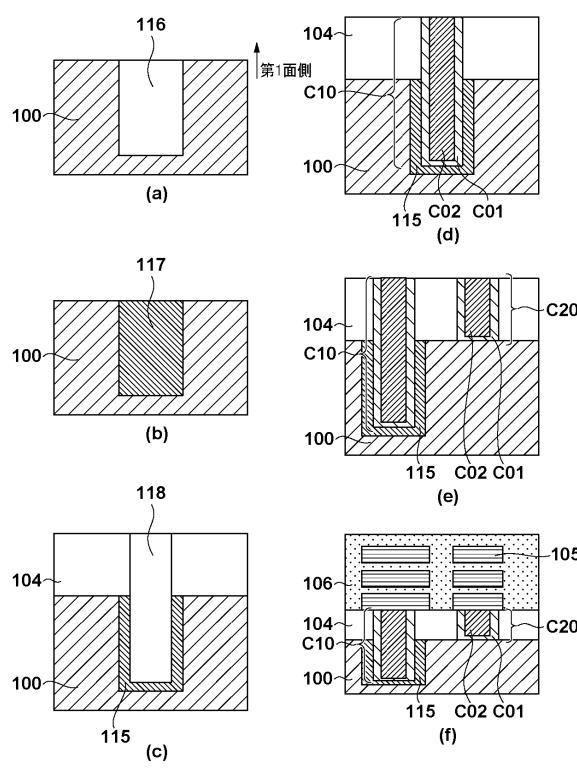
100：半導体層、101：フォトダイオード、102：N型半導体領域、103：ゲート電極、104：層間絶縁膜、105：金属配線、106：配線構造、107：保護膜、108：接着層、109：支持基板、110：誘電体膜、111：遮光膜、112：保護膜

10

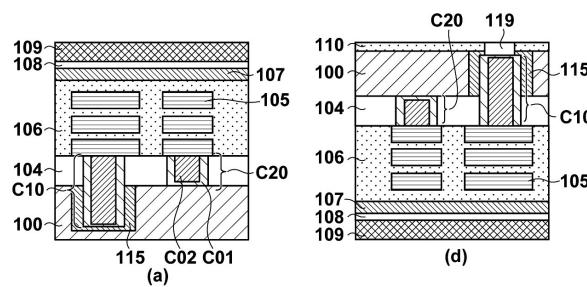
【図1】



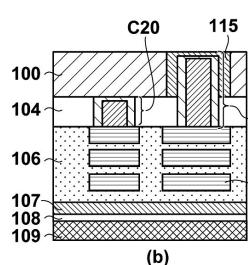
【図2】



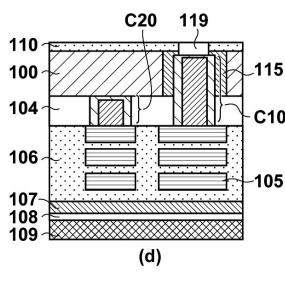
【図3】



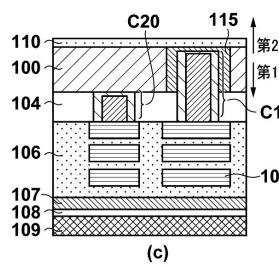
(d)



(b)

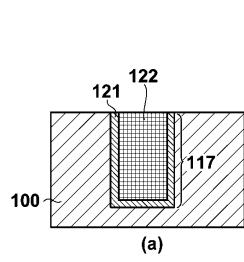


(e)

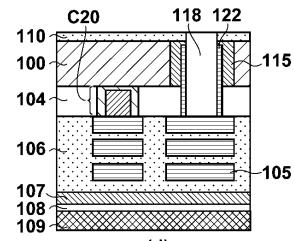


(c)

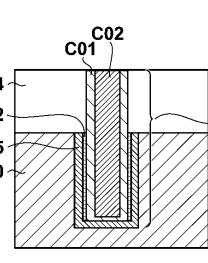
【図4】



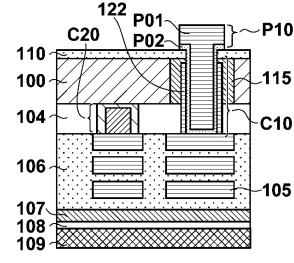
(a)



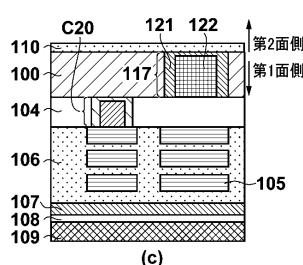
(d)



(b)



(e)



(c)

---

フロントページの続き

(72)発明者 安藤 悠也

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 高橋 宣博

(56)参考文献 特開2012-222141(JP,A)

特開2013-089816(JP,A)

特開2012-195514(JP,A)

特開2012-119381(JP,A)

特開2011-029491(JP,A)

特開2005-243689(JP,A)

特開2008-270354(JP,A)

特開2006-060067(JP,A)

特開2014-003081(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205

H01L 21/768

H01L 23/522

H01L 27/146