

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6499400号
(P6499400)

(45) 発行日 平成31年4月10日 (2019. 4. 10)

(24) 登録日 平成31年3月22日 (2019. 3. 22)

(51) Int. Cl.

F I

H O 1 L 21/3205 (2006. 01)

H O 1 L 21/88 J

H O 1 L 21/768 (2006. 01)

H O 1 L 27/146 A

H O 1 L 23/522 (2006. 01)

H O 1 L 27/146 (2006. 01)

請求項の数 9 (全 11 頁)

(21) 出願番号 特願2014-78231 (P2014-78231)
 (22) 出願日 平成26年4月4日 (2014. 4. 4)
 (65) 公開番号 特開2015-201493 (P2015-201493A)
 (43) 公開日 平成27年11月12日 (2015. 11. 12)
 審査請求日 平成29年2月20日 (2017. 2. 20)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康德
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (74) 代理人 100130409
 弁理士 下山 治
 (74) 代理人 100134175
 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

第1面と、前記第1面と反対側の第2面とを有する半導体基板の前記第1面の側に開口した第1の孔を形成する第1の工程と、

絶縁部材を前記第1の孔に充填する工程と、

前記第1面の上に前記絶縁部材を覆う絶縁膜を成膜する工程と、

前記第1面の側から前記絶縁膜および前記絶縁部材に、前記絶縁部材が底を成す第2の孔を形成する工程と、

前記第1面の側から導電部材を前記第2の孔に充填する工程と、

前記半導体基板の前記第2面の側から、前記導電部材を覆う前記絶縁部材が露出するように前記半導体基板を薄化する工程と、

前記薄化する工程の後に、前記第1面の側とは反対側から前記半導体基板の上に誘電体膜を形成する工程と、

前記誘電体膜および前記絶縁部材をエッチングし、前記導電部材を前記第1面の側とは反対側から露出させる開口部を、前記誘電体膜および前記絶縁部材に形成する工程と、

前記開口部を介して前記導電部材に接続する導電層を形成する工程と、
 を備えることを特徴とする半導体装置の製造方法。

【請求項 2】

前記開口部の径が、前記導電部材の径よりも小さいことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項 3】

第 1 面と、前記第 1 面と反対側の第 2 面とを有する半導体基板の前記第 1 面の側に開口した第 1 の孔を形成する第 1 の工程と、

絶縁部材を前記第 1 の孔に充填する工程と、

前記第 1 面の上に前記絶縁部材を覆う絶縁膜を成膜する工程と、

前記半導体基板の前記第 2 面の側から、前記絶縁部材が露出するように前記半導体基板を薄化する工程と、

前記薄化する工程の後に、前記第 1 面の側とは反対側から前記絶縁膜および前記絶縁部材に第 2 の孔を形成する工程と、

前記第 1 面の側とは反対側から前記第 2 の孔に導電部材を充填する工程と、
を備え、

10

前記第 1 の孔に埋め込まれる前記絶縁部材は、複数種類の絶縁層によって構成され、

前記絶縁部材を前記第 1 の孔に充填する工程では、前記複数種類の絶縁層のうち、第 1 の種類の絶縁層を前記第 1 の孔の内壁に沿って成膜した後に、第 2 の種類の絶縁層を前記第 1 の孔に充填し、

前記第 2 の孔を形成する工程では、前記第 2 の孔の周囲に前記第 2 の種類の絶縁層と前記第 1 の種類の絶縁層とが存在するように前記第 2 の孔を形成することを特徴とする半導体装置の製造方法。

【請求項 4】

前記導電部材に接続する電極を前記第 1 面の側とは反対側から形成する工程を更に備えることを特徴とする請求項 3 に記載の半導体装置の製造方法。

20

【請求項 5】

前記第 1 の孔に埋め込まれる前記絶縁部材は、複数種類の絶縁層で構成され、

前記絶縁部材を充填する工程では、前記複数種類の絶縁層のうち、第 1 の種類の絶縁層を前記第 1 の孔の内壁に沿って成膜した後、第 2 の種類の絶縁層を前記第 1 の孔に充填することを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 6】

前記第 2 の孔を形成する工程では、深さ方向に前記第 1 の種類の絶縁層を貫通して前記第 2 の種類の絶縁層を露出させることを特徴とする請求項 3 に記載の半導体装置の製造方法。

30

【請求項 7】

前記第 1 の種類の絶縁層は窒化シリコン層であって、前記第 2 の種類の絶縁層は酸化シリコン層であることを特徴とする請求項 5 または 6 に記載の半導体装置の製造方法。

【請求項 8】

前記第 1 の孔に絶縁部材を埋め込んだ後、前記絶縁膜を成膜する前に、前記半導体基板の前記第 1 面の上に半導体素子を形成する工程を更に備えることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 9】

前記半導体基板は光電変換部を有することを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の半導体装置の製造方法。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置及びその製造方法に関するものである。

【背景技術】**【0002】**

シリコン基板を貫通する電極の形成に関しては、電極を通すための開口を設ける際、層間絶縁膜とシリコン基板とを、フォトレジストをマスクとして一度に開口している。開口後は、フォトレジストを剥離する。しかしながら、上記の製造方法では開口時に生成される、シリコン基板から生成されるデポ物と、層間絶縁膜から生成されるデポ物が混合され

50

フォトリソに付着する。この付着した混合のデポ物が原因で、その後のフォトリソの剥離が困難になる。

【 0 0 0 3 】

このため、フォトリソをマスクとして層間絶縁膜を開口した後、フォトリソを剥離し、層間絶縁膜をハードマスクとしてシリコン基板を開口する製造方法が特許文献 1 に提案されている。この製造方法によれば、フォトリソをマスクとして開口するのが層間絶縁膜のみなので、デポ物は混合せず、フォトリソの剥離を容易に行うことが可能である。

【先行技術文献】

【特許文献】

10

【 0 0 0 4 】

【特許文献 1】特開 2 0 1 1 - 1 9 9 3 1 4 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

しかしながら、上記製造方法では、シリコン基板のエッチング時に層間絶縁膜もエッチングされ、層間絶縁膜の孔の角が取れてしまい、開口が広がってしまう。貫通電極間の距離を短くする場合、この角がとれてしまうことが原因となって配線または電極部の短絡が起こる可能性がある。そのため貫通電極間の距離を短くできないため、微細化ができない。

20

【 0 0 0 6 】

そこで本発明は、貫通電極を形成する半導体製造方法において工程の簡易化と安定化に対してより有利になる技術を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

上記課題を解決するための本発明は、半導体装置の製造方法であって、

第 1 面と、前記第 1 面と反対側の第 2 面とを有する半導体基板の前記第 1 面の側に開口した第 1 の孔を形成する第 1 の工程と、

絶縁部材を前記第 1 の孔に充填する工程と、

前記第 1 面の上に前記絶縁部材を覆う絶縁膜を成膜する工程と、

30

前記第 1 面の側から前記絶縁膜および前記絶縁部材に、前記絶縁部材が底を成す第 2 の孔を形成する工程と、

前記第 1 面の側から導電部材を前記第 2 の孔に充填する工程と、

前記半導体基板の前記第 2 面の側から、前記導電部材を覆う前記絶縁部材が露出するように前記半導体基板を薄化する工程と、

前記薄化する工程の後に、前記第 1 面の側とは反対側から前記半導体基板の上に誘電体膜を形成する工程と、

前記誘電体膜および前記絶縁部材をエッチングし、前記導電部材を前記第 1 面の側とは反対側から露出させる開口部を、前記誘電体膜および前記絶縁部材に形成する工程と、

前記開口部を介して前記導電部材に接続する導電層を形成する工程と、
を備えることを特徴とする。

40

【発明の効果】

【 0 0 0 8 】

本発明によれば、貫通電極を形成する半導体製造方法において工程の簡易化と安定化に対して有利になる技術が提供される。

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】発明の実施形態に係る半導体装置としての固体撮像素子の概略構成と、固体撮像素子の周辺部の断面を示す図

【図 2】発明の実施形態に係る固体撮像素子の製造における工程断面図

50

【図 3】発明の実施形態に係る固体撮像素子の製造における他の工程断面図

【図 4】発明の第 2、第 3 の実施形態に係る固体撮像素子の製造における他の工程断面図

【発明を実施するための形態】

【0010】

以下に、本発明の実施の形態について、図面を参照して説明する。

【0011】

[第 1 の実施形態]

図 1 (a) は本実施形態に係る半導体装置の概略断面図である。当該半導体装置には、例えば CMOS イメージセンサのような固体撮像素子が含まれ、以下では半導体装置の一例として固体撮像素子を例に発明の実施形態を説明する。半導体層 100 は、例えばシリコン層であり、本発明の半導体基板に相当する。半導体層 100 には単位画素を構成する光電変換部であるところの複数のフォトダイオード 101 が形成されている。フォトダイオード 101 は、P 型の半導体層 100 中に N 型不純物を導入することにより形成される PN 接合により構成される。

10

【0012】

半導体層 100 には、トランジスタのソースあるいはドレイン領域やフローティングディフュージョン FD となる N 型の半導体領域 102 と、画素間での信号電荷の流入を防止するための P 型のチャネルストップ部とが形成されている。半導体層 100 の第 1 面は所定の半導体素子が形成される素子形成面であり、例えば酸化シリコン等からなるゲート絶縁膜を介して、トランジスタのゲート電極 103 が形成されている。上記トランジスタを被覆して、半導体層 100 の第 1 面上には、層間絶縁膜 104 が形成されている。層間絶縁膜 104 上には、多層の金属配線 105 を含む配線構造 106 が形成されている。配線構造 106 上には、保護膜 107 が形成されている。

20

【0013】

保護膜 107 上には、接着層 108 を介して支持基板 109 が設けられている。支持基板 109 は、シリコン基板 100 および固体撮像素子全体の強度を補強するために設けられている。支持基板 109 は、例えば半導体層で構成される。シリコン基板 100 の第 1 面の反対側の第 2 面側には、反射防止膜として機能し得る誘電体膜 110 が形成されており、誘電体膜 110 上には各フォトダイオード 101 部を開口する遮光膜 111 が形成されている。誘電体膜 110 上には、遮光膜 111 を被覆するように保護膜 112 が形成されている。保護膜 112 は、例えば酸化シリコン膜からなる。保護膜 112 上には、所望の波長領域の光のみを透過させるカラーフィルター層 113 が形成されている。また、カラーフィルター層 113 上には、入射光をフォトダイオード 101 に集光させるためのオンチップレンズ 114 が形成されている。

30

【0014】

図 1 (a) に示す固体撮像素子の周囲には、外部信号の入出力を行うためのパッドが設けられる。図 1 (b) は、パッドが配置される周辺部における固体撮像素子の詳細な断面図である。

【0015】

図 1 (b) に示すように、半導体層 100 の第 1 面上には、層間絶縁膜 104 が形成される。層間絶縁膜 104 は、例えば酸化シリコン膜やケイ酸塩ガラス膜からなる。半導体層 100 および層間絶縁膜 104 を貫通して、導電部材 C10 が形成される。導電部材 C10 は、後述するパッド P10 と、画素部や周辺回路を電氣的に接続する貫通電極である。半導体層 100 と導電部材 C10 の間には、半導体層 100 と導電部材とを電氣的に絶縁するための側壁絶縁部材 115 が形成される。導電部材 C10 は、バリアメタル C01 と導電層 C02 からなる。

40

【0016】

層間絶縁膜 104 内には、さらにコンタクトプラグ C20 が形成されている。コンタクトプラグ C20 は、半導体層 100 に形成されたトランジスタのゲート電極 103 や半導体領域に接続されている。コンタクトプラグ C20 により、画素部や周辺回路のトランジ

50

スタ同士が接続される。コンタクトプラグ C 2 0 は、導電部材 C 1 0 と同様にバリアメタルと導電層からなる。

【 0 0 1 7 】

層間絶縁膜 1 0 4 上には、配線構造 1 0 6 が形成されている。配線構造 1 0 6 は、層間絶縁膜や拡散防止膜等で構成された絶縁体と、この絶縁体中に形成された配線 1 0 5 を有する。配線構造 1 0 6 の絶縁体は、例えば酸化シリコン膜からなる。図 2 では、3 層配線の例を示す。配線 1 0 5 は、導電部材 C 1 0 およびコンタクトプラグ C 2 0 に接続されている。

【 0 0 1 8 】

配線構造 1 0 6 上には、保護膜 1 0 7 が形成されている。保護膜 1 0 7 上には、図 1 (b) では省略しているが、図 1 (a) に示すように接着層 1 0 8 を介して支持基板 1 0 9 が設けられている。支持基板 1 0 9 はシリコン基板からなる。半導体層 1 0 0 の第 2 面側には、誘電体膜 1 1 0 が形成されている。誘電体膜 1 1 0 は、例えば酸化シリコン層と窒化シリコン層の 2 層構成からなる。さらに半導体層 1 0 0 の第 2 面側の、導電部材 C 1 0 の上に、誘電体膜 1 1 0 の開口を介して導電部材 C 1 0 に接続するパッド P 1 0 が形成される。パッド P 1 0 は、バリアメタル P 0 1 と導電層 P 0 2 により形成される。また、誘電体膜 1 1 0 上に保護膜 1 1 2 が形成されている。保護膜 1 1 2 の、パッド P 1 0 上にあたる部分は、外部から導通をとるために開口が設けられている。

【 0 0 1 9 】

次に、上記の実施例に係る固体撮像素子の製造方法として、図 2 及び図 3 を用いて説明する。図 2 及び図 3 は、図 1 (b) に示すパッド配置領域を形成する工程の一例を説明するための断面図である。

【 0 0 2 0 】

まず、図 2 (a) に示すように、シリコン基板 1 0 0 (半導体基板) の第 1 面側にマスクのパターニングを行い、マスクを用いてシリコン基板 1 0 0 の第 1 面側からシリコン基板 1 0 0 をエッチングする。これにより、孔 1 1 6 (第 1 の孔) を形成する。ここで、第 1 面は図 2 (a) に示すシリコン基板 1 0 0 の上側の面とする。なお、下側の面を第 2 面とする。孔 1 1 6 を形成するエッチング工程では、シリコン基板 1 0 0 の深さ方向の途中で止めている。そのため、孔 1 1 6 は第 1 面の側に開口し、シリコン基板 1 0 0 が底を成す有底孔として形成される。この時、シリコン基板 1 0 0 の厚さは 1 0 0 ~ 1 0 0 0 μm であるのに対し、エッチングされる開口深さは、1 0 0 μm 未満であり、例えば 3 μm 程度である。その後、絶縁部材 1 1 7 となる絶縁膜を成膜する。この絶縁部材 1 1 7 となる絶縁膜は、例えば窒化シリコン膜や酸化シリコン膜である。絶縁部材 1 1 7 となる絶縁膜は孔 1 1 6 の内壁に沿って成膜され、孔 1 1 6 は絶縁膜によって充填される。また、絶縁部材 1 1 7 となる絶縁膜は第 1 面に沿って成膜される。

【 0 0 2 1 】

次に、絶縁部材 1 1 7 となる絶縁膜を C M P 法などにより研磨・平坦化する。続いて図 2 (b) に示すように、エッチバック法にて、絶縁部材 1 1 7 となる絶縁膜をエッチングし、孔 1 1 6 以外の第 1 面上に残っている絶縁膜を除去して、シリコン基板 1 0 0 の第 1 面側を露出させる。このようにして、孔 1 1 6 の内側に絶縁部材 1 1 7 を形成する。なお、C M P 法によって第 1 面が露出するまで絶縁膜を除去することもできる。その後、シリコン基板 1 0 0 に、画素部や周辺回路を構成する各種の半導体素子であるトランジスタやフォトダイオードを形成する。その後、シリコン基板 1 0 0 の第 1 面の上に、トランジスタやフォトダイオードを被覆する層間絶縁膜 1 0 4 を形成する。層間絶縁膜 1 0 4 は孔 1 1 6 に充填された絶縁部材 1 1 7 をも覆う。次に、層間絶縁膜 1 0 4 上に、導電部材 C 1 0 が埋め込まれる孔を形成するためのレジストパターンを形成する。導電部材 C 1 0 用の開口のためのレジストパターンは、孔 1 1 6 の径よりも小さい径に形成されうる。

【 0 0 2 2 】

次に図 2 (c) に示すように、レジストパターンをマスクとして、層間絶縁膜 1 0 4 と、孔 1 1 6 に充填された絶縁部材 1 1 7 をドライエッチングする。これにより、層間絶縁

10

20

30

40

50

膜 1 0 4 および絶縁部材 1 1 7 に孔 1 1 8 (第 2 の孔) が形成される。この時、エッチング工程を絶縁部材 1 1 7 中で止めることで、孔 1 1 8 は、絶縁部材 1 1 7 が底を形成する有底孔として形成することができる。あるいは、絶縁部材 1 1 7 を貫通するまでエッチングして、孔 1 1 8 の底をシリコン基板 1 0 0 が形成するようにすることもできる。この時、孔 1 1 8 の径は、孔 1 1 6 の径より小さいため、孔 1 1 8 の周囲には絶縁部材 1 1 7 が残り、これが側壁絶縁部材 1 1 5 となる。側壁絶縁部材 1 1 5 は、孔 1 1 8 に埋め込まれる導電層とシリコン基板 1 0 0 とを電氣的に絶縁させる役割を果たす。ドライエッチングの後、レジストパターンを除去する。

【 0 0 2 3 】

次に図 2 (d) に示すように、孔 1 1 8 の内側を被覆するようにバリアメタル C 0 1 を形成する。その後、孔 1 1 8 を充填するように導電層 C 0 2 を形成する。その後、孔 1 1 8 の外側、すなわち層間絶縁膜 1 0 4 上に堆積した余分な導電層 C 0 2 とバリアメタル C 0 1 の一部を除去する。必要に応じて層間絶縁膜 1 0 4 の一部も除去してよい。除去する方法として、エッチバック法もしくは C M P 法を用いることができる。これにより孔 1 1 8 内に、バリアメタル C 0 1 および導電層 C 0 2 からなる導電部材 C 1 0 が形成される。

【 0 0 2 4 】

次に、所定のレジストパターンを用いて、層間絶縁膜 1 0 4 をドライエッチングし、コンタクトプラグ C 2 0 の形成位置にコンタクトホールを形成する。その後、レジストパターンを除去する。続いて、導電部材 C 1 0 形成時と同様に、コンタクトホールの内側を被覆するようにバリアメタル C 0 1 を形成し、コンタクトホールを充填するように導電層 C 0 2 を形成する。

【 0 0 2 5 】

次に図 2 (e) に示すように、コンタクトホール外の部位、すなわち層間絶縁膜 1 0 4 上に堆積した余分な導電層 C 0 2 とバリアメタル C 0 1 一部を除去する。必要に応じて層間絶縁膜 1 0 4 の一部も除去してよい。導電部材 C 1 0 形成時と同じく、除去する方法として、エッチバック法もしくは C M P 法を用いることができる。これによりコンタクトホール内に、バリアメタル C 0 1 および導電層 C 0 2 からなるコンタクトプラグ C 2 0 が形成される。

【 0 0 2 6 】

次に図 2 (f) に示すように、層間絶縁膜 1 0 4 上に、配線構造 1 0 6 を形成する。配線構造 1 0 6 の形成では、層間絶縁膜の形成工程、層間絶縁膜中へのビアホールの形成工程、ビアホール中へのビアプラグの形成工程、層間絶縁部材上への配線 1 0 5 の形成工程が繰り返し行われる。各配線は、プラグを介してコンタクトプラグ C 2 0 に接続される。

【 0 0 2 7 】

次に図 3 (a) に示すように、配線構造 1 0 6 上に、保護膜 1 0 7 を形成する。その後、シリコン基板 1 0 0 の第 1 面側に、接着層 1 0 8 を介して支持基板 1 0 9 を貼りつける。これにより、保護膜 1 0 7 上に、接着層 1 0 8 を介して支持基板 1 0 9 が設けられる。

【 0 0 2 8 】

次に図 3 (b) に示すように、シリコン基板 1 0 0 の第 2 面側から、シリコン基板 1 0 0 を研磨し薄化する。この時、研磨工程は、孔 1 1 6 内に充填されている側壁絶縁部材 1 1 5 が、シリコン基板 1 0 0 の第 1 面とは反対側 (第 2 面側と同じ側) に露出するまで行う。ここで、側壁絶縁部材 1 1 5 は研磨時のストッパーとなりうる。なお、図 3 (b) からは、図 3 (a) に対して、上下を反転させて記述する。次に図 3 (c) に示すように、シリコン基板 1 0 0 の第 2 面側に誘電体膜 1 1 0 を形成する。誘電体膜 1 1 0 は酸化シリコン層および窒化シリコン層からなる多層膜でありうるが、誘電体膜 1 1 0 は単層膜であってもよい。

【 0 0 2 9 】

次に図 3 (d) に示すように、導電部材 C 1 0 上の誘電体膜 1 1 0 を開口するために、誘電体膜 1 1 0 上にレジストパターンを形成する。その後、誘電体膜 1 1 0 と絶縁部材 1 1 7 をドライエッチングする。エッチング工程後、導電部材 C 1 0 が、シリコン基板 1 0

0の第2面側に露出する。これにより、導電部材C10に達する開口部119が形成される。その後、レジストパターンを除去する。本例では開口部119の開口径は導電部材C10の開口径よりも小さいが、大きくてもよい。ここでは開口部119を側壁絶縁部材115にも形成することによって導電部材C10を露出させる例を示したが、シリコン基板100の薄化のための研磨工程で導電部材C10を露出させることも可能である。

【0030】

次に図3(e)に示すように、開口部119を埋め込むように、バリアメタルP01、導電層P02を順次成膜する。その後、導電層P02上にレジストパターンを形成し、エッチングすることでパッドP10を形成する。この時、同時に画素内に遮光膜111も同時に形成される。なお、本例ではパッドP10の口径は、導電部材C10の開口径よりも小さいが、大きくてもよい。

10

【0031】

次に、誘電体膜110上に、パッドP10および遮光膜111を被覆する保護膜112を形成する。保護膜112は例えば酸化シリコン膜からなる。保護膜112は複層膜でも単層膜でもよい。続いて、全面にカラーフィルタ材を塗布し、パターニングすることでカラーフィルタ層113を形成する。さらに、カラーフィルタ層113上に、レンズ材を塗布し、パターニングすることでオンチップレンズ114を形成する。カラーフィルタ層およびオンチップレンズは画素部のみに配置されるため、レジストパターンを形成して、画素部以外のカラーフィルタ層113とオンチップレンズ114は除去する。その後、パッドP10上の保護膜112をエッチングにて除去し、外部との信号の入出力を行うためにパッドP10を開口する。以上により、本実施形態に係る固体撮像素子が製造される。

20

【0032】

以上によれば、シリコン基板に第1の孔を設けた後、第1の孔に絶縁部材を埋め込み、更にその上に絶縁膜を形成することで、導電部材を設けるための第2の孔を容易に形成することができる。これにより、層間絶縁膜をハードマスクとしないため、シリコン基板のエッチング時に層間絶縁膜もエッチングされ、層間絶縁膜の孔の角が取れてしまうことを抑制できる。そのため、配線または電極部の短絡の発生を効果的に防止することができる。

【0033】

30

[第2の実施形態]

上述の第1の実施形態と同様、図2(a)に表記するように、シリコン基板100をエッチングして、孔116を形成する。その後、絶縁部材117となる絶縁膜を成膜する。第1の実施形態と異なり、絶縁部材117となる絶縁膜は、互いに異なる複数種類の絶縁層からなる多層膜である。多層膜の1層目である第1絶縁層121は、孔116の内壁に沿って成膜される。第1絶縁層121は孔116の内壁を覆うために、孔116を充填しない程度に薄く成膜する。この第1絶縁層121は例えば窒化シリコン層である。ここで例えば第1絶縁層121は50nmほど成膜する。続いて、第1絶縁層121とエッチング耐性の異なる第2絶縁層122を第1絶縁層121よりも厚く成膜し、第2絶縁層122で孔116の内部を充填する。この第2絶縁層122は、例えば酸化シリコン層である。第1実施形態と同様に、孔116の外側の余分な絶縁膜を除去することにより、絶縁部材117が形成される。この時の断面図を図4(a)に示す。

40

【0034】

その後、第1の実施形態と同様、層間絶縁膜104に導電部材を形成するためのレジストパターンを形成する。続いて、レジストパターンをマスクとして層間絶縁膜104と、孔116に充填された絶縁部材117をドライエッチングする。この時、エッチング工程は深さ方向に絶縁部材117中で止め、第1絶縁層121あるいは第2絶縁層122が底を成す有底孔としての孔118を形成する。これにより、層間絶縁部材104と絶縁部材117に渡る孔118が形成される。第2絶縁層122が底を成す場合、深さ方向に第2絶縁層122を貫通して第1絶縁層121を露出させる。この時、第2絶縁層122がエ

50

エッチングストッパとなる条件で第1絶縁層121をエッチングすることが好ましい。孔118の開口は、孔116に充填された第2絶縁層122の内側になるように形成することができる。これにより、孔118の周囲には第2絶縁層122が存在し、さらにその周囲には第1絶縁層121が存在する構造を得ることができる。この時の断面図を図4(b)に示す。なお、孔118の外周が第2絶縁層122の外周と一致する形態とすることもできる。その後、第1の実施形態と同様に図2(e)～図3(e)の工程を経て、本実施形態に係る固体撮像素子が製造される。第1絶縁層121および第2絶縁層122からなる絶縁部材117は、孔に埋め込まれる導電層C02とシリコン基板100とを電氣的に絶縁させる絶縁性保護膜の役割を果たす。

【0035】

10

本実施形態では、孔116がエッチング耐性の異なる2種の絶縁層で充填される。よって、孔118を形成する際、サイドエッチが入ってもエッチングは第2絶縁層122中で止まるため、孔118の周囲には絶縁部材117を確実に残すことが可能となる。これにより、孔118に埋め込まれた導電部材C10とシリコン基板100との絶縁を確保することができる。シリコン基板100の厚みが増した場合、孔118を形成するために必要なドライエッチングの量が増すため、必然的にサイドエッチの量が増すことになる。第2の実施形態では、このサイドエッチの増加が発生しても、貫通孔に埋め込まれた導電層とシリコン基板との絶縁は確保することができ、工程の安定性を保つことが可能である。なお、本実施形態では、孔116を充填する絶縁部材117としてエッチング耐性の異なる2種類の絶縁層を使用する場合を説明した。しかし、絶縁部材の絶縁層の種類数としては2種類に限定されるのではなく、3種類以上であってもよい。

20

【0036】

[第3の実施形態]

本実施形態は、孔118を形成するタイミングや方向が第1, 2実施形態と異なる。第2の実施形態と同様、図4(a)に示すように、第1面側から孔116を形成し、絶縁部材117を形成することで、孔116の内部を充填する。なお、図2(b)に示すように孔116には1種類の絶縁体のみで孔116を充填してもよい。その後、層間絶縁膜104を成膜する。この後、第2の実施形態と異なり、導電部材を形成せずにコンタクトプラグC20のみを形成する。

【0037】

30

続いて、図2(f)～図3(c)までの第2面側からの薄化工程を含む工程を、第2の実施形態と同様に行い、誘電体膜110を成膜する。この時の断面図を図4(c)に示す。薄化によって、シリコン基板100の第2面側に絶縁部材117が露出し、その上を誘電体膜110が覆っている。次に孔118を開口するために、誘電体膜110上にレジストパターンを形成する。その後、誘電体膜110と絶縁部材117を第1面側とは反対側(第2面側)からドライエッチングする。エッチング工程後、孔118の底に金属配線105が露出する。これにより、誘電体膜110と絶縁部材117と層間絶縁膜104を貫通する有底孔としての孔118が形成される。この時、レジストパターンは、孔116に充填された絶縁部材117の外径よりも内側に形成される。そのため、孔118の周囲には絶縁部材117の一部としての側壁絶縁部材115が存在する。この側壁絶縁部材115は、孔118に導電材料を埋め込んで形成される導電部材と、シリコン基板100とを、電氣的に絶縁させる。エッチング工程後、レジストパターンを除去する。この時の断面図を図4(d)に示す。

40

【0038】

次に孔118を埋め込むように、バリアメタルP01、導電層P02を順次成膜する。その後、導電層P02上にレジストパターンを形成し、パッドP10を形成する。この時、同時に画素内に不図示の遮光膜111も同時に形成される。また、バリアメタルP01と導電層P02の埋め込み時に、孔118も埋め込まれることで、導電部材C10も同時に形成することができる。この時の断面図を図4(e)に示す。ただし、導電部材C10を埋め込んだ後に、別途、パッドP10を形成することもできる。このような製法によれ

50

ば、第１絶縁層１２１と第２絶縁層１２２の双方が、導電部材Ｃ１０に接することになる。

【００３９】

その後、第１の実施形態と同様にカラーフィルター層、およびオンチップレンズを形成する工程を経て、本実施形態に係る固体撮像素子が製造される。第２の実施形態と異なり、誘電体膜を形成した後に第１貫通孔を開孔することで、第２の実施形態と比較して、配線構造形成前に導電部材Ｃ１０を形成する工程を省くことが可能である。

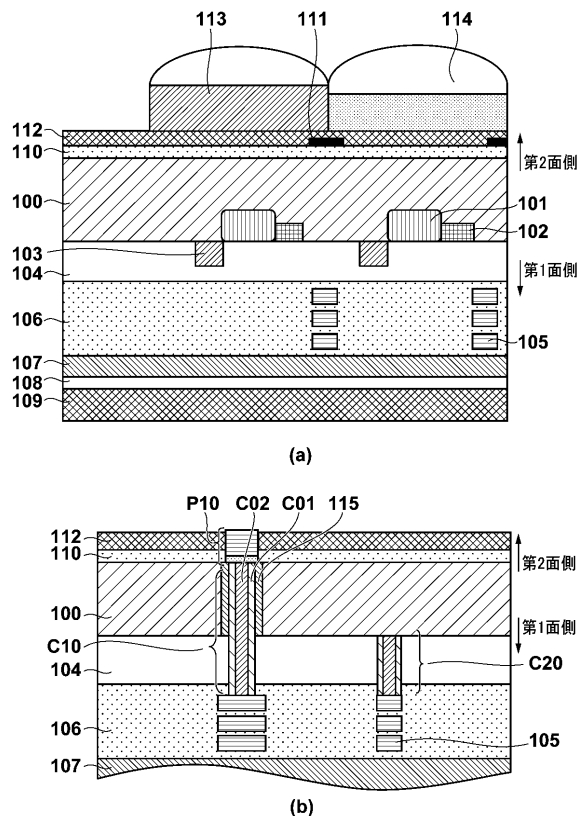
【符号の説明】

【００４０】

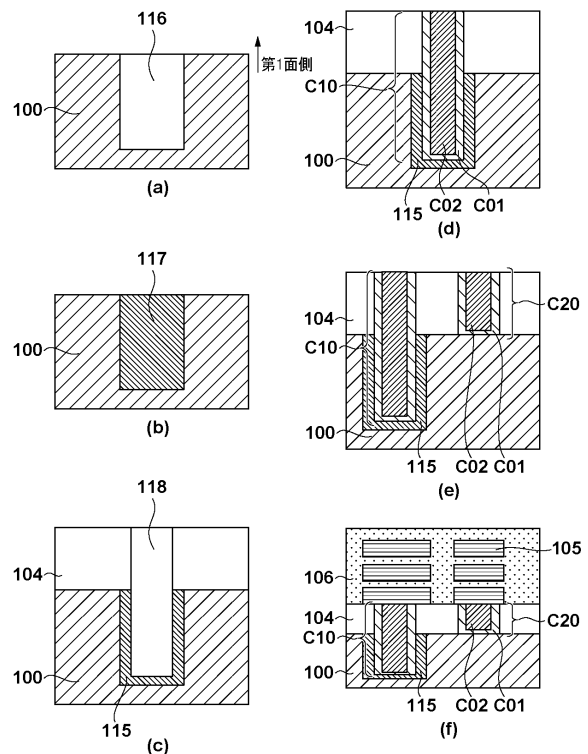
１００：半導体層、１０１：フォトダイオード、１０２：Ｎ型半導体領域、１０３：ゲート電極、１０４：層間絶縁膜、１０５：金属配線、１０６：配線構造、１０７：保護膜、１０８：接着層、１０９：支持基板、１１０：誘電体膜、１１１：遮光膜、１１２：保護膜

10

【図１】



【図２】



フロントページの続き

(72)発明者 安藤 悠也
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 高橋 宣博

(56)参考文献 特開2012-222141(JP,A)
特開2013-089816(JP,A)
特開2012-195514(JP,A)
特開2012-119381(JP,A)
特開2011-029491(JP,A)
特開2005-243689(JP,A)
特開2008-270354(JP,A)
特開2006-060067(JP,A)
特開2014-003081(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	21/3205
H01L	21/768
H01L	23/522
H01L	27/146