(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3633975号
(P3633975)
(45)発行日　平成17年3月30日(2005.3.30)　(24)登録日　平成17年1月7日(2005.1.7)

(51)Int.Cl.[7]　F I
G06F 1/04　G06F 1/04　301C
G06F 1/32　G06F 1/00　332B

請求項の数 8　(全 8 頁)

(21)出願番号　特願平6-296544
(22)出願日　平成6年11月30日(1994.11.30)
(65)公開番号　特開平7-200093
(43)公開日　平成7年8月4日(1995.8.4)
審査請求日　平成13年10月18日(2001.10.18)
(31)優先権主張番号　160931
(32)優先日　平成5年12月1日(1993.12.1)
(33)優先権主張国　米国(US)

(73)特許権者　591016172
アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド
ＡＤＶＡＮＣＥＤ　ＭＩＣＲＯ　ＤＥＶＩＣＥＳ　ＩＮＣＯＲＰＯＲＡＴＥＤ
アメリカ合衆国、９４０８８－３４５３　カリフォルニア州、サニィベイル、ピィ・オゥ・ボックス・３４５３、ワン・エイ・エム・ディ・プレイス、メイル・ストップ・６８（番地なし）
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄

最終頁に続く

(54)【発明の名称】コンピュータシステムの電力を管理するための装置および方法

(57)【特許請求の範囲】
【請求項１】
コンピュータシステムであって、
基準タイミング信号を発生するよう構成される発振器と、
前記発振器に結合されかつ前記基準タイミング信号に応答してクロック信号を発生するよう構成されるクロック発生器と、
前記コンピュータシステムの回路部を監視しかつ前記回路部が非活性状態にあるかどうかを表わす停止状態信号を発生するよう構成されるシステムモニタと、前記クロック発生器および前記システムモニタに結合され、前記停止状態信号のアサートに応答して前記クロック信号を停止しかつ前記停止状態信号のデアサートに応答して前記クロック信号を再開するよう構成されるクロック制御装置と、
前記停止状態信号の前記デアサート後の第１の予め定められた時間をカウントするよう構成された前記クロック制御装置に結合された第１のカウンタと、
前記停止状態信号の前記アサート後の第２の予め定められた時間をカウントするよう構成された前記クロック制御装置に結合された第２のカウンタとを含み、前記クロック制御装置は前記停止状態信号の前記アサートから前記第２の予め定められた時間経過後に前記クロック信号を停止するよう構成され、さらに
前記発振器および前記システムモニタに結合された発振器電力制御装置を含み、前記発振器電力制御装置は前記停止状態信号のアサートに応答して前記発振器に供給される電力を取去りかつ前記停止状態信号のデアサートに応答して前記発振器に供給される電力を復元

するよう構成され、前記クロック制御装置は前記停止状態信号の前記デアサートおよび前記発振器への電力の復元から前記第１の予め定められた時間経過後に前記クロック信号を再開するよう構成され、さらに
前記停止状態信号の前記アサート後の第３の予め定められた時間をカウントするよう構成された前記発振器電力制御装置に結合された第３のカウンタを含み、前記発振器電力制御装置は前記停止状態信号の前記アサートから前記第３の予め定められた時間経過後に前記発振器に供給される電力を取去るよう構成され、前記第３の予め定められた時間は前記第２の予め定められた時間よりも長い、コンピュータシステム。
【請求項２】
前記クロック発生器に結合されたマイクロプロセッサをさらに含み、前記クロック信号が前記マイクロプロセッサに与えられる、請求項１に記載のコンピュータシステム。
【請求項３】
前記クロック制御装置は前記クロック発生器に与えられるクロック停止信号を発生するよう構成され、前記クロック発生器は前記クロック停止信号のアサートに応答して前記クロック信号を停止するよう構成される、請求項１に記載のコンピュータシステム。
【請求項４】
前記クロック制御装置は、前記停止状態信号の前記デアサートから前記第１の予め定められた時間経過後に前記クロック停止信号をデアサートするよう構成される、請求項１に記載のコンピュータシステム。
【請求項５】
発振器を含むコンピュータシステムに接続可能な電力管理装置であって、前記電力管理装置は
前記コンピュータシステムの回路部を監視し、前記回路部が非活性状態にあるかどうかを表わす停止状態信号を発生するよう構成されるシステムモニタと、
前記システムモニタに結合されたクロック制御装置とを含み、前記クロック制御装置は前記停止状態信号のアサートに応答してクロック停止信号を発生し、かつ前記停止状態信号のデアサートに応答して前記クロック停止信号をデアサートするよう構成され、さらに
前記停止状態信号の前記デアサート後の第１の予め定められた時間をカウントするよう構成された前記クロック制御装置に結合された第１のカウンタと、
前記停止状態信号の前記アサート後の第２の予め定められた時間をカウントするよう構成された前記クロック制御装置に結合された第２のカウンタとを含み、
前記クロック制御装置は前記停止状態信号の前記アサートから前記第２の予め定められた時間経過後に前記クロック停止信号をアサートするよう構成され、さらに
前記システムモニタに結合された発振器電力制御装置を含み、前記発振器電力制御装置は前記停止状態信号に応答して前記発振器への電力の付与を制御するための発振器ゲート信号を発生するように構成され、前記発振器電力制御装置は前記停止状態信号の前記デアサートに応答して前記発振器に供給される電力を自動的に復元するよう構成され、前記クロック制御装置は前記停止状態信号の前記デアサートおよび前記発振器への電力の復元から前記第１の予め定められた時間経過後に前記クロック信号を再開するよう構成され、さらに
前記停止状態信号の前記アサート後の第３の予め定められた時間をカウントするために前記発振器電力制御装置に結合された第３のカウンタを含み、前記発振器電力制御装置は前記停止状態信号の前記アサートから前記第３の予め定められた時間経過後に前記発振器から電力を取去るために前記発振器ゲート信号をアサートするよう構成され、前記第３の予め定められた時間は前記第２の予め定められた時間よりも長い、電力管理装置。
【請求項６】
前記クロック制御装置は、クロック信号の開始および停止を制御するために前記電力管理装置の出力端子に前記クロック停止信号を与えるよう構成される、請求項５に記載の電力管理装置。
【請求項７】

前記クロック制御装置は前記停止状態信号の前記デアサートから前記第１の予め定められた時間経過後に前記クロック停止信号をデアサートするよう構成される、請求項５に記載の電力管理装置。

【請求項８】

コンピュータシステム内のシステム発振器への電力を取去ったり付与したりするための電力管理方法であって、

前記コンピュータシステムの回路部の活性状態を監視するステップと、

前記回路部が非活性状態であると判断される場合に停止状態に入るステップと、

前記停止状態に入る前記ステップから第１の予め定められた時間経過後に前記回路部へのクロック信号を停止するステップと、

前記停止状態に入ってから第２の予め定められた時間経過後に前記システム発振器から電力を取去るステップとを含み、前記第２の予め定められた時間は前記第１の予め定められた時間よりも長く、

前記回路部が活性状態になった場合にレディ状態に入るステップと、

前記レディ状態に入る前記ステップに応答して前記システム発振器に電力を再付与するステップと、

前記レディ状態に入る前記ステップから第３の予め定められた時間経過後に前記クロック信号を再開するステップとをさらに含む、電力管理方法。

【発明の詳細な説明】

【０００１】

【発明の分野】

本発明は、コンピュータシステムに関し、かつ特にコンピュータシステム内で採用される電力管理技術に関する。

【０００２】

【関連技術の説明】

製造業者により進められている開発の１つの目的にコンピュータシステムの電力消費量を低減するということがある。電力消費量を低減することで典型的にはシステムの発生する熱が低減され、そのことによって信頼性が増しかつコストが減少する。また、電力を減らすことは、電池で給電を行なうポータブルのコンピュータシステムの寿命を最大限に延ばすうえでも特に重要なことである。

【０００３】

コンピュータシステムの電力消費を低減するについては様々な技術が工夫されてきた。これらの技術には、回路の集積度を上げたり、改善された回路および電力管理装置（ＰＭＵ）を組込むことが含まれる。ある特定の電力低減技術には、マイクロプロセッサ、システムメモリおよびディスクコントローラ等の非活性回路部を駆動するクロック信号を停止することができるようにすることが含まれる。このような技術を採用するシステムは典型的には、マイクロプロセッサ、システムメモリおよびディスクコントローラが非活性状態になる時期を検出または予測して、これに応じて適切な時期にクロック信号を停止する電力管理装置を含む。非活性回路部を駆動する「使用されない」クロック信号をオフにすることで、システム全体の電力消費を減らす。これと類似する技術として、マイクロプロセッサ、システムメモリおよびディスクコントローラが非活性状態にあるときにこれらに供給する電力を減らすことが考えられる。

【０００４】

ところが、従来のコンピュータシステムは電力管理モードの際にシステム発振器から電力を取去ることをしない。したがって、従来技術のコンピュータシステムでは、対応するクロック信号が使用されない場合にシステム発振器に付与される電力は無駄になってしまう。

【０００５】

【発明の概要】

上で説明した問題は概ね本発明に従うシステム発振器ゲート技術を採用するコンピュータ

システムによって解決される。一実施例においては、デジタルハードウェアを使用して、システム発振器から電力を取去ったり再付与したりする制御を行なう。具体的には、コンピュータシステムが電力節約停止状態にある場合、電力管理装置から出力信号を与えて外部システム発振器をオフにし、コンピュータシステムが再開して準備ができた状態になるとこの外部システム発振器をオンにする。電力管理装置が停止状態に入ったり出たりする際に出力信号のレイテンシィを制御するカウンタを設ける。このレイテンシィによってマイクロプロセッサクロックおよび／またはシステム発振器に関連する他のクロック信号が、発振器の動作停止前にシャットオフする時間ができかつクロック信号が再開する前に発振器が安定化する時間ができる。結果として、コンピュータシステムの電力消費を低減することが可能な一方、コンピュータシステムのための適切なクロック発生が維持される。

【０００６】

おおまかに言うと、本発明は、基準タイミング信号を発生するための発振器と、この発振器に結合されてクロック信号を発生することができるクロック発生器と、コンピュータシステムの回路部を監視してこの回路部が非活性状態にあるかどうかを表わす停止状態信号を発生することができるシステムモニタとを備えるコンピュータシステムを考える。クロック発生器とシステムモニタに結合されるクロック制御装置も設けられており、このクロック制御装置は停止状態信号のアサートに応答してクロック信号を停止しかつ停止状態信号のデアサートに応答してクロック信号を再開することができる。最後に、このコンピュータシステムは発振器とシステムモニタとに結合された発振器電力制御装置を備え、この発振器電力制御装置は、停止状態信号のアサートに応答して発振器に供給される電力を取去ることができる。

【０００７】

本発明はさらに、タイミング基準信号を与えるための発振器を含むコンピュータシステムに接続可能な電力管理装置を考慮する。この電力管理装置は、コンピュータシステムの回路部を監視して、この回路部が非活性状態にあるかどうかを表わす停止状態信号を発生することができるシステムモニタと、このシステムモニタに結合され、停止状態信号のアサートに応答してクロック停止信号を発生することができるクロック制御装置と、システムモニタに結合された発振器電力制御装置とを備える。この発振器電力制御装置は、停止状態信号に応答し、発振器への電力の付与を制御するための発振器ゲート信号を発生することができる。

【０００８】

本発明は最後に、コンピュータシステム内のシステム発振器から電力を取去ったり電力を付与したりするための電力管理方法を考え、この方法は、コンピュータシステムの回路部を監視するステップと、この回路部が非活性状態にある場合に停止状態に入るステップと、この停止状態に入るステップに応答してクロック信号を停止するステップと、この停止状態に入るステップに応答してシステム発振器から電力を取去るステップとを含む。

【０００９】

本発明には様々な修正や代替的な形態が可能であり、発明の具体的な実施例について例として図面に示しかつ本明細書中に詳細に記載するものである。しかしながら、図面および詳細な説明は開示するこの特定の形態に発明を限定することを意図しておらず、逆に先行の特許請求の範囲により定義される発明の精神および範囲にあるすべての修正、等価物および代替例を包含することを意図している点を理解されたい。

【００１０】

【発明の説明】

ここで図面を参照して、図１は本発明に従うシステム発振器ゲート技術を実現するコンピュータシステム１００のブロック図である。コンピュータシステム１００は、マイクロプロセッサ（ＣＰＵ）１０２と、システムメモリコントローラ１０４と、ディスクコントローラ１０６とを備え、これら各々がクロック発生器１０８に結合されている。コンピュータシステム１００は、クロック発生器１０８に結合された電力管理装置（ＰＭＵ）１１０とシステム発振器１１２とをさらに備える。

【００１１】
システム発振器１１２は発振器回路で、好ましい実施例では水晶素子を含みかつ予め定められた周波数の発振器基準信号を発生する。この発振器基準信号はクロック発生器１０８に与えられる。発振器基準信号を使用して、クロック発生器１０８は、特に、マイクロプロセッサ１０２に与えられるＣＰＵクロック信号と、システムメモリコントローラ１０４およびディスクコントローラ１０６に与えられるシステムクロック信号とを発生する。なお、このＣＰＵクロック信号はシステムクロック信号と異なる周波数を有していてもよい。たとえば、一実施例においては、ＣＰＵクロック信号が８０ＭＨｚの最大周波数を有しかつシステムクロック信号が４０ＭＨｚの最大周波数を有する。
【００１２】
電力管理装置１１０は、発振器電力制御装置１２２およびクロック制御装置１２４に結合されたシステムモニタ１２０を含む。カウンタ１２６は、発振器電力制御装置１２２に結合され、かつカウンタ対１２８および１３０はクロック制御装置１２４に結合される。
【００１３】
動作の際には、システム発振器１１２は、たとえば８０ＭＨｚといった予め定められた周波数の発振器基準信号を発生する。クロック発生器１０８はこの発振器基準信号を使用してＣＰＵクロック信号とシステムクロック信号とを発生する。
【００１４】
コンピュータシステム１００に電源を投入した後、システムモニタ１２０は、コンピュータシステム１００の様々なサブシステムのうちとりわけマイクロプロセッサ１０２、システムメモリコントローラ１０４、およびディスクコントローラ１０６等を監視する。一実施例では、システムモニタ１２０はＣＰＵローカルバスおよび／または周辺バス上の信号の活性状態を検出することによってマイクロプロセッサおよび他のシステム周辺部の動作状態を検出する。システムモニタ１２０の様々な具体的な実現例を電力管理装置１１０内に採用することができ、システムモニタの例が多数の公知の先行技術文献に記載されている。たとえば、コンピュータシステムの非活性回路部を検出するシステムモニタの例がスミス他（Ｓｍｉｔｈ　ｅｔ　ａｌ．）に対し１９９２年１１月２４日に発行された米国特許第５，１６７，０２４号に記載されている。この特許は、その全文についてここに引用により援用する。
【００１５】
システムモニタ１２０は、マイクロプロセッサ１０２、システムメモリコントローラ１０４およびディスクコントローラ１０６が非活性状態にあると判断すると、停止状態に入り、その間本明細書中で停止状態信号と呼ぶ制御信号がアサートされる。この停止状態信号は、発振器電力制御装置１２２とクロック制御装置１２４とに与えられる。後ほどより詳細に説明するが、この発振器電力制御装置１２２は、ＯＳＣＧＡＴＥ信号として表わす制御信号を応答的にアサートし、この信号によってシステム発振器から電力が取去られ、かつクロック制御装置１２４は、クロック停止信号として表わされる制御信号をアサートし、この信号によってクロック発生器１０８がＣＰＵクロック信号とシステムクロック信号とを停止する。
【００１６】
図２は、システムモニタ１２０の内部状態とクロック停止およびＯＳＣＧＡＴＥ信号とのタイミングの関係を表わすタイミング図である。図１と図２とを併せて見ると、システムモニタ１２０が停止状態に入りかつ停止状態信号をアサートすると、クロック制御装置１２４がカウンタ１２８に３０マイクロ秒という期間のカウントを開始させる。この３０マイクロ秒の期間が経過すると、クロック制御装置１２４がクロック停止信号をアサートし、これによってクロック発生器１０８はＣＰＵクロック信号とシステムクロック信号とを停止する。
【００１７】
発振器電力制御装置１２２も同様にシステムモニタ１２０が停止状態に入ったことに応答して、カウンタ１２６に１５０マイクロ秒という期間のカウントを開始させる。１５０マ

イクロ秒が経過した後、発振器電力制御装置１２２はＯＳＣＧＡＴＥ信号をアサートし、これによってシステム発振器１１２から電力が取去られる。したがって、発振器基準信号はもはや発生されなくなる。

【００１８】

電力管理装置１１０は、システムモニタ１２０が、ＣＰＵクロック信号および／またはシステムクロック信号を再開する必要があると決定するまで停止状態のままである。システムモニタ１２０によりこのような決定が下されると、システムモニタ１２０はレディ状態に入る。応じて停止状態信号がデアサートされ、発振器電力制御装置１２２は応答的にＯＳＣＧＡＴＥ信号をデアサートする。このＯＳＣＧＡＴＥ信号がデアサートされると、システム発振器１１２に対し電力が再付与され、これによって発振器基準信号の発生が可能となる。

【００１９】

さらに、停止状態信号のデアサートに応答して、クロック制御装置１２４もカウンタ１３０に２０ミリ秒という期間のカウントを開始させる。２０ミリ秒の期間が経過すると、クロック制御装置１２４はクロック停止信号をデアサートし、これによりクロック発生器１０８はＣＰＵクロック信号とシステムクロック信号とを再開する。なお、カウンタ１３０により制御されるこの２０ミリ秒という期間によって、ＣＰＵおよびシステムクロック信号を再開する試みを行なう前に発振器基準信号が安定化する。

【００２０】

図３は、ＯＳＣＧＡＴＥ信号に応答してシステム発振器１１２への電力が取去られたり再付与されたりする電力ゲート回路を示す。図示のとおり、ＦＥＴスイッチングトランジスタ１５０は電源ＶＣＣとシステム発振器１１２とに結合されている。ＯＳＣＧＡＴＥ信号はトランジスタ１５０のゲートに付与される。なお、図１の実施例においては、このスイッチング回路はシステム発振器１１２の内部に組込まれている。

【００２１】

上記のように構成した結果、このコンピュータシステムの全体的な電力消費を低減することができる。さらに、ＣＰＵおよびシステムクロック信号は、これらクロック信号の適切な発生を維持しかつシステムを動作停止状態に準備するためにシステム発振器から電力が取除かれる前に停止される。さらに、発振器基準信号が安定化する時間の余裕を与えるためクロック信号が再開される前にシステム発振器１１２へ電力が再付与される。

【００２２】

なお、上記のシステム発振器ゲート技術は、他の様々な電力管理技術とともに使用してもよい。たとえば、このシステム発振器ゲート技術を、同時係属中で、同一譲受人の特許出願である、マクドナルド他（ＭａｃＤｏｎａｌｄ　ｅｔ　ａｔ．）による「イン・サービス表示を伴う割込コントローラ」と題する、１９９３年９月２２日出願の米国特許出願連続番号第０８／１２５，３３６号およびオブライエン他（Ｏ’Ｂｒｉｅｎ　ｅｔ　ａｌ．）による「割込駆動コンピュータシステム内のタイマを刻む動作のための電力管理制御技術」と題する１９９３年１１月２３日付出願の米国特許出願連続番号第１５６，８８８号、およびウィザー他（Ｗｉｓｏｒ　ｅｔ　ａｌ．）による「ポータブルコンピュータシステムおよびその電力管理方法」と題する本願と同時出願の米国特許出願連続番号第１６０，９３０号に教示される電力管理技術とともに使用してもよい。これらの特許出願についてその全文をここに引用により援用する。

【００２３】

上の開示について十分に理解すれば、当業者には様々な変形および修正が明らかとなるであろう。先行の特許請求の範囲はこのような変形および修正のすべてを包含するものとして解釈されるものである。

【図面の簡単な説明】

【図１】本発明に従うシステム発振器ゲート技術を実現する電力管理装置を含むコンピュータシステムのブロック図である。

【図２】電力管理装置の内部電力管理状態と対応する出力制御信号とを示すタイミング図

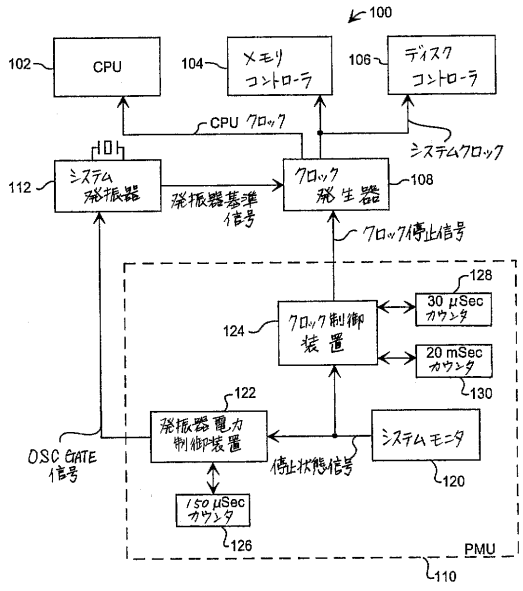
である。

【図３】システム発振器に対し電力を取去ったり再付与したりするためのゲート回路を示す模式図である。

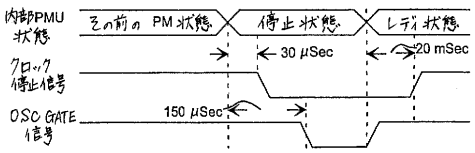
【符号の説明】

１００…コンピュータシステム
１０２…マイクロプロセッサ
１０４…システムメモリコントローラ
１０６…ディスクコントローラ
１０８…クロック発生器
１１０…電力管理装置
１１２…システム発振器
１２０…システムモニタ
１２４…クロック制御装置

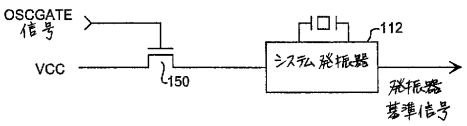
【図１】



【図２】



【図３】



フロントページの続き

(74)代理人　100091409
弁理士　伊藤　英彦
(74)代理人　100096781
弁理士　堀井　豊
(72)発明者　リタ・エム・オブライエン
アメリカ合衆国、７８７４９　テキサス州、オースティン、サロマ、４６０８

審査官　山崎　慎一

(56)参考文献　国際公開第９１／０００５６６（WO，Ａ１）
実開平０５－０７１９１７（ＪＰ，U）
特表平０５－５０７３７０（ＪＰ，Ａ）
特開平０２－１７６９２１（ＪＰ，Ａ）
特開平０４－１９５６１９（ＪＰ，Ａ）
特開平０５－１８９０７６（ＪＰ，Ａ）
特開平０５－２５００６４（ＪＰ，Ａ）
特開昭６１－２２８７２５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
G06F　1/04　301
G06F　1/32