

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-205455

(P2012-205455A)

(43) 公開日 平成24年10月22日(2012.10.22)

(51) Int.Cl.	F I	テーマコード (参考)
HO2M 3/155 (2006.01)	HO2M 3/155 H	5H730
	HO2M 3/155 B	
	HO2M 3/155 P	

審査請求 未請求 請求項の数 8 O L (全 22 頁)

(21) 出願番号 特願2011-69916 (P2011-69916)
 (22) 出願日 平成23年3月28日 (2011.3.28)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 110000235
 特許業務法人 天城国際特許事務所
 (72) 発明者 野村 富二夫
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 (72) 発明者 青木 善郎
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 Fターム(参考) 5H730 AA14 AS01 AS04 AS05 BB13
 BB14 BB15 BB57 DD04 EE13
 FD01 FF06 FG05 FG11 FG12
 XC12

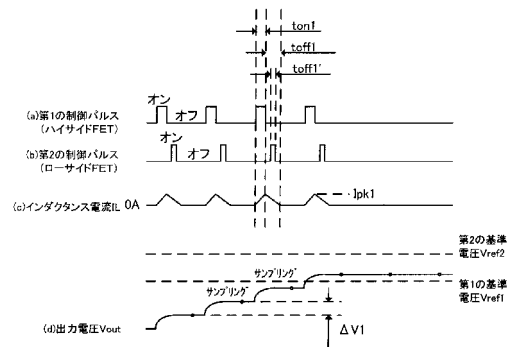
(54) 【発明の名称】 軽負荷または無負荷時におけるスイッチング電源の制御方法およびスイッチング電源

(57) 【要約】 (修正有)

【課題】 応答速度を向上させ、かつ電力の内部損失を低減することができる無負荷または軽負荷時におけるスイッチング電源の制御方法を提供すること。

【解決手段】 降圧型の出力電圧 V_{out} が、第1の基準電圧 V_{ref1} V_{out} 第2の基準電圧 V_{ref2} であるか否かを判定するステップと、このステップによる判定結果に基づいて、 V_{ref1} V_{out} V_{ref2} になるように、ハイサイドFETおよびローサイドFETを制御するステップと、を具備し、前記制御ステップは、 $V_{out} < V_{ref1}$ の場合に、ハイサイドFETの一度の導通によって増加する出力電圧の量 V_1 が $V_1 < V_{ref2} - V_{ref1}$ になるようにハイサイドFETをスイッチングさせ、 $V_{out} > V_{ref2}$ の場合に、ローサイドFETの一度の導通によって減少する出力電圧の量 V_1 が、 $V_1 < V_{ref2} - V_{ref1}$ になるようにローサイドFETをスイッチングさせる。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

インダクタンス素子、ダイオード、コンデンサ、第 1 のスイッチング素子、および前記ダイオードと並列に配置された第 2 のスイッチング素子を有する無負荷または軽負荷時における降圧型、または昇圧型のスイッチング電源の制御方法であって、

前記スイッチング電源の出力電圧が、第 1 の基準電圧と、この電圧より大きい電圧である第 2 の基準電圧と、によって定められる基準電圧の範囲内であるか否かを判定するステップと、

このステップによる判定結果に基づいて、前記出力電圧が、前記基準電圧の範囲内になるように、前記第 1 のスイッチング素子および前記第 2 のスイッチング素子の動作を制御するステップと、

10

を具備し、

前記第 1 のスイッチング素子および前記第 2 のスイッチング素子を制御するステップは、前記出力電圧が前記第 1 の基準電圧より小さい場合は、前記第 1 のスイッチング素子の一度の導通によって増加する前記出力電圧の量が、前記第 1 の基準電圧と前記第 2 の基準電圧との差分電圧より小さくなるように、前記第 1 のスイッチング素子をスイッチングさせるとともに、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とが同時に導通せず、かつ前記インダクタンス素子に電流が流れているタイミングで前記第 2 のスイッチング素子が導通するように、前記第 2 のスイッチング素子をスイッチング動作させ、

前記出力電圧が前記第 2 の基準電圧より大きい場合は、前記第 2 のスイッチング素子の一度の導通によって減少する前記出力電圧の量が、前記差分電圧より小さくなるように、前記第 2 のスイッチング素子をスイッチングさせることを特徴とする無負荷または軽負荷時におけるスイッチング電源の制御方法。

20

【請求項 2】

インダクタンス素子、ダイオード、コンデンサ、第 1 のスイッチング素子、および前記ダイオードと並列に配置された第 2 のスイッチング素子を有する無負荷または軽負荷時における反転型のスイッチング電源の制御方法であって、

前記スイッチング電源の出力電圧が、第 1 の基準電圧と、この電圧より大きい電圧である第 2 の基準電圧と、によって定められる基準電圧の範囲内であるか否かを判定するステップと、

30

このステップによる判定結果に基づいて、前記出力電圧が、前記基準電圧の範囲内になるように、前記第 1 のスイッチング素子および前記第 2 のスイッチング素子の動作を制御するステップと、

を具備し、

前記第 1 のスイッチング素子および前記第 2 のスイッチング素子を制御するステップは、前記出力電圧が前記第 1 の基準電圧より小さい場合は、前記第 2 のスイッチング素子の一度の導通によって増加する前記出力電圧の量が、前記差分電圧より小さくなるように、前記第 2 のスイッチング素子をスイッチングさせ、

前記出力電圧が前記第 2 の基準電圧より大きい場合は、前記第 1 のスイッチング素子の一度の導通によって減少する前記出力電圧の量が、前記第 1 の基準電圧と前記第 2 の基準電圧との差分電圧より小さくなるように、前記第 1 のスイッチング素子をスイッチングさせるとともに、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とが同時に導通せず、かつ前記インダクタンス素子に電流が流れているタイミングで前記第 2 のスイッチング素子が導通するように、前記第 2 のスイッチング素子をスイッチング動作させることを特徴とする無負荷または軽負荷時におけるスイッチング電源の制御方法。

40

【請求項 3】

前記第 1 のスイッチング素子および前記第 2 のスイッチング素子を制御するステップは、前記判定ステップによる判定結果に基づいて、前記出力電圧が、前記基準電圧の範囲内になるように、前記第 1 のスイッチング素子の動作を制御する第 1 のパルスのパルス幅、および前記第 2 のスイッチング素子の動作を制御する第 2 のパルスのパルス幅を算出するス

50

テップと、

このステップにより算出されたパルス幅を有する前記第 1 の制御パルスを前記第 1 のスイッチング素子に供給し、若しくは前記算出ステップにより算出されたパルス幅を有する前記第 2 の制御パルスを前記第 2 のスイッチング素子に供給するステップと、

を具備し、

前記第 1 のスイッチング素子の導通時間は、前記第 1 の制御パルスのパルス幅によって制御されるとともに、前記第 2 のスイッチング素子の導通時間は、前記第 2 の制御パルスのパルス幅によって制御されることを特徴とする請求項 1 または 2 に記載の無負荷または軽負荷時におけるスイッチング電源の制御方法。

【請求項 4】

前記判定ステップは、前記出力電圧を分圧した電圧をデジタル値に変換するステップと、

このステップにより変換されたデジタル値と、前記第 1 の基準電圧に基づくデジタル値、および前記第 2 の基準電圧に基づくデジタル値とを比較することによって、前記出力電圧が、前記基準電圧の範囲内であるか否かを判定するステップと、

を具備することを特徴とする請求項 1 乃至 3 のいずれかに記載の無負荷または軽負荷時におけるスイッチング電源の制御方法。

【請求項 5】

インダクタンス素子、ダイオード、コンデンサ、第 1 のスイッチング素子、および前記ダイオードと並列に配置された第 2 のスイッチング素子を有する降圧型、または昇圧型の電源本体と、

この電源本体の出力端子と前記コンデンサとの間に接続され、前記出力端子に発生した出力電圧が、第 1 の基準電圧と、この電圧より大きい電圧である第 2 の基準電圧と、によって定められる基準電圧の範囲内であるか否かを判定する電圧判定部と、

この電圧判定部に接続され、前記電圧判定部による判定結果に基づいて、前記出力電圧が、前記基準電圧の範囲内になるように、前記第 1 のスイッチング素子および前記第 2 のスイッチング素子の動作を制御するスイッチ駆動部と、

を具備し、

無負荷または軽負荷時における前記スイッチ駆動部は、前記出力電圧が前記第 1 の基準電圧より小さい場合は、前記第 1 のスイッチング素子の一度の導通によって増加する前記出力電圧の量が、前記第 1 の基準電圧と前記第 2 の基準電圧との差分電圧より小さくなるように、前記第 1 のスイッチング素子をスイッチング

させるとともに、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とが同時に導通せず、かつ前記インダクタンス素子に電流が流れているタイミングで前記第 2 のスイッチング素子が導通するように、前記第 2 のスイッチング素子をスイッチング動作させ、

前記出力電圧が前記第 2 の基準電圧より大きい場合は、前記第 2 のスイッチング素子の一度の導通によって減少する前記出力電圧の量が、前記差分電圧より小さくなるように、前記第 2 のスイッチング素子をスイッチングさせることを特徴とするスイッチング電源。

【請求項 6】

インダクタンス素子、ダイオード、コンデンサ、第 1 のスイッチング素子、および前記ダイオードと並列に配置された第 2 のスイッチング素子を有する反転型の電源本体と、

この電源本体の出力端子と前記コンデンサとの間に接続され、前記出力端子に発生した出力電圧が、第 1 の基準電圧と、この電圧より大きい電圧である第 2 の基準電圧と、によって定められる基準電圧の範囲内であるか否かを判定する電圧判定部と、

この電圧判定部に接続され、前記電圧判定部による判定結果に基づいて、前記出力電圧が、前記基準電圧の範囲内になるように、前記第 1 のスイッチング素子および前記第 2 のスイッチング素子の動作を制御するスイッチ駆動部と、

を具備し、

無負荷または軽負荷時における前記スイッチ駆動部は、前記出力電圧が前記第 1 の基準電圧より小さい場合は、前記第 2 のスイッチング素子の一度の導通によって増加する前記

10

20

30

40

50

出力電圧の量が、前記差分電圧より小さくなるように、前記第 2 のスイッチング素子をスイッチングさせ、

前記出力電圧が前記第 2 の基準電圧より大きい場合は、前記第 1 のスイッチング素子の一度の導通によって減少する前記出力電圧の量が、前記第 1 の基準電圧と前記第 2 の基準電圧との差分電圧より小さくなるように、前記第 1 のスイッチング素子をスイッチングさせるとともに、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とが同時に導通せず、かつ前記インダクタンス素子に電流が流れているタイミングで前記第 2 のスイッチング素子が導通するように、前記第 2 のスイッチング素子をスイッチング動作させることを特徴とするスイッチング電源。

【請求項 7】

前記スイッチ駆動部は、前記第 1 のスイッチング素子の動作を制御するための第 1 の制御パルスのパルス幅、および前記第 2 のスイッチング素子の動作を制御するための第 2 の制御パルスのパルス幅を算出するパルス幅変調回路と、

この回路および前記第 1 のスイッチング素子に接続され、前記第 1 の制御パルスを前記第 1 のスイッチング素子に供給する第 1 の駆動回路と、

前記パルス幅変調回路および前記第 2 のスイッチング素子に接続され、前記第 2 の制御パルスを前記第 2 のスイッチング素子に供給する第 2 の駆動回路と、

を具備し、

前記第 1 のスイッチング素子の導通時間は、前記第 1 の制御パルスのパルス幅によって制御されるとともに、前記第 2 のスイッチング素子の導通時間は、前記第 2 の制御パルスのパルス幅によって制御されることを特徴とする請求項 5 または 6 に記載のスイッチング電源。

【請求項 8】

電圧判定部は、前記電源本体の出力端子と前記コンデンサとの間に直列に接続された第 1、第 2 の分圧抵抗と、

前記第 1 の分圧抵抗と前記第 2 の分圧抵抗との間に接続され、前記第 1、第 2 の分圧抵抗によって前記出力電圧を分圧した電圧を、デジタル値に変換する A / D コンバータと、

前記第 1 の基準電圧に基づくデジタル値を出力する第 1 の基準値生成回路と、

前記第 2 の基準電圧に基づくデジタル値を出力する第 2 の基準値生成回路と、

前記 A / D コンバータ、第 1 の基準値生成回路、および第 2 の基準値生成回路、に接続され、前記 A / D コンバータによって変換されたデジタル値と、前記第 1 の基準電圧に基づくデジタル値および前記第 2 の基準電圧に基づくデジタル値とを比較することによって、前記出力電圧が、前記基準電圧の範囲内であるか否かを判定する判定回路と、

を具備することを特徴とする請求項 5 乃至 7 のいずれかに記載のスイッチング電源。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、軽負荷または無負荷時におけるスイッチング電源の制御方法およびスイッチング電源に関する。

【背景技術】

【0002】

従来のスイッチング電源は、所望の電圧を出力する入力源と、この入力源に接続された第 1 のスイッチング素子と、この第 1 のスイッチング素子と接地との間に、互いに並列に接続された第 2 のスイッチング素子およびダイオードと、これらのスイッチ間に一端が接続されたチョークコイルと、このコイルの他端と接地と間に接続されたコンデンサと、を具備し、コンデンサ間に発生する電圧を、出力電圧として負荷に供給する。

【0003】

このスイッチング電源において、軽負荷または無負荷時における第 1、第 2 のスイッチング素子は、以下のように制御される。

【0004】

10

20

30

40

50

第 1 に、出力電圧が規定値より大きいとき、第 1、第 2 のスイッチング素子が共に非導通となるように制御される。これにより、コンデンサに充電された電力は負荷から放電されるため、出力電圧は低下する。

【 0 0 0 5 】

第 2 に、出力電圧が設定値より小さいとき、第 2 のスイッチング素子を非導通にしたまま、第 1 のスイッチング素子のみをスイッチングするように制御される。これにより、第 1 のスイッチング素子が導通するときにコンデンサに電力が充電されるため、出力電圧は上昇する。

【 0 0 0 6 】

このような従来のスイッチング電源において、以下の問題がある。第 1 に、出力電圧が規定値より大きいとき、第 1、第 2 のスイッチング素子を共に非導通した状態でキャパシタに充電された電力を負荷から放電するため、放電時間が長く、スイッチング電源の応答速度が遅い問題がある。特に、コンデンサとして、大容量のコンデンサが適用されている場合、放電時間は非常に長くなる。

10

【 0 0 0 7 】

第 2 に、出力電圧が規定値より小さいとき、第 2 のスイッチング素子を非導通にしたままの状態第 1 のスイッチング素子のみをスイッチングさせると、第 1、第 2 のスイッチング素子が共に非導通のときにダイオードに電流が流れるため、ダイオードにおいて電圧降下が発生し、電源内部で電力が損失する問題がある。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

【 特許文献 1 】 特開平 8 - 3 3 1 8 3 8 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

本発明の実施形態は、応答速度を向上させ、かつ電力の内部損失を低減することができる軽負荷または、無負荷時におけるスイッチング電源の制御方法およびスイッチング電源を提供することを目的とする。

【 課題を解決するための手段 】

30

【 0 0 1 0 】

本発明の実施形態に係る無負荷または軽負荷時におけるスイッチング電源の制御方法は、インダクタンス素子、ダイオード、コンデンサ、第 1 のスイッチング素子、および前記ダイオードと並列に配置された第 2 のスイッチング素子を有する無負荷または軽負荷時における降圧型、または昇圧型のスイッチング電源の制御方法であって、前記スイッチング電源の出力電圧が、第 1 の基準電圧と、この電圧より大きい電圧である第 2 の基準電圧と、によって定められる基準電圧の範囲内であるか否かを判定するステップと、このステップによる判定結果に基づいて、前記出力電圧が、前記基準電圧の範囲内になるように、前記第 1 のスイッチング素子および前記第 2 のスイッチング素子の動作を制御するステップと、を具備し、前記第 1 のスイッチング素子および前記第 2 のスイッチング素子を制御するステップは、前記出力電圧が前記第 1 の基準電圧より小さい場合は、前記第 1 のスイッチング素子の一度の導通によって増加する前記出力電圧の量が、前記第 1 の基準電圧と前記第 2 の基準電圧との差分電圧より小さくなるように、前記第 1 のスイッチング素子をスイッチングさせるとともに、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とが同時に導通せず、かつ前記インダクタンス素子に電流が流れているタイミングで前記第 2 のスイッチング素子が導通するように、前記第 2 のスイッチング素子をスイッチング動作させ、前記出力電圧が前記第 2 の基準電圧より大きい場合は、前記第 2 のスイッチング素子の一度の導通によって減少する前記出力電圧の量が、前記差分電圧より小さくなるように、前記第 2 のスイッチング素子をスイッチングさせる。

40

【 0 0 1 1 】

50

また、本発明の実施形態に係る無負荷または軽負荷時におけるスイッチング電源の制御方法は、インダクタンス素子、ダイオード、コンデンサ、第1のスイッチング素子、および前記ダイオードと並列に配置された第2のスイッチング素子を有する無負荷または軽負荷時における反転型のスイッチング電源の制御方法であって、前記スイッチング電源の出力電圧が、第1の基準電圧と、この電圧より大きい電圧である第2の基準電圧と、によって定められる基準電圧の範囲内であるか否かを判定するステップと、このステップによる判定結果に基づいて、前記出力電圧が、前記基準電圧の範囲内になるように、前記第1のスイッチング素子および前記第2のスイッチング素子の動作を制御するステップと、を具備し、前記第1のスイッチング素子および前記第2のスイッチング素子を制御するステップは、前記出力電圧が前記第1の基準電圧より小さい場合は、前記第2のスイッチング素子の一度の導通によって増加する前記出力電圧の量が、前記差分電圧より小さくなるように、前記第2のスイッチング素子をスイッチングさせ、前記出力電圧が前記第2の基準電圧より大きい場合は、前記第1のスイッチング素子の一度の導通によって減少する前記出力電圧の量が、前記第1の基準電圧と前記第2の基準電圧との差分電圧より小さくなるように、前記第1のスイッチング素子をスイッチングさせるとともに、前記第1のスイッチング素子と前記第2のスイッチング素子とが同時に導通せず、かつ前記インダクタンス素子に電流が流れているタイミングで前記第2のスイッチング素子が導通するように、前記第2のスイッチング素子をスイッチング動作させる。

10

【0012】

また、本発明の実施形態に係るスイッチング電源は、インダクタンス素子、ダイオード、コンデンサ、第1のスイッチング素子、および前記ダイオードと並列に配置された第2のスイッチング素子を有する降圧型、または昇圧型の電源本体と、この電源本体の出力端子と前記コンデンサとの間に接続され、前記出力端子に発生した出力電圧が、第1の基準電圧と、この電圧より大きい電圧である第2の基準電圧と、によって定められる基準電圧の範囲内であるか否かを判定する電圧判定部と、この電圧判定部に接続され、前記電圧判定部による判定結果に基づいて、前記出力電圧が、前記基準電圧の範囲内になるように、前記第1のスイッチング素子および前記第2のスイッチング素子の動作を制御するスイッチ駆動部と、を具備し、無負荷または軽負荷時における前記スイッチ駆動部は、前記出力電圧が前記第1の基準電圧より小さい場合は、前記第1のスイッチング素子の一度の導通によって増加する前記出力電圧の量が、前記第1の基準電圧と前記第2の基準電圧との差分電圧より小さくなるように、前記第1のスイッチング素子をスイッチングさせるとともに、前記第1のスイッチング素子と前記第2のスイッチング素子とが同時に導通せず、かつ前記インダクタンス素子に電流が流れているタイミングで前記第2のスイッチング素子が導通するように、前記第2のスイッチング素子をスイッチング動作させ、前記出力電圧が前記第2の基準電圧より大きい場合は、前記第2のスイッチング素子の一度の導通によって減少する前記出力電圧の量が、前記差分電圧より小さくなるように、前記第2のスイッチング素子をスイッチングさせる。

20

30

【0013】

また、本発明の実施形態に係るスイッチング電源は、インダクタンス素子、ダイオード、コンデンサ、第1のスイッチング素子、および前記ダイオードと並列に配置された第2のスイッチング素子を有する反転型の電源本体と、この電源本体の出力端子と前記コンデンサとの間に接続され、前記出力端子に発生した出力電圧が、第1の基準電圧と、この電圧より大きい電圧である第2の基準電圧と、によって定められる基準電圧の範囲内であるか否かを判定する電圧判定部と、この電圧判定部に接続され、前記電圧判定部による判定結果に基づいて、前記出力電圧が、前記基準電圧の範囲内になるように、前記第1のスイッチング素子および前記第2のスイッチング素子の動作を制御するスイッチ駆動部と、を具備し、無負荷または軽負荷時における前記スイッチ駆動部は、前記出力電圧が前記第1の基準電圧より小さい場合は、前記第2のスイッチング素子の一度の導通によって増加する前記出力電圧の量が、前記差分電圧より小さくなるように、前記第2のスイッチング素子をスイッチングさせ、前記出力電圧が前記第2の基準電圧より大きい場合は、前記第1

40

50

のスイッチング素子の一度の導通によって減少する前記出力電圧の量が、前記第 1 の基準電圧と前記第 2 の基準電圧との差分電圧より小さくなるように、前記第 1 のスイッチング素子をスイッチングさせるとともに、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とが同時に導通せず、かつ前記インダクタンス素子に電流が流れているタイミングで前記第 2 のスイッチング素子が導通するように、前記第 2 のスイッチング素子をスイッチング動作させる。

【図面の簡単な説明】

【0014】

【図 1】第 1 の実施形態に係るスイッチング電源を示す図である。

【図 2】第 1 の実施形態に係る無負荷または軽負荷時におけるスイッチング電源の制御方法であって、出力電圧が、第 1 の基準電圧と第 2 の基準電圧との間の電圧である場合における制御方法を示すフローチャートである。

【図 3】第 1 の実施形態に係る無負荷または軽負荷時におけるスイッチング電源の制御方法であって、出力電圧が第 1 の基準電圧より小さい場合における制御方法を示すフローチャートである。

【図 4】出力電圧が第 1 の基準電圧より小さい場合において、ハイサイド FET およびローサイド FET にそれぞれ供給される第 1、第 2 の制御パルス、チョークコイルを流れるインダクタンス電流、および出力電圧の関係を示す波形図であり、同図 (a) はハイサイド FET に供給される第 1 の制御パルスの波形、同図 (b) はローサイド FET に供給される第 2 の制御パルスの波形、同図 (c) はインダクタンス電流の波形、同図 (d) は出力電圧の波形を示す。

【図 5】第 1 の実施形態に係るスイッチング電源の制御方法であって、出力電圧が第 2 の基準電圧より大きい場合における制御方法を示すフローチャートである。

【図 6】出力電圧が、第 2 の基準電圧より大きい場合において、ハイサイド FET およびローサイド FET にそれぞれ供給される第 1、第 2 の制御パルス、チョークコイルを流れるインダクタンス電流、および出力電圧の関係を示す波形図であり、同図 (a) はハイサイド FET に供給される第 1 の制御パルスの波形、同図 (b) はローサイド FET に供給される第 2 の制御パルスの波形、同図 (c) はインダクタンス電流の波形、同図 (d) は出力電圧の波形を示す。

【図 7】第 2 の実施形態に係るスイッチング電源を示す図である。

【図 8】第 3 の実施形態に係るスイッチング電源を示す図である。

【図 9】第 4 の実施形態に係るスイッチング電源を示す図である。

【発明を実施するための形態】

【0015】

以下、本発明の実施の形態に係る軽負荷または、無負荷時におけるスイッチング電源の制御方法およびスイッチング電源について、図面を参照して説明する。

【0016】

(第 1 の実施形態)

図 1 は、第 1 の実施形態に係るスイッチング電源を示す図である。このスイッチング電源 10 は、いわゆる DC / DC コンバータであり、より詳しくは、同期整流方式の降圧型コンバータである。また、DC / DC コンバータの制御方式はデジタル制御方式である。

【0017】

図 1 に示すように、スイッチング電源 10 は、入力端子および出力端子を有しており、これらの端子間に、降圧型の電源本体 10 - 1 (以下、電源本体 10 - 1 と称する) を有する。電源本体 10 - 1 は、入力端子に入力源 11 が接続され、出力端子に負荷 12 が接続されると、入力源 11 から供給される電圧 V_{in} を任意の出力電圧 V_{out} に降圧して、負荷 12 に供給する。

【0018】

電源本体 10 - 1 は、第 1 のスイッチング素子としてのハイサイド FET 13、および第 2 のスイッチング素子としてのローサイド FET 14 を有する。

【 0 0 1 9 】

ハイサイド F E T 1 3 のドレイン端子は、マイナス端子が接地された入力源 1 1 のプラス端子に接続される。ハイサイド F E T 1 3 のソース端子は、ローサイド F E T 1 4 のドレイン端子に接続される。また、ローサイド F E T 1 4 のソース端子は接地される。

【 0 0 2 0 】

なお、図 1 に示される電源本体 1 0 - 1 において、ハイサイド F E T 1 3 は N チャンネル F E T であるが、P チャンネル F E T であってもよい。ハイサイド F E T 1 3 として P チャンネル F E T を適用する場合、ソース端子が入力源 1 1 のプラス端子に接続され、ドレイン端子がローサイド F E T 1 4 のドレイン端子に接続される。

【 0 0 2 1 】

また、図 1 に示される電源本体 1 0 - 1 において、ローサイド F E T 1 4 は N チャンネル F E T であるが、P チャンネル F E T であってもよい。ローサイド F E T 1 4 として P チャンネル F E T を適用する場合、ソース端子がハイサイド F E T 1 3 のソース端子に接続され、ドレイン端子が接地される。

【 0 0 2 2 】

電源本体 1 0 - 1 は、ダイオード 1 5、インダクタンス素子としてのチョークコイル 1 6、および出力電圧 V_{out} の変動を抑制して平滑化するための大容量のコンデンサ 1 7 を有する。

【 0 0 2 3 】

ダイオード 1 5 のカソードは、ハイサイド F E T 1 3 のソース端子と、ローサイド F E T 1 4 のドレイン端子との間に接続され、ダイオード 1 5 のアノードは接地される。チョークコイル 1 6 の一端は、ハイサイド F E T 1 3 のソース端子と、ローサイド F E T 1 4 のドレイン端子との間に接続され、チョークコイル 1 6 の他端は、負荷 1 2 に接続される。コンデンサ 1 7 の一端は、チョークコイル 1 6 の他端と負荷 1 2 との間に接続される。コンデンサ 1 7 の他端は接地される。

【 0 0 2 4 】

なお、ダイオード 1 5 は、ローサイド F E T 1 4 と一体形成されたボディダイオードを使用してもかまわない。

【 0 0 2 5 】

スイッチング電源 1 0 は、出力電圧 V_{out} が基準電圧の範囲内であるか否かを判定する電圧判定部 1 8 を有する。電圧判定部 1 8 は、チョークコイル 1 6 の他端と負荷 1 2 との間において、コンデンサ 1 7 より負荷 1 2 側に接続される。

【 0 0 2 6 】

電圧判定部 1 8 は、第 1 の分圧抵抗 1 9、第 2 の分圧抵抗 2 0、A / D コンバータ 2 1、第 1 の基準電圧に基づいたデジタル値を出力する第 1 の基準値生成回路 2 2、第 2 の基準電圧に基づいたデジタル値を出力する第 2 の基準値生成回路 2 3、および判定回路 2 4 を有する。

【 0 0 2 7 】

第 1 の分圧抵抗 1 9 の一端は、チョークコイル 1 6 の他端と負荷 1 2 との間において、コンデンサ 1 7 より負荷 1 2 側に接続される。第 1 の分圧抵抗 1 9 の他端は、第 2 の分圧抵抗 2 0 の一端に接続される。第 2 の分圧抵抗 2 0 の他端は、接地される。A / D コンバータ 2 1 は、第 1 の分圧抵抗 1 9 の他端と第 2 の分圧抵抗 2 0 の一端との間に接続される。

【 0 0 2 8 】

第 1 の分圧抵抗 1 9 および第 2 の分圧抵抗 2 0 は、コンデンサ 1 7 の両端子間の電位差 $V_c (= V_{out})$ を分圧して、規定の A / D コンバータ 2 1 の入力電圧 V_d に変換する。A / D コンバータ 2 1 は、分圧された電圧 V_d を一定時間毎にサンプリングして、デジタル値に変換する。

【 0 0 2 9 】

また、第 1 の基準値生成回路 2 2、および第 2 の基準値生成回路 2 3 は、判定回路 2 4

10

20

30

40

50

に接続される。判定回路 24 は、A/Dコンバータ 21 に接続される。

【0030】

判定回路 24 は、A/Dコンバータ 21 から出力される分圧 V_d のデジタル値と、第 1 の基準値生成回路 22 によって生成された、第 1 の基準電圧 V_{ref1} に基づくデジタル値、および第 2 の基準値生成回路 23 によって生成された、第 2 の基準電圧 V_{ref2} に基づくデジタル値と、を比較することによって、出力電圧 V_{out} が、基準電圧の範囲内であるか否か、すなわち、第 1 の基準電圧 V_{ref1} と、第 2 の基準電圧 V_{ref1} と、の間の電圧であるか否かを判定する。

【0031】

なお、第 1 の基準電圧 V_{ref1} 、および第 2 の基準電圧 V_{ref2} は、許容される出力電圧 V_{out} の変動の範囲内において、任意に設定された電圧であり、 $V_{ref2} > V_{ref1}$ の関係を満たす電圧である。

【0032】

スイッチング電源 10 は、電圧判定部 18 による出力電圧 V_{out} の判定結果に基づいて、出力電圧 V_{out} を、第 1 の基準電圧 V_{ref1} と、第 2 の基準電圧 V_{ref1} と、の間の電圧に制御するようにハイサイド FET 13 およびローサイド FET 14 を動作させるためのスイッチ駆動部 25 を有する。スイッチ駆動部 25 は、電圧判定部 18 と、ハイサイド FET 13 のゲート端子およびローサイド FET 14 のゲート端子と、の間に配置され、それぞれに接続される。

【0033】

スイッチ駆動部 25 は、パルス幅変調回路 26 (以下、PWM (Pulse Width Modulation) 回路 26 と称する)、ハイサイド FET 13 を動作させるための第 1 の駆動回路 27、およびローサイド FET 14 を動作させるための第 2 の駆動回路 28 を有する。

【0034】

PWM 回路 26 は、判定回路 24 に接続される。第 1 の駆動回路 27 は、PWM 回路 26 とハイサイド FET 13 のゲート端子との間に配置され、それぞれに接続される。第 2 の駆動回路 28 は、PWM 回路 26 とローサイド FET 14 のゲート端子との間に配置され、それぞれに接続される。

【0035】

PWM 回路 26 は、判定回路 24 による判定結果に応じて、出力電圧 V_{out} が、第 1 の基準電圧 V_{ref1} V_{out} 第 2 の基準電圧 V_{ref1} となるように、ハイサイド FET 13 を動作させるための第 1 の制御パルスのパルス幅、およびスイッチング周期 (第 1 の制御パルスのパルス間隔) と、ローサイド FET 14 を動作させるための第 2 の制御パルスのパルス幅、およびスイッチング周期 (第 2 の制御パルスのパルス間隔) と、を算出する。

【0036】

第 1 の制御パルスのパルス幅、および第 2 の制御パルスのパルス幅の算出方法については後述するが、ハイサイド FET 13 またはローサイド FET 14 が一度だけ導通状態となることによる出力電圧 V_{out} の増加量、または減少量 (すなわち変動量) が、 $V_{ref2} - V_{ref1}$ より小さくなるように算出される。

【0037】

第 1 の駆動回路 27 は、PWM 回路 26 によって算出されたパルス幅、およびパルス間隔の第 1 の制御パルスをハイサイド FET 13 に供給し、ハイサイド FET 13 を動作させる。

【0038】

同様に、第 2 の駆動回路 28 は、PWM 回路 26 によって算出されたパルス幅、およびパルス間隔の第 2 の制御パルスをローサイド FET 14 に供給し、ローサイド FET 14 を動作させる。

【0039】

10

20

30

40

50

次に、軽負荷、または無負荷時における第1のスイッチング電源10の制御方法について説明する。なお、軽負荷、または無負荷時とは、負荷12のインピーダンスが小さく、負荷12が電力をほとんど消費しない時であって、具体的には、チョークコイル16に常時インダクタンス電流 I_L が流れておらず、不連続的にインダクタンス電流 I_L が流れる時をいう。

【0040】

スイッチング電源10において、コンデンサ17の両端子間に電圧 V_c が発生すると、スイッチング電源10は、この電圧 V_c を出力電圧 V_{out} として出力する。この出力電圧 V_{out} は、以下の3通りのいずれかである。

【0041】

- (1) モード0 : $V_{ref1} < V_{out} < V_{ref2}$
- (2) モード1 : $V_{out} < V_{ref1}$
- (3) モード2 : $V_{out} > V_{ref2}$

スイッチング電源10は、上記3通りの各モードに応じてハイサイドFET13およびローサイドFET14を制御することによって、出力電圧 V_{out} をモード0の状態に維持、または移行させる。モード0の場合、ハイサイドFET13およびローサイドFET14を共に非導通にすることによって、出力電圧 V_{out} を一定時間維持する。モード1の場合、ハイサイドFET13、およびローサイドFET14をスイッチングさせることにより、コンデンサ17に電力を充電し、出力電圧 V_{out} を増加させる。モード2の場合、ハイサイドFET13を非導通し、ローサイドFET14をスイッチングさせることにより、コンデンサ17に充電された電力を放電し、出力電圧 V_{out} を低下させる。以下に、上述の各モード毎におけるスイッチング電源10の制御方法を詳細に説明する。

【0042】

- (1) 出力電圧 V_{out} がモード0の状態である場合

以下に、この場合におけるスイッチング電源10の制御方法について、図2を参照して説明する。図2は、モード0の場合におけるスイッチング電源10の制御方法を示すフローチャートである。

【0043】

図2に示すように、判定回路24が、出力電圧 V_{out} がモード0の状態である、と判定すると、その判定結果は、PWM回路26に送られる。

【0044】

PWM回路26が上記判定結果を受け取ると、PWM回路26は、第1、第2の駆動回路27、28から第1、第2の制御パルスが出力されないように制御し、ハイサイドFET13、およびローサイドFET14を、共に非導通にする(S11)。

【0045】

この結果、コンデンサ17に充電された電力は、負荷12から放電される。コンデンサ17は大容量であるため、放電時間は長い。従って、長い期間、出力電圧 V_{out} は、モード0の状態を維持する。しかしながら、コンデンサ17に充電された電力の放電によって、または負荷12が重負荷(インピーダンスが高い負荷)に切り替わることによって、出力電圧 V_{out} は変動する。従って、以下の制御が必要となる。

【0046】

次に、ADコンバータ21を制御することにより、ADコンバータ21は、出力電圧 V_{out} の分圧 V_d を一定時間毎にサンプリングしてデジタル値に変換し、このデジタル値を判定回路24に送る(ADC割り込みを行う)(S12)。

【0047】

次に、判定回路24が分圧 V_d のデジタル値を受け取ると、判定回路24は、第2の基準値生成回路27から第2の基準電圧 V_{ref2} に基づいたデジタル値を読み出し、分圧 V_d のデジタル値と、第2の基準電圧 V_{ref2} に基づくデジタル値と、を比較する。この両者のデジタル値を比較することによって、判定回路24は、出力電圧 V_{out} が、第2の基準電圧 V_{ref2} より大きいかなかを判定する。(S13)。

10

20

30

40

50

【 0 0 4 8 】

判定回路 2 4 が分圧 V_d のデジタル値を受け取らない場合には、判定回路 2 4 は、分圧 V_d のデジタル値を受け取るまで上記判定動作を行わない。

【 0 0 4 9 】

上記 S 1 3 のステップによる判定の結果、判定回路 2 4 が、出力電圧 V_{out} が第 2 の基準電圧 V_{ref2} より大きい、と判定した場合、スイッチング電源 1 0 の制御方法を、モード 2 による制御方法に移行する。すなわち、判定回路 2 4 は、この判定結果を PWM 回路 2 6 に送り、PWM 回路 2 6 は、モード 2 による制御方法に基づいて、ハイサイド FET 1 3 およびローサイド FET 1 4 の動作を制御する。

【 0 0 5 0 】

上記 S 1 3 のステップによる判定の結果、判定回路 2 4 が、出力電圧 V_{out} が第 2 の基準電圧 V_{ref2} 以下であると判断した場合、判定回路 2 4 は、第 1 の基準値生成回路 2 2 から第 1 の基準電圧 V_{ref1} に基づくデジタル値を読み出し、電圧 V_d のデジタル値と、第 1 の基準電圧 V_{ref1} に基づくデジタル値と、を比較する。この両者のデジタル値を比較することによって、判定回路 2 4 は、出力電圧 V_{out} が、第 1 の基準電圧 V_{ref1} より小さいか否かを判定する。(S 1 4)。

【 0 0 5 1 】

上記 S 1 4 のステップによる判定の結果、判定回路 2 4 が、出力電圧 V_{out} が第 1 の基準電圧 V_{ref1} より小さいと判断した場合、スイッチング電源 1 0 の制御方法を、モード 1 による制御方法に移行する。すなわち、判定回路 2 4 は、この判定結果を PWM 回路 2 6 に送り、PWM 回路 2 6 は、モード 1 による制御方法に基づいて、ハイサイド FET 1 3 およびローサイド FET 1 4 の動作を制御する。

【 0 0 5 2 】

上記 S 1 4 のステップによる判定の結果、判定回路 2 4 が、出力電圧 V_{out} が第 1 の基準電圧 V_{ref1} 以上であると判断した場合、スイッチング電源 1 0 の制御方法は、モード 0 による制御方法を維持する。すなわち、判定回路 2 4 は、この判定結果を PWM 回路 2 6 に送り、PWM 回路 2 6 は、モード 0 による制御方法に基づいて、ハイサイド FET 1 3、およびローサイド FET 1 4 が、共に非導通の状態を維持するように、ハイサイド FET 1 3 およびローサイド FET 1 4 を制御する。

【 0 0 5 3 】

(2) 出力電圧 V_{out} がモード 1 の状態である場合

以下に、この場合におけるスイッチング電源 1 0 の制御方法について、図 3 および図 4 を参照して説明する。図 3 は、モード 1 の場合におけるスイッチング電源 1 0 の制御方法を示すフローチャートである。図 4 は、モード 1 の場合において、ハイサイド FET 1 3 およびローサイド FET 1 4 にそれぞれ供給される第 1、第 2 の制御パルス、チョークコイル 1 6 を流れるインダクタンス電流 I_L 、および出力電圧 V_{out} の関係を示す波形図であり、同図 (a) はハイサイド FET 1 3 に供給される第 1 の制御パルスの波形、同図 (b) はローサイド FET 1 4 に供給される第 2 の制御パルスの波形、同図 (c) はインダクタンス電流 I_L の波形、同図 (d) は出力電圧 V_{out} の波形を示す。

【 0 0 5 4 】

判定回路 2 4 が、出力電圧 V_{out} がモード 1 の状態である、と判定すると、その判定結果を PWM 回路 2 6 に送る。

【 0 0 5 5 】

図 3 に示すように、PWM 回路 2 6 が上記判定結果を受け取ると、PWM 回路 2 6 は、第 1 の駆動回路 2 7 から出力される第 1 の制御パルスのパルス幅 t_{on1} およびパルス間隔と、第 2 の駆動回路 2 8 から出力される第 2 の制御パルスのパルス幅 t_{off1} およびパルス間隔と、をそれぞれ算出する。その後、PWM 回路 2 6 は、第 1、第 2 の駆動回路 2 7、2 8 から、それぞれ所望の第 1、第 2 の制御パルスを出力させ、ハイサイド FET 1 3、およびローサイド FET 1 4 は、これらの制御パルスが入力されたときに導通状態になるように、スイッチング制御される。(S 2 1)

10

20

30

40

50

なお、第 1、第 2 の制御パルスは、図 4 (a)、(b) に示されるように、ハイサイド F E T 1 3 およびローサイド F E T 1 4 が同時に導通しないように、第 1、第 2 の駆動回路 2 7、2 8 から出力される。

【 0 0 5 6 】

ハイサイド F E T 1 3 が導通されると、図 4 (c) に示されるように、一定期間だけチョークコイル 1 6 にインダクタンス電流 I_L が流れるため、コンデンサ 1 7 が充電される。従って、図 4 (d) に示されるように、出力電圧 V_{out} が増加する。また、ローサイド F E T 1 4 が導通されると、これが非導通の間にダイオード 1 5 に流れていたインダクタンス電流 I_L がローサイド F E T 1 4 に流れる。従って、ダイオード 1 5 による電力消費は低減され、電源内部における電力の損失が抑制される。

10

【 0 0 5 7 】

第 1 の制御パルスのパルス幅 t_{on1} は、以下のように算出される。

【 0 0 5 8 】

ハイサイド F E T 1 3 に第 1 の駆動回路 2 7 から第 1 の制御パルスが供給され、ハイサイド F E T 1 3 が導通状態になると、チョークコイル 1 6 に、図 1 に示される矢印 I の方向を正方向として、正方向にインダクタンス電流 I_L が流れる。図 4 (c) に示すように、インダクタンス電流 I_L は、ゼロからピーク値 I_{pk1} まで線形的に増加する。

【 0 0 5 9 】

インダクタンス電流 I_L のピーク値 I_{pk1} は、入力源 1 1 から供給される電圧を V_{in} 、出力電圧を V_{out} 、第 1 の制御パルスのパルス幅を t_{on1} 、およびチョークコイル 1 6 のインダクタンスを L とし、各素子の電圧降下 0 と仮定すると、式 1 のように表現される。

20

【 数 1 】

$$I_{pk1} = \frac{(V_{in} - V_{out}) t_{on1}}{L} \quad \dots (式1)$$

【 0 0 6 0 】

ハイサイド F E T 1 3 に対して第 1 の制御パルスの供給が終了すると、ハイサイド F E T 1 3 は、導通状態から非導通状態に切り替わり、図 4 (c) に示されるように、インダクタンス電流 I_L は I_{pk1} から 0 まで低下する。ハイサイド F E T 1 3 が非導通状態に切り替わってから、インダクタンス電流が 0 まで低下するまでの期間 t_{off1} は、式 2 より求められる。

30

【 数 2 】

$$t_{off1} = L \cdot \frac{I_{pk1}}{V_{out}} = L \cdot \frac{1}{V_{out}} \cdot \frac{(V_{in} - V_{out}) t_{on1}}{L} = \frac{(V_{in} - V_{out})}{V_{out}} \cdot t_{on1} \quad \dots (式2)$$

【 0 0 6 1 】

図 1 に示される矢印 I の方向にインダクタンス電流 I_L が流れる期間 ($t_{on1} + t_{off1}$) にコンデンサ 1 7 は充電され、出力電圧 V_{out} は増加する。この間における出力電圧 V_{out} の増加量 ΔV_1 は、負荷 1 2、第 1 の分圧抵抗 1 9、および第 2 の分圧抵抗 2 0 に流れる電流を 0 とすると、コンデンサ 1 7 のキャパシタンスを C とし、式 1、および式 2 を用いて、式 3 のように表現される。

40

【 数 3 】

$$\Delta V_1 = \frac{I_{pk1} (t_{on1} + t_{off1})}{2C} = \frac{(V_{in} - V_{out}) t_{on1}}{L} \cdot \left(t_{on1} + \frac{(V_{in} - V_{out})}{V_{out}} \cdot t_{on1} \right) = \frac{t_{on1}^2}{2LC} \cdot \frac{V_{in} \cdot (V_{in} - V_{out})}{V_{out}} \quad \dots (式3)$$

50

ここで、第1の制御パルスのパルス幅 t_{on1} は、式4を満たすように設定される。

【数4】

$$\Delta V_1 < V_{ref2} - V_{ref1} \quad \dots (式4)$$

【0062】

このように、 V_1 が式4を満たすように第1の制御パルスのパルス幅 t_{on1} を設定すれば、一つの第1の制御パルスがハイサイドFET13に供給されることにより、出力電圧 V_{out} を、 $V_{ref2} - V_{ref1}$ より小さい範囲で増加させることができる。従って、出力電圧 V_{out} を増加させるために、ハイサイドFET13およびローサイドFET14をスイッチング動作させても、出力電圧 V_{out} が第2の基準電圧 V_{ref2} を超えて大きくなることはない。

10

【0063】

これに対して、第1の制御パルスのパルス幅を上述のように設定しない場合、出力電圧 V_{out} が増加しすぎ、第2の基準電圧 V_{ref2} より大きく場合がある。この場合、モード2による制御によって、増加しすぎた出力電圧 V_{out} を低下させる必要性が生じ、その分だけ無駄な電力が消費されるとともに、スイッチング電源10の応答速度も遅くなる。

【0064】

なお、第1の制御パルスのパルス間隔は、式2に示される t_{off1} より大きい範囲で適宜設定される。

20

【0065】

また、第2の制御パルスのパルス幅 t_{off1}' は、式2に示される t_{off1} より小さい範囲で適宜設定され、第2の制御パルスのパルス間隔は、第1の制御パルスのパルス間隔と同一となるように設定される。

【0066】

再び図3を参照する。ステップS21において、ハイサイドFET13およびローサイドFET14を、モード1による制御によって所望の動作を行わせる間に、ADコンバータ21を制御することにより、ADコンバータ21は、出力電圧 V_{out} の分圧 V_d を一定時間毎にサンプリングしてデジタル値に変換し、このデジタル値を判定回路24に送る（ADC割り込みを行う）（S22）。

30

【0067】

次に、判定回路24が分圧 V_d のデジタル値を受け取ると、判定回路24は、第1の基準値生成回路22から第1の基準電圧 V_{ref1} に基づくデジタル値を読み出し、分圧 V_d のデジタル値と、第1の基準電圧 V_{ref1} に基づくデジタル値と、を比較する。この両者のデジタル値を比較することによって、判定回路24は、出力電圧 V_{out} が、第1の基準電圧 V_{ref1} より小さいか否かを判定する。（S23）。

【0068】

判定回路24が分圧 V_d のデジタル値を受け取らない場合には、判定回路24は、分圧 V_d のデジタル値を受け取るまで上記判定動作を行わない。

40

【0069】

上記S23のステップによる判定の結果、判定回路24が、出力電圧 V_{out} が第1の基準電圧 V_{ref1} より小さいと判断した場合、スイッチング電源10の制御方法を、モード1のまま維持する。すなわち、判定回路24は、この判定結果をPWM回路26に送り、PWM回路26は、モード1による制御方法に基づいて、ハイサイドFET13およびローサイドFET14の動作を制御する。

【0070】

上記S23のステップによる判定の結果、判定回路24が、出力電圧 V_{out} が第1の基準電圧 V_{ref1} 以上であると判断した場合、スイッチング電源10の制御方法を、モード0による制御方法に移行させる。すなわち、判定回路24は、この判定結果をPWM

50

回路 26 に送り、PWM 回路 26 は、モード 0 による制御方法に基づいて、ハイサイド FET 13 およびローサイド FET 14 が共に非導通状態になるように、ハイサイド FET 13 およびローサイド FET 14 を制御する。

【0071】

以上に、モード 1 の場合におけるスイッチング電源 10 の制御方法を説明したが、モード 1 における制御方法において、判定回路 24 は、出力電圧 V_{out} と第 2 の基準電圧 V_{ref2} との比較を行わない。これは、モード 1 において、一つの第 1 の制御パルスによって出力電圧 V_{out} が上昇する量 V_1 は、 $V_{ref2} - V_{ref1}$ より小さい範囲であり、ハイサイド FET 13 をスイッチング動作させても、第 2 の基準電圧 V_{ref2} を超えて大きくなることはないからである。

10

【0072】

(3) 出力電圧 V_{out} がモード 2 の状態である場合

以下に、この場合におけるスイッチング電源 10 の制御方法について、図 5 および図 6 を参照して説明する。図 5 は、モード 2 の場合におけるスイッチング電源 10 の制御方法を示すフローチャートである。図 6 は、モード 2 の場合において、ハイサイド FET 13 およびローサイド FET 14 にそれぞれ供給される第 1、第 2 の制御パルス、チョークコイル 16 を流れるインダクタンス電流 I_L 、および出力電圧 V_{out} の関係を示す波形図であり、同図 (a) はハイサイド FET 13 に供給される第 1 の制御パルスの波形、同図 (b) はローサイド FET 14 に供給される第 2 の制御パルスの波形、同図 (c) はインダクタンス電流 I_L の波形、同図 (d) は出力電圧 V_{out} の波形を示す。

20

【0073】

判定回路 24 が、出力電圧 V_{out} がモード 2 の状態である、と判定すると、その判定結果を PWM 回路 26 に送る。

【0074】

図 5 に示すように、PWM 回路 26 が上記判定結果を受け取ると、PWM 回路 26 は、図 6 (a)、(b) に示されるように、第 2 の駆動回路 28 から出力される第 2 の制御パルスのパルス幅 t_{off2} およびパルス間隔を算出する。その後、PWM 回路 26 は、ハイサイド FET 13 が非導通になるように第 1 の駆動回路 27 を制御するとともに、ローサイド FET 11 がスイッチング動作するように第 2 の駆動回路 28 を制御する。(S31)

30

ローサイド FET 14 が導通されると、図 6 (c) に示されるように、ローサイド FET 14 が導通されている期間だけチョークコイル 16 に負方向にインダクタンス電流 I_L が流れ、コンデンサ 17 が放電される。従って、図 6 (d) に示されるように、出力電圧 V_{out} が低下する。このように、コンデンサ 17 の放電は、負荷 12 だけではなく、ローサイド FET 14 を介して放電されるため、放電時間を早めることができ、スイッチング電源 10 の応答速度を速くすることができる。

【0075】

ここで、第 2 の制御パルスのパルス幅 t_{off2} は、以下のように算出される。

【0076】

ローサイド FET 14 に第 2 の駆動回路 28 から第 2 の制御パルスが供給され、ローサイド FET 14 が導通状態になると、チョークコイル 16 に、負の方向にインダクタンス電流 I_L が流れる。図 6 (c) に示すように、インダクタンス電流 I_L は、ゼロからピーク値 $-I_{pk2}$ まで負方向に線形的に増加する。

40

【0077】

インダクタンス電流 I_L のピーク値 $-I_{pk2}$ は、出力電圧を V_{out} 、第 2 の制御パルスのパルス幅を t_{off2} 、およびチョークコイル 16 のインダクタンスを L とし、各素子の電圧降下 0 と仮定すると、式 5 のように表現される。

【数 5】

$$-I_{pk2} = \frac{V_{out} \cdot t_{off2}}{L} \quad \dots (式5)$$

【0078】

負方向にインダクタンス電流 I_L が流れる期間 (t_{off2}) にコンデンサ 17 は放電し、出力電圧 V_{out} は低下する。この間における出力電圧 V_{out} の減少量 $-V_1$ は、負荷 12、第 1 の分圧抵抗 19、および第 2 の分圧抵抗 20 に流れる電流を 0 とすると、コンデンサ 17 のキャパシタンスを C とし、式 5 を用いて、式 6 のように表現される。

10

【数 6】

$$-\Delta V_2 = \frac{-I_{pk2} \cdot t_{off2}}{2C} = \frac{t_{off2}^2}{2LC} \cdot V_{out} \quad \dots (式6)$$

ここで、第 2 の制御パルスのパルス幅 t_{off2} は、式 7 を満たすように設定される。

【数 7】

$$-\Delta V_1 < V_{ref2} - V_{ref1} \quad \dots (式7)$$

20

【0079】

このように、 $-V_1$ が式 7 を満たすように第 2 の制御パルスのパルス幅 t_{off2} を設定すれば、一つの第 2 の制御パルスがローサイド FET 14 に供給されることにより、出力電圧 V_{out} を、 $V_{ref2} - V_{ref1}$ より小さい範囲で低下させることができる。従って、出力電圧 V_{out} を低下させるためにローサイド FET 14 をスイッチング動作させても、第 1 の基準電圧 V_{ref1} を超えて小さくなることはない。

【0080】

これに対して、第 2 の制御パルスのパルス幅を上述のように設定しない場合、出力電圧 V_{out} が低下しすぎ、第 1 の基準電圧 V_{ref1} より小さく場合がある。この場合、モード 1 による制御によって、低下しすぎた出力電圧 V_{out} を増加させる必要性が生じ、その分だけ無駄な電力が消費されるとともに、スイッチング電源 10 の応答速度も遅くなる。

30

【0081】

なお、第 2 の制御パルスのパルス間隔は、チョークコイル 16 に連続的にインダクタンス電流 I_L が流れず、不連続的に流れる範囲で適宜設定される。

【0082】

再び図 5 を参照する。ステップ S31 において、ローサイド FET 14 を、モード 2 による制御によって所望の動作を行わせる間に、AD コンバータ 21 を制御することにより、AD コンバータ 21 は、出力電圧 V_{out} の分圧 V_d を一定時間毎にサンプリングしてデジタル値に変換し、このデジタル値を判定回路 24 に送る (ADC 割り込みを行う) (S32)。

40

【0083】

次に、判定回路 24 が分圧 V_d のデジタル値を受け取ると、判定回路 24 は、第 2 の基準値生成回路 28 から第 2 の基準電圧 V_{ref2} に基づくデジタル値を読み出し、分圧 V_d のデジタル値と、第 2 の基準電圧 V_{ref2} に基づくデジタル値と、を比較する。この両者のデジタル値を比較することによって、判定回路 24 は、出力電圧 V_{out} が、第 2 の基準電圧 V_{ref2} より大きいかが否かを判定する。(S33)。

【0084】

判定回路 24 が分圧 V_d のデジタル値を受け取らない場合には、判定回路 24 は、分圧 V_d のデジタル値を受け取るまで上記判定動作を行わない。

50

【0085】

上記S33のステップによる判定の結果、判定回路24が、出力電圧 V_{out} が第2の基準電圧 V_{ref1} より大きいと判断した場合、スイッチング電源10の制御方法を、モード2のまま維持する。すなわち、判定回路24は、この判定結果をPWM回路26に送り、PWM回路26は、モード2による制御方法に基づいて、ハイサイドFET13およびローサイドFET14の動作を制御する。

【0086】

上記S33のステップによる判定の結果、判定回路24が、出力電圧 V_{out} が第2の基準電圧 V_{ref2} 以下であると判断した場合、スイッチング電源10の制御方法を、モード0による制御方法に移行させる。すなわち、判定回路24は、この判定結果をPWM回路26に送り、PWM回路26は、モード0による制御方法に基づいて、ハイサイドFET13およびローサイドFET14が共に非導通状態になるように、ハイサイドFET13およびローサイドFET14を制御する。

10

【0087】

以上に、モード2の場合におけるスイッチング電源10の制御方法を説明したが、モード2における制御方法において、判定回路24は、出力電圧 V_{out} と第1の基準電圧 V_{ref1} との比較は行わない。これは、モード2において、一つの第2の制御パルスによって出力電圧 V_{out} が減少する量は、 $V_{ref2} - V_{ref1}$ より小さい範囲であり、ローサイドFET14をスイッチング動作させても、第1の基準電圧 V_{ref1} を超えて小さくなることはないからである。

20

【0088】

以上に、第1の実施形態にかかるスイッチング電源の制御方法を説明したが、図2、図3、および図5から明らかのように、各モードにおけるスイッチング電源10の制御方法は、複雑な計算を一切必要とすることがないため、スイッチング電源10を制御するための制御プログラムを簡素化できる。

【0089】

また、上述のスイッチング電源10の制御方法はデジタル制御方式であるため、負荷12が無負荷、軽負荷から、チョークコイル16に連続的にインダクタンス電流 I_L が流れる程度の重負荷に切り替わる等して、出力電圧 V_{out} が急激に低下しても、出力電圧 V_{out} の急激な低下に対して直ちに応答することができる。

30

【0090】

これに対して、上述のスイッチング電源10の制御方法と同様の制御を、演算増幅器を用いたアナログ制御方式で行う場合、出力電圧、すなわち演算増幅器に入力される電圧が急激に低下すると、出力電圧の低下に対して直ちに応答することができず、応答速度の遅れが発生する。これは、演算増幅器が、基準電圧と出力電圧が一致せず、演算増幅器が飽和すると、非飽和状態に切り替わるまでに長い時間を要する性質を有するためである。

【0091】

以上に説明した第1の実施形態に係る無負荷または軽負荷時におけるスイッチング電源10の制御方法およびスイッチング電源10によれば、モード2の場合に、ローサイドFET14をスイッチング動作させるため、コンデンサ17に充電された電力を、負荷12からだけでなく、ローサイドFET14を介して放電する。従って、放電時間を短くすることができ、スイッチング電源10の応答速度を速くすることができる。

40

【0092】

さらに、第1の実施形態に係る無負荷または軽負荷時におけるスイッチング電源10の制御方法およびスイッチング電源10によれば、モード1の場合に、ローサイドFET14をスイッチング動作させるため、コンデンサ17の充電時において、ローサイドFET14が導通する期間は、ダイオード15に電流が流れず、ローサイドFET14に電流が流れる。従って、ダイオード15における電力消費が低減されるため、電力の内部損失を低減することができる。

【0093】

50

(第2の実施形態)

図7は、第2の実施形態に係るスイッチング電源30を示す図である。このスイッチング電源30は、図1に示されるスイッチング電源30と比較して、電圧判定部31の構成が一部異なる。

【0094】

図7に示されるスイッチング電源30の電圧判定部31は、第1の分圧抵抗19、第2の分圧抵抗20、第1のコンパレータ32、第2のコンパレータ33、第1の基準電圧 V_{ref1} に基づいた基準電圧 V_{ref1}' を出力する第1の基準電源34、第2の基準電圧 V_{ref2} に基づいた基準電圧 V_{ref2}' を出力する第2の基準電源35、および判定回路36を有する。これらのうち、第1の分圧抵抗19、および第2の分圧抵抗20については、図1に示されるスイッチング電源10と同様であるため、説明は省略する。

10

【0095】

第1のコンパレータ32の一方の入力端子は、第1の分圧抵抗19と第2の分圧抵抗20との間に、並列に接続される。また、第1の基準電源34は、第1のコンパレータ32の他方の入力端子に接続される。

【0096】

第1のコンパレータ32は、出力電圧 V_{out} の分圧 V_d が、基準電圧 V_{ref1}' より小さい場合に、分圧 V_d と基準電圧 V_{ref1}' との差分電圧を出力するように接続される。

【0097】

ここで、第1の分圧抵抗19の抵抗値を R_1 、第2の分圧抵抗20の抵抗値を R_2 とすれば、出力電圧 V_{out} の分圧 V_d は、 $V_d = (R_2 / (R_1 + R_2)) V_{out}$ である。従って、基準電圧 V_{ref1}' を、第1の基準電圧 V_{ref1} に基づいて、 $V_{ref1}' = (R_2 / (R_1 + R_2)) V_{ref1}$ と定めておけば、出力電圧 V_{out} が第1の基準電圧 V_{ref1} より小さい場合、すなわち、モード1の場合に、第1のコンパレータ32は差分電圧を出力する。

20

【0098】

第2のコンパレータ33の一方の入力端子は、第1の分圧抵抗19と第2の分圧抵抗20との間に、第1のコンパレータ32と並列に接続される。また、第2の基準電源35は、第2のコンパレータ33の他方の入力端子に接続される。

30

【0099】

第2のコンパレータ33は、出力電圧 V_{out} の分圧 V_d が、基準電圧 V_{ref2}' より大きい場合に、分圧 V_d と基準電圧 V_{ref2}' との差分電圧を出力するように接続される。

【0100】

ここで、出力電圧 V_{out} の分圧 V_d は、 $V_d = (R_2 / (R_1 + R_2)) V_{out}$ であるため、基準電圧 V_{ref2}' を、第2の基準電圧 V_{ref2} に基づいて、 $V_{ref2}' = (R_2 / (R_1 + R_2)) V_{ref2}$ と定めておけば、出力電圧 V_{out} が第2の基準電圧 V_{ref2} より大きい場合、すなわち、モード2の場合に、第2のコンパレータ33は差分電圧を出力する。

40

【0101】

判定回路36は、第1のコンパレータ32、および第2のコンパレータ33のそれぞれの出力端子と、PWM回路26と、の間に配置され、それぞれに接続される。

【0102】

以上に説明したスイッチング電源30は、同期整流方式の降圧型コンバータである。また、DC/DCコンバータの制御方式はアナログ制御方式である。

【0103】

次に、第2の実施形態に係る無負荷または軽負荷時におけるスイッチング電源30の制御方法について説明する。この制御方法は、第1の実施形態に係るスイッチング電源10の制御方法と比較して、出力電圧 V_{out} がモード0、モード1、モード2のいずれの状

50

態であるかを判定する方法が異なる。以下に、出力電圧 V_{out} の状態を判定する方法を説明する。

【0104】

出力端子に出力電圧 V_{out} が発生すると、その分圧 V_d は、第1のコンパレータ32、および第2のコンパレータ33にそれぞれ入力される。第1のコンパレータ32は、この分圧 V_d と基準電圧 V_{ref1} とを比較し、第2のコンパレータ33は、この分圧 V_d と基準電圧 V_{ref2} とを比較する。

【0105】

比較の結果、第1のコンパレータ32は、出力電圧 V_{out} がモード1の場合に差分電圧を出力し、第2のコンパレータ33は、出力電圧 V_{out} がモード2の場合に差分電圧を出力する。なお、出力電圧 V_{out} がモード0の場合、第1のコンパレータ32、および第2のコンパレータ33は、それぞれ差分電圧を出力しない。

10

【0106】

このような比較結果は、判定回路36に入力される。判定回路36は、この比較結果に基づいて、出力電圧 V_{out} が、モード0、モード1、モード2のいずれの状態であるかを判定する。

【0107】

すなわち、判定回路36は、第1のコンパレータ32から差分電圧を受け取った場合に、出力電圧 V_{out} がモード1であると判定し、第2のコンパレータ33から差分電圧を受け取った場合に、出力電圧 V_{out} がモード2であると判定する。判定回路36は、両コンパレータ32、33から差分電圧を受け取らない場合、出力電圧 V_{out} がモード0であると判定する。

20

【0108】

判定回路36によって、出力電圧 V_{out} を判定した後のスイッチング電源30の制御方法については、第1の実施形態に係るスイッチング電源10の制御方法と同様である。

【0109】

以上に説明した第2の実施形態に係る無負荷または軽負荷時におけるスイッチング電源30の制御方法およびスイッチング電源30であっても、モード1、モード2の各場合において適宜ローサイドFET14をスイッチング動作させるため、第1の実施形態に係るスイッチング電源10と同様の理由により、応答速度を向上させ、かつ電力の内部損失を低減することができる。

30

【0110】

(第3の実施形態)

図8は、第3の実施形態に係るスイッチング電源40を示す図である。図8に示すスイッチング電源40は、同期整流方式の昇圧型コンバータであって、制御方式はデジタル制御方式である。このスイッチング電源40は、電源本体が昇圧型の電源本体40-1(以下、電源本体40-1と称する)である点が、図1に示すスイッチング電源10と異なる。

【0111】

電源本体40-1は、図1に示す電源本体10-1を構成する各素子は同一であるが、これらの接続関係が異なっている。

40

【0112】

チョークコイル16の一端は、入力源11に接続される。ダイオード15のアノードは、チョークコイル16の他端に接続され、ダイオード15のカソードは、コンデンサ17の一端に接続される。

【0113】

また、ハイサイドFET13のドレイン端子は、チョークコイル16の他端とダイオード15のアノードとの間に接続され、ハイサイドFET13のソース端子は、接地される。ローサイドFET14は、チョークコイル16の他端とコンデンサ17の一端との間に、ダイオード15と並列に接続される。ローサイドFET14のドレイン端子はチョーク

50

コイル 16 の他端に接続され、ローサイド FET 14 のソース端子はコンデンサ 17 の一端に接続される。

【0114】

このような電源本体 40 - 1 は、入力端子に入力源 11 が接続され、出力端子に負荷 12 が接続された状態で、ハイサイド FET 13 をスイッチング動作させると、入力源 11 から供給される電圧 V_{in} を任意の出力電圧 V_{out} に昇圧して、負荷 12 に供給する。

【0115】

このようなスイッチング電源 40 の無負荷または軽負荷時における制御方法は、第 1 の実施形態に係るスイッチング電源の制御方法と同様であり、モード 1 の場合には図 4 (a) (b) に示されるようにハイサイド FET 13 およびローサイド FET 14 をスイッチング動作させ、モード 2 の場合には図 6 (a) (b) に示されるようにローサイド FET 14 をスイッチング動作させる。

10

【0116】

以上に説明した第 3 の実施形態に係る無負荷または軽負荷時におけるスイッチング電源 40 の制御方法およびスイッチング電源 40 であっても、モード 1、モード 2 の各場合において適宜ローサイド FET 14 をスイッチング動作させるため、第 1 の実施形態に係るスイッチング電源 10 と同様の理由により、応答速度を向上させ、かつ電力の内部損失を低減することができる。

【0117】

(第 4 の実施形態)

図 9 は、第 4 の実施形態に係るスイッチング電源 50 を示す図である。図 9 に示すスイッチング電源 50 は、同期整流方式の反転型コンバータであって、制御方式はデジタル制御方式である。このスイッチング電源 50 は、電源本体が反転型の電源本体 50 - 1 (以下、電源本体 50 - 1 と称する) である点が、図 1 に示すスイッチング電源 10 と異なる。

20

【0118】

電源本体 50 - 1 は、図 1 に示す電源本体 10 - 1 を構成する各素子は同一であるが、これらの接続関係が異なっている。

【0119】

チョークコイル 16 の一端は、ハイサイド FET 13 のソース端子に接続され、チョークコイル 16 の他端は、接地される。ダイオード 15 のカソードは、チョークコイル 16 の一端に接続され、ダイオード 15 のアノードは、コンデンサ 17 の一端に接続される。

30

【0120】

また、ローサイド FET 14 のドレイン端子は、チョークコイル 16 の一端とコンデンサ 17 の一端との間に、ダイオード 15 と並列に接続される。ローサイド FET 14 のドレイン端子はチョークコイル 16 の一端に接続され、ローサイド FET 14 のソース端子はコンデンサ 17 の一端に接続される。

【0121】

このような電源本体 50 - 1 は、入力端子に入力源 11 が接続され、出力端子に負荷 12 が接続された状態で、ハイサイド FET 13 をスイッチング動作させると、入力源 11 から供給される電圧 V_{in} に対して極性が反転した電圧を出力電圧 V_{out} として、負荷 12 に供給する。

40

【0122】

このようなスイッチング電源 50 の無負荷または軽負荷時における制御方法は、出力電圧 V_{out} が第 1 の基準電圧 V_{ref1} より小さい場合 ($V_{out} < V_{ref1}$) に上述のモード 2 による制御を行い、出力電圧 V_{out} が第 2 の基準電圧 V_{ref2} より大きい場合 ($V_{out} > V_{ref2}$) に上述のモード 1 による制御を行う他は、第 1 の実施形態に係るスイッチング電源 10 の制御方法と同様である。

【0123】

以上に説明した無負荷または軽負荷時における反転型のスイッチング電源 50 の制御方

50

法およびスイッチング電源 50 であっても、モード 1、モード 2 の各場合において適宜ローサイド FET 14 をスイッチング動作させるため、第 1 の実施形態に係るスイッチング電源 10 と同様の理由により、応答速度を向上させ、かつ電力の内部損失を低減することができる。

【0124】

なお、図 8、図 9 に示す各スイッチング電源 40、50 に対して、第 2 の実施形態に係るスイッチング電源 30 に適用された電圧判定部 31 を採用してもよく、このようなスイッチング電源であっても、本実施形態に係るスイッチング電源の効果が失われることはない。

【0125】

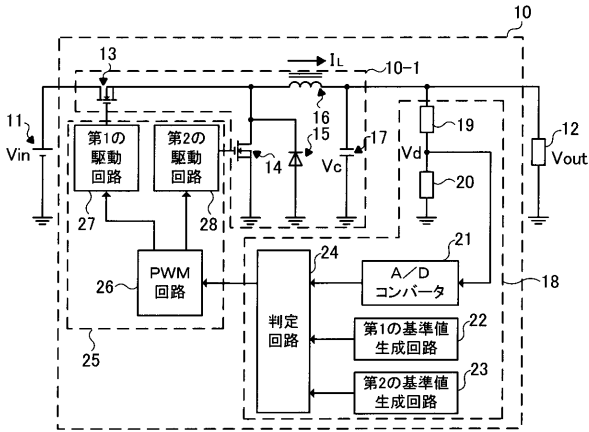
以上に、本発明の実施形態を説明したが、この実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の趣旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

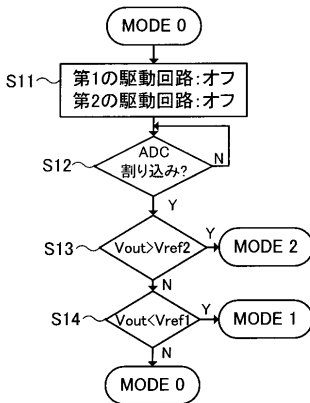
【0126】

10、30、40、50・・・	スイッチング電源	
10-1、40-1、50-1・・・	電源本体	
11・・・	入力源	20
12・・・	負荷	
13・・・	ハイサイド FET	
14・・・	ローサイド FET	
15・・・	ダイオード	
16・・・	チョークコイル	
17・・・	コンデンサ	
18、31・・・	電圧判定部	
19・・・	第 1 の分圧抵抗	
20・・・	第 2 の分圧抵抗	
21・・・	A/Dコンバータ	30
22・・・	第 1 の基準値生成回路	
23・・・	第 2 の基準値生成回路	
24、36・・・	判定回路	
25・・・	スイッチ駆動部	
26・・・	パルス幅変調 (PWM) 回路	
27・・・	第 1 の駆動回路	
28・・・	第 2 の駆動回路	
32・・・	第 1 のコンパレータ	
33・・・	第 2 のコンパレータ	
34・・・	第 1 の基準電源	40
35・・・	第 2 の基準電源	

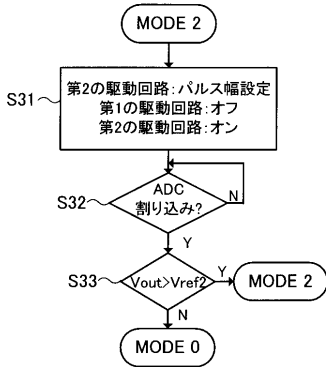
【図1】



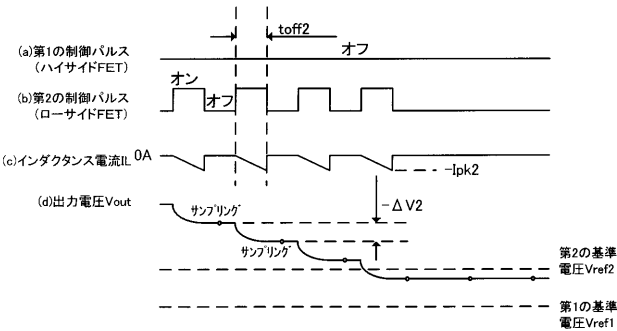
【図2】



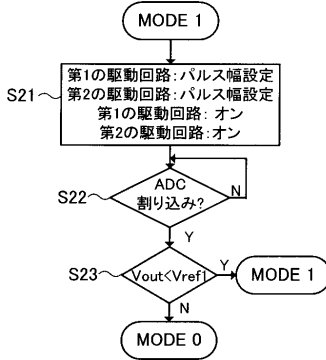
【図5】



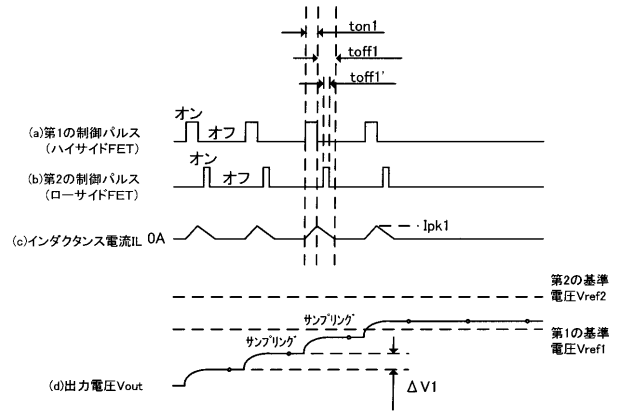
【図6】



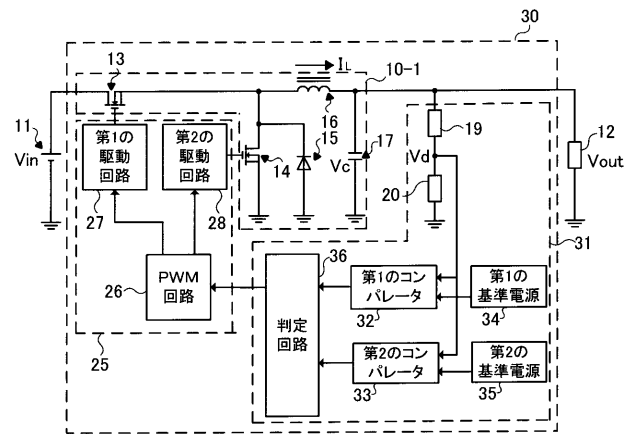
【図3】



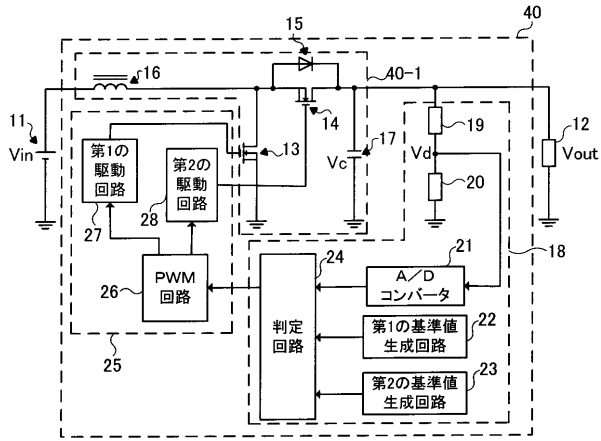
【図4】



【図7】



【図8】



【図9】

