



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 13.07.79 (21) 2794754/18-21

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.05.81. Бюллетень № 18

Дата опубликования описания 15.05.81

(11) 830251

(51) М. Кл.³

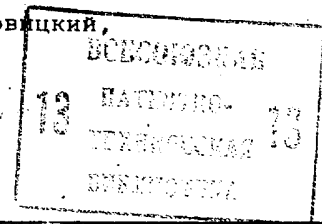
G 01 R 23/16

(53) УДК 621.317.
757(088.8)

(72) Авторы
изобретения

Л.Г. Барулин, В.А. Блюм, С.Ю. Сила-Новицкий,
В.А. Трахтман и А.Е. Фиш

(71) Заявитель



(54) УСТРОЙСТВО ОБНАРУЖЕНИЯ СИГНАЛОВ И ИЗМЕРЕНИЯ
ИХ ПАРАМЕТРОВ

1

Изобретение относится к измерителям частоты и анализаторам спектра частот и может быть использовано для обнаружения нескольких сигналов с неизвестной частотой и амплитудой на фоне шума, измерения их частоты и амплитуды.

Известно устройство, представляющее собой анализатор спектра последовательного действия с временной компрессией и содержащее частотно-модулированный гетеродин, аналоговое запоминающее устройство, смеситель и анализирующий фильтр.

Недостатком устройства является низкая точность вследствие применения запоминающего устройства и анализирующего фильтра, выполненных в аналоговом виде.

Известно устройство обнаружения сигнала и определения его частоты, содержащее полосовой фильтр, аналого-цифровой преобразователь, фильтр нижних частот, оперативное запоминающее устройство, первый и второй блоки возведения в квадрат, выходы которых через сумматор соединены с блоком памяти и обработки, и хронизатор, первый выход которого соединен с тактовым входом оперативного запоми-

2

нающего устройства, второй выход с блоком памяти и обработки.

Однако невозможность одновременно-
5 го обнаружения нескольких сигналов с разной амплитудой вследствие применения аналого-цифрового преобразователя в виде квантователя на два уровня и оперативного запоминающего
10 устройства в виде регистра сдвига снижает надежность устройства.

Цель изобретения - повышение надежности устройства.

Для достижения этой цели в устрой-
15 стве, содержащее полосовой фильтр, аналого-цифровой преобразователь, фильтр нижних частот, оперативный запоминающий блок, первый и второй
20 блоки возведения в квадрат, выходы которых через сумматор соединены с блоком памяти и обработки, и хронизатор, первый выход которого соединен с тактовым входом оперативного запоминающего блока, а второй выход
25 с блоком памяти и обработки, введены генератор кода фазы, преобразователи кода фазы в действительную и мнимую составляющие сигнала гетеродина, первый и второй перемножители, дополнительный фильтр нижних частот,
30 дополнительный оперативный запоминаю-

щий блок, постоянный запоминающий блок, перемножитель комплексных сигналов, первый и второй накопители, причем выход полосового фильтра соединен с аналого-цифровым преобразователем, выход которого соединен с первыми входами первого и второго перемножителя, третий выход хронизатора соединен с генератором кода фазы, выход которого через преобразователь кода фазы в действительную составляющую сигнала гетеродина соединен со вторым входом первого перемножителя, выход которого через фильтр нижних частот соединен с оперативным запоминающим блоком, и через преобразователь кода фазы в мнимую составляющую сигнала гетеродина соединен со вторым входом второго перемножителя, выход которого через дополнительный фильтр нижних частот соединен с дополнительным оперативным запоминающим блоком, тактовый вход которого соединен с хронизатором, выход постоянного запоминающего блока соединен с перемножителем комплексных сигналов, вторые входы которого соединены с выходами оперативного и дополнительного оперативного запоминающего блоков, а выходы через первый и второй накопители с первым и вторым блоком возведения в квадрат.

На фиг. 1 приведена блок-схема устройства; на фиг. 2 - частотно-временная диаграмма его работы.

Устройство содержит (фиг. 1) полосовой фильтр 1, аналого-цифровой преобразователь (АЦП) 2, фильтр 3 нижних частот, оперативный запоминающий блок 4, первый и второй блоки 5 и 6 возведения в квадрат, сумматор 7, блок 8 памяти и обработки, хронизатор 9, генератор 10 кода фазы, преобразователи кода фазы в действительную 11 и мнимую 12 составляющие сигнала гетеродина, первый и второй перемножители 13 и 14, дополнительный оперативный запоминающий блок 16, постоянный запоминающий блок 17, перемножитель 18 комплексных сигналов, первый и второй накопители 19 и 20. При этом полосовой фильтр 1 соединен с АЦП 2, который соединен с перемножителями 13 и 14. Генератор 10 кода фазы через преобразователи 11 и 12 кода фазы в действительную и мнимую составляющие сигнала гетеродина также соединен с перемножителями. Перемножители через цифровые фильтры 3 и 15 соединены с оперативными запоминающими блоками 4 и 16. Оперативные запоминающие устройства соединены с перемножителем 18 комплексных сигналов, с которым соединен и постоянный запоминающий блок 17. Перемножитель комплексных сигналов соединен с накопителями 19 и 20, которые через блоки 5 и 6 возведения

в квадрат соединены с сумматором 7. Сумматор соединен с блоком 8 памяти и обработки. Хронизатор 9 соединен с генератором 10 кода фазы, оперативным запоминающим блоком 16 и блоком 8 памяти и обработки.

Устройство работает следующим образом.

Сигнал с выхода полосового фильтра 1, полоса пропускания которого $\Delta\omega_{\text{п4}}$, переводится в цифровую форму с помощью АЦП 2. При таком преобразовании происходит размножение спектров около частоты дискретизации и ее гармоник, в том числе и около нулевой частоты. В полосе около нулевой частоты (фиг. 2) сигнал в общем случае может быть записан как $S(t) = A(t)\cos\omega_c t$, где t - дискретные моменты времени с периодом $t_g = 1/f_g$; f_g - частота дискретизации сигнала в АЦП.

Генератор 10 кода фазы выдает числа, являющиеся значениями фазы как квадратичной функции времени $\psi(t) = \frac{\Delta\omega_{\text{п4}}}{2} \frac{t^2}{T}$, что соответствует линейному изменению частоты $\omega(t) = \Delta\omega_{\text{п4}} \cdot t/T$. Функция $\psi(t)$ - периодическая с периодом T . Преобразователи 11 и 12 кода фазы образуют на выходе действительную $S_{\text{rg}}(t) = \cos\psi(t)$ и мнимую $S_{\text{gm}}(t) = \sin\psi(t)$ составляющие комплексного сигнала гетеродина $S_r(t) = S_{\text{rg}}(t) + j S_{\text{gm}}(t)$, которые перемножаются с сигналом $S(t)$ в перемножителях 13 и 14. Результат этой операции можно записать так

$$s'_1(t) = \frac{1}{2} A(t) e^{-j\omega_c t} e^{j\psi(t)} + \frac{1}{2} A(t) e^{j\omega_c t} e^{j\psi(t)} = S'_1(t) + S'_2(t).$$

Цифровые фильтры 3 и 15 нижних частот с полосой пропускания $\Delta\omega_{\text{н4}}$ каждый выделяют действительную и мнимую составляющие комплексного сигнала разностной частоты $S'_1(t)$. Полезный сигнал на выходах фильтров присутствует в течение времени $T_{\text{н}}$, когда разностная частота находится в интервале $(-\Delta\omega_{\text{н4}} \text{ и } \Delta\omega_{\text{н4}})$. Полоса $\Delta\omega_{\text{н4}} \leq \Delta\omega_{\text{п4}}$. Время существования сигнала $T_{\text{н}}$ задержано относительно начала периода на величину $\tau = (\omega_c - \Delta\omega_{\text{н4}}) / \omega$ = $\tau = (\omega_c - \Delta\omega_{\text{н4}}) / \omega_{\text{п4}}$, которая зависит от значения частоты ω_c входного сигнала. По величине задержки определяется частота ω_c .

На выходе цифровых низкочастотных фильтров формируется импульс, частота внутри которого изменяется по линейному закону (ЛЧМ - импульс). Если перенести начало отсчета времени на τ (фиг. 2), то полезный сигнал на выходах фильтров можно записать так

$$S'_1(t') = A t' e^{-j\Delta\omega_{\text{н4}}(t' - \frac{t'^2}{T_{\text{н}})},$$

где $t' = t - \tau$.

Период дискретизации сигнала на выходах фильтров выбирается из усло-

вия $t_g = \pi / \Delta \omega_{н4}$. За время T_n образуется N значений выходного сигнала, т.е. $t_g \cdot N = T_n$. При этом условии

$$S_1^*(\omega) = A(\omega) e^{-j\Delta\omega t_g (n - \frac{n^2}{N})} = A(n) e^{-j\pi (n - \frac{n^2}{N})}$$

Действительная и мнимая составляющие сигнала $S_1^*(n)$ записываются в два оперативных запоминающих блока 4 и 16, соединенных через перемножитель 18 комплексных сигналов, на другой вход которого поступает комплексный сигнал с постоянного запоминающего блока 17, с двумя накопителями 19 и 20. Эти блоки образуют цифровой согласованный фильтр с ЛЧМ-импульсом, появляющимся на выходах цифровых фильтров нижних частот. Импульсная характеристика фильтра записана в постоянном запоминающем устройстве и имеет вид

$$h(n) = e^{j\pi (n - \frac{n^2}{N})}$$

Согласованный фильтр вычисляет свертку

$$S^*(r) = \sum_{n=0}^{N-1} S_1^*(n) h(r-n) = e^{j\pi (r - \frac{r^2}{N})} \sum_{n=0}^{N-1} A(n) e^{j\frac{2\pi}{N} nr},$$

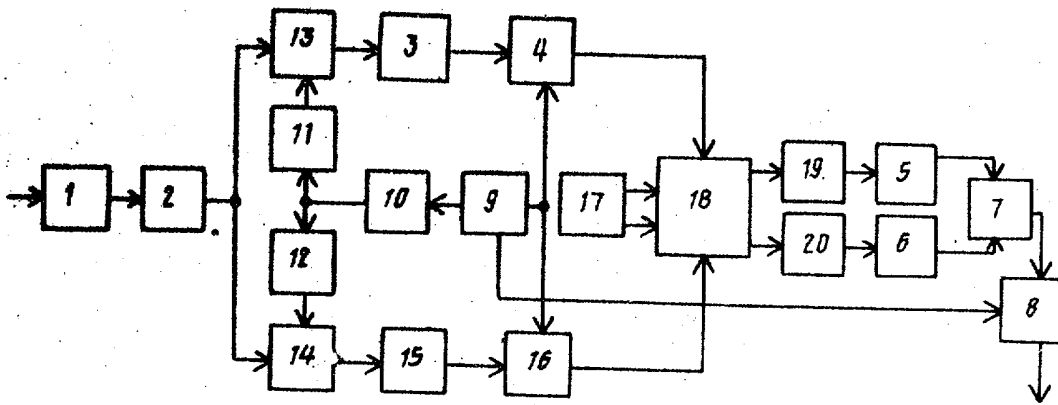
которая является, по существу, спектром сигнала $A(n)$. Блоки 5 и 6 возведения в квадрат и сумматор 7 предназначены для выделения мощности спектральных составляющих $A(n)$.

При действии на входе устройства нескольких сигналов с разной частотой и амплитудой на его выходе будут последовательно получены значения квадратов их амплитуд. Эти числа поступают в блок 8 памяти и обработки. Здесь они сравниваются с порогом и между собой, происходит обнаружение сигналов и измерение их амплитуд. По времени появления этих чисел от начала периода T определяется частота сигналов. Метки времени поступают в блок памяти и обработки от хронизатора 9.

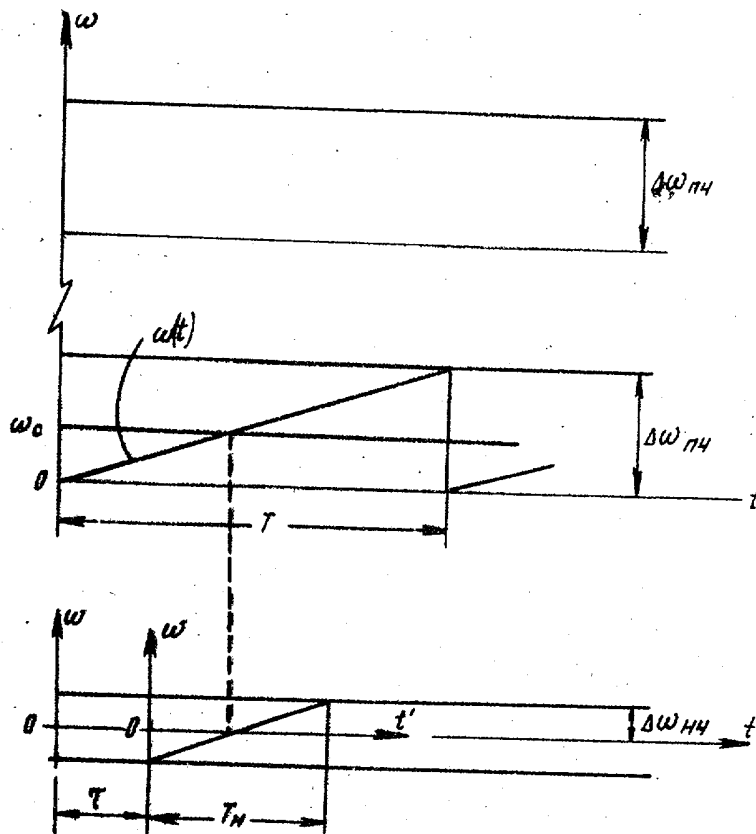
Формула изобретения

Устройство обнаружения сигналов и измерения их параметров, содержа-

щее полосовой фильтр, аналого-цифровой преобразователь, фильтр нижних частот, оперативный запоминающий блок, первый и второй блоки возведения в квадрат, выходы которых через сумматор соединены с блоком памяти и обработки, и хронизатор, первый выход которого соединен с тактовым входом оперативного запоминающего блока, второй выход с блоком памяти и обработки, отличающееся тем, что, с целью повышения надежности устройства, в него введены генератор кода фазы, преобразователи кода фазы в действительную и мнимую составляющие сигнала гетеродина, первый и второй перемножители, дополнительный фильтр нижних частот, дополнительный оперативный запоминающий блок, постоянный запоминающий блок, перемножитель комплексных сигналов, первый и второй накопители, причем выход полосового фильтра соединен с аналого-цифровым преобразователем, выход которого соединен с первыми входами первого и второго перемножителя, третий выход хронизатора соединен с генератором кода фазы, выход которого через преобразователь кода фазы в действительную составляющую сигнала гетеродина соединен со вторым входом первого перемножителя, выход которого через фильтр нижних частот соединен с оперативным блоком, и через преобразователь кода фазы в мнимую составляющую сигнала гетеродина соединен со вторым входом второго перемножителя, выход которого через дополнительный фильтр нижних частот соединен с дополнительным оперативным запоминающим блоком, тактовый вход которого соединен с хронизатором, выход постоянного запоминающего блока соединен с перемножителем комплексных сигналов, вторые входы которого соединены с выходами оперативного и дополнительного запоминающего блоков, а выходы - через первый и второй накопители с первым и вторым блоком возведения в квадрат.



Фиг. 1



Фиг. 2

Редактор Н. Минко

Составитель Е. Данилина
Техред Н. Келушак

Корректор Е. Рошко

Заказ 2794/27

Тираж 732

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4