

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
6 mars 2003 (06.03.2003)

PCT

(10) Numéro de publication internationale
WO 03/019281 A1

(51) Classification internationale des brevets⁷ : **G02F 1/29**,
1/1333, 1/1345, H04Q 3/52, G09G 3/36

Alan [FR/FR]; 16, rue Cuvier, F-38000 Grenoble (FR).
PEREZ-SEGOVIA, Tomas [FR/FR]; 52, rue J.J. Rousseau, F-38400 Saint Martin d'Hères (FR).

(21) Numéro de la demande internationale :
PCT/FR02/02908

(74) Mandataire : **BUREAU D.A. CASALONGA-JOSSE**; 8,
avenue Percier, F-75008 Paris (FR).

(22) Date de dépôt international : 20 août 2002 (20.08.2002)

(81) États désignés (national) : AE, AG, AL, AM, AT, AU, AZ,
BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ,
DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM,
HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK,
LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX,
MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI,
SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN,
YU, ZA, ZM, ZW.

(25) Langue de dépôt :

français

(26) Langue de publication :

français

(30) Données relatives à la priorité :
01/11268 30 août 2001 (30.08.2001) FR

(71) Déposant (pour tous les États désignés sauf US) :
FRANCE TELECOM [FR/FR]; 6, place d'Alleray,
F-75015 Paris (FR).

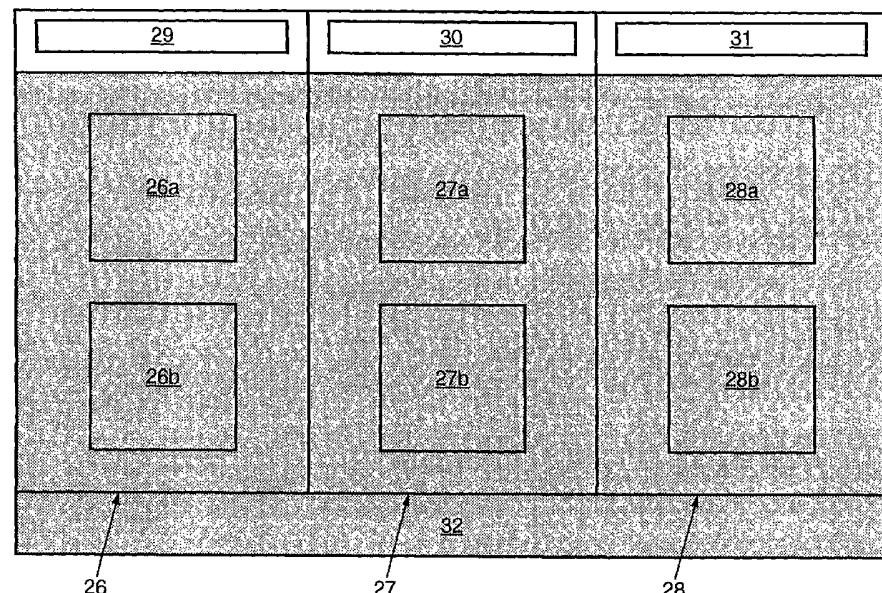
(72) Inventeurs; et
(75) Inventeurs/Déposants (pour US seulement) : **LELAH**,

(84) États désignés (régional) : brevet ARIPO (GH, GM, KE,
LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), brevet
eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet
européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

[Suite sur la page suivante]

(54) Title: CIRCUIT FOR AN OPTICAL SWITCHING DEVICE AND THE METHOD OF PRODUCING ONE SUCH CIRCUIT

(54) Titre : CIRCUIT POUR DISPOSITIF D'AIGUILLAGE OPTIQUE ET PROCEDE DE FABRICATION D'UN TEL CIRCUIT



WO 03/019281 A1

(57) Abstract: The invention relates to a method of producing a circuit for an optical switching device of the type that comprises N input optical beams, N' output optical beams and a liquid crystal circuit which is disposed between the N input optical beams and the N' output optical beams. The invention also relates to the circuit thus produced. The inventive circuit comprises a liquid crystal film which is inserted between electrodes and a transparent counter electrode. Said circuit also comprises a plurality of active optical zones (26a, 26b) which are disposed on a common substrate in order to form a corresponding number of deflectors.

[Suite sur la page suivante]



FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), brevet OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

Publiée :

- *avec rapport de recherche internationale*
- *avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues*

(57) Abrégé : Procédé de fabrication d'un circuit et circuit pour dispositif d'aiguillage optique du type comprenant N faisceaux optiques d'entrée, N' faisceaux optiques de sortie, et un circuit à cristal liquide place entre les N faisceaux optiques d'entrée et les N' faisceaux optiques de sortie, ledit circuit comprenant un film de cristal liquide inséré entre des électrodes et une contre-électrode transparente. Le circuit comprend une pluralité de zones optiques actives 26a, 26b disposées sur un substrat commun pour former un nombre correspondant de déflecteurs.

Circuit pour dispositif d'aiguillage optique et procédé de fabrication d'un tel circuit.

La présente invention concerne un circuit pour dispositif d'aiguillage optique. De tels dispositifs sont utilisés dans le domaine de l'optoélectronique.

On connaît des dispositifs d'aiguillage optique comprenant N faisceaux optiques d'entrée et N faisceaux optiques de sortie, une cellule à cristal liquide étant placée entre les faisceaux optiques d'entrée et de sortie. La cellule comprend un film de cristal liquide inséré entre des électrodes et une contre-électrode transparente. Le dispositif comprend encore des moyens électroniques de commande pour appliquer à la contre-électrode et aux électrodes des tensions appropriées afin de produire des variations d'indice de réfraction du cristal liquide telles qu'un faisceau optique d'entrée se trouve aiguillé sur un faisceau optique de sortie. On peut se référer au document EP-A-0 363 084.

Le document FR-A-2 788 863 propose un support qui comprend à la fois les électrodes de la cellule à cristal liquide et les circuits de commande des électrodes. Le dispositif d'aiguillage optique comprend les électrodes de la cellule à cristal liquide, qui sont réparties en groupes, et les moyens électroniques de commande, à savoir, d'une part des circuits électroniques aptes à commander l'application de tensions appropriées sur les groupes d'électrodes et, d'autre part, des moyens périphériques dont une unité de gestion.

Les moyens électroniques de commande sont rassemblés dans un même circuit intégré qui présente différents niveaux de métallisation, et les électrodes de la cellule sont formées par les métallisations d'un dernier niveau.

Plus particulièrement, le dispositif d'aiguillage comprend un support, avec un circuit électronique intégré, par exemple sur une plaquette de silicium, et des électrodes disposées à la surface de cette plaquette. Le dispositif d'aiguillage comprend encore un film de cristal liquide disposé sur les électrodes, une plaque transparente et

une contre-électrode disposée entre ladite plaque transparente et le film de cristal liquide.

Les tensions appliquées aux électrodes sont telles qu'il se produit une modification de l'indice de réfraction du cristal liquide qui présente une certaine périodicité. Le cristal liquide se comporte alors comme un réseau de diffraction. Un faisceau optique incident se trouve diffracté, selon une direction principale. Des faisceaux d'ordre secondaire apparaissent également mais de moindre intensité. En faisant varier les tensions appliquées aux électrodes, on fait varier les propriétés du réseau, donc l'angle de diffraction. On peut ainsi coupler un trajet d'entrée à un trajet de sortie.

Or les aiguilleurs optiques existants offrent une capacité insuffisante.

Les technologies du micro-afficheur, notamment proposées par Three Five Systems (confer le document LCoS Microdisplay Technology and Applications de R.L. Melcher à l'adresse www.threefive.com/gfx/pdfs/LcoS_Microdisplay.pdf, et le document MD1280 Microdisplay Product Specification Melcher à l'adresse www.threefive.com/gfx/pdfs/MD1280specs.pdf), ou encore par MicroDisplay Corporation (confer le document MD832G9 Preliminary Specifications version 1.0 à l'adresse www.microdisplay.com/products/md832g9_data.pdf) sont mal adaptées aux besoins d'aiguillage optique du fait de la nature de l'image à traiter. Dans le cas des micro-afficheurs, une image doit être réactualisée en continue tandis que la configuration d'un aiguilleur est semi-permanente.

Le besoin se fait aujourd'hui sentir de disposer d'aiguilleurs optiques de grande capacité susceptibles de maintenir une configuration pendant de longues périodes avec une faible consommation d'énergie.

L'invention propose un circuit économique, compact, à faible consommation et robuste pour aiguilleur optique.

Le circuit, selon un aspect de l'invention, est destiné à un dispositif d'aiguillage optique du type comprenant N faisceaux optiques d'entrée, N' faisceaux optiques de sortie et un circuit à

5 cristal liquide placé entre les faisceaux optiques d'entrée et les N' faisceaux optiques de sortie. Le circuit comprend un film de cristal liquide inséré entre des électrodes et une contre-électrode transparente. Le circuit comprend une pluralité de zones optiques actives disposées sur un substrat commun pour former un nombre correspondant de déflecteurs optiques.

10 On entend par zone optique active, une portion du circuit pourvue du film de cristal liquide et apte à être commandée par des tensions de commande de façon que pour un faisceau optique incident donné, l'axe du faisceau optique diffracté soit déterminé par lesdites 15 tensions de commande. Une zone active est généralement capable de recevoir une pluralité de faisceaux incidents en provenance d'une pluralité de fibres optiques généralement groupées en matrices pour aiguiller les faisceaux diffractés entre au moins deux matrices de fibres optiques de sortie.

Avantageusement, le circuit comprend quatre ou six zones optiques actives disposées sur un substrat commun.

20 Dans un mode de réalisation de l'invention, le circuit comprend des moyens-mémoires sur le substrat commun. Au moins un moyen-mémoire est associé à un déflecteur optique.

25 Dans un mode de réalisation de l'invention, le circuit comprend une zone inactive du point de vue optique disposée entre deux zones optiques actives. La zone inactive optiquement peut être formée de façon semblable aux zones optiques actives et donc être pourvue des mêmes éléments.

30 Avantageusement, le circuit comprend des groupes de plots de connexion, chaque groupe étant disposé à proximité d'une zone optique active. Le circuit peut comprendre un élément de commande disposé sur le substrat et capable de sélectionner un parmi les groupes de plots de connexion.

Dans un mode de réalisation de l'invention, le circuit comprend un moyen pour fournir une tension binaire d'excitation des électrodes, la tension efficace moyenne résultant d'un séquencement de bits défini par une horloge vobulée proportionnellement au poids des bits.

5 Dans un autre mode de réalisation de l'invention, le circuit comprend un moyen pour fournir une tension binaire d'excitation des électrodes, la tension efficace moyenne résultant d'un séquencement de bits brassés dans un ordre de poids défini par un décompte en inversant l'ordre des bits.

 Dans un mode de réalisation de l'invention, le circuit comprend un moyen pour allonger une durée de maintien d'un premier niveau de gris par rapport aux durées de maintien d'autres niveaux de gris.

10 Avantageusement, le circuit comprend des moyens mémoires situés en dehors des zones optiques actives, de façon que les électrodes ne reçoivent que la valeur courante du bit à afficher. En outre, le circuit peut comprendre un moyen pour envoyer aux électrodes l'indication des instants de basculement d'une sortie binaire. Le circuit peut comprendre un moyen pour envoyer aux électrodes un signal de réinitialisation à "0" et à "1".
15

 Avantageusement, au moins une partie d'une commande d'électrode est intégrée sous une électrode, notamment la commande d'alternat ou la commande de sortie nulle.

20 Dans un mode de réalisation de l'invention, le circuit comprend un moyen de mémorisation dynamique associé à une capacité d'une électrode. Le moyen de mémorisation dynamique peut comprendre une porte logique.

 Dans un mode de réalisation de l'invention, le circuit comprend un moyen de mémorisation statique disposé sous une électrode.

25 Dans un mode de réalisation de l'invention, le circuit comprend un moyen pour écrire dans une mémoire par L^*C mots de commande de n bits et un moyen pour lire par C mots de L^*n bits.

30 Dans un mode de réalisation de l'invention, le circuit comprend des moyens mémoires et une logique d'affichage disposés sous une électrode.

 L'invention propose également un procédé de fabrication d'un circuit pour dispositif d'aiguillage optique, du type comprenant N faisceaux optiques d'entrée, N' faisceaux optiques de sortie, et un circuit à cristal liquide placé entre les N faisceaux optiques d'entrée et

les N' faisceaux optiques de sortie. Le circuit comprend un film de cristal liquide inséré entre des électrodes et une contre-électrode transparente. Une pluralité de zones optiques actives sont formées sur un substrat commun.

5 Différentes dispositions de zones optiques actives sur une plaquette de silicium sont applicables à ce type de procédé.

Dans un mode de réalisation de l'invention, on forme une pluralité de circuits sur une plaquette, par exemple en silicium, puis on découpe simultanément la plaquette et la contre-électrode, pour 10 obtenir des circuits comprenant chacun un substrat, une contre-électrode, et une pluralité de zones optiques actives.

Avantageusement, on forme une contre-électrode pour une pluralité de circuits, puis on découpe le substrat et la contre-électrode pour séparer les circuits les uns des autres.

15 Dans un mode de réalisation de l'invention, on forme sur une plaquette, au moins une zone inactive du point de vue optique disposée entre deux zones optiques actives et l'on découpe la plaquette, la ligne de découpe passant par ladite zone inactive optiquement.

Selon l'architecture du circuit, il peut s'avérer intéressant de 20 disposer les groupes de plots de connexion d'un même côté du substrat, ou encore entre deux contre-électrodes.

La présente invention sera mieux comprise et d'autres 25 avantages apparaîtront à la lecture de la description détaillée de quelques modes de réalisation de l'invention pris à titre d'exemples nullement limitatifs et illustrés par les dessins annexés, sur lesquels :

- la figure 1 est une vue générale de dessus d'un circuit selon un aspect de l'invention ;

les figures 2 et 3 sont des vues de dessus d'un substrat avant 30 découpe, comprenant une pluralité de circuits selon deux modes de réalisation de l'invention ;

- la figure 4 est une vue schématique d'un élément de commande du circuit de la figure 3 ;

- les figures 5 et 6 sont des courbes de fonctionnement d'une horloge vobulée destinée à la commande d'un circuit ;

- la figure 7 est un diagramme montrant la commande d'un pixel par un bit ;
 - la figure 8 est un diagramme montrant le brassage des bits;
 - les figures 9 à 11 sont des diagrammes de fonctionnement du circuit selon trois modes programmés;
 - la figure 12 est une vue schématique d'une mémoire embarquée;
 - la figure 13 est une vue schématique d'une mémoire avec registre à décalage pour la commande d'une électrode;
- 10 - la figure 14 est une vue schématique d'un autre mode de réalisation d'un circuit de commande d'une électrode;
- la figure 15 est une vue de détail de la figure 14;
- la figure 16 est une vue schématique d'une mémoire dynamique située sous une électrode;
- 15 - la figure 17 est une vue schématique d'une mémoire avec organisation différenciée en lecture et en écriture;
- la figure 18 est une vue schématique d'un circuit de mémorisation d'un bit de commande d'une électrode;
- la figure 19 est un diagramme de commande d'une électrode 20 avec limitation des erreurs; et
- la figure 20 est une vue schématique d'un circuit de commande d'une électrode selon un autre mode de réalisation.

Comme on peut le voir sur la figure 1, un circuit optoélectronique de technologie VLSI (Very Large Scale Integration, en langue anglaise) comprend une portion centrale 2 à cristal liquide comprenant une matrice de 64 éléments apte à coopérer avec une matrice de 64 fibres optiques d'entrée et deux matrices de 64 fibres optiques de sortie. La portion centrale 2 peut être subdivisée en quatre sous-ensembles référencés 3 à 6 comprenant chacun 16 éléments ou en 25 2 (droite-gauche ou haut-bas) sous-ensembles de 32 éléments chacun. Ces regroupements d'éléments permettent une éventuelle séparation 30 des blocs de commande de ces éléments.

Le circuit 1 comprend également quatre blocs 7 à 10 de commande de lignes, adjacents respectivement aux sous-ensembles 3 à

6. Adjacents aux blocs 7 à 10, sont prévus des blocs 11 à 14 de gestion des blocs 7 à 10 respectivement. Adjacentes aux blocs 11 à 14, se trouvent des mémoires 15 à 18 qui stockent les valeurs des tensions à afficher sur chacun des éléments. Le circuit 1 comprend également
5 quatre blocs 19 à 22 de commande de lecture et d'écriture des éléments de la portion centrale 2. Chaque bloc 19 à 22 est adjacent aux sous-ensembles 3 à 6 respectivement. Le circuit 1 comprend en outre un bloc d'interface 23 apte à échanger des informations de configuration avec l'extérieur du circuit 1 et un bloc de gestion interne
10 24 apte à fournir des signaux de commande internes nécessaires au fonctionnement.

Grâce au fait que les mémoires 15 à 18 sont disposées dans le circuit intégré, les échanges de données avec d'autres circuits situés à l'extérieur sont diminués, tout particulièrement lors d'images statiques
15 ou peu dynamiques.

On comprendra qu'un tel type de circuits s'applique aussi bien aux aiguilleurs optiques qu'aux micro-afficheurs.

Sur la figure 2, est illustré un aiguilleur double avec deux zones actives par réticule. L'aiguilleur 25 est un circuit réalisé sur un unique substrat de silicium et une unique contre-électrode résultant de la découpe d'une plaquette et d'une contre-électrode, par exemple par la technique connue sous le nom « scribe and break », qui permet une découpe simultanée du substrat et de la contre-électrode. Le circuit 25 comprend trois blocs 26, 27 et 28, chacun pourvu de deux zones actives optiques 26a et 26b, 27a et 27b, 28a et 28b respectivement. Le circuit 26 comprend en outre trois rangées 29, 30, 31 de plots, respectivement associées à chaque bloc 26, 27 et 28, et permettant la connexion du circuit avec des éléments extérieurs, notamment d'autres circuits.
20
25

Sur la figure 2, la contre-électrode 32 a été représentée en grisé et recouvre l'ensemble du circuit 26 à l'exception des rangées 29 à 31 et de zones immédiatement adjacentes auxdites rangées 29 à 31 pour en permettre l'accès. Une telle disposition permet d'utiliser une seule plaque de contre-électrode qui couvre l'ensemble des deux zones
30

actives d'un bloc en dégageant un côté qui comprend les plots. La planéité des zones actives est ainsi excellente.

5 Pour des raisons optiques, notamment d'emplacement des lentilles, il convient de prévoir un espace non négligeable entre deux blocs. On peut donc prévoir de ne pas utiliser le bloc central 27. La contre-électrode 32 est alors commune aux blocs actifs 26 et 28.

10 Dans un autre mode de réalisation, on peut prévoir une seule zone optique active par réticule. Pour conserver une contre-électrode commune à quatre zones actives optiques et avoir un accès électrique aux quatre zones au moyen de plots, on dédouble les plots électriques sur deux côtés opposés du circuit, au-delà de la contre-électrode, par exemple sur les côtés nord et sud ou est et ouest. Un plot supplémentaire disposé sur l'un des côtés précités, permettra de choisir entre les rangées de plots des côtés opposés. Suivant la valeur 15 logique sur ce plot, on déterminera à l'intérieur du circuit la rangée de plots nord ou sud, respectivement est ou ouest, qu'il faut utiliser.

Dans le mode de réalisation illustré sur la figure 3, une plaquette 47 de circuit intégré est pourvue d'une pluralité de zones actives 48, chacune prévue avec une rangée de plots supérieurs 49 et une rangée de plots inférieurs 50. Une première contre-électrode 51, représentée en grisé, recouvre quatre zones actives 48 et les rangées de plots disposées entre lesdites zones actives. Une deuxième contre-électrode 52 (dont est représentée seulement la moitié supérieure) également représentée en grisé, recouvre également 4 zones actives (seules les deux supérieures sont représentées sur la figure) et des rangées de plots 49 et 50 correspondants (les rangées 49 ne sont pas montrées sur la figure). La partie 53, non recouverte par une contre-électrode, comprend deux zones actives 48, les deux rangées de plots correspondants 49, 50 ainsi que deux rangées de plots 50 correspondant à des zones actives recouvertes par la contre-électrode 51 et deux rangées de plots 49 correspondant à des zones actives recouvertes par la contre-électrode 52. Les zones actives disposées dans la zone 53 ne peuvent être utilisées normalement et permettent seulement d'accroître la distance entre les contre-électrodes 51 et 52.

et de disposer d'une distance suffisante pour découper la plaquette 47 selon une ligne passant entre les contre-électrodes 51 et 52. On facilite ainsi la découpe de la plaquette 47. La rangée de plots 50 adjacente à la contre-électrode 51 mais non recouverte, permettra d'effectuer les accès aux zones actives correspondantes, tandis que les rangées de plots 49 correspondant aux zones actives 48 non recouvertes par la contre-électrode 52 permettront les accès correspondants.

Sur la figure 4 est illustré le bloc électronique de sélection des plots qui peut être intégré dans le circuit. Les plots 33 et 34 sont des plots disposés d'un même côté du circuit, respectivement plot de sortie et plot d'entrée. Les plots 35 et 36 sont des plots disposés du côté opposé du circuit, respectivement de sortie et d'entrée. Le plot 37 est un plot de commande placé du même côté du circuit que les plots 33 et 34.

La résistance 38 est montée entre la masse électrique du circuit et le plot de commande 37, de façon qu'en l'absence de signal sur le plot 37 la tension y soit nulle. Au plot 37, est également relié un inverseur 39 dont la sortie est reliée à l'entrée d'un second inverseur 40. Une porte logique AND 41 a une entrée reliée à la sortie de l'inverseur 40 et une entrée reliée à la sortie 42 de l'intérieur du circuit. La sortie de la porte 41 est reliée au plot 33. Une porte 43 possède une entrée reliée à la sortie de l'inverseur 39 et une entrée reliée à la sortie 42. La sortie de la porte 43 est reliée au plot 35. Un amplificateur à trois états 44 comprend une entrée de commande reliée à la sortie de l'inverseur 40, une entrée reliée au plot 34 et une sortie à trois états reliée à l'entrée 45 du circuit. Enfin, un amplificateur à trois états 46 possède une entrée de commande reliée à la sortie de l'inverseur 39, une entrée reliée au plot 36 et une sortie à trois états reliée à l'entrée 45 du circuit.

Le fonctionnement du bloc de commande est le suivant. En l'absence de signal sur le plot de commande 37, la résistance 38 ramène la tension d'entrée de l'inverseur 39 à zéro. La sortie de l'inverseur 39 est à 1 et la sortie de l'inverseur 40 est à zéro. La porte 41 est inhibée et l'amplificateur 44 est dans un état dit de sortie haute

impédance. Au contraire, la sortie de la porte 43 et donc le plot 35 recopie la valeur de la sortie 42 et la sortie de la l'amplificateur 46, donc l'entrée 45 de la zone optique active recopie la valeur du plot 36. Il en va de même lorsqu'une valeur 0 est imposée sur le plot de commande 37. Le fonctionnement est inversé lorsqu'une valeur 1 est imposée sur le plot de commande 37. Dans le premier cas, la rangée de plots du côté des plots 33 et 34 doit être utilisée. Dans l'autre cas, la rangée de plots du côté des plots 35 et 36 doit être utilisée.

Lors du fonctionnement, une tension est maintenue sur une 10 électrode. Pour obtenir une tension moyenne sur une électrode à partir d'un mot de bit, on maintient la tension maximale, par exemple une tension V_{dd} pendant des durées proportionnelles au poids des bits actifs. Pendant les autres durées, on affiche 0. Dans une première 15 variante, on peut réaliser ceci avec une horloge H de période fixe P. Le premier bit de poids faible est pris en considération pendant un cycle de l'horloge, le deuxième bit pendant deux cycles de l'horloge, le $i^{\text{ième}}$ bit pendant 2^{i-1} cycles de l'horloge. Toutefois, dans un circuit pour un aiguilleur optique, il est avantageux de minimiser la consommation et de réduire l'influence des constantes de temps liées à 20 la longueur de la connexion entre l'horloge et les électrodes.

Dans une variante préférée, le circuit intégré comprend une horloge vobulée H_v recevant le signal d'horloge de l'horloge H et ayant des cycles variables répétitivement de façon monotone d'une période P de l'horloge H jusqu'à 2^{n-1} périodes P de l'horloge H pour 25 un système fonctionnant avec n bits.

Sur la figure 5, la première courbe représente la sortie de l'horloge vobulée H_v pour un système à quatre bits et la deuxième courbe représente la valeur logique des données.

Sur la figure 6, la première courbe représente la sortie de l'horloge H, la deuxième courbe représente la sortie de l'horloge vobulée H_v et la troisième courbe est un exemple de conversion du mot 1010 en une valeur moyenne, soit $10/16 * V_{dd}$.

L'horloge H peut être utilisée pour un échantillonnage selon les niveaux de gris, ce qui équivaut à une génération de rang pour la

conversion temporelle d'un mot avec comparaison de la valeur instantanée atteinte par la rampe avec un niveau prédéterminé pour un pixel. La commande se traduit soit par un changement de niveau d'un bit, soit par une commande par instants de basculement, voir figure 7.

5 Dans le cas de l'horloge vobulée H_v , les bits sont traités dans un ordre spécifique, du poids faible au poids fort. Avantageusement, on modifie cet ordre en inversant du poids fort au poids faible pour obtenir de façon simple un mode d'adressage dit brassé capable d'éliminer les artefacts d'affichage. Dans l'exemple d'un affichage à 10 quatre bits, deux pixels voisins reçoivent les mots 1000 et 0111. Dans le cas d'une horloge vobulée, il y a création en permanence d'un champ électrique horizontal entre les deux pixels, ce que l'on préfère éviter. Pour un système à quatre bits, le décomptage modifié sera le suivant :

15 0000 – 1000 – 0100 – 1100 – 0010 – 1010 ---- 0111 – 1111
et on traitera dans l'ordre les bits suivants :
x – 4 – 3 – 4 – 2 – 4 ---- 3 – 4.

20 Ce type de décomptage a été cité à titre d'exemple pour un système à quatre bits et s'adapte quel que soit le nombre de bits. On dispose ainsi d'un moyen de réduction des artefacts d'affichage.

25 Sur la figure 8, sont illustrées la première courbe de sortie de l'horloge H , la deuxième courbe représentant le rang du bit à considérer à chaque cycle d'horloge et la troisième courbe représentant les données dans le cas d'une conversion du mot 1010 en une valeur moyenne. La valeur moyenne de la courbe intitulée « données » est égale à 10/16 de la tension V_{dd} , ce qui correspond à la valeur du mot 1010.

30 Il est intéressant de pouvoir faire fonctionner le circuit selon les trois modes décrits ci-dessus, selon un mot de commande en provenance de l'extérieur du circuit via des plots ou l'interface pour déterminer le mode désiré.

Le cristal liquide présente une tension de seuil, donc une plage de tension inutile que l'on peut supprimer dans le codage des niveaux de gris. Cependant, il est nécessaire d'obtenir un déphasage nul dans

un aiguilleur optique. Le niveau de gris nul doit donc être prévu. Pour optimiser le nombre de bits utilisés, on peut prolonger la durée de maintien du premier niveau de gris par rapport aux autres niveaux de gris.

5 Les figures 9 à 11 montrent des courbes de commande selon respectivement le mode rampe, le mode bit et le mode bit brassé.

Le fonctionnement autonome du circuit, en dehors des changements de configuration, est assuré par une mémoire faisant partie du circuit intégré et permettant d'alimenter successivement les 10 colonnes de pixels en un nombre égal de cycles. En d'autres termes, soit une zone optique active comprenant L lignes et C colonnes de pixels ou éléments. Pour alimenter les $L \times C$ pixels ou éléments avec n bits par pixel, la mémoire embarquée dont la structure est illustrée sur la figure 12, permet d'alimenter successivement les C colonnes de 15 pixels en C cycles. A chaque cycle, la sortie de la mémoire envoie L mots de n bits vers la zone active correspondante.

Dans un mode de réalisation préféré, le circuit intégré comprend une mémoire de n bits accompagnée de sa logique d'affichage et disposée sous chaque électrode. On entend par logique d'affichage, les différents modules électroniques assurant les fonctions nécessaires à l'affichage, tels que le traitement d'alternat, la remise à 0, etc. La mémoire disposée sous chaque pixel mémorise n bits. Le circuit comprend un bus de sélection parcourant tous les pixels et permettant de choisir un bit parmi n. Pour limiter le nombre de 20 signaux, le bus de sélection peut comprendre un nombre de bits égal à $\log_2 n$ bits. Toutefois, ceci nécessite la présence de décodeur sous les pixels, ce qui est complexe à réaliser. Par contre, il est possible de faire un bus de sélection avec n bits dont le bit actif permet de 25 sélectionner à l'aide d'un multiplexeur, le bit correspondant parmi les bits mémorisés. On peut utiliser un registre à décalage rebouclé pour mémoriser les valeurs dans le pixel. On remplace le bus de sélection par une horloge vobulée H_v qui fera avancer et donc sélectionnera les 30 bits un par un. L'horloge permet H_v le maintien de chaque bit pendant une durée correspondant à son rang et donc de réaliser avec l'inertie

du cristal liquide, un convertisseur numérique/analogique de structure simple et donc susceptible d'être intégré sous un pixel.

Sur la figure 13, est illustré un mode de réalisation d'une mémoire avec registre à décalage intégrée sous un pixel. Une électrode 54 est disposée sous la couche cristal liquide 55. Y est associé un module de commande 56 qui, pour des raisons de clarté des dessins, a été représenté décalé par rapport à l'électrode 54. Toutefois, le lecteur comprendra que le module 56 est prévu pour être intégré sous l'électrode 54.

Le module de commande 56 comprend un registre à décalage 57 recevant le signal d'horloge H, un multiplexeur 58 formant un étage d'entrée du module 56 et dont une entrée reçoit la sortie du registre à décalage 57. La sortie du registre à décalage 57 est également envoyée à un bloc 59 de traitement d'alternat et de sortie nulle qui reçoit un signal ALT et un signal SN. Le traitement d'alternat, identique pour tous les pixels, correspond au choix de la valeur à afficher ou de son inverse en fonction de la variable ALT. Si ALT vaut 1, l'alternat est positif et le signal est non inversé. Si ALT vaut 0, l'alternat est négatif et le signal est inversé. Le traitement de sortie nulle consiste à afficher l'inverse du signal d'alternat au lieu de la valeur qui sort de la mémoire. Ainsi, pour ALT=1, on affiche 0 sur l'électrode 54 et pour ALT=0, on affiche 1 sur l'électrode 54, ou l'inverse selon la convention adoptée.

Le module de commande 56 comprend au besoin un bloc 60 monté en sortie du bloc 59 et réalisant la translation entre le niveau de tension logique et le niveau de tension d'électrode 54. En effet, la tension d'électrode doit être suffisante pour exciter le cristal liquide, par exemple 3,3 volts, tandis que la tension logique sera moindre pour diminuer la consommation dans la partie électronique du VLSI, par exemple 1,2 volts. La sortie du module de translation de tension 60 est reliée à l'électrode 54. L'électrode 54 peut être également reliée à l'entrée d'un module de translation 61 qui réalise l'inverse du module de translation 60 et transforme une tension d'électrode en une tension

logique et l'envoie vers un buffer à trois états 62 permettant la lecture du pixel.

Le circuit de commande 56 illustré sur la figure 14 diffère de celui illustré sur la figure 13, en ce que les éléments 57 et 58 sont remplacés par une mémoire intégrée à 6 bits 63 dont les six sorties sont reliées à un multiplexeur 64 dont la sortie est reliée à l'entrée du bloc 59. Un bus d'écriture 65 est relié à l'entrée d'un buffer à trois états 66 dont la sortie est reliée à l'entrée du bloc 59 et qui est commandé par un signal d'écriture de pixel provenant du bit de poids fort de la mémoire 63.

La structure interne du bloc 59 est illustrée plus en détail sur la figure 15. Le bloc 59 comprend deux multiplexeurs 67 et 68. Le multiplexeur 67 a ses deux entrées reliées à l'entrée du bloc 59, son entrée de commande recevant le signal ALT et sa sortie étant reliée à une entrée du multiplexeur 68. L'autre entrée du multiplexeur 68 reçoit le signal ALT et l'entrée de commande reçoit le signal SN. La sortie du démultiplexeur 68 forme la sortie du bloc 59.

Alternativement, lorsque les dimensions d'une électrode ne permettent pas l'intégration de tous les éléments précités dessous, on est amené à placer la mémoire à l'extérieur de la matrice d'éléments. On prévoit toutefois un bit de mémoire sous chaque élément et indiquant l'état courant de la sortie de l'électrode. Ce bit est périodiquement modifié selon la valeur stockée dans la mémoire extérieure.

Si les dimensions du bloc 59 le permettent, on peut également intégrer le bloc ou une partie du bloc 59 sous l'électrode.

La mémorisation du signal appliqué à l'électrode peut se réaliser de manière dynamique sur l'électrode. Dans ce cas, les fuites de courant à travers le cristal liquide imposent un rafraîchissement périodique pour limiter la perte de tension. Avantageusement, un moyen de mémorisation est prévu de manière intégrée sous l'électrode. La mémorisation peut être avantageusement effectuée de manière dynamique, telle qu'illustrée sur la figure 16. Immédiatement en amont de l'électrode 54 on monte un inverseur 69 apte à fournir à ladite

électrode 54 le courant de fuite nécessaire dépendant de la nature du cristal liquide, la mémorisation étant assurée en amont de l'inverseur 69 par une capacité 70 qui a été représentée en traits interrompus, car elle est avantageusement formée par la capacité parasite d'entrée naturelle de l'inverseur 69. On dispose ainsi d'un moyen de mémorisation et de maintien extrêmement économique et compact.

Dans un autre mode de réalisation, on peut prévoir une mémorisation de type statique avec une bascule.

Lorsque les mémoires possèdent n bits et la matrice de pixels contient L lignes et C colonnes, les écritures et lectures de mémoire n'ont pas le même format. On écrit C x L mots de n bits (écriture des pixels en série) et on lit et on traite C mots de L x n bits (lecture en parallèle de L mots de n bits).

Sur la figure 17, est illustrée la structure d'une mémoire qui présente un nombre différent de bits en écriture et en lecture.

Pour limiter le nombre de fils de connexion qui traversent la matrice, au lieu d'envoyer n bits en parallèle, on peut les multiplexer dans le temps sur un seul fil ou connexion, voir figure 18.

À cet effet, on peut relier la zone active de l'électrode 54 par un bit à la sortie d'un bloc 71 situé en dehors de la matrice optique active, et pourvu d'une entrée de commande 72 recevant un signal de commande d'écriture et d'une entrée de données 73 recevant la valeur affichée. On peut ainsi réduire le nombre de connexions dans la matrice et en simplifier la structure. On dispose d'un moyen pour multiplexer l'écriture des pixels.

Dans le cas d'une mémoire disposée en dehors des zones actives optiques, on peut prévoir d'envoyer les données d'affichage sous forme d'un indicateur de l'instant de basculement de la sortie binaire, ce qui permet une réduction de la puissance consommée tout à fait intéressante. Ainsi, au lieu d'envoyer à chaque pixel la valeur à afficher sur l'électrode, on envoie 0 si l'électrode doit garder son ancienne valeur et 1 si elle doit basculer. Par le jet d'alternats positifs et négatifs qui se suivent, on se retrouve automatiquement à la bonne valeur pour commencer l'alternat suivant. Toutefois, en cas d'erreur

par fausse écriture ou aléa, l'électrode peut basculer inopinément ou ne pas basculer quand elle le devrait. Pour limiter les effets de ce dysfonctionnement, en début de chaque alternat, on choisit d'envoyer un signal commun à tous les pixels pour réinitialiser l'électrode à la bonne valeur, par exemple au moyen d'un signal « set matrice » pour initialiser à 1 et d'un signal « reset matrice » pour réinitialiser à 0.

Sur la figure 19, sont illustrées les courbes de fonctionnement selon une commande par instant de basculement en mode rampe avec l'irruption d'une erreur et sa limitation telle qu'expliquée ci-dessus.

Sur la figure 20, est illustrée la structure d'une commande d'électrode 54 comprenant une bascule 74 à rebouclage pour la sortie reliée à l'électrode 54 et dont l'entrée est reliée à la sortie d'une porte AND 75 recevant en entrée le signal d'instant de basculement d'une part, et le signal d'écriture de colonnes d'autre part. La bascule 74 est équipée de deux entrées dites « set » et « reset » recevant les signaux décrits ci-dessus « set matrice » et « reset matrice », respectivement.

Ainsi, une électrode reçoit les données sous forme d'un indicateur de l'instant de basculement avec en plus des réinitialisations à 1 ou à 0 globales sur la matrice au début de chaque alternat pour corriger une éventuelle erreur ponctuelle sur une électrode. On parvient ainsi à réduire la consommation du circuit et à limiter les conséquences d'une erreur de façon qu'elle reste négligeable. Sur la dernière courbe représentative des données, l'erreur est limitée dans le temps grâce au signal « reset matrice ».

Grâce à l'invention, on parvient à repousser les limitations dues à la taille maximale d'un réticule permettant la fabrication d'un circuit intégré, on réduit la consommation du circuit, on réduit les échanges de données entre un circuit intégré et d'autres éléments extérieurs, on améliore l'architecture de l'électrode et des moyens de commande, avantageusement intégrés dessous, et on résout les problèmes de distribution d'horloge sur un circuit intégré de grande taille grâce à l'horloge vobulée.

L'invention s'applique aux aiguilleurs optiques entre deux ensembles de supports optiques dans le domaine des circuits VLSI-

LCOS de télécommunications, et s'applique également dans le domaine des micro-afficheurs, notamment dans les micro-afficheurs avec mémoires intégrées dans le même circuit. On bénéficie ainsi d'un circuit de fabrication économique et aisé et assurant une rémanence de l'image en l'absence d'ordres externes.

REVENDICATIONS

1-Circuit pour dispositif d'aiguillage optique du type comprenant N faisceaux optiques d'entrée, N' faisceaux optiques de sortie, et un circuit à cristal liquide placé entre les N faisceaux optiques d'entrée et les N' faisceaux optiques de sortie, ledit circuit comprenant un film de cristal liquide inséré entre des électrodes et une contre-électrode transparente, caractérisé par le fait qu'il comprend une pluralité de zones optiques actives (26a, 26b) disposées sur un substrat commun pour former un nombre correspondant de déflecteurs optiques.

5 2-Circuit selon la revendication 1, caractérisé par le fait qu'il comprend quatre ou six zones optiques actives disposées sur un substrat commun.

10 3-Circuit selon la revendication 1 ou 2, caractérisé par le fait qu'il comprend des moyens mémoires (15, 16, 17, 18) sur ledit substrat commun.

15 4-Circuit selon la revendication 3, caractérisé par le fait qu'au moins un moyen mémoire est associé à un déflecteur.

20 5-Circuit selon l'une quelconque des revendications précédentes, caractérisé par le fait qu'il comprend une zone inutilisée (27) disposée entre deux zones optiques actives.

6-Circuit selon la revendication 5, caractérisé par le fait que ladite zone inutilisée est formée de façon semblable aux zones optiques actives.

25 7-Circuit selon l'une quelconque des revendications précédentes, caractérisé par le fait qu'il comprend des groupes de plots de connexion (49, 50), chaque groupe étant disposé à proximité d'une zone optique active.

30 8-Circuit selon la revendication 7, caractérisé par le fait qu'il comprend un élément de commande disposé sur le substrat et capable de sélectionner un parmi les groupes de plots de connexion.

9-Circuit selon l'une quelconque des revendications précédentes, caractérisé par le fait qu'il comprend un moyen pour

fournir une tension binaire d'excitation des électrodes, la tension efficace moyenne résultant d'un séquencement de bits défini par une horloge vobulée proportionnellement au poids des bits.

10-Circuit selon l'une quelconque des revendications 1 à 8,
5 caractérisé par le fait qu'il comprend un moyen pour fournir une tension binaire d'excitation des électrodes, la tension efficace moyenne résultant d'un séquencement de bits brassés dans un ordre de poids défini par un décompte en inversant l'ordre des bits.

11-Circuit selon l'une quelconque des revendications
10 précédentes, caractérisé par le fait qu'il comprend un moyen pour allonger une durée de maintien d'un premier niveau de gris par rapport aux durées de maintien d'autres niveaux de gris.

12-Circuit selon l'une quelconque des revendications
15 précédentes, caractérisé par le fait qu'il comprend des moyens mémoires situés en dehors des zones optiques actives, de façon que les électrodes ne reçoivent que la valeur courante du bit à afficher.

13-Circuit selon l'une quelconque des revendications
20 précédentes, caractérisé par le fait qu'il comprend un moyen pour envoyer aux électrodes l'indication des instants de basculement d'une sortie binaire.

14-Circuit selon la revendication 13, caractérisé par le fait qu'il comprend un moyen pour envoyer aux électrodes un signal de réinitialisation à "0" et à "1".

15-Circuit selon l'une quelconque des revendications
25 précédentes, caractérisé par le fait qu'au moins une partie d'une commande d'électrode est intégrée sous une électrode.

16-Circuit selon l'une quelconque des revendications précédentes, caractérisé par le fait qu'il comprend un moyen de mémorisation dynamique associé à une capacité d'une électrode.

30 17-Circuit selon la revendication 16, caractérisé par le fait que le moyen de mémorisation dynamique comprend une porte logique.

18-Circuit selon l'une quelconque des revendications précédentes, caractérisé par le fait qu'il comprend un moyen de mémorisation statique disposé sous une électrode.

19-Circuit selon l'une quelconque des revendications précédentes, caractérisé par le fait qu'il comprend un moyen pour écrire par L^*C mots de commande de n bits et un moyen pour lire par C mots de L^*n bits.

20-Circuit selon l'une quelconque des revendications précédentes, caractérisé par le fait qu'il comprend des moyens mémoires et une logique d'affichage disposés sous une électrode.

21-Procédé de fabrication d'un circuit pour dispositif d'aiguillage optique du type comprenant N faisceaux optiques d'entrée, N' faisceaux optiques de sortie, et une cellule à cristal liquide placée entre les N faisceaux optiques d'entrée et les N' faisceaux optiques de sortie, ledit circuit comprenant un film de cristal liquide inséré entre des électrodes et une contre-électrode transparente, dans lequel on forme une pluralité de zones optiques actives sur un substrat commun.

22-Procédé selon la revendication 21, dans lequel on forme une pluralité de circuits sur une plaquette, puis on découpe simultanément la plaquette et la contre-électrode, pour obtenir des circuits comprenant chacun un substrat, une contre-électrode, et une pluralité de zones optiques actives.

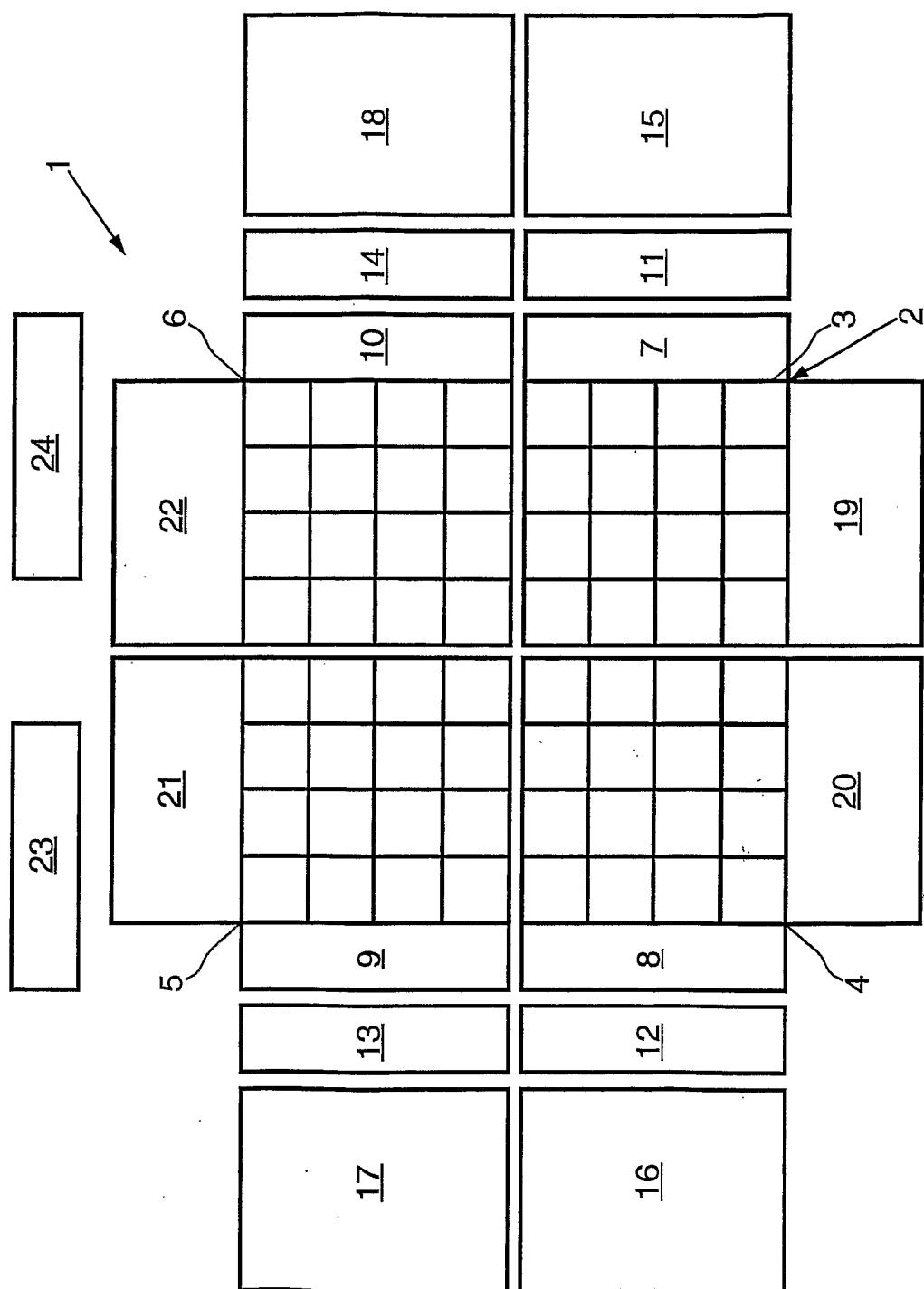
23-Procédé selon la revendication 21 ou 22, dans lequel on forme une contre-électrode pour une pluralité de circuits, puis on découpe les circuits.

24-Procédé selon l'une quelconque des revendications 21 à 23, dans lequel on forme sur une plaquette au moins une zone inactive disposée entre deux zones optiques actives, et on découpe la plaquette, la ligne de découpe passant par ladite zone inactive.

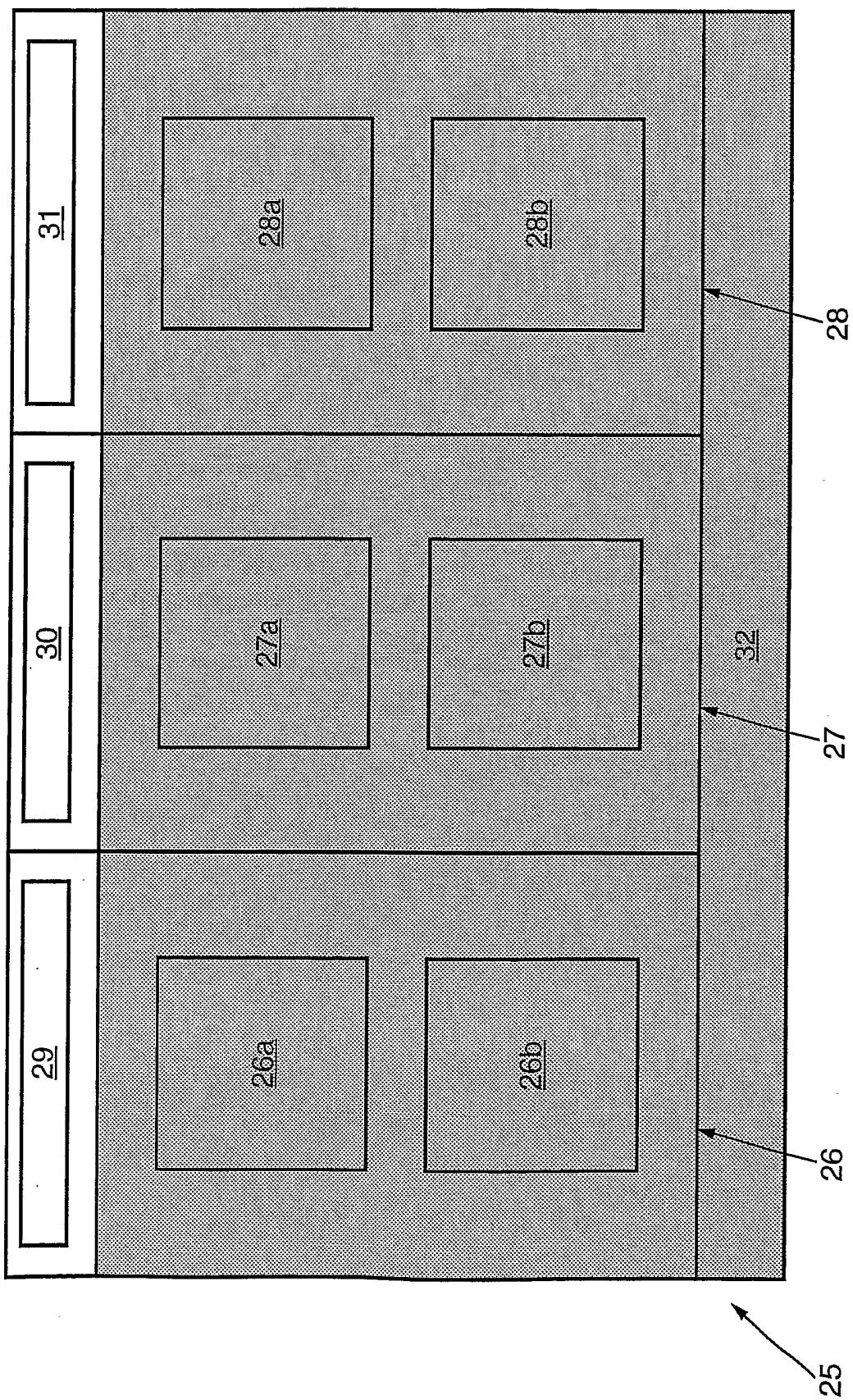
25-Procédé selon l'une quelconque des revendications 21 à 24, dans lequel on dispose les groupes de plots de connexion d'un même côté du substrat.

26- Procédé selon l'une quelconque des revendications 21 à 24, dans lequel on dispose les groupes de plots de connexion entre deux contre-électrodes.

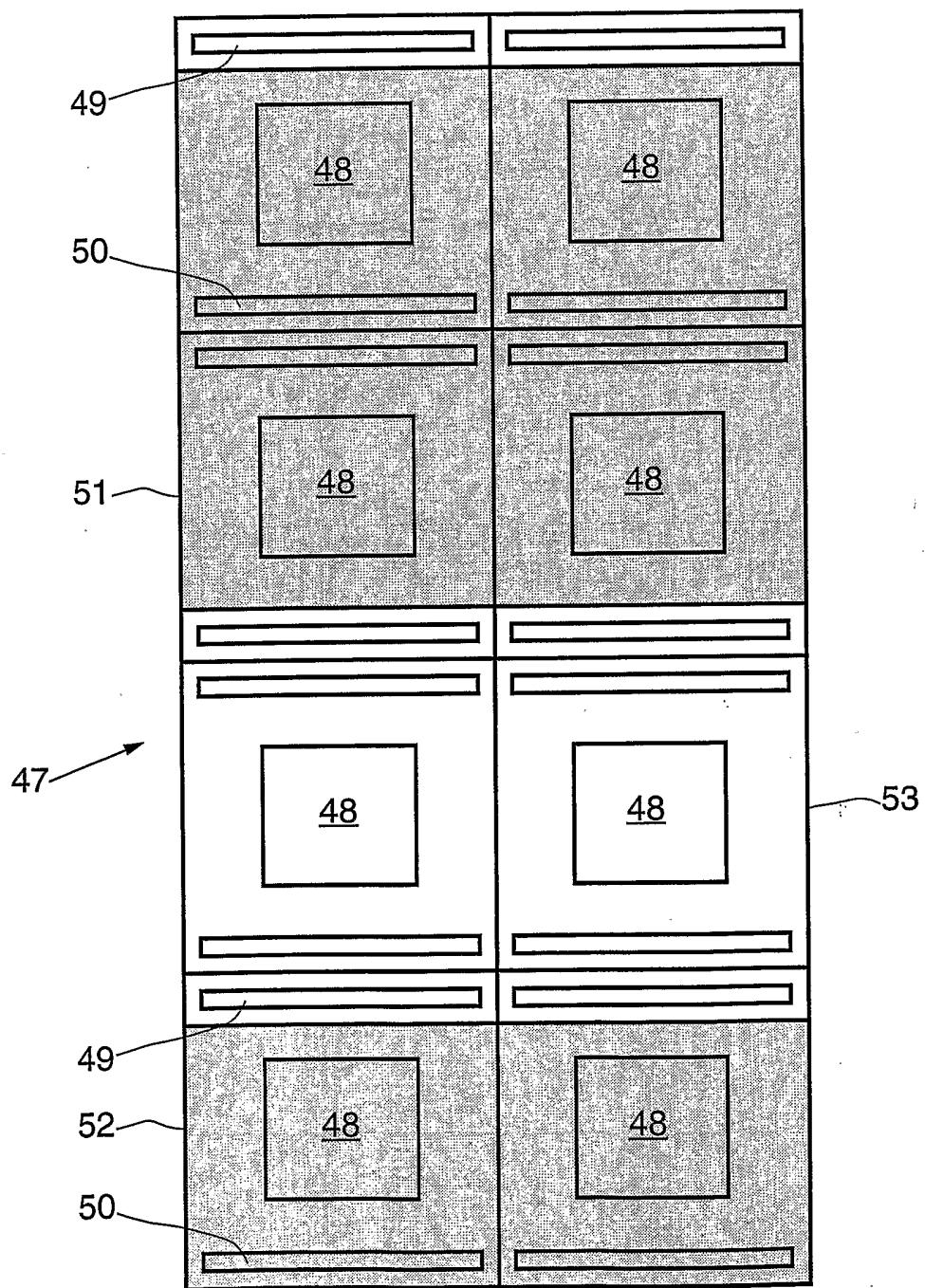
1/20

FIG.1

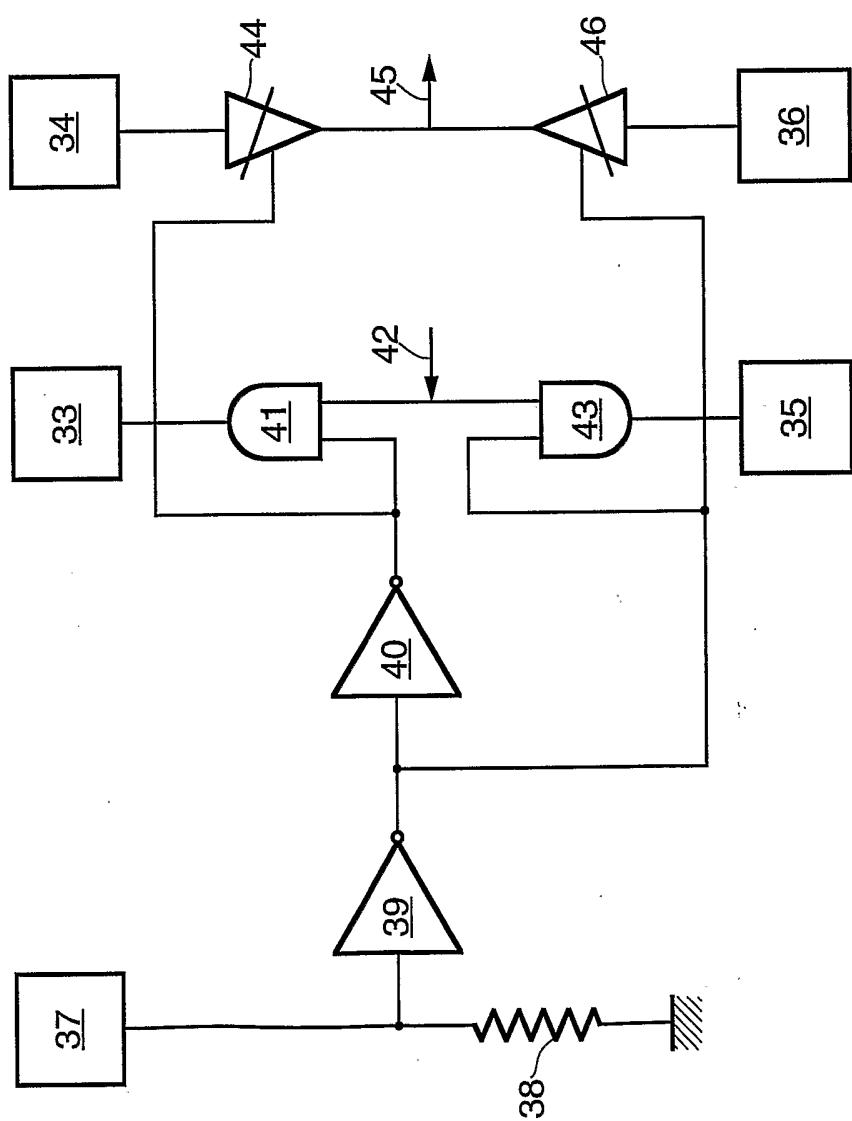
2/20

FIG. 2

3/20

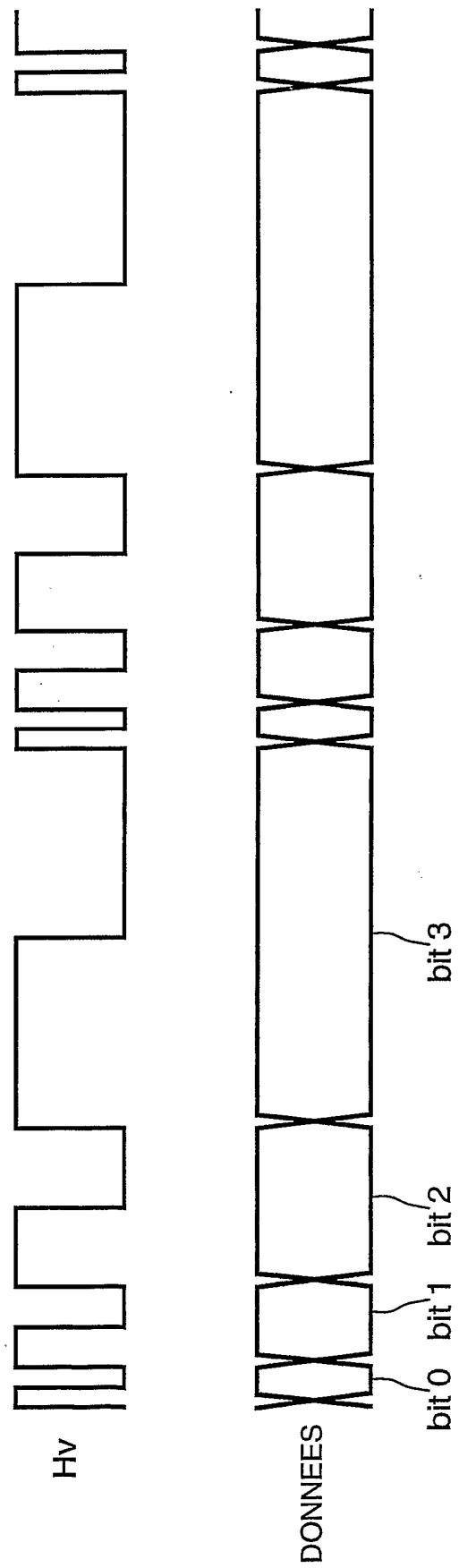
FIG.3

4/20

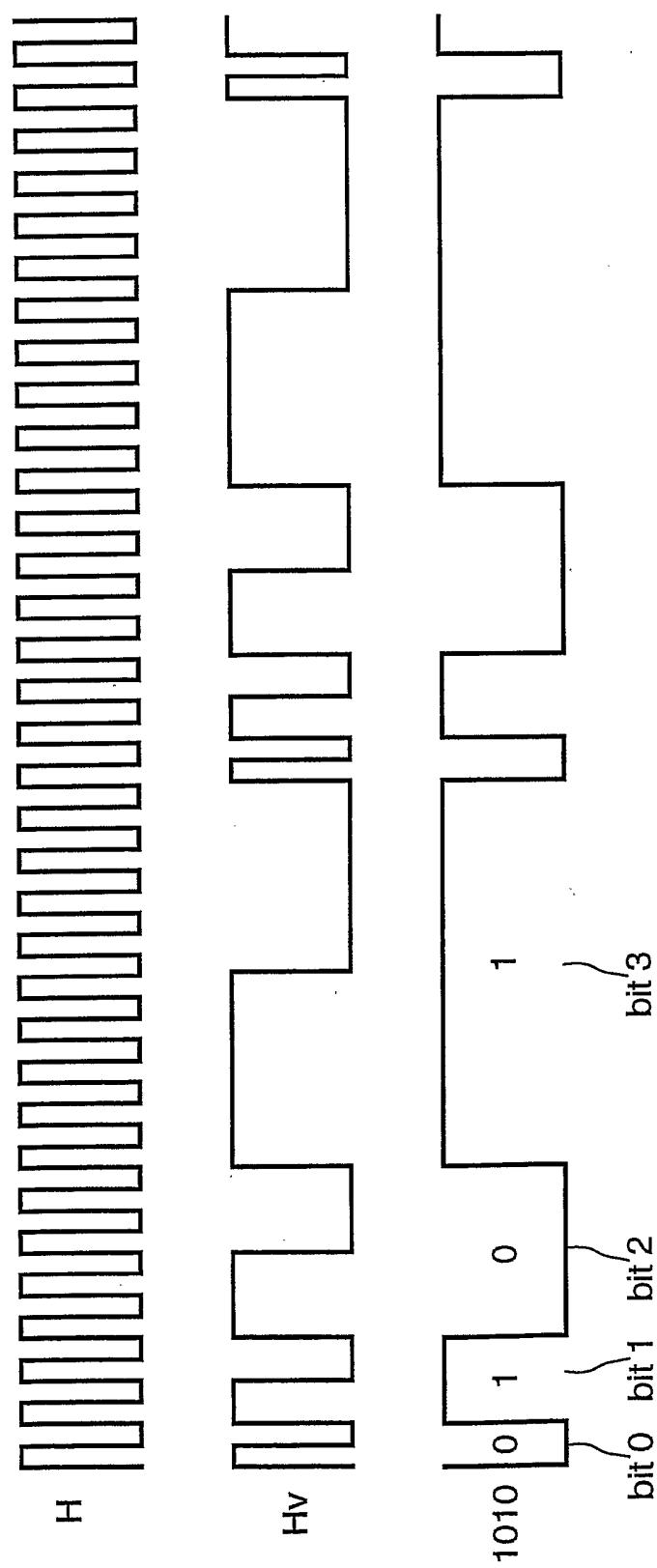
FIG.4

5/20

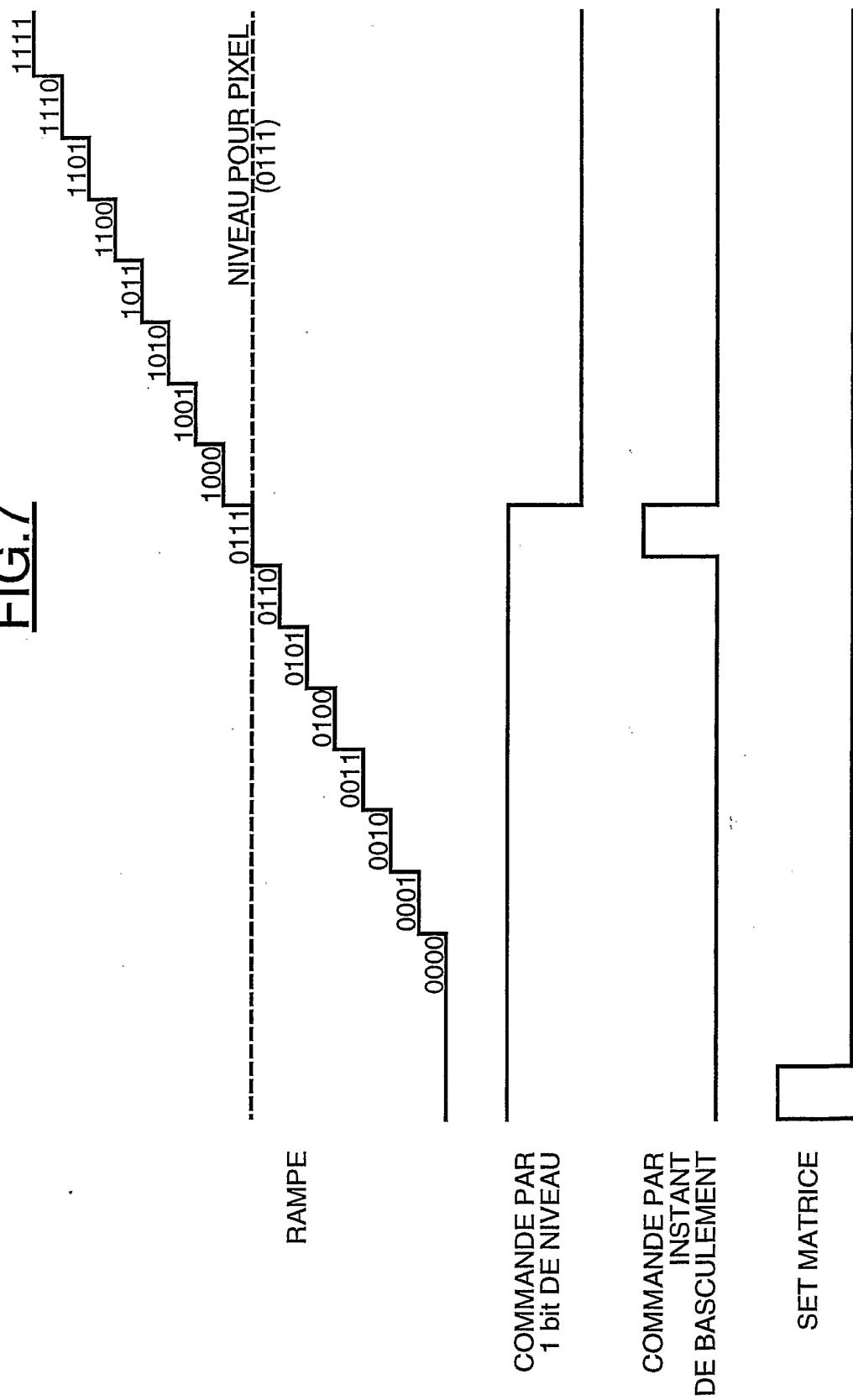
FIG.5



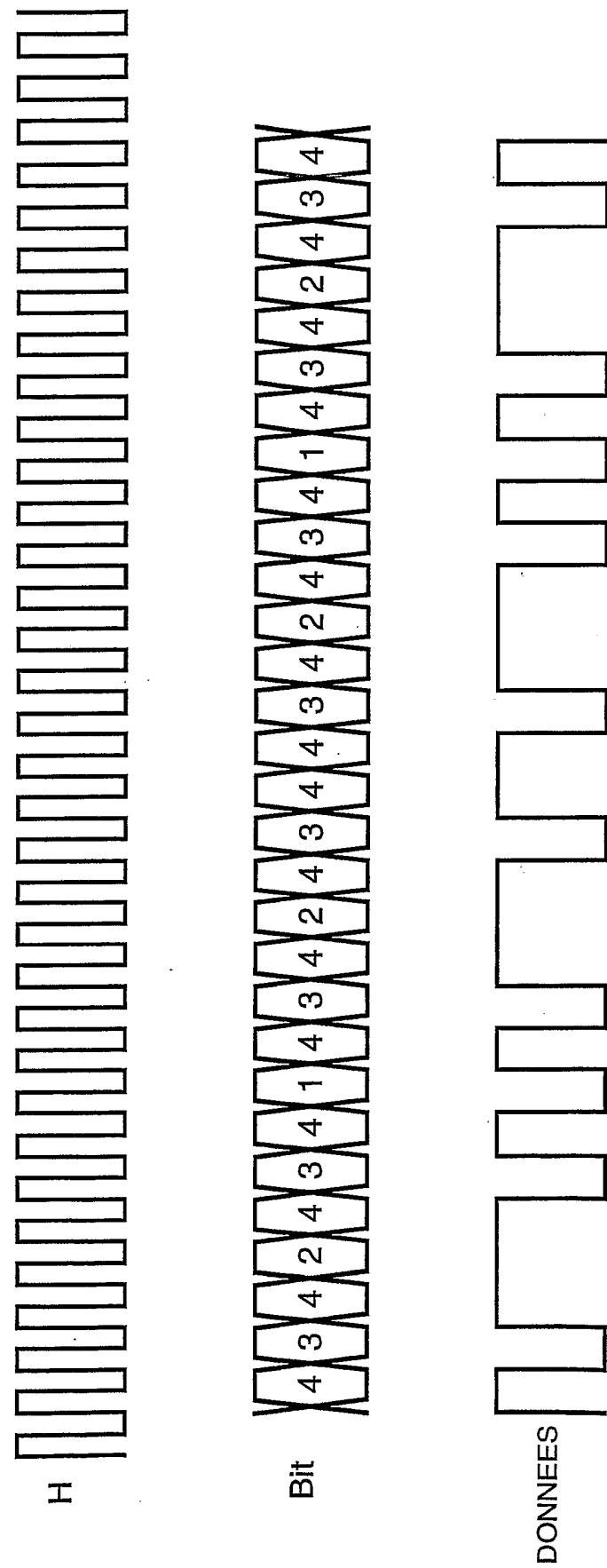
6/20

FIG. 6

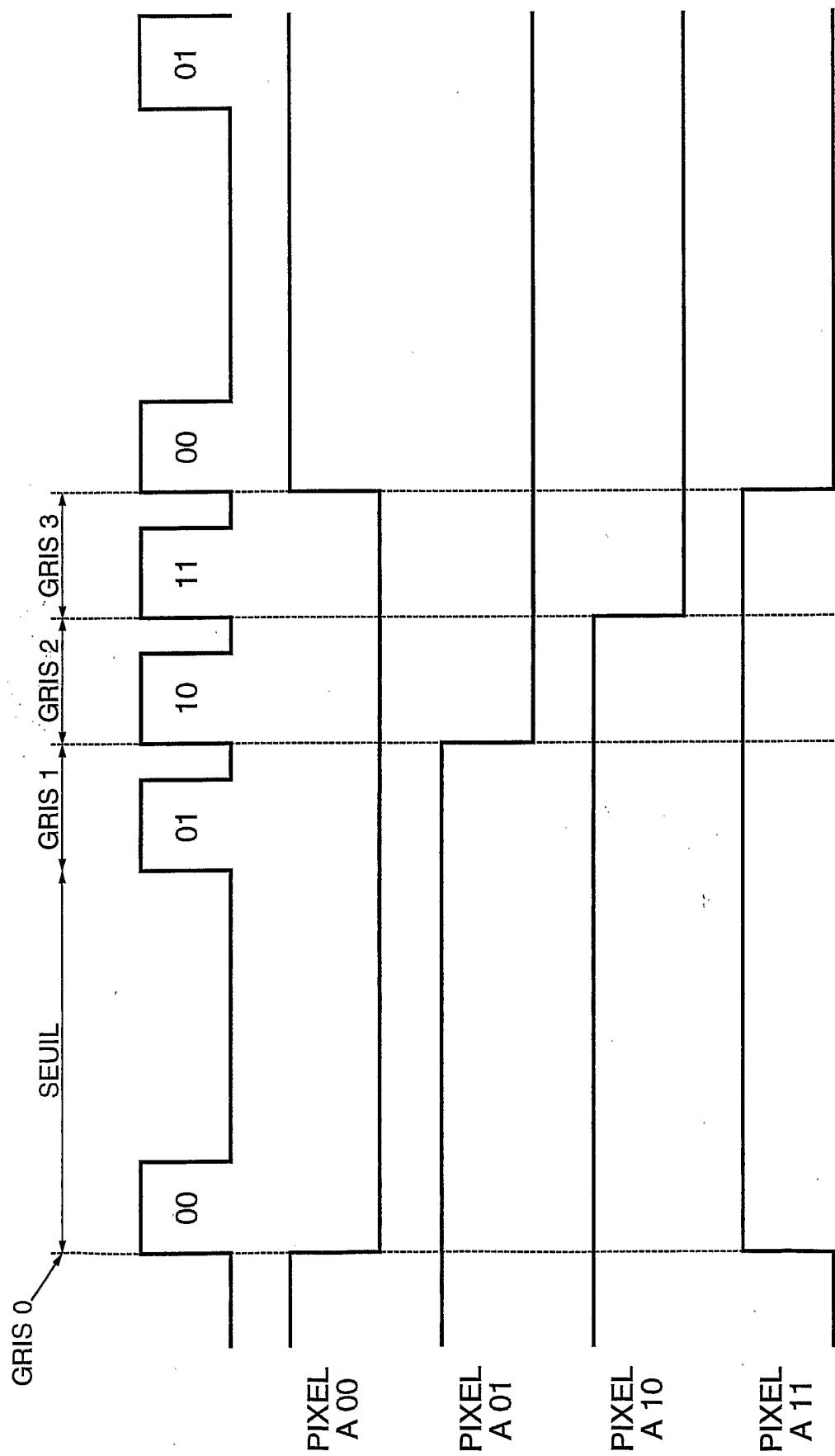
7/20

FIG.7

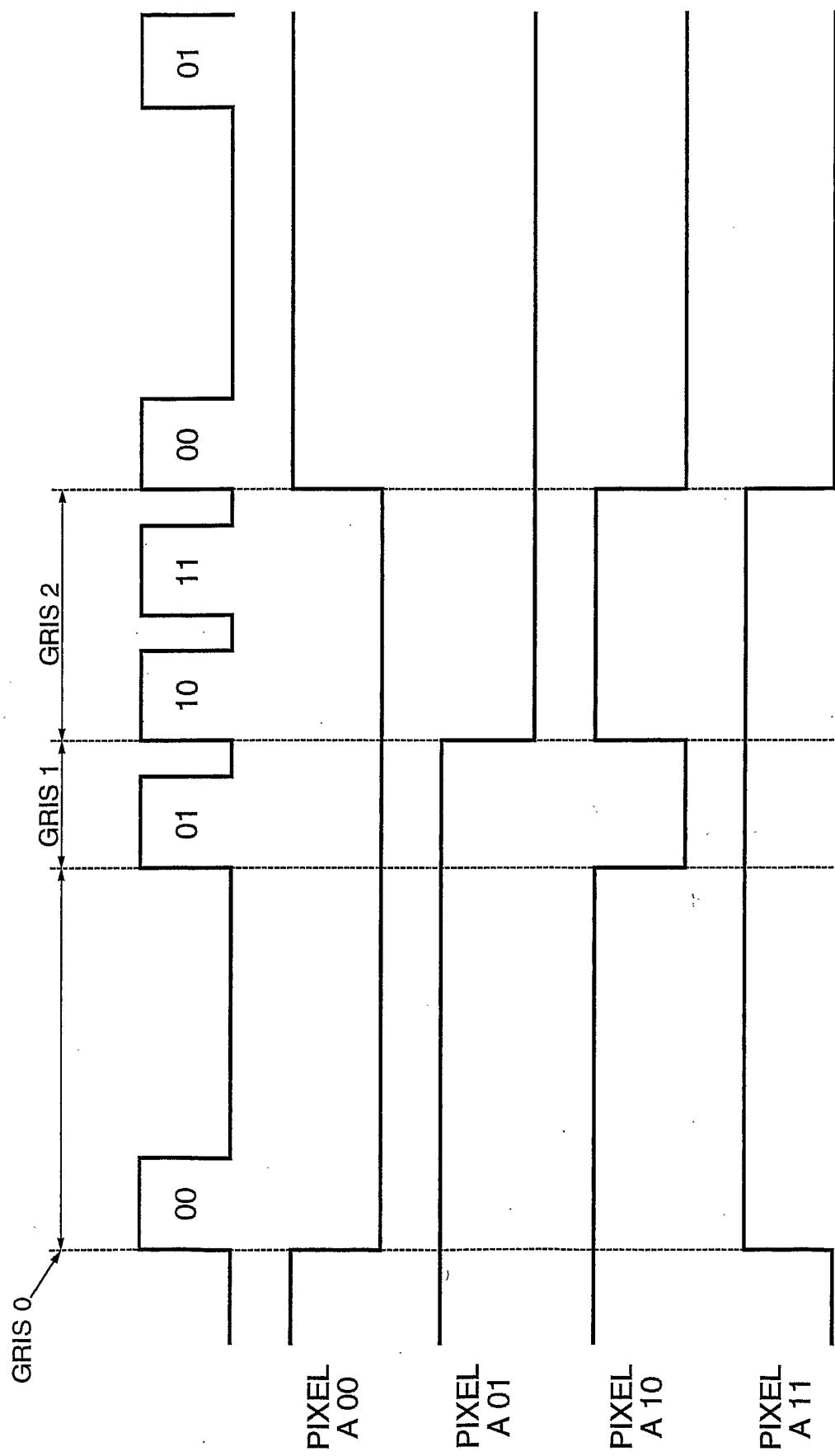
8/20

FIG.8

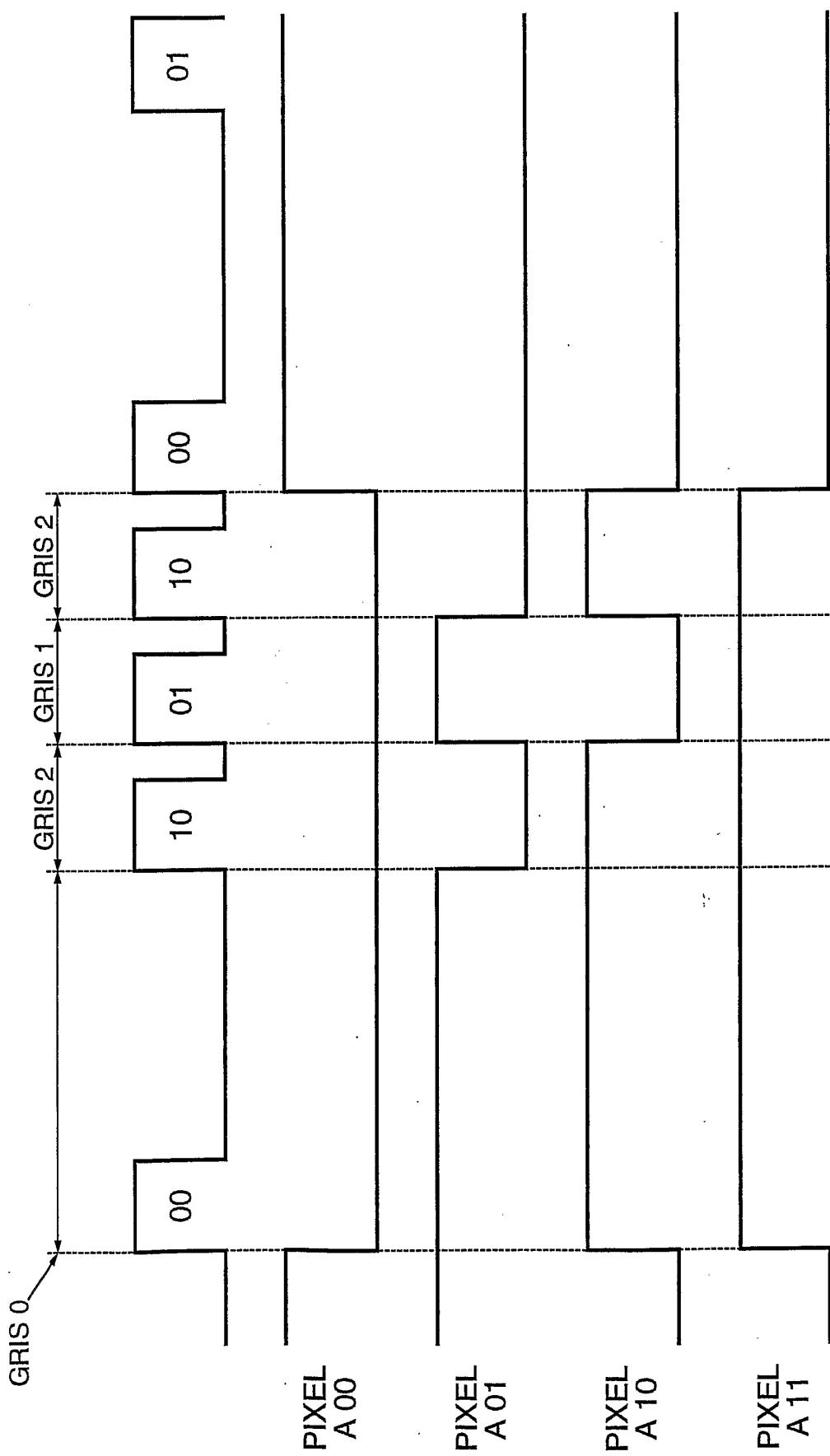
9/20

FIG.9

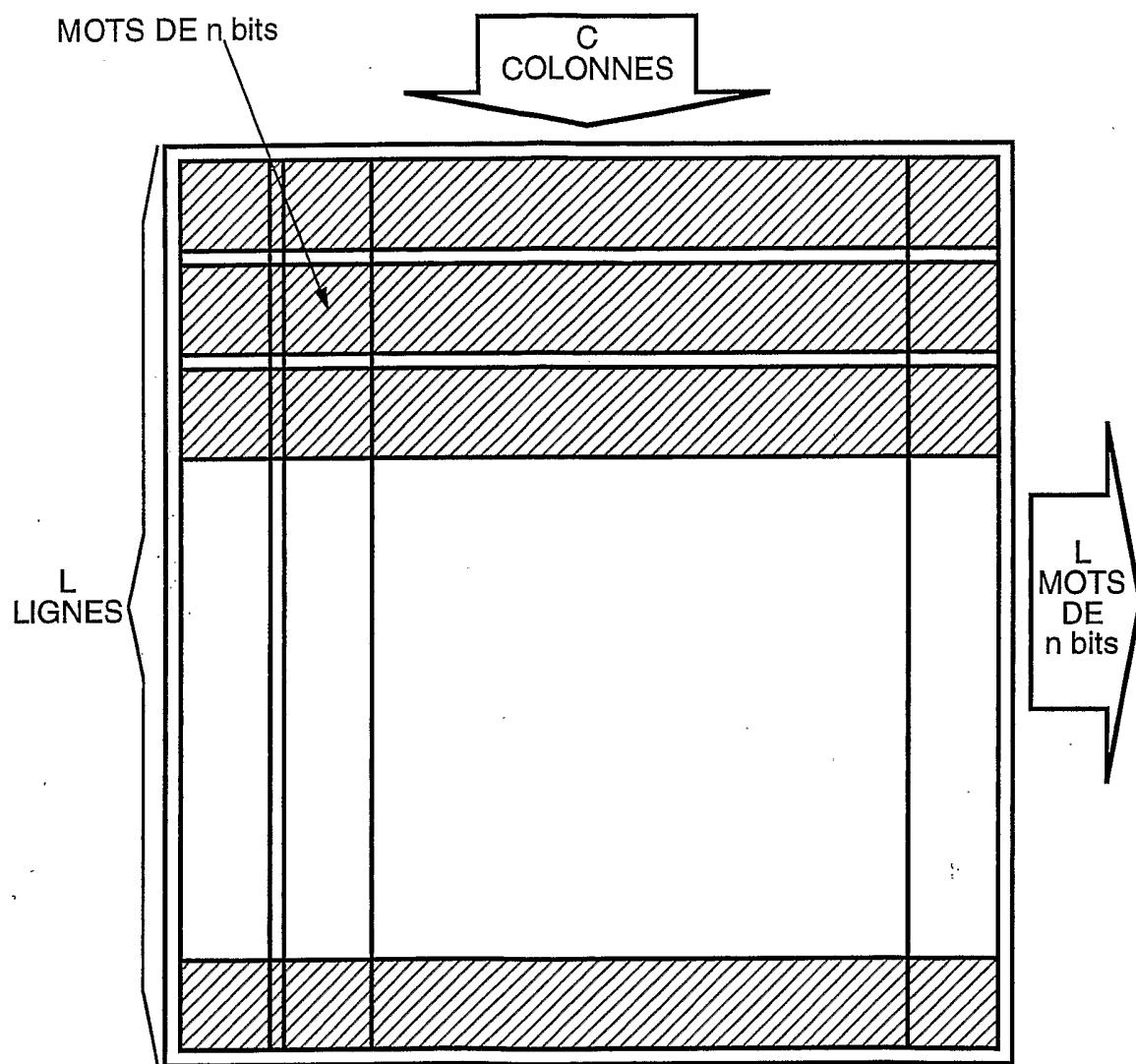
10/20

FIG.10

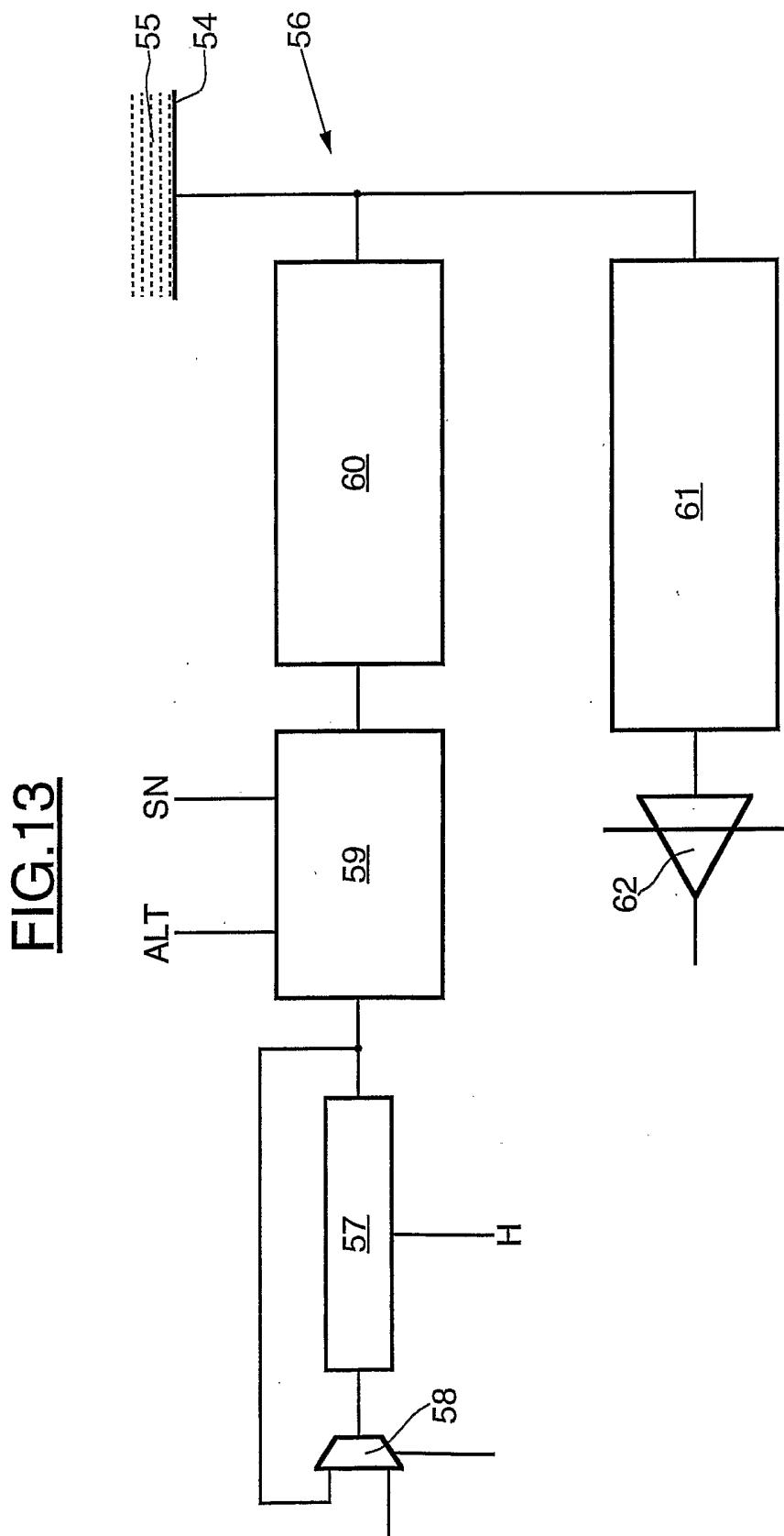
11/20

FIG. 11

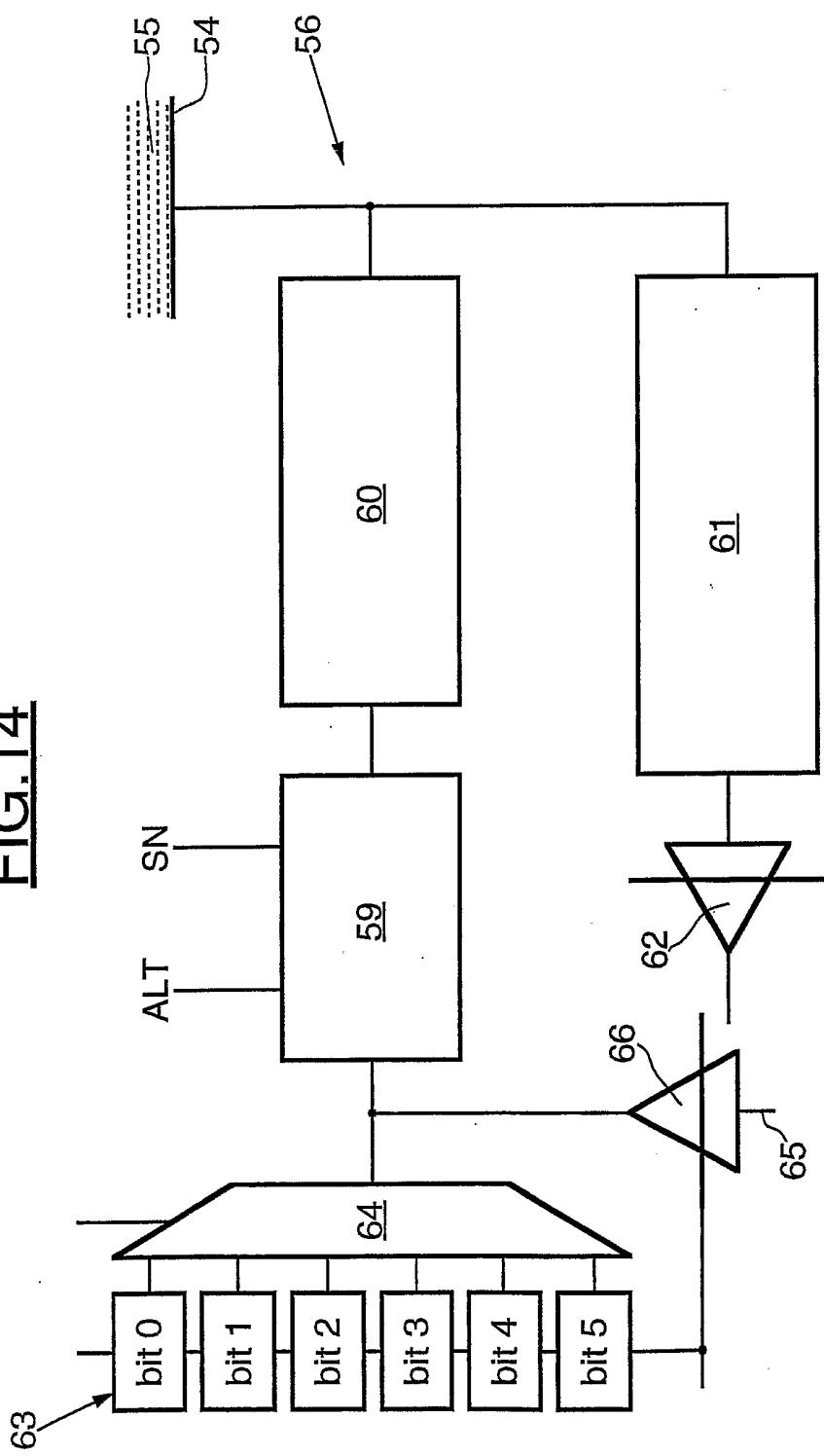
12/20

FIG.12

13/20

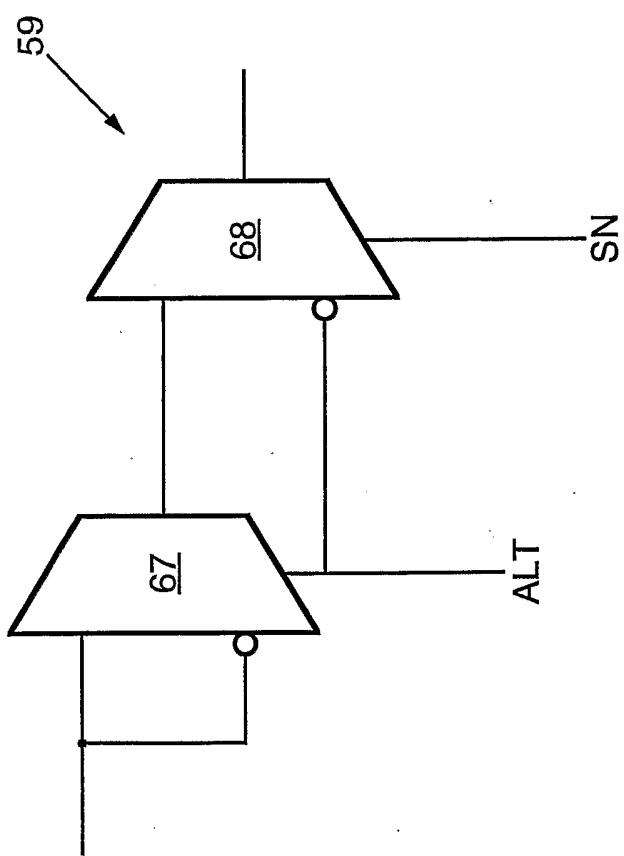


14/20

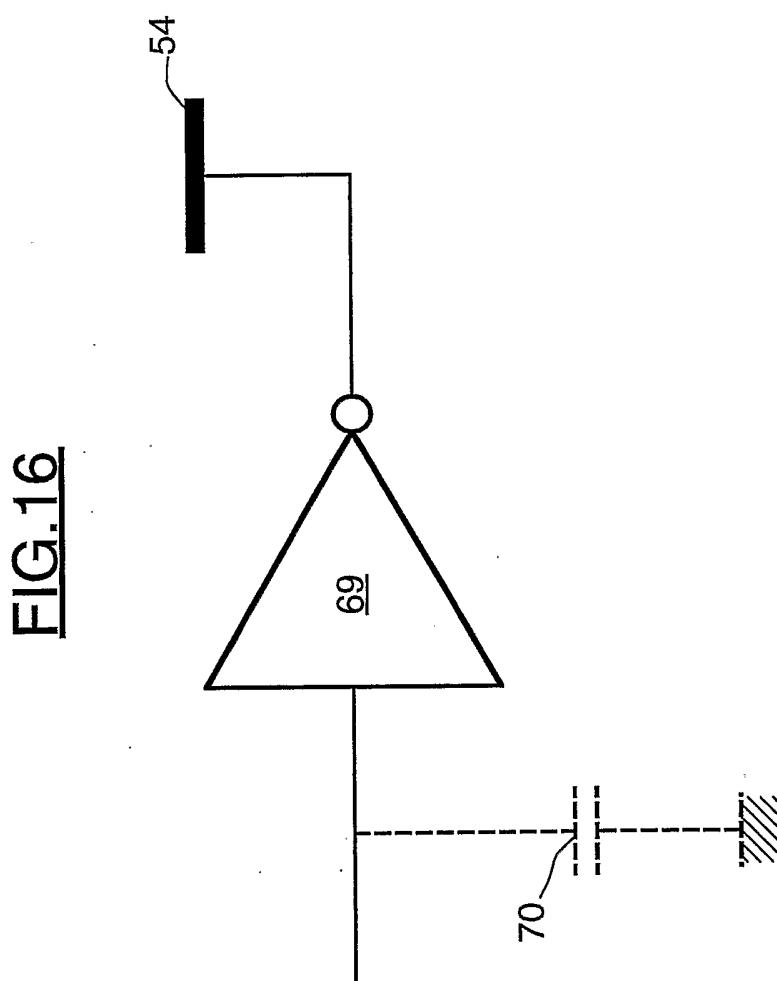
FIG.14

15/20

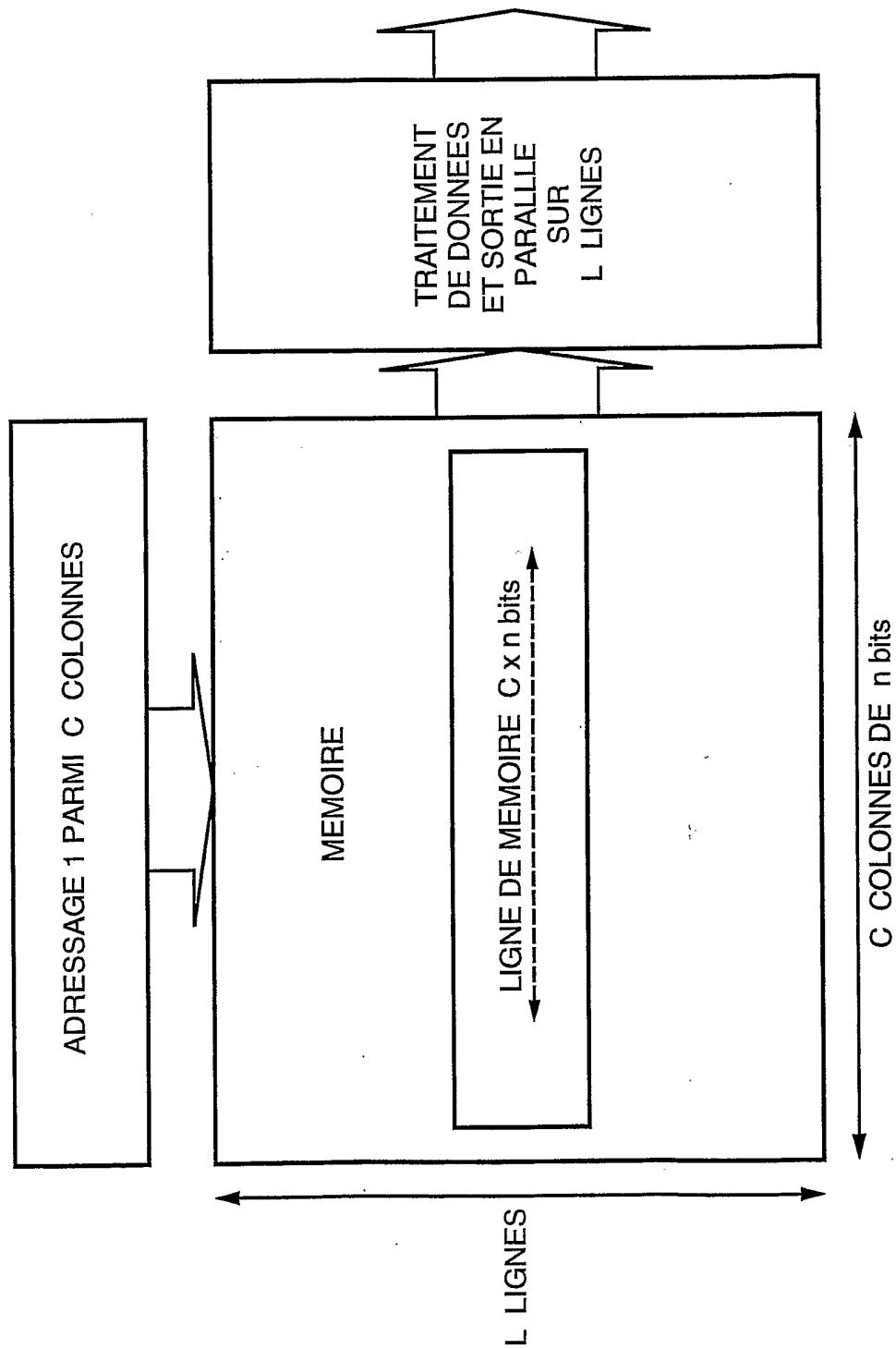
FIG.15



16/20

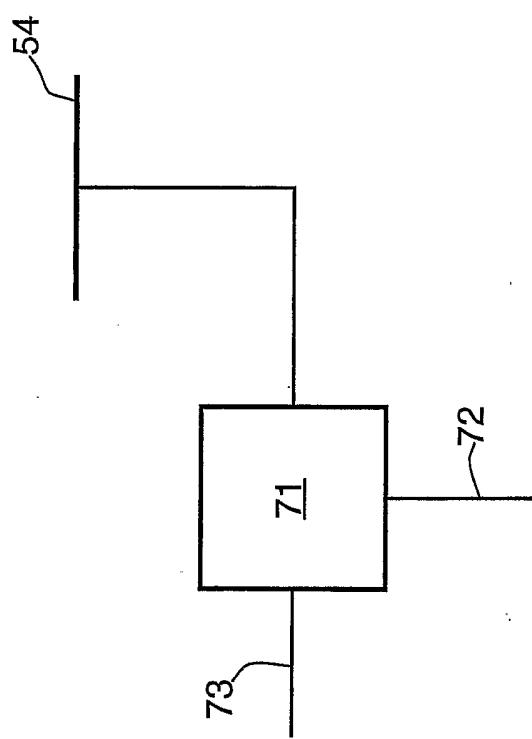


17/20

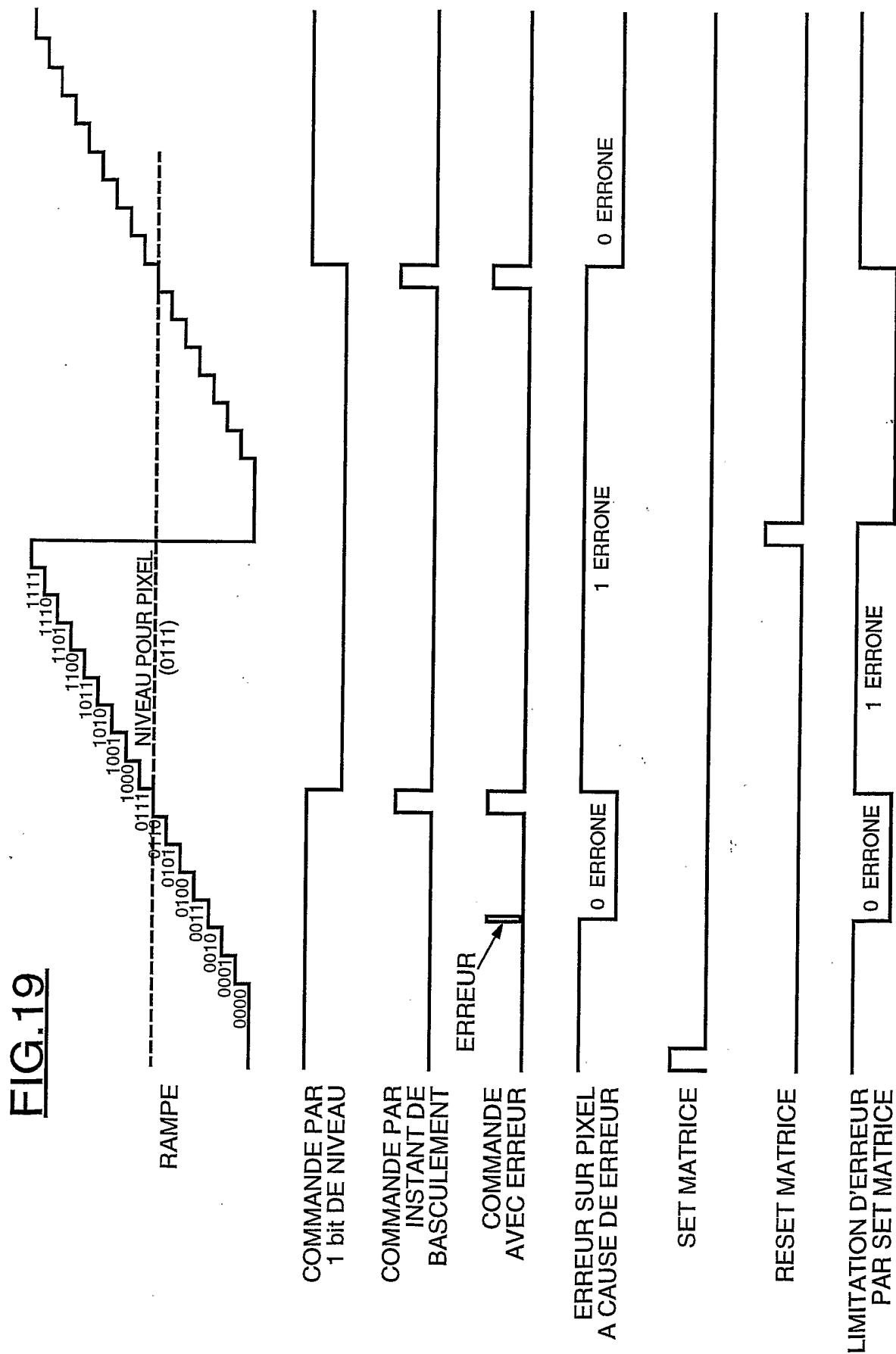
FIG.17

18/20

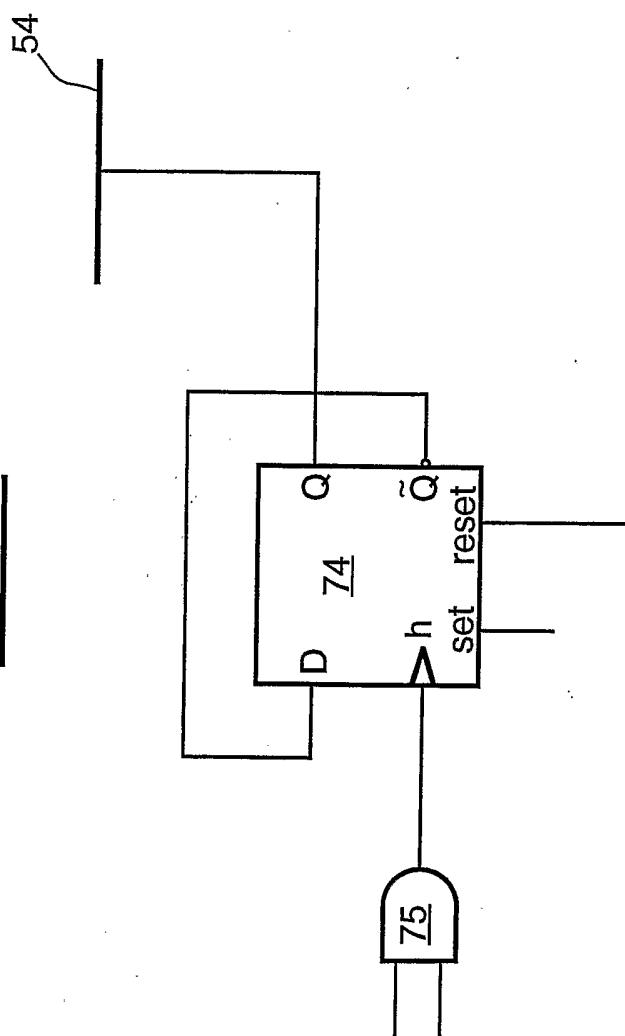
FIG. 18



19/20



20/20

FIG.20

INTERNATIONAL SEARCH REPORT

Inte	ntal Application No
PCT/FR 02/02908	

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 G02F1/29 G02F1/1333 G02F1/1345 H04Q3/52 G09G3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G02F H04Q G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

WPI Data, PAJ, IBM-TDB, EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 943 159 A (ZHU TOM YUXIN) 24 August 1999 (1999-08-24) column 11, line 28 - line 64 ---	1,21
A	FR 2 788 863 A (FRANCE TELECOM) 28 July 2000 (2000-07-28) cited in the application the whole document ---	1,3,9-21
A	GB 2 268 850 A (NORTHERN TELECOM LTD) 19 January 1994 (1994-01-19) page 4, paragraph 4 -page 5 page 7, paragraph 2 -page 8, paragraph 1; figures 2,6,7 ---	1-4,21

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

7 January 2003

Date of mailing of the international search report

13/01/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Stang, I

INTERNATIONAL SEARCH REPORT

Inte _____ il Application No
PCT/FR 02/02908

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WOLFFER N ET AL: "Holographic switching between single mode fibres based on electrically addressed nematic liquid crystal gratings with high deflection accuracy" OPTICS COMMUNICATIONS, NORTH-HOLLAND PUBLISHING CO. AMSTERDAM, NL, vol. 160, no. 1-3, 1 February 1999 (1999-02-01), pages 42-46, XP004155717 ISSN: 0030-4018 * paragraphes 2., 4.1 * figure 1 ---	1
A	US 6 229 583 B1 (YASUNISHI NORIO) 8 May 2001 (2001-05-08) column 9, line 48 -column 10, line 51; figure 1 ---	1-3,7-12
A	US 5 963 289 A (FRANK CHRISTOPHER ET AL) 5 October 1999 (1999-10-05) column 4, line 14 -column 5, line 5; figures 3-5 ---	21-23,25
A	ANONYME: "MD832G9 Preliminary Specifications" MICRODISPLAY, 'Online' 12 March 2001 (2001-03-12), XP002201433 Retrieved from the Internet: <URL: http://www.microdisplay.com/products/md832g9_data.pdf > 'retrieved on 2002-06-05! cited in the application page 7 -page 11; figures 5.,7 ---	1
A	EP 0 856 767 A (SHARP KK) 5 August 1998 (1998-08-05) column 8, line 31 -column 10, line 45; figures 1,6,7 ---	3,15,16, 18
A	GB 2 330 423 A (GEC MARCONI AVIONICS HOLDINGS) 21 April 1999 (1999-04-21) page 9, line 7 -page 11; figures 1-3 ---	5,6, 22-24
P,X	WO 01 90823 A (INTELLIGENT PIXELS INC) 29 November 2001 (2001-11-29) page 7, line 27 -page 8, line 26 page 12, line 17 -page 13, line 27; claims 1-42 -----	1-9,21

INTERNATIONAL SEARCH REPORT

Information on patent family members

Inte	inal Application No
PCT/FR 02/02908	

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 5943159	A	24-08-1999	NONE		
FR 2788863	A	28-07-2000	FR	2788863 A1	28-07-2000
GB 2268850	A	19-01-1994	NONE		
US 6229583	B1	08-05-2001	JP KR US	9319342 A 246150 B1 6094243 A	12-12-1997 15-03-2000 25-07-2000
US 5963289	A	05-10-1999	AU WO	1279999 A 9922267 A1	17-05-1999 06-05-1999
EP 0856767	A	05-08-1998	GB EP JP US	2321754 A 0856767 A2 10240170 A 6091463 A	05-08-1998 05-08-1998 11-09-1998 18-07-2000
GB 2330423	A	21-04-1999	AU CA EP WO TW	8874298 A 2306636 A1 1023630 A1 9919765 A1 382682 B	03-05-1999 22-04-1999 02-08-2000 22-04-1999 21-02-2000
WO 0190823	A	29-11-2001	AU WO US	7125301 A 0190823 A1 2001050787 A1	03-12-2001 29-11-2001 13-12-2001

RAPPORT DE RECHERCHE INTERNATIONALE

Den internationale No
PCT/FR 02/02908

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 G02F1/29 G02F1/1333 G02F1/1345 H04Q3/52 G09G3/36

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 G02F H04Q G09G

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

WPI Data, PAJ, IBM-TDB, EPO-Internal

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 5 943 159 A (ZHU TOM YUXIN) 24 août 1999 (1999-08-24) colonne 11, ligne 28 - ligne 64 ---	1,21
A	FR 2 788 863 A (FRANCE TELECOM) 28 juillet 2000 (2000-07-28) cité dans la demande le document en entier ---	1,3,9-21
A	GB 2 268 850 A (NORTHERN TELECOM LTD) 19 janvier 1994 (1994-01-19) page 4, alinéa 4 -page 5 page 7, alinéa 2 -page 8, alinéa 1; figures 2,6,7 ---	1-4,21

Voir la suite du cadre C pour la fin de la liste des documents

Les documents de familles de brevets sont indiqués en annexe

° Catégories spéciales de documents cités:

- "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- "E" document antérieur, mais publié à la date de dépôt international ou après cette date
- "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- "&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée	Date d'expédition du présent rapport de recherche internationale
7 janvier 2003	13/01/2003

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Stang, I

RAPPORT DE RECHERCHE INTERNATIONALE

Der internationale No
PCT/FR 02/02908

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	WOLFFER N ET AL: "Holographic switching between single mode fibres based on electrically addressed nematic liquid crystal gratings with high deflection accuracy" OPTICS COMMUNICATIONS, NORTH-HOLLAND PUBLISHING CO. AMSTERDAM, NL, vol. 160, no. 1-3, 1 février 1999 (1999-02-01), pages 42-46, XP004155717 ISSN: 0030-4018 * paragraphes 2., 4.1 * figure 1 ---	1
A	US 6 229 583 B1 (YASUNISHI NORIO) 8 mai 2001 (2001-05-08) colonne 9, ligne 48 -colonne 10, ligne 51; figure 1 ---	1-3,7-12
A	US 5 963 289 A (FRANK CHRISTOPHER ET AL) 5 octobre 1999 (1999-10-05) colonne 4, ligne 14 -colonne 5, ligne 5; figures 3-5 ---	21-23,25
A	ANONYME: "MD832G9 Preliminary Specifications" MICRODISPLAY, 'en ligne! 12 mars 2001 (2001-03-12), XP002201433 Extrait de l'Internet: <URL: http://www.microdisplay.com/products/md832g9_data.pdf > 'extrait le 2002-06-05! cité dans la demande page 7 -page 11; figures 5.,7 ---	1
A	EP 0 856 767 A (SHARP KK) 5 août 1998 (1998-08-05) colonne 8, ligne 31 -colonne 10, ligne 45; figures 1,6,7 ---	3,15,16, 18
A	GB 2 330 423 A (GEC MARCONI AVIONICS HOLDINGS) 21 avril 1999 (1999-04-21) page 9, ligne 7 -page 11; figures 1-3 ---	5,6, 22-24
P,X	WO 01 90823 A (INTELLIGENT PIXELS INC) 29 novembre 2001 (2001-11-29) page 7, ligne 27 -page 8, ligne 26 page 12, ligne 17 -page 13, ligne 27; revendications 1-42 -----	1-9,21

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Der internationale No
PCT/FR 02/02908

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)		Date de publication
US 5943159	A	24-08-1999	AUCUN		
FR 2788863	A	28-07-2000	FR	2788863 A1	28-07-2000
GB 2268850	A	19-01-1994	AUCUN		
US 6229583	B1	08-05-2001	JP KR US	9319342 A 246150 B1 6094243 A	12-12-1997 15-03-2000 25-07-2000
US 5963289	A	05-10-1999	AU WO	1279999 A 9922267 A1	17-05-1999 06-05-1999
EP 0856767	A	05-08-1998	GB EP JP US	2321754 A 0856767 A2 10240170 A 6091463 A	05-08-1998 05-08-1998 11-09-1998 18-07-2000
GB 2330423	A	21-04-1999	AU CA EP WO TW	8874298 A 2306636 A1 1023630 A1 9919765 A1 382682 B	03-05-1999 22-04-1999 02-08-2000 22-04-1999 21-02-2000
WO 0190823	A	29-11-2001	AU WO US	7125301 A 0190823 A1 2001050787 A1	03-12-2001 29-11-2001 13-12-2001