



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I865651 B

(45)公告日：中華民國 113 (2024) 年 12 月 11 日

(21)申請案號：109139280

(22)申請日：中華民國 109 (2020) 年 11 月 11 日

(51)Int. Cl. : H01L27/146 (2006.01)

H04N25/70 (2023.01)

H04N25/76 (2023.01)

(30)優先權：2019/11/18 日本

2019-207923

(71)申請人：日商索尼半導體解決方案公司 (日本) SONY SEMICONDUCTOR SOLUTIONS CORPORATION (JP)

日本

(72)發明人：松村勇佑 MATSUMURA, YUSUKE (JP)；町田貴志 MACHIDA, TAKASHI (JP)；城戶英男 KIDO, HIDEO (JP)；福井僚 FUKUI, RYO (JP)；椎原由宇 SHIIHARA, YU (JP)

(74)代理人：陳長文

(56)參考文獻：

CN 110313067A

US 2009/0213256A1

US 2009/0303371A1

US 2018/0156898A1

US 2019/0333951A1

審查人員：陳融詳

申請專利範圍項數：9 項 圖式數：32 共 91 頁

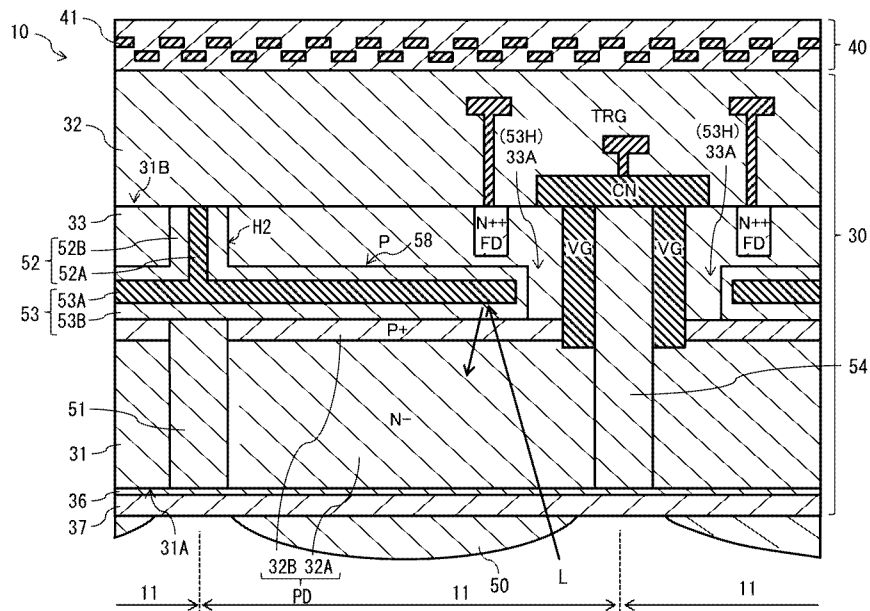
(54)名稱

固體攝像裝置及電子機器

(57)摘要

本發明之固體攝像裝置具備：受光面；複數個像素，其包含將經由受光面入射之光進行光電轉換之光電轉換部；及分離部，其將各光電轉換部電性且光學性分離。各像素具有：電荷保持部，其保持自光電轉換部傳送之電荷；傳送電晶體，其具有到達光電轉換部之垂直閘極電極，且將電荷自光電轉換部傳送至電荷保持部；及遮光部，其配置於光電轉換部與電荷保持部之間之層內。於複數個像素中相互相鄰之複數個第 1 像素中，複數個垂直閘極電極相互電性連接。

指定代表圖：



符號簡單說明：

10:像素陣列部

11:感測器像素

30:第 1 基板

### 31:半導體基板

31A:受光面

31B:形成面

32:絕緣層

32A:N 型半導體區域

32B:P 型半導體區域

### 33:半導體層

33A:半導體部

### 36:固定電荷膜

37:彩色濾光片

40:第 2 基板

## 41:半導體基板

50:受光透鏡

51:分離部

52:分離部

52A:金屬嵌入部

52B:絶縁膜

53:遮光部

53A:金屬嵌入部

53B:絶縁膜

53H:開口部

54:分離部

58:空隙部

CN:連接部

FD:浮動擴散

L:光

PD:光電二極體

TRG:傳送電晶體

VG:垂直閘極電極



## 公告本

I865651

## 【發明摘要】

## 【中文發明名稱】

固體攝像裝置及電子機器

## 【中文】

本發明之固體攝像裝置具備：受光面；複數個像素，其包含將經由受光面入射之光進行光電轉換之光電轉換部；及分離部，其將各光電轉換部電性且光學性分離。各像素具有：電荷保持部，其保持自光電轉換部傳送之電荷；傳送電晶體，其具有到達光電轉換部之垂直閘極電極，且將電荷自光電轉換部傳送至電荷保持部；及遮光部，其配置於光電轉換部與電荷保持部之間之層內。於複數個像素中相互相鄰之複數個第1像素中，複數個垂直閘極電極相互電性連接。

## 【指定代表圖】

圖3

## 【代表圖之符號簡單說明】

10:像素陣列部

11:感測器像素

30:第1基板

31:半導體基板

31A:受光面

31B:形成面

32:絕緣層

32A: N型半導體區域

32B: P型半導體區域

33:半導體層  
33A:半導體部  
36:固定電荷膜  
37:彩色濾光片  
40:第2基板  
41:半導體基板  
50:受光透鏡  
51:分離部  
52:分離部  
52A:金屬嵌入部  
52B:絕緣膜  
53:遮光部  
53A:金屬嵌入部  
53B:絕緣膜  
53H:開口部  
54:分離部  
58:空隙部  
CN:連接部  
FD:浮動擴散  
L:光  
PD:光電二極體  
TRG:傳送電晶體  
VG:垂直閘極電極

# 【發明說明書】

## 【中文發明名稱】

固體攝像裝置及電子機器

## 【技術領域】

### 【0001】

本揭示係關於一種固體攝像裝置及電子機器。

## 【先前技術】

### 【0002】

於固體攝像裝置中，已知有使用CMOS影像感測器之全域快門方式(例如參照專利文獻1)。於上述專利文獻1所記載之發明中，藉由以與光電轉換部不同之深度，設置傳送光電轉換部所蓄積之電荷之電荷保持部，而可確保光電轉換部之面積，且確保飽和電子數。

[先前技術文獻]

[專利文獻]

### 【0003】

[專利文獻1]日本專利特開2010-114273號公報

## 【發明內容】

### 【0004】

然而，於上述專利文獻1所記載之發明中，有產生因光對電荷保持部入射而致之雜訊的可能性。為減少該雜訊，考慮設置遮光層。於設置遮光層之情形時，自光電轉換部向電荷保持部之電荷傳送變困難。為易於電荷傳送，考慮設置自設置於遮光層之開口部到達光電轉換部之垂直閘極電極。於設置垂直閘極電極之情形時，像素尺寸變大，進而，因光自設置於

遮光層之開口部向電荷保持部入射所致之雜訊變大。因此，期望提供一種可抑制雜訊或像素尺寸之增加，且避免電荷傳送之惡化之固體攝像裝置及具備其之電子機器。

#### 【0005】

本揭示之一實施形態之第1固體攝像裝置具備：受光面；複數個像素，其包含將經由受光面入射之光進行光電轉換之光電轉換部；及分離部，其將各光電轉換部電性且光學性分離。各像素具有：電荷保持部，其保持自光電轉換部傳送之電荷；傳送電晶體，其具有到達光電轉換部之垂直閘極電極，且自光電轉換部將電荷傳送至電荷保持部；及遮光部，其配置於光電轉換部與電荷保持部之間之層內。於複數個像素中相互相鄰之複數個第1像素中，複數個垂直閘極電極相互電性連接。

#### 【0006】

本揭示之一實施形態之第1電子機器具備：固體攝像裝置，其輸出對應於入射光之像素信號；及信號處理電路，其處理像素信號。設置於第1電子機器之固體攝像裝置具有與上述第1固體攝像裝置相同之構成。

#### 【0007】

於本揭示之一實施形態之第1固體攝像裝置及第1電子機器中，設置有到達光電轉換部之垂直閘極電極。藉此，可避免設置遮光部所致之自光電轉換部向電荷保持部之電荷傳送之惡化。於本揭示中，進而於複數個像素中相互相鄰之複數個第1像素中，複數個垂直閘極電極相互電性連接。藉此，與將傳送電晶體按各像素個別設置之情形相比，可縮小傳送電晶體之尺寸，伴隨於此，可縮小使垂直閘極電極貫通之遮光部之開口部。其結果，可抑制雜訊或像素尺寸之增加。

**【0008】**

本揭示之一實施形態之第2固體攝像裝置具備：受光面；複數個像素，其包含將經由受光面入射之光進行光電轉換之光電轉換部；及分離部，其將各光電轉換部電性且光學性分離。各像素具有：電荷保持部，其保持自光電轉換部傳送之電荷；傳送電晶體，其具有到達光電轉換部之第1垂直閘極電極，且自光電轉換部將電荷傳送至電荷保持部；排出電晶體，其具有到達光電轉換部之第2垂直閘極電極，且與傳送電晶體相鄰配置，並自上述光電轉換部排出電荷；及遮光部，其配置於光電轉換部與電荷保持部之間之層內。於複數個像素中相互相鄰之複數個第1像素中，複數個垂直閘極電極相互電性連接。

**【0009】**

本揭示之一實施形態之第2電子機器具備：固體攝像裝置，其輸出對應於入射光之像素信號；及信號處理電路，其處理像素信號。設置於第2電子機器之固體攝像裝置具有與上述第2固體攝像裝置相同之構成。

**【0010】**

於本揭示之一實施形態之第2固體攝像裝置及第2電子機器中，設置有到達光電轉換部之第1及第2垂直閘極電極。藉此，可避免設置遮光部所致之自光電轉換部向電荷保持部之電荷傳送之惡化。於本揭示中，進而於複數個像素中相互相鄰之複數個第1像素中，複數個第1垂直閘極電極相互電性連接，且複數個第2垂直閘極電極相互電性連接。藉此，與將第1及第2傳送電晶體按各像素個別設置之情形相比，可縮小第1及第2傳送電晶體之尺寸，伴隨於此，可縮小使第1及第2垂直閘極電極貫通之遮光部之開口部。其結果，可抑制雜訊或像素尺寸之增加。

**【圖式簡單說明】****【0011】**

圖1係顯示本揭示之一實施形態之固體攝像裝置之概略構成之一例之圖。

圖2係顯示圖1之像素陣列部之電路構成之一例之圖。

圖3係顯示圖1之像素陣列部之剖面構成之一例之圖。

圖4係顯示圖3之像素陣列部之邏輯電路側之平面構成之一例之圖。

圖5係顯示圖3之像素陣列部之受光面側之平面構成之一例之圖。

圖6係顯示圖3之像素陣列部之邏輯電路側之平面構成之一變化例之圖。

圖7係顯示圖3之像素陣列部之受光面側之平面構成之一變化例之圖。

圖8係顯示圖3之像素陣列部之邏輯電路側之平面構成之一變化例之圖。

圖9係顯示圖3之像素陣列部之受光面側之平面構成之一變化例之圖。

圖10係顯示圖1之像素陣列部之電路構成之一變化例之圖。

圖11係顯示具備圖10之電路構成之像素陣列部之邏輯電路側之平面構成之一例之圖。

圖12係顯示具備圖10之電路構成之像素陣列部之受光面側之平面構成之一變化例之圖。

圖13係顯示像素陣列部之邏輯電路側之平面構成之一變化例之圖。

圖14係顯示像素陣列部之受光面側之平面構成之一變化例之圖。

圖15係顯示圖1之像素陣列部之電路構成之一變化例之圖。

圖16係顯示圖1之像素陣列部之剖面構成之一變化例之圖。

圖17係顯示圖16之像素陣列部之邏輯電路側之平面構成之一例之圖。

圖18係顯示圖16之像素陣列部之受光面側之平面構成之一例之圖。

圖19係顯示圖16之像素陣列部之邏輯電路側之平面構成之一變化例之圖。

圖20係顯示圖16之像素陣列部之受光面側之平面構成之一變化例之圖。

圖21係顯示圖16之像素陣列部之邏輯電路側之平面構成之一變化例之圖。

圖22係顯示圖16之像素陣列部之受光面側之平面構成之一變化例之圖。

圖23係顯示圖3之像素陣列部之剖面構成之一變化例之圖。

圖24係顯示圖16之像素陣列部之剖面構成之一變化例之圖。

圖25係顯示圖3之像素陣列部之剖面構成之一變化例之圖。

圖26係顯示圖16之像素陣列部之剖面構成之一變化例之圖。

圖27係顯示圖3之像素陣列部之剖面構成之一變化例之圖。

圖28係顯示圖16之像素陣列部之剖面構成之一變化例之圖。

圖29係顯示圖3、圖16、圖23～圖28之像素陣列部之一部分之剖面構成之一變化例之圖。

圖30係顯示具備上述實施形態之固體攝像裝置之攝像系統之概略構成之一例之圖。

圖31係顯示車輛控制系統之概略構成之一例之方塊圖。

圖32係顯示車外資訊檢測部及攝像部之設置位置之一例之說明圖。

### 【實施方式】

#### 【0012】

以下，參照圖式對本揭示之實施形態進行詳細說明。另，說明按以下之順序進行。

- 1.實施形態(固體攝像裝置)…圖1～圖4
- 2.變化例(固體攝像裝置)…圖5～圖29
- 3.適用例(攝像系統)…圖30
- 4.對移動體之應用例…圖31、圖32

#### 【0013】

##### <1.實施形態>

##### [構成]

對本揭示之一實施形態之固體攝像裝置1進行說明。固體攝像裝置1係例如包含CMOS(Complementary Metal Oxide Semiconductor：互補型金屬氧化物半導體)影像感測器等全域快門方式之背面照射型之影像感測器。固體攝像裝置1藉由接收來自被攝體之光進行光電轉換，產生圖像信號而拍攝圖像。固體攝像裝置1輸出對應於入射光之像素信號。

#### 【0014】

全域快門方式係進行基本上全部像素同時開始曝光，且全部像素同時結束曝光之全域曝光之方式。此處，全部像素意指圖像所顯現之部分之像素之全部，虛設像素等除外。又，若時間差或圖像之失真足夠小至不成問題之程度，則非全部像素同時，而以複數列(例如數十列)單位進行全域

曝光，且移動進行全域曝光之區域之方式，亦包含於全域快門方式。又，非圖像所顯現之部分像素之全部，而對特定區域之像素進行全域曝光之方式亦包含於全域快門方式。

#### 【0015】

背面照射型之影像感測器意指於來自被攝體之光入射之受光面、與設置有使各像素驅動之電晶體等配線之配線層之間，設置有接收來自被攝體之光，並轉換為電性信號之光電二極體等光電轉換部之構成之影像感測器。另，本揭示並非限定於對CMOS影像感測器之適用者。

#### 【0016】

圖1顯示本揭示之一實施形態之固體攝像裝置1之概略構成之一例。固體攝像裝置1具備將進行光電轉換之複數個感測器像素11矩陣狀配置之像素陣列部10。感測器像素11相當於本揭示之「像素」之一具體例。圖2顯示像素陣列部10之電路構成之一例。圖3顯示像素陣列部10之剖面構成之一例。固體攝像裝置1貼合例如2張基板(第1基板30、第2基板40)而構成。

#### 【0017】

第1基板30於半導體基板31上具有複數個感測器像素11。複數個感測器像素11矩陣狀設置於與半導體基板31之背面(受光面31A)對向之位置。第1基板30進而於半導體基板31上具有複數個讀取電路12。各讀取電路12輸出基於自感測器像素11輸出之電荷之像素信號。複數個讀取電路12例如按各感測器像素11逐個設置。讀取電路12例如具有重設電晶體RST、選擇電晶體SEL、及放大電晶體AMP。

#### 【0018】

第1基板30具有沿列方向延伸之複數根像素驅動線、與沿行方向延伸之複數根資料輸出線VSL。像素驅動線係施加控制感測器像素11所蓄積之電荷之輸出之控制信號的配線，且例如沿列方向延伸。資料輸出線VSL係將自各讀取電路12輸出之像素信號輸出至邏輯電路20之配線，且例如沿行方向延伸。

#### 【0019】

第2基板40於半導體基板41上，具有處理像素信號之邏輯電路20。邏輯電路20例如具有垂直驅動電路21、行信號處理電路22、水平驅動電路23及系統控制電路24。邏輯電路20(具體而言，為水平驅動電路23)將各感測器像素11之輸出電壓輸出至外部。

#### 【0020】

垂直驅動電路21例如按各特定之單位像素列依序選擇複數個感測器像素11。「特定之單位像素列」意指於同一位址可選擇像素之像素列。

#### 【0021】

行信號處理電路22例如對藉由垂直驅動電路21選擇之列之各感測器像素11所輸出之像素信號，實施相關二重取樣(Correlated Double Sampling：CDS)處理。行信號處理電路22例如藉由實施CDS處理，而擷取像素信號之信號位準，且保持對應於各感測器像素11之受光量之像素資料。行信號處理電路22例如按各資料輸出線VSL具有行信號處理部。行信號處理部例如包含單斜率A/D(Analog/Digital：類比/數位)轉換器。單斜率A/D轉換器例如包含比較器及計數器電路而構成。水平驅動電路23將例如保持於行信號處理電路22之像素資料依序輸出至外部。系統控制電路24例如控制邏輯電路20內之各區塊(垂直驅動電路21、行信號處理電路22

及水平驅動電路23)之驅動。

### 【0022】

各感測器像素11具有相互共通之構成要件。各感測器像素11例如具有光電二極體PD、傳送電晶體TRG、及浮動擴散FD。傳送電晶體TRG係例如NMOS(Metal Oxide Semiconductor：金屬氧化物半導體)電晶體。光電二極體PD相當於本揭示之「光電轉換部」之一具體例。傳送電晶體TRG相當於本揭示之「傳送電晶體」之一具體例。浮動擴散FD相當於本揭示之「電荷保持部」之一具體例。

### 【0023】

光電二極體PD將經由受光面31A入射之光L進行光電轉換。光電二極體PD進行光電轉換產生對應於受光量之電荷。光電二極體PD係例如藉由設置於半導體基板31內之N型半導體區域32A及P型半導體區域32B構成之PN接合之光電轉換元件。光電二極體PD之陰極電性連接於傳送電晶體TRG之源極，光電二極體PD之陽極電性連接於基準電位線(例如接地GND)。傳送電晶體TRG形成於與光電二極體PD不同之層內，且於半導體基板31之法線方向上，形成於與光電二極體PD對向之位置。

### 【0024】

傳送電晶體TRG連接於光電二極體PD與浮動擴散FD之間，根據施加於閘極電極之控制信號，將蓄積於光電二極體PD之電荷自光電二極體PD傳送至浮動擴散FD。傳送電晶體TRG將電荷自光電二極體PD傳送至浮動擴散FD。傳送電晶體TRG之汲極電性連接於浮動擴散FD，傳送電晶體TRG之閘極連接於像素驅動線。

### 【0025】

傳送電晶體TRG具有2個垂直閘極電極VG、與連接部CN作為閘極電極。於傳送電晶體TRG中，一者之垂直閘極電極VG設置於相互相鄰之2個感測器像素11中之一者之感測器像素11內，另一者之垂直閘極電極VG設置於相互相鄰之2個感測器像素11中之另一者之感測器像素11內。於傳送電晶體TRG中，連接部CN連接於2個垂直閘極電極VG。即，於相互相鄰之2個感測器像素11中，2個垂直閘極電極VG經由連接部CN相互電性連接，且相互相鄰之2個感測器像素11共有連接部CN(閘極電極之一部分)。此處，「共有」意指藉由共通之連接部CN控制相互相鄰之2個感測器像素11之輸出。

#### 【0026】

浮動擴散FD係暫時保持經由傳送電晶體TRG自光電二極體PD輸出之電荷之浮動擴散區域。於浮動擴散FD，例如連接重設電晶體RST，且經由放大電晶體AMP及選擇電晶體SEL連接垂直信號線VSL。

#### 【0027】

於重設電晶體RST中，汲極連接於電源線VDD，源極連接於浮動擴散FD。重設電晶體RST根據施加於閘極電極之控制信號，將浮動擴散FD初始化(重設)。例如，若重設電晶體RST導通，則將浮動擴散FD之電位重設為電源線VDD之電位位準。即，進行浮動擴散FD之初始化。

#### 【0028】

放大電晶體AMP為閘極電極連接於浮動擴散FD，汲極連接於電源線VDD，且讀取藉由光電二極體PD之光電轉換而獲得之電荷的源極跟隨電路之輸入部。即，放大電晶體AMP藉由源極經由選擇電晶體SEL連接於垂直信號線VSL，而構成連接於垂直信號線VSL之一端之恆定電流源與源極

跟隨電路。

### 【0029】

選擇電晶體SEL連接於放大電晶體AMP之源極與垂直信號線VSL之間，對選擇電晶體SEL之閘極電極供給控制信號作為選擇信號。選擇電晶體SEL係若控制信號接通則成導通狀態，且連結於選擇電晶體SEL之感測器像素11成為選擇狀態。若感測器像素11成為選擇狀態，則自放大電晶體AMP輸出之像素信號經由垂直信號線VSL被讀取至行信號處理電路22。

### 【0030】

其次，參照圖3、圖4、圖5，對感測器像素11之構成進行詳細說明。圖4係顯示像素陣列部10之邏輯電路20側之平面構成之一例者。圖5係顯示像素陣列部10之受光面31A側之平面構成之一例者。另，於圖4中，於半導體基板31之邏輯電路20側之平面構成，疊合讀取電路12所含之各種電晶體(重設電晶體RST、放大電晶體AMP、選擇電晶體SEL)之佈局。又，於圖5中，於半導體基板31之受光面31A側之平面構成，疊合垂直閘極電極VG之佈局。

### 【0031】

第1基板30於半導體基板31上依序積層半導體層33及絕緣層32而構成。即，絕緣層32與半導體層33之上表面相接而形成。於半導體層33之上表面，形成有傳送電晶體TRG及浮動擴散FD。因此，半導體層33之上表面成為傳送電晶體TRG等之形成面31B。另，亦可將包含半導體基板31及半導體層33之積層體視為半導體基板。於此情形時，包含半導體基板31及半導體層33之積層體(半導體基板)之上表面成為形成面31B，包含半導體基板31及半導體層33之積層體(半導體基板)之背面成為受光面31A。

此時，各感測器像素11形成於包含半導體基板31及半導體層33之積層體(半導體基板)。

### 【0032】

於絕緣層32內，設置有傳送電晶體TRG之閘極、或連接於傳送電晶體TRG之閘極之配線等。傳送電晶體TRG之閘極、或連接於傳送電晶體TRG之閘極之配線例如藉由金屬材料形成。另，傳送電晶體TRG之閘極亦可藉由多晶矽形成。於絕緣層32內，設置有讀取電路12。另，讀取電路12亦可形成於半導體基板31之形成面31B。

### 【0033】

半導體基板31、41由例如矽基板構成。半導體層33例如藉由利用磊晶結晶成長形成之矽層而構成。半導體基板31於上表面之一部分及其附近，具有P型半導體區域32B，於較P型半導體區域32B更深之區域，具有與P型半導體區域32B不同之導電型之N型半導體區域32A。P型半導體區域32B設置於半導體基板31之與受光面31A相反之面側。P型半導體區域32B之導電型成為P型。N型半導體區域32A之導電型成為與P型半導體區域32B不同之導電型，即成為N型。半導體層33成為與P型半導體區域32B相同之導電型，即成為P型。半導體層33具有與半導體層33不同之導電型之浮動擴散FD。傳送電晶體TRG之閘極之一部分(2個垂直閘極電極VG)自半導體層33之上表面(形成面31B)沿半導體基板31之厚度方向(法線方向)延伸而形成。傳送電晶體TRG之閘極之一部分(2個垂直閘極電極VG)自形成面31B延伸直至到達N型半導體區域32A之深度。傳送電晶體TRG之閘極之一部分(2個垂直閘極電極VG)例如成為沿半導體基板31之厚度方向(法線方向)延伸之棒狀之形狀。

**【0034】**

第1基板30例如進而具有與半導體基板31之背面(受光面31A)相接之固定電荷膜36。固定電荷膜36為抑制因半導體基板31之受光面31A側之界面位準所致之暗電流之產生，而具有負之固定電荷。固定電荷膜36例如藉由具有負之固定電荷之絕緣膜而形成。作為此種絕緣膜之材料，例如列舉氧化鉛、氧化銻、氧化鋁、氧化鈦或氧化鉭。藉由固定電荷膜36引發之電場，而於半導體基板31之受光面31A側之界面形成電洞蓄積層。藉由該電洞蓄積層，抑制來自界面之電子之產生。第1基板30例如進而具有彩色濾光片37。彩色濾光片37設置於半導體基板31之受光面側31A側。彩色濾光片37例如與固定電荷膜36相接設置，並介隔固定電荷膜36設置於與感測器像素11對向之位置。

**【0035】**

各感測器像素11於半導體基板31之背面(受光面31A)側具有受光透鏡50。即，固體攝像裝置1具備按各感測器像素11逐個設置之複數個受光透鏡50。複數個受光透鏡50按各光電二極體PD逐個設置，並配置於與光電二極體PD對向之位置。即，固體攝像裝置1係背面照射型之攝像裝置。受光透鏡50例如與彩色濾光片37相接設置，並介隔彩色濾光片37及固定電荷膜36設置於與感測器像素11對向之位置。

**【0036】**

第1基板30具有將相互相鄰之2個感測器像素11電性、光學性分離之分離部51、52、54。分離部51、52、54相當於本揭示之「分離部」之一具體例。分離部51、52、54沿半導體基板31之法線方向(厚度方向)延伸形成。分離部51、52於半導體基板31及半導體層33內，積層於半導體基板

31之法線方向(厚度方向)。即，分離部51、52相互連結。包含分離部51、52之構造體自受光面31A延伸至形成面31B而形成。即，包含分離部51、52之構造體貫通半導體基板31及半導體層33。同樣，分離部54於半導體基板31及半導體層33內，沿半導體基板31之法線方向(厚度方向)延伸而形成。分離部54自受光面31A延伸至形成面31B而形成。即，分離部54貫通半導體基板31及半導體層33。

#### 【0037】

分離部51、54一體地形成，且例如以沿水平面內方向包圍感測器像素11(尤其光電二極體PD)之方式形成，進而沿半導體基板31之法線方向(厚度方向)延伸而形成。分離部52、54例如以於水平面內方向上包圍感測器像素11(尤其傳送電晶體TRG及浮動擴散FD)之方式形成，進而沿半導體基板31之法線方向(厚度方向)延伸而形成。

#### 【0038】

分離部51、54係藉由例如對半導體基板31注入雜質而形成之高電阻區域。分離部52例如包含DTI(Deep Trench Isolation：深渠溝隔離)構造構成。於分離部52中，DTI包含與設置於半導體基板31之溝槽之內壁相接之絕緣膜52B、與設置於絕緣膜52B之內側之金屬嵌入部52A而構成。金屬嵌入部52A自形成面31B延伸至特定之深度而形成。絕緣膜52B係例如藉由使半導體基板31熱氧化而形成之氧化膜，且例如藉由氧化矽而形成。金屬嵌入部52A係沿水平面內方向包圍感測器像素11(尤其傳送電晶體TRG及浮動擴散FD)之環形狀之金屬層。金屬嵌入部52A例如使用CVD(Chemical Vapor Deposition：化學氣相沉積)形成，且例如藉由鋁或鋁合金形成。

**【0039】**

第1基板30進而按各感測器像素11具有配置於光電二極體PD與浮動擴散FD之間之層內之遮光部53。遮光部53具有垂直閘極電極VG貫通之開口部53H。於相互相鄰之2個感測器像素11中，2個垂直閘極電極VG介隔分離部54相互對向配置，且與分離部54相接。連接部CN與分離部54上、及相互對向配置之2個垂直閘極電極VG上相接。遮光部53於與分離部54相接之部位，且垂直閘極電極VG貫通之部位具有開口部53H。即，遮光部53於與傳送電晶體TRG之閘極對向之部位具有開口部53H。遮光部53於開口部53H以外之部位，遮蔽經由受光面31A入射之光L向浮動擴散FD之入射。

**【0040】**

遮光部53例如包含與設置於第1基板30之空隙部58之內壁相接之絕緣膜53B、與設置於絕緣膜53B之內側之金屬嵌入部53A而構成。金屬嵌入部53A相當於本揭示之「遮光部」之一具體例。

**【0041】**

空隙部58於半導體層33內，沿積層面內方向擴展。空隙部58例如藉由使用特定之藥液之濕蝕刻，而形成於半導體層33內之特定之部位。亦可於空隙部58中與垂直閘極電極VG對向之部位，例如設置蝕刻停止層。蝕刻停止層藉由與半導體層33相比對上述藥液之蝕刻速度相對較慢之材料構成。

**【0042】**

絕緣膜53B例如使用CVD形成。絕緣膜53B例如藉由SiO<sub>2</sub>等介電質材料形成。絕緣膜53B例如成為包含SiO<sub>2</sub>膜(氧化矽膜)、SCF膜及SiO<sub>2</sub>膜(氧

化矽膜)之積層構造。另，絕緣膜53B亦可成為包含SiO<sub>2</sub>(氧化矽)之單層膜。金屬嵌入部53A例如使用CVD形成。金屬嵌入部53A例如可使用CVD一次形成。金屬嵌入部53A例如藉由鋁或鋁合金形成。

#### 【0043】

金屬嵌入部53A與分離部52之金屬嵌入部52A之下部相接形成。金屬嵌入部53A遮蔽經由半導體基板31之背面(受光面31A)入射之光向浮動擴散FD之入射。金屬嵌入部53A配置於光電二極體PD與浮動擴散FD之間之層內。金屬嵌入部53A係沿與半導體基板31之法線方向(厚度方向)正交之方向延伸之薄片狀之金屬層。金屬嵌入部53A具有垂直閘極電極VG貫通之開口部。絕緣膜53B覆蓋金屬嵌入部53A，且將金屬嵌入部53A與垂直閘極電極VG絕緣分離。金屬嵌入部53A及垂直閘極電極VG例如介隔絕緣膜53B、與半導體層33之一部分(以下稱為「半導體部33A」)而配置。

#### 【0044】

[效果]

其次，對本實施形態之固體攝像裝置1之效果進行說明。

#### 【0045】

於固體攝像裝置中，已知使用CMOS影像感測器之全域快門方式(例如，參照專利文獻1)。於上述專利文獻1記載之發明中，藉由於與光電轉換部不同之深度，設置傳送光電轉換部所蓄積之電荷之電荷保持部，而可確保光電轉換部之面積，且確保飽和電子數。

#### 【0046】

然而，於上述專利文獻1記載之發明中，有產生因光對電荷保持部之入射所致之雜訊之可能性。為減少該雜訊，考慮設置遮光層。於設置遮光

層之情形時，自光電轉換部向電荷保持部之電荷傳送變困難。為便於電荷傳送，考慮設置自設置於遮光層之開口部到達光電轉換部之垂直閘極電極。於設置垂直閘極電極之情形時，像素尺寸變大，進而，因光自設置於遮光層之開口部向電荷保持部之入射所致之雜訊變大。

#### 【0047】

另一方面，於本實施形態中，設置有到達光電二極體PD之垂直閘極電極VG。藉此，可避免設置遮光部53所致之自光電二極體PD向浮動擴散FD之電荷傳送之惡化。於本實施形態中，進而於相互相鄰之2個感測器像素11中，2個垂直閘極電極VG相互電性連接。藉此，與將傳送電晶體TRG按各感測器像素11個別設置之情形相比，可縮小傳送電晶體TRG之尺寸，伴隨於此，可縮小使垂直閘極電極VG貫通之遮光部53之開口部53H。其結果，可抑制雜訊或像素尺寸之增加。因此，可抑制雜訊或像素尺寸之增加，且避免電荷傳送之惡化。

#### 【0048】

於本實施形態中，於相互相鄰之2個感測器像素11中，設置有與2個垂直閘極電極VG相接且將2個垂直閘極電極VG相互電性連接之連接部CN。藉此，與將傳送電晶體TRG按各感測器像素11個別設置之情形相比，可縮小傳送電晶體TRG之尺寸，伴隨於此，可縮小使垂直閘極電極VG貫通之遮光部53之開口部53H。其結果，可抑制雜訊或像素尺寸之增加。因此，可抑制雜訊或像素尺寸之增加，且避免電荷傳送之惡化。

#### 【0049】

於本實施形態中，於相互相鄰之2個感測器像素11中，2個垂直閘極電極VG介隔分離部54相互對向配置，且與分離部54相接，進而連接部CN

與分離部54上、及相互對向配置之2個垂直閘極電極VG上相接。藉此，與將傳送電晶體TRG按各感測器像素11個別設置之情形相比，可縮小傳送電晶體TRG之尺寸，伴隨於此，可縮小使垂直閘極電極VG貫通之遮光部53之開口部53H。其結果，可抑制雜訊或像素尺寸之增加。因此，可抑制雜訊或像素尺寸之增加，且避免電荷傳送之惡化。

#### 【0050】

於本實施形態中，於與分離部54相接之部位，且垂直閘極電極VG貫通之部位設置有開口部53H。藉此，與將傳送電晶體TRG按各感測器像素11個別設置之情形相比，可縮小傳送電晶體TRG之尺寸，伴隨於此，可縮小使垂直閘極電極VG貫通之遮光部53之開口部53H。其結果，可抑制雜訊或像素尺寸之增加。因此，可抑制雜訊或像素尺寸之增加，且避免電荷傳送之惡化。

#### 【0051】

##### <2.變化例>

以下，對上述實施形態之固體攝像裝置1之變化例進行說明。

#### 【0052】

##### [變化例A]

於上述實施形態中，各感測器像素11可具有複數個傳送電晶體TRG。例如圖6、圖7所示，各感測器像素11亦可具有2個傳送電晶體TRG。圖6係顯示像素陣列部10之邏輯電路20側之平面構成之一變化例者。圖7係顯示像素陣列部10之受光面31A側之平面構成之一變化例者。另，於圖6中，於半導體基板31之邏輯電路20側之平面構成，疊合讀取電路12所含之各種電晶體(重設電晶體RST、放大電晶體AMP、選擇電晶體

SEL)之佈局。又，於圖7中，於半導體基板31之受光面31A側之平面構成，疊合有垂直閘極電極VG之佈局。

#### 【0053】

排出電晶體OFG為例如NMOS電晶體。排出電晶體OFG根據施加於閘極電極之控制信號，自光電轉換部排出電荷。排出電晶體OFG具有與傳送電晶體TRG共通之構成，且具有2個垂直閘極電極VG、與連接部CN作為閘極電極。於各傳送電晶體TRG中，一者之垂直閘極電極VG設置於相互相鄰之2個感測器像素11中之一者之感測器像素11內，另一者之垂直閘極電極VG設置於相互相鄰之2個感測器像素11中之另一者之感測器像素11內。於各傳送電晶體TRG中，連接部CN與2個垂直閘極電極VG相接。即，於相互相鄰之2個感測器像素11中，2個垂直閘極電極VG經由連接部CN相互電性連接，且相互相鄰之2個感測器像素11共有連接部CN(閘極電極之一部分)。此處，「共有」意指藉由共通之連接部CN控制相互相鄰之2個感測器像素11中之電荷之排出。

#### 【0054】

於本變化例中，傳送電晶體TRG相當於本揭示之「傳送電晶體」之一具體例。又，於本變化例中，一者之傳送電晶體TRG之垂直閘極電極VG相當於本揭示之「第1垂直閘極電極」之一具體例，另一者之傳送電晶體TRG之垂直閘極電極VG相當於本揭示之「第2垂直閘極電極」之一具體例。

#### 【0055】

於本變化例中，於傳送電晶體TRG中，連接部CN與2個垂直閘極電極VG相接。即，於相互相鄰之2個感測器像素11中，傳送電晶體TRG所含

之2個垂直閘極電極VG經由連接部CN相互電性連接，且相互相鄰之2個感測器像素11共有上述連接部CN(閘極電極之一部分)。於相互相鄰之2個感測器像素11中，傳送電晶體TRG所含之2個垂直閘極電極VG介隔分離部54相互對向配置，且與分離部54相接。於傳送電晶體TRG中，上述連接部CN與分離部54上、及相互對向配置之2個垂直閘極電極VG上相接。

#### 【0056】

於本變化例中，遮光部53於與分離部54相接之部位，且傳送電晶體TRG所含之垂直閘極電極VG貫通之部位具有開口部53H。設置於各感測器像素11之2個傳送電晶體TRG相互相鄰配置，進而於各感測器像素11中，浮動擴散FD於2個垂直閘極電極VG之間隙相鄰配置。

#### 【0057】

於本變化例中，於各感測器像素11設置有2個傳送電晶體TRG。藉此，與於各感測器像素11設置有1個傳送電晶體TRG之情形相比，自光電二極體PD向浮動擴散FD之電荷傳送提高。

#### 【0058】

於本變化例中，設置於各感測器像素11之2個傳送電晶體TRG相互相鄰配置，進而於各感測器像素11中，浮動擴散FD於2個垂直閘極電極VG之間隙相鄰配置。藉此，與浮動擴散FD自2個垂直閘極電極VG之間隙分離配置之情形相比，自光電二極體PD向浮動擴散FD之電荷傳送提高。

#### 【0059】

於本變化例中，於傳送電晶體TRG中，設置有與2個垂直閘極電極VG相接且將2個垂直閘極電極VG相互電性連接之連接部CN。藉此，與將傳送電晶體TRG按各感測器像素11個別設置之情形相比，可縮小傳送電晶

體TRG之尺寸，伴隨於此，可縮小使垂直閘極電極VG貫通之遮光部53之開口部53H。其結果，可抑制雜訊或像素尺寸之增加。因此，可抑制雜訊或像素尺寸之增加，避免電荷傳送之惡化。

#### 【0060】

於本變化例中，於傳送電晶體TRG中，2個垂直閘極電極VG介隔分離部54相互對向配置，且與分離部54相接，進而連接部CN與分離部54上、及相互對向配置之2個垂直閘極電極VG上相接。藉此，與將傳送電晶體TRG按各感測器像素11個別設置之情形相比，可縮小傳送電晶體TRG之尺寸，伴隨於此，可縮小使垂直閘極電極VG貫通之遮光部53之開口部53H。其結果，可抑制雜訊或像素尺寸之增加。因此，可抑制雜訊或像素尺寸之增加，且避免電荷傳送之惡化。

#### 【0061】

於本變化例中，於與分離部54相接之部位，且2個垂直閘極電極VG貫通之部位設置有開口部53H。藉此，與將傳送電晶體TRG按各感測器像素11個別設置之情形相比，可縮小傳送電晶體TRG之尺寸，伴隨於此，可縮小使垂直閘極電極VG貫通之遮光部53之開口部53H。其結果，可抑制雜訊或像素尺寸之增加。因此，可抑制雜訊或像素尺寸之增加，且避免電荷傳送之惡化。

#### 【0062】

##### [變化例B]

於上述實施形態中，傳送電晶體TRG例如亦可如圖8、圖9所示，按各感測器像素11逐個進而具有未連接於連接部CN之垂直閘極電極VG。圖8係顯示像素陣列部10之邏輯電路20側之平面構成之一變化例者。圖9係

顯示像素陣列部10之受光面31A側之平面構成之一變化例者。另，於圖8中，於半導體基板31之邏輯電路20側之平面構成，疊合讀取電路12所含之各種電晶體(重設電晶體RST、放大電晶體AMP、選擇電晶體SEL)之佈局。又，於圖9中，於半導體基板31之受光面31A側之平面構成，疊合垂直閘極電極VG之佈局。

### 【0063】

於本變化例中，各感測器像素11於連接於連接部CN之垂直閘極電極VG、與未連接於連接部CN之垂直閘極電極VG之間隙相鄰之位置，具有浮動擴散FD。藉此，與浮動擴散FD自2個垂直閘極電極VG之間隙分離配置之情形相比，自光電二極體PD向浮動擴散FD之電荷傳送提高。

### 【0064】

#### [變化例C]

於上述實施形態及其變化例中，傳送電晶體TRG亦可具有4個垂直閘極電極VG、與連接部CN作為閘極電極。於此情形時，於傳送電晶體TRG中，4個垂直閘極電極VG如圖10、圖11、圖12所示，逐個設置於相互相鄰之4個感測器像素11之各者。

### 【0065】

圖10係顯示本變化例之像素陣列部10之電路構成之一例者。圖11係顯示本變化例之像素陣列部10之邏輯電路20側之平面構成之一例者。圖12係顯示本變化例之像素陣列部10之受光面31A側之平面構成之一例者。另，於圖11中，於半導體基板31之邏輯電路20側之平面構成，疊合讀取電路12所含之各種電晶體(重設電晶體RST、放大電晶體AMP、選擇電晶體SEL)之佈局。又，於圖12中，於半導體基板31之受光面31A側之平面

構成，疊合垂直閘極電極VG之佈局。

#### 【0066】

於本變化例中，於傳送電晶體TRG中，連接部CN與4個垂直閘極電極VG相接。即，於相互相鄰之4個感測器像素11中，4個垂直閘極電極VG經由連接部CN相互電性連接，且相互相鄰之4個感測器像素11共有連接部CN(閘極電極之一部分)。

#### 【0067】

於本變化例中，於相互相鄰之4個感測器像素11中，4個垂直閘極電極VG介隔分離部54相互對向配置，且與分離部54相接。連接部CN與分離部54上、及相互對向配置之4個垂直閘極電極VG上相接。遮光部53於與分離部54相接之部位，且垂直閘極電極VG貫通之部位具有開口部53H。

#### 【0068】

如此，於本變化例中，於傳送電晶體TRG中，作為閘極電極，設置有4個垂直閘極電極VG、與連接部CN。藉此，與將傳送電晶體TRG按各感測器像素11個別設置之情形相比，可縮小傳送電晶體TRG之尺寸，伴隨於此，可縮小使垂直閘極電極VG貫通之遮光部53之開口部53H。其結果，可抑制雜訊或像素尺寸之增加。因此，可抑制雜訊或像素尺寸之增加，且避免電荷傳送之惡化。

#### 【0069】

##### [變化例D]

於上述實施形態及其變化例中，各感測器像素11例如圖13、圖14所示，各感測器像素11亦可具有傳送電晶體TRG、與排出電晶體OFG。圖13係顯示像素陣列部10之邏輯電路20側之平面構成之一變化例者。圖14

係顯示像素陣列部10之受光面31A側之平面構成之一變化例者。另，於圖13中，於半導體基板31之邏輯電路20側之平面構成，疊合讀取電路12所含之各種電晶體(重設電晶體RST、放大電晶體AMP、選擇電晶體SEL)之佈局。又，於圖14中，於半導體基板31之受光面31A側之平面構成，疊合垂直閘極電極VG之佈局。

#### 【0070】

排出電晶體OFG係例如NMOS電晶體。排出電晶體OFG根據施加於閘極電極之控制信號，自光電轉換部排出電荷。排出電晶體OFG具有與傳送電晶體TRG共通之構成，且具有2個垂直閘極電極VG、與連接部CN作為閘極電極。於排出電晶體OFG中，一者之垂直閘極電極VG設置於相互相鄰之2個感測器像素11中之一者之感測器像素11內，另一者之垂直閘極電極VG設置於相互相鄰之2個感測器像素11中之另一者之感測器像素11內。於排出電晶體OFG中，連接部CN與2個垂直閘極電極VG相接。即，於相互相鄰之2個感測器像素11中，2個垂直閘極電極VG經由連接部CN相互電性連接，且相互相鄰之2個感測器像素11共有連接部CN(閘極電極之一部分)。此處，「共有」意指藉由共通之連接部CN控制相互相鄰之2個感測器像素11之電荷之排出。

#### 【0071】

於本變化例中，傳送電晶體TRG相當於本揭示之「傳送電晶體」之一具體例，排出電晶體OFG相當於本揭示之「排出電晶體」之一具體例。又，於本變化例中，傳送電晶體TRG之垂直閘極電極VG相當於本揭示之「第1垂直閘極電極」之一具體例，排出電晶體OFG之垂直閘極電極VG相當於本揭示之「第2垂直閘極電極」之一具體例。

**【0072】**

於本變化例中，於傳送電晶體TRG中，連接部CN與2個垂直閘極電極VG相接。即，於相互相鄰之2個感測器像素11中，傳送電晶體TRG所含之2個垂直閘極電極VG經由連接部CN相互電性連接，且相互相鄰之2個感測器像素11共有上述連接部CN(閘極電極之一部分)。於相互相鄰之2個感測器11中，傳送電晶體TRG所含之2個垂直閘極電極VG介隔分離部54相互對向配置，且與分離部54相接。於傳送電晶體TRG中，上述連接部CN與分離部54上、及相互對向配置之2個垂直閘極電極VG上相接。

**【0073】**

於本變化例中，進而於排出電晶體OFG中，連接部CN與2個垂直閘極電極VG相接。即，於相互相鄰之2個感測器像素11中，排出電晶體OFG所含之2個垂直閘極電極VG經由連接部CN相互電性連接，且相互相鄰之2個感測器像素11共有上述連接部CN(閘極電極之一部分)。於相互相鄰之2個感測器像素11中，排出電晶體OFG所含之2個垂直閘極電極VG介隔分離部54相互對向配置，且與分離部54相接。於排出電晶體OFG中，上述連接部CN與分離部54上、及相互對向配置之2個垂直閘極電極VG上相接。

**【0074】**

於本變化例中，遮光部53於與分離部54相接之部位，且傳送電晶體TRG所含之垂直閘極電極VG、與排出電晶體OFG所含之垂直閘極電極VG貫通之部位具有開口部53H。設置於各感測器像素11之傳送電晶體TRG及排出電晶體OFG相互相鄰配置，進而於各感測器像素11中，浮動擴散FD於2個垂直閘極電極VG之間隙相鄰配置。

**【0075】**

於本變化例中，於各感測器像素11設置有傳送電晶體TRG及排出電晶體OFG。藉此，與於各感測器像素11設置有1個傳送電晶體TRG之情形相比，自光電二極體PD向浮動擴散FD之電荷傳送提高。

#### 【0076】

於本變化例中，設置於各感測器像素11之傳送電晶體TRG及排出電晶體OFG相互相鄰配置，進而於各感測器像素11中，浮動擴散FD於2個垂直閘極電極VG之間隙相鄰配置。藉此，與浮動擴散FD自2個垂直閘極電極VG之間隙分離配置之情形相比，自光電二極體PD向浮動擴散FD之電荷傳送提高。

#### 【0077】

於本變化例中，於傳送電晶體TRG中，設置有與2個垂直閘極電極VG相接且將2個垂直閘極電極VG相互電性連接之連接部CN。於本變化例，進而於排出電晶體OFG中，設置有與2個垂直閘極電極VG相接且將2個垂直閘極電極VG相互電性連接之連接部CN。藉此，與將傳送電晶體TRG及排出電晶體OFG按各感測器像素11個別設置之情形相比，可縮小傳送電晶體TRG及排出電晶體OFG之尺寸，伴隨於此，可縮小使垂直閘極電極VG貫通之遮光部53之開口部53H。其結果，可抑制雜訊或像素尺寸之增加。因此，可抑制雜訊或像素尺寸之增加，且避免電荷傳送之惡化。

#### 【0078】

於本變化例中，於傳送電晶體TRG中，2個垂直閘極電極VG介隔分離部54相互對向配置，且與分離部54相接，進而連接部CN與分離部54上、及相互對向配置之2個垂直閘極電極VG上相接。於本變化例中，進而

於排出電晶體OFG中，2個垂直閘極電極VG介隔分離部54相互對向配置，且與分離部54相接，進而連接部CN與分離部54上、及相互對向配置之2個垂直閘極電極VG上相接。藉此，與將傳送電晶體TRG及排出電晶體OFG個別地設置於各感測器像素11之情形相比，可縮小傳送電晶體TRG及排出電晶體OFG之尺寸，伴隨於此，可縮小使垂直閘極電極VG貫通之遮光部53之開口部53H。其結果，可抑制雜訊或像素尺寸之增加。因此，可抑制雜訊或像素尺寸之增加，且避免電荷傳送之惡化。

#### 【0079】

於本變化例中，於與分離部54相接之部位，且2個垂直閘極電極VG貫通之部位設置有開口部53H。藉此，與將傳送電晶體TRG按各感測器像素11個別設置之情形相比，可縮小傳送電晶體TRG之尺寸，伴隨於此，可縮小使垂直閘極電極VG貫通之遮光部53之開口部53H。其結果，可抑制雜訊或像素尺寸之增加。因此，可抑制雜訊或像素尺寸之增加，且避免電荷傳送之惡化。

#### 【0080】

##### [變化例E]

於上述實施形態及其變化例中，各感測器像素11例如圖15、圖16、圖17、圖18所示，亦可具有光電二極體PD、傳送電晶體TRG、傳送電晶體TRM、電荷保持部MEM、傳送電晶體TRX、浮動擴散FD、排出電晶體OFG、及排出浮動擴散OFD。

#### 【0081】

圖15係顯示本變化例之像素陣列部10之電路構成之一例者。圖16係顯示本變化例之像素陣列部10之剖面構成之一例者。圖17係顯示本變化

例之像素陣列部10之邏輯電路20側之平面構成之一例者。圖18係顯示本變化例之像素陣列部10之受光面31A側之平面構成之一例者。另，於圖17中，於半導體基板31之邏輯電路20側之平面構成，疊合讀取電路12所包含之各種電晶體(重設電晶體RST、放大電晶體AMP、選擇電晶體SEL)之佈局。又，於圖18中，於半導體基板31之受光面31A側之平面構成，疊合垂直閘極電極VG之佈局。

#### 【0082】

傳送電晶體TRG、TRM、TRX、OFG係例如NMOS電晶體。於圖15，例示傳送電晶體TRG之閘極之一部分於相互相鄰之2個感測器像素11中共有之情形。另，於本變化例中，傳送電晶體TRG之閘極之一部分亦可於相互相鄰之4個感測器像素11中共有。

#### 【0083】

於本變化例中，傳送電晶體TRG連接於光電二極體PD與傳送電晶體TRM之間，根據施加於閘極之控制信號，將蓄積於光電二極體PD之電荷傳送至傳送電晶體TRM。傳送電晶體TRG將電荷自光電二極體PD傳送至電荷保持部MEM。例如，若排出電晶體OFG斷開，傳送電晶體TRG接通，則保持於光電二極體PD之電荷經由傳送電晶體TRG傳送至浮動擴散FD。傳送電晶體TRG之汲極電性連接於傳送電晶體TRM之源極，傳送電晶體TRG之閘極連接於像素驅動線。

#### 【0084】

傳送電晶體TRM連接於傳送電晶體TRG與傳送電晶體TRX之間，根據施加於閘極之控制信號，控制電荷保持部MEM之電位。例如，於傳送電晶體TRM接通時，電荷保持部MEM之電位變深，於傳送電晶體TRM斷

開時，電荷保持部MEM之電位變淺。且，例如若傳送電晶體TRG及傳送電晶體TRM接通，則蓄積於光電二極體PD之電荷經由傳送電晶體TRG及傳送電晶體TRM，傳送至電荷保持部MEM。傳送電晶體TRM之汲極電性連接於傳送電晶體TRX之源極，傳送電晶體TRM之閘極連接於像素驅動線。

#### 【0085】

電荷保持部MEM係為實現全域快門功能，而暫時保持蓄積於光電二極體PD之電荷之區域。電荷保持部MEM保持自光電二極體PD傳送之電荷。

#### 【0086】

傳送電晶體TRX連接於傳送電晶體TRM與浮動擴散FD之間，根據施加於閘極之控制信號，將保持於電荷保持部MEM之電荷傳送至浮動擴散FD。例如，若傳送電晶體TRM斷開，傳送電晶體TRX接通，則保持於電荷保持部MEM之電荷經由傳送電晶體TRM及傳送電晶體TRX，傳送至浮動擴散FD。傳送電晶體TRX之汲極電性連接於浮動擴散FD，傳送電晶體TRX之閘極連接於像素驅動線。

#### 【0087】

浮動擴散FD係暫時保持經由傳送電晶體TRX自光電二極體PD輸出之電荷之浮動擴散區域。於浮動擴散FD，例如連接有重設電晶體RST，且經由放大電晶體AMP及選擇電晶體SEL連接垂直信號線VSL。

#### 【0088】

於排出電晶體OFG中，汲極連接於電源線VDD，源極連接於傳送電晶體TRG與傳送電晶體TRM之間。排出電晶體OFG根據施加於閘極之控

制信號，將光電二極體PD初始化(重設)。例如，若傳送電晶體TRG及排出電晶體OFG接通，則將光電二極體PD之電位重設為電源線VDD之電位位準。即，進行光電二極體PD之初始化。又，排出電晶體OFG例如於傳送電晶體TRG與電源線VDD之間形成溢流路徑，並將自光電二極體PD溢出之電荷排出至電源線VDD。

#### 【0089】

傳送電晶體TRG、TRM、TRX、電荷保持部MEM及浮動擴散FD及排出電晶體OFG形成於半導體層33之上表面(形成面31B)。於絕緣層32內，設置有傳送電晶體TRG、TRM、TRX、及排出電晶體OFG之閘極、或連接於該等閘極電極之配線等。

#### 【0090】

於本變化例中，與上述實施形態及其變化例同樣，設置到達光電二極體PD之垂直閘極電極VG。藉此，可避免設置遮光部53所致之光電二極體PD向浮動擴散FD之電荷傳送之惡化。於本變化例中，進而於相互相鄰之複數個(例如2個、或4個)感測器像素11中，複數個(例如2個、或4個)垂直閘極電極VG相互電性連接。藉此，與將傳送電晶體TRG按各感測器像素11個別設置之情形相比，可縮小傳送電晶體TRG之尺寸，伴隨於此，可縮小使垂直閘極電極VG貫通之遮光部53之開口部53H。其結果，可抑制雜訊或像素尺寸之增加。因此，可抑制雜訊或像素尺寸之增加，且避免電荷傳送之惡化。

#### 【0091】

於本變化例中，各感測器像素11亦可於垂直閘極電極VG與電荷保持部MEM之間，具有緩衝區域。緩衝區域例如成為與電荷保持部MEM相同

之導電型之N型半導體區域。於藉由如此設置緩衝區域，而對光電二極體PD照射大光量等且蓄積電荷溢出之情形時，可防止該溢出之電荷直接進入電荷保持部MEM。

### 【0092】

於本變化例中，讀取電路12可設置於絕緣層32內而非半導體基板31之形成面31B。即，讀取電路12亦可設置於與感測器像素11所含之各電晶體(例如傳送電晶體TRG、TRM、TRX或排出電晶體OFG)不同之層內。於如此之情形時，可放大形成電荷保持部MEM，並可更多地確保飽和電子數。

### 【0093】

#### [變化例F]

於上述變化例E中，排出電晶體OFG例如亦可如圖19、圖20所示，具有2個垂直閘極電極VG、與連接部CN作為閘極電極。於排出電晶體OFG中，一者之垂直閘極電極VG設置於相互相鄰之2個感測器像素11中之一者之感測器像素11內，另一者之垂直閘極電極VG設置於相互相鄰之2個感測器像素11中之另一者之感測器像素11內。於排出電晶體OFG中，連接部CN與2個垂直閘極電極VG相接。即，於相互相鄰之2個感測器像素11中，2個垂直閘極電極VG經由連接部CN相互電性連接，相互相鄰之2個感測器像素11共有連接部CN(閘極電極之一部分)。此處，「共有」意指藉由共通之連接部CN控制相互相鄰之2個感測器像素11之輸出。

### 【0094】

於本變化例中，遮光部53於與分離部54相接之部位，且傳送電晶體TRG所含之垂直閘極電極VG、與排出電晶體OFG所含之垂直閘極電極VG

貫通之部位具有開口部53H。設置於各感測器像素11之傳送電晶體TRG及排出電晶體OFG相互相鄰配置，進而於各感測器像素11中，浮動擴散FD於2個垂直閘極電極VG之間隙相鄰配置。

#### 【0095】

於本變化例中，於各感測器像素11設置有傳送電晶體TRG及排出電晶體OFG。藉此，與於各感測器像素11設置有1個傳送電晶體TRG之情形相比，自光電二極體PD向浮動擴散FD之電荷傳送提高。

#### 【0096】

於本變化例中，設置於各感測器像素11之傳送電晶體TRG及排出電晶體OFG相互相鄰配置，進而於各感測器像素11中，浮動擴散FD與2個垂直閘極電極VG之間隙相鄰配置。藉此，與浮動擴散FD自2個垂直閘極電極VG之間隙分離配置之情形相比，自光電二極體PD向浮動擴散FD之電荷傳送提高。

#### 【0097】

於本變化例中，於傳送電晶體TRG中，設置有與2個垂直閘極電極VG相接且將2個垂直閘極電極VG相互電性連接之連接部CN。於本變化例中，進而於排出電晶體OFG中，設置有與2個垂直閘極電極VG相接且將2個垂直閘極電極VG相互電性連接之連接部CN。藉此，與將傳送電晶體TRG及排出電晶體OFG按各感測器像素11個別設置之情形相比，可縮小傳送電晶體TRG及排出電晶體OFG之尺寸，伴隨於此，可縮小使垂直閘極電極VG貫通之遮光部53之開口部53H。其結果，可抑制雜訊或像素尺寸之增加。因此，可抑制雜訊或像素尺寸之增加，且避免電荷傳送之惡化。

**【0098】**

於本變化例中，於傳送電晶體TRG中，2個垂直閘極電極VG介隔分離部54相互對向配置，且與分離部54相接，進而連接部CN與分離部54上、及相互對向配置之2個垂直閘極電極VG上相接。於本變化例中，進而於排出電晶體OFG中，2個垂直閘極電極VG介隔分離部54相互對向配置，且與分離部54相接，進而連接部CN與分離部54上、及相互對向配置之2個垂直閘極電極VG上相接。藉此，與將傳送電晶體TRG及排出電晶體OFG按各感測器像素11個別設置之情形相比，可縮小傳送電晶體TRG及排出電晶體OFG之尺寸，伴隨於此，可縮小使垂直閘極電極VG貫通之遮光部53之開口部53H。其結果，可抑制雜訊或像素尺寸之增加。因此，可抑制雜訊或像素尺寸之增加，且避免電荷傳送之惡化。

**【0099】**

於本變化例中，於與分離部54相接之部位，且2個垂直閘極電極VG貫通之部位設置有開口部53H。藉此，與將傳送電晶體TRG按各感測器像素11個別設置之情形相比，可縮小傳送電晶體TRG之尺寸，伴隨於此，可縮小使垂直閘極電極VG貫通之遮光部53之開口部53H。其結果，可抑制雜訊或像素尺寸之增加。因此，可抑制雜訊或像素尺寸之增加，且避免電荷傳送之惡化。

**【0100】****[變化例G]**

於上述變化例E中，傳送電晶體TRG例如亦可如圖21、圖22所示，進而按各感測器像素11逐個具有未連接於連接部CN之垂直閘極電極VG。圖21係顯示像素陣列部10之邏輯電路20側之平面構成之一變化例者。圖22

係顯示像素陣列部10之受光面31A側之平面構成之一變化例者。另，於圖21中，於半導體基板31之邏輯電路20側之平面構成，疊合讀取電路12所含之各種電晶體(重設電晶體RST、放大電晶體AMP、選擇電晶體SEL)之佈局。又，於圖22中，於半導體基板31之受光面側31A側之平面構成，疊合垂直閘極電極VG之佈局。

### 【0101】

於本變化例中，各感測器像素11於連接於連接部CN之垂直閘極電極VG、及未連接於連接部CN之垂直閘極電極VG之間隙相鄰之位置具有浮動擴散FD。藉此，與浮動擴散FD自2個垂直閘極電極VG之間隙分離配置之情形相比，自光電二極體PD向浮動擴散FD之電荷傳送提高。

### 【0102】

#### [變化例H]

於上述實施形態及其變化例中，分離部51、54中與至少複數個垂直閘極電極VG相鄰之部位可以氧化膜形成。例如圖23、圖24所示，分離部51、54中與複數個垂直閘極電極VG相鄰之部位可以氧化膜54A形成。又，例如圖25、圖26所示，分離部54整體可由氧化膜54A形成。又，例如亦可如圖27、圖28所示，於分離部54內，形成自受光面31A延伸至與複數個垂直閘極電極VG相鄰之部位之氧化膜54A。

### 【0103】

氧化膜54A例如藉由使用CVD，於形成於半導體基板31之溝槽內，嵌入SiO<sub>2</sub>(氧化矽)而形成。於如此之情形時，於傳送電晶體TRG之閘極導通時，可防止分離部51、54之電位變化，且電荷於相互相鄰之2個感測器像素11間洩漏。其結果，可減少因電荷洩漏所致之雜訊。

**【0104】****[變化例I]**

於上述實施形態及其變化例中，垂直閘極電極VG例如亦可如圖29所示，橫跨相互相鄰之2個感測器像素11形成。即便於此種情形時，亦獲得與上述實施形態及其變化例同樣之效果。

**【0105】****[變化例J]**

於上述變化例E、F、G、H、I中，半導體基板31中藉由包圍光電二極體PD之分離部51、54形成之區域之積層面內之形狀(以下，稱為「第1形狀」)、與半導體基板31中藉由包圍浮動擴散FD或電荷保持部MEM之分離部52、54形成之區域之積層面內之形狀(以下，稱為「第2形狀」)亦可相互不同。例如，亦可第1形狀成為長方形狀，第2形狀成為較第1形狀更接近正方形之形狀。

**【0106】****<3.適用例>**

圖27係顯示具備上述實施形態及其變化例之固體攝像裝置1之攝像系統2之概略構成之一例者。攝像系統2相當於本揭示之「電子機器」之一具體例。攝像系統2例如具備光學系統210、固體攝像裝置1、信號處理電路220、及顯示部230。

**【0107】**

光學系統210使來自被攝體之像光(入射光)成像於固體攝像裝置1之攝像面上。固體攝像裝置1接收自固體攝像裝置1入射之像光(入射光)，並將與接收之像光(入射光)對應之像素信號輸出至信號處理電路220。信號

處理電路220處理自固體攝像裝置1輸入之圖像信號，產生影像資料。信號處理電路220進而產生對應於產生之影像資料之影像信號，輸出至顯示部230。顯示部230顯示基於自信號處理電路220輸入之影像信號之影像。

#### 【0108】

於本適用例中，將上述實施形態及其變化例之固體攝像裝置1適用於攝像系統2。藉此，可提供雜訊較少之高畫質之攝像系統2。

#### 【0109】

##### <4.對移動體之應用例>

本揭示之技術(本技術)可應用於各種產品。例如，本揭示之技術亦可作為搭載於汽車、電動汽車、混合動力汽車、機車、自行車、個人移動載具、飛機、無人機、船舶、及機器人等任一種類之移動體之裝置而實現。

#### 【0110】

圖28係顯示可適用本揭示之技術之移動體控制系統之一例即車輛控制系統之概略構成例之方塊圖。

#### 【0111】

車輛控制系統12000具備經由通信網路12001連接之複數個電子控制單元。於圖28所示之例中，車輛控制系統12000具備驅動系統控制單元12010、車體系統控制單元12020、車外資訊檢測單元12030、車內資訊檢測單元12040、及整合控制單元12050。又，作為整合控制單元12050之功能構成，圖示微電腦12051、聲音圖像輸出部12052、及車載網路I/F(interface：介面)12053。

#### 【0112】

驅動系統控制單元12010依照各種程式，控制與車輛之驅動系統關聯

之裝置之動作。例如，驅動系統控制單元12010作為內燃機或驅動用馬達等用於產生車輛之驅動力之驅動力產生裝置、用於將驅動力傳遞至車輪之驅動力傳遞機構、調節車輛之舵角之轉向機構、及產生車輛之制動力之制動裝置等之控制裝置發揮功能。

#### 【0113】

車體系統控制單元12020依照各種程式，控制車體所裝備之各種裝置之動作。例如，車體系統控制單元12020作為免鑰匙啟動系統、智慧鑰匙系統、電動車窗裝置、或頭燈、尾燈、煞車燈、方向燈或霧燈等各種燈具之控制裝置發揮功能。該情形時，可對車體系統控制單元12020輸入自替代鑰匙之可攜式機器發送之電波或各種開關之信號。車體系統控制單元12020受理該等電波或信號之輸入，控制車輛之門鎖裝置、電動車窗裝置、燈具等。

#### 【0114】

車外資訊檢測單元12030檢測搭載有車輛控制系統12000之車輛之外部資訊。例如，於車外資訊檢測單元12030連接攝像部12031。車外資訊檢測單元12030使攝像部12031拍攝車外之圖像，且接收拍攝到之圖像。車外資訊檢測單元12030亦可基於接收到之圖像，進行人、車、障礙物、標識或路面上之文字等之物體檢測處理或距離檢測處理。

#### 【0115】

攝像部12031係接收光且輸出與該光之受光量對應之電性信號之光感測器。攝像部12031可將電性信號作為圖像輸出，亦可作為測距之資訊輸出。又，攝像部12031接收之光可為可見光，亦可為紅外線等非可見光。

#### 【0116】

車內資訊檢測單元12040檢測車內之資訊。於車內資訊檢測單元12040，例如連接有檢測駕駛者之狀態之駕駛者狀態檢測部12041。駕駛者狀態檢測部12041例如包含拍攝駕駛者之相機，車內資訊檢測單元12040可基於自駕駛者狀態檢測部12041輸入之檢測資訊，算出駕駛者之疲勞度或注意力集中度，亦可判別駕駛者是否在打瞌睡。

#### 【0117】

微電腦12051可基於由車外資訊檢測單元12030或車內資訊檢測單元12040取得之車內外之資訊，運算驅動力產生裝置、轉向機構或制動裝置之控制目標值，對驅動系統控制單元12010輸出控制指令。例如，微電腦12051可進行以實現包含避免車輛碰撞或緩和衝擊、基於車間距離之追隨行駛、車速維持行駛、車輛之碰撞警告或車輛偏離車道警告等之ADAS(Advanced Driver Assistance System：先進駕駛輔助系統)之功能為目的之協調控制。

#### 【0118】

又，微電腦12051可藉由基於由車外資訊檢測單元12030或車內資訊檢測單元12040取得之車輛之周圍資訊，控制驅動力產生裝置、轉向機構或制動裝置等，而進行以不依據駕駛者之操作而自控行駛之自動駕駛等為目的之協調控制。

#### 【0119】

又，微電腦12051可基於由車外資訊檢測單元12030取得之車外資訊，對車體系統控制單元12020輸出控制指令。例如，微電腦12051可根據由車外資訊檢測單元12030檢測到之前方車或對向車之位置而控制頭燈，進行將遠光切換為近光等以謀求防眩為目的之協調控制。

**【0120】**

聲音圖像輸出部12052向可對車輛之搭乘者或車外視覺性或聽覺性地通知資訊之輸出裝置，發送聲音及圖像中之至少一者之輸出信號。於圖28之例中，作為輸出裝置，例示音頻揚聲器12061、顯示部12062及儀表板12063。顯示部12062例如亦可包含車載顯示器及抬頭顯示器之至少一者。

**【0121】**

圖29係顯示攝像部12031之設置位置之例之圖。

**【0122】**

於圖29中，車輛12100具有攝像部12101、12102、12103、12104、12105作為攝像部12031。

**【0123】**

攝像部12101、12102、12103、12104、12105例如設置於車輛12100之前保險桿、側視鏡、後保險桿、後門及車廂內之擋風玻璃之上部等位置。保險桿所裝備之攝像部12101及車廂內之擋風玻璃之上部所裝備之攝像部12105主要取得車輛12100之前方之圖像。側視鏡所裝備之攝像部12102、12103主要取得車輛12100之側方之圖像。後保險桿或後門所裝備之攝像部12104主要取得車輛12100之後方之圖像。由攝像部12101及12105取得之前方之圖像主要用於檢測前方車輛或行人、障礙物、號誌機、交通標識或車道線等。

**【0124】**

另，圖29中顯示攝像部12101至12104之攝像範圍之一例。攝像範圍12111表示設置於前保險桿之攝像部12101之攝像範圍，攝像範圍12112、

12113表示分別設置於側視鏡之攝像部12102、12103之攝像範圍，攝像範圍12114表示設置於後保險桿或後門之攝像部12104之攝像範圍。例如，藉由將由攝像部12101至12104拍攝到之圖像資料疊合，可獲得自上方觀察車輛12100之俯瞰圖像。

#### 【0125】

攝像部12101至12104之至少1者亦可具有取得距離資訊之功能。例如，攝像部12101至12104之至少1者可為包含複數個攝像元件之立體相機，亦可為具有相位差檢測用之像素之攝像元件。

#### 【0126】

例如，微電腦12051基於自攝像部12101至12104取得之距離資訊，求出到達攝像範圍12111至12114內之各立體物之距離、及該距離之時間變化(相對於車輛12100之相對速度)，藉此可尤其將位於車輛12100之行進路上某最近之立體物，且在與車輛12100大致相同之方向以特定速度(例如，0 km/h以上)行駛之立體物作為前方車擷取。進而，微電腦12051可設定前方車之近前應確保之車間距離，進行自動煞車控制(亦包含追隨停止控制)、自動加速控制(亦包含追隨起動控制)等。如此可進行以不依據駕駛者之操作而自控地行駛之自動駕駛等為目的之協調控制。

#### 【0127】

例如，微電腦12051可基於自攝像部12101至12104取得之距離資訊，將與立體物相關之立體物資料分類為機車、普通車輛、大型車輛、行人、電線桿等其他立體物而擷取，並使用於自動避開障礙物。例如，微電腦12051可將車輛12100周邊之障礙物識別為車輛12100之駕駛可視認之障礙物與難以視認之障礙物。且，微電腦12051判斷表示與各障礙物碰撞之

危險度之碰撞風險，當碰撞風險為設定值以上而有碰撞可能性之狀況時，經由音頻揚聲器12061或顯示部12062向駕駛者輸出警報，或經由驅動系統控制單元12010進行強制減速或避開轉向，藉此可進行用於避免碰撞之駕駛支援。

#### 【0128】

攝像部12101至12104之至少1者亦可為檢測紅外線之紅外線相機。例如，微電腦12051可藉由判定攝像部12101至12104之攝像圖像中是否存在行人而辨識行人。該行人之辨識係藉由例如擷取作為紅外線相機之攝像部12101至12104之攝像圖像中之特徵點之順序、及對表示物體輪廓之一連串特徵點進行圖案匹配處理而判別是否為行人之順序而進行。若微電腦12051判定攝像部12101至12104之攝像圖像中存在行人，且辨識出行人，則聲音圖像輸出部12052以對該辨識出之行人疊合顯示用於強調之方形輪廓線之方式控制顯示部12062。又，聲音圖像輸出部12052亦可以將表示行人之圖標等顯示於期望之位置之方式控制顯示部12062。

#### 【0129】

以上，已對可適用本揭示之技術之車輛控制系統之一例進行說明。本揭示之技術可適用於以上說明之構成中之攝像部12031。具體而言，可將上述實施形態及其變化例之固體攝像裝置1適用於攝像部12031。藉由於攝像部12031適用本揭示之技術，而可獲得雜訊較少之高畫質之攝像圖像，故可於移動體控制系統中進行利用攝像圖像之高精度之控制。

#### 【0130】

以上，雖列舉實施形態及其變化例、適用例以及應用例說明本揭示，但本揭示並非限定於上述實施形態等者，可進行各種變形。另，本說

明書中記載之效果僅為例示。本揭示之效果並非限定於本說明書中記載之效果者。本揭示亦可具有本說明書中記載之效果以外之效果。

### 【0131】

根據本揭示之一實施形態之第1固體攝像裝置及第1電子機器，設置到達電轉換部之垂直閘極電極，且於複數個像素中相互相鄰之複數個第1像素中，將複數個垂直閘極電極相互電性連接，因而可抑制雜訊或像素尺寸之增加，且避免電荷傳送之惡化。

### 【0132】

根據本揭示之一實施形態之第2固體攝像裝置及第2電子機器，設置到達光電轉換部之第1及第2垂直閘極電極，且於複數個像素中相互相鄰之複數個第1像素中，將複數個第1垂直閘極電極相互電性連接，且將複數個第2垂直閘極電極相互電性連接，因而可抑制雜訊或像素尺寸之增加，且避免電荷傳送之惡化。

### 【0133】

又，本揭示亦可取得以下之構成。

#### (1)

一種固體攝像裝置，其具備：

受光面；

複數個像素，其包含將經由上述受光面入射之光進行光電轉換之光電轉換部；及

分離部，其將各上述光電轉換部電性且光學性分離；且

各上述像素具有：

電荷保持部，其保持自上述光電轉換部傳送之電荷；

傳送電晶體，其具有到達上述光電轉換部之垂直閘極電極，且將電荷自上述光電轉換部傳送至上述電荷保持部；及

遮光部，其配置於上述光電轉換部與上述電荷保持部之間之層內；  
且

於上述複數個像素中相互相鄰之複數個第1像素中，複數個上述垂直閘極電極相互電性連接。

(2)

如(1)記載之固體攝像裝置，其中

各上述第1像素共有與複數個上述垂直閘極電極相接且將複數個上述垂直閘極電極相互電性連接之連接部。

(3)

如(2)記載之固體攝像裝置，其中

於複數個上述第1像素中，複數個上述垂直閘極電極介隔上述分離部相互對向配置，且與上述分離部相接；

上述連接部與上述分離部上、及相互對向配置之複數個上述垂直閘極電極上相接。

(4)

如(3)記載之固體攝像裝置，其中

上述遮光部於與上述分離部相接之部位，且上述垂直閘極電極貫通之部位具有開口部。

(5)

一種固體攝像裝置，其具備：

受光面；

複數個像素，其包含將經由上述受光面入射之光進行光電轉換之光電轉換部；及

分離部，其將各上述光電轉換部電性且光學性分離；且

各上述像素具有：

電荷保持部，其保持自上述光電轉換部傳送之電荷；

傳送電晶體，其具有到達上述光電轉換部之第1垂直閘極電極，將電荷自上述光電轉換部傳送至上述電荷保持部；

排出電晶體，其具有到達上述光電轉換部之第2垂直閘極電極，與上述傳送電晶體相鄰配置，並自上述光電轉換部排出電荷；及

遮光部，其配置於上述受光面與上述電荷保持部之間之層內；且

於上述複數個像素中相互相鄰之複數個第1像素中，複數個上述第1垂直閘極電極相互電性連接，且複數個上述第2垂直閘極電極相互電性連接。

(6)

如(5)記載之固體攝像裝置，其中

於上述複數個第1像素中，

複數個上述第1垂直閘極電極介隔上述分離部相互對向配置，且與上述分離部相接；

複數個上述第2垂直閘極電極介隔上述分離部相互對向配置，且與上述分離部相接；

各上述第1像素共有：

第1連接部，其與複數個上述第1垂直閘極電極相接且將複數個上述第1垂直閘極電極相互電性連接；及

第2連接部，其與複數個上述第2垂直閘極電極相接且將複數個上述第1垂直閘極電極相互電性連接。

(7)

如(6)記載之固體攝像裝置，其中

於複數個上述第1像素中，複數個上述第1垂直閘極電極介隔上述分離部相互對向配置，且與上述分離部相接；

上述第1連接部與上述分離部上、及相互對向配置之複數個上述第1垂直閘極電極上相接；

於複數個上述第1像素中，複數個上述第2垂直閘極電極介隔上述分離部相互對向配置，且與上述分離部相接；

上述第2連接部與上述分離部上、及相互對向配置之複數個上述第2垂直閘極電極上相接。

(8)

如(7)記載之固體攝像裝置，其中

上述遮光部於與上述分離部相接之部位，且上述第1垂直閘極電極及上述第2垂直閘極電極貫通之部位具有開口部。

(9)

如(5)至(8)中任一項記載之固體攝像裝置，其中

上述電荷保持部與上述第1垂直閘極電極、及上述第2垂直閘極電極之間隙相鄰配置。

(10)

一種電子機器，其具備：

固體攝像裝置，其輸出對應於入射光之像素信號；及

信號處理電路，其處理上述像素信號；且

上述固體攝像裝置具備：

受光面；

複數個像素，其包含將經由上述受光面入射之光進行光電轉換之光電轉換部；及

分離部，其將各上述光電轉換部電性且光學性分離；且

各上述像素具有：

電荷保持部，其保持自上述光電轉換部傳送之電荷；

傳送電晶體，其具有到達上述光電轉換部之垂直閘極電極，且將電荷自上述光電轉換部傳送至上述電荷保持部；及

遮光部，其配置於上述光電轉換部與上述電荷保持部之間之層內；

且

於上述複數個像素中相互相鄰之複數個第1像素中，複數個上述垂直閘極電極相互電性連接。

(11)

一種電子機器，其具備：

固體攝像裝置，其輸出對應於入射光之像素信號；及

信號處理電路，其處理上述像素信號；且

上述固體攝像裝置具有：

受光面；

複數個像素，其包含將經由上述受光面入射之光進行光電轉換之光電轉換部；及

分離部，其將各上述光電轉換部電性且光學性分離；且

各上述像素具有：

電荷保持部，其保持自上述光電轉換部傳送之電荷；

傳送電晶體，其具有到達上述光電轉換部之第1垂直閘極電極，且將電荷自上述光電轉換部傳送至上述電荷保持部；

排出電晶體，其具有到達上述光電轉換部之第2垂直閘極電極，且與上述傳送電晶體相鄰配置，並自上述光電轉換部排出電荷；及

遮光部，其配置於上述受光面與上述電荷保持部之間之層內；且

於上述複數個像素中相互相鄰之複數個第1像素中，複數個上述垂直閘極電極相互電性連接。

#### 【0134】

本申請案係以2019年11月18日於日本專利局申請之日本專利申請案編號第2019-207923號為基礎而主張優先權者，該申請案之全部內容作為參照而援引於本申請案中。

#### 【0135】

若為熟知本技藝者，當可根據設計上之要件或其他要因，而想出各種修正、組合、子組合(sub combination)、及變更，但應理解，該等皆為包含於附加之申請專利範圍或其均等物之範圍內者。

#### 【符號說明】

#### 【0136】

1:固體攝像裝置

2:攝像系統

10:像素陣列部

11:感測器像素

12:讀取電路  
20:邏輯電路  
21:垂直驅動電路  
22:行信號處理電路  
23:水平驅動電路  
24:系統控制電路  
30:第1基板  
31:半導體基板  
31A:受光面  
31B:形成面  
32:絕緣層  
32A: N型半導體區域  
32B: P型半導體區域  
33:半導體層  
33A:半導體部  
36:固定電荷膜  
37:彩色濾光片  
40:第2基板  
41:半導體基板  
50:受光透鏡  
51:分離部  
52:分離部  
52A:金屬嵌入部

52B:絕緣膜  
53:遮光部  
53A:金屬嵌入部  
53B:絕緣膜  
53H:開口部  
54:分離部  
54A:氧化膜  
58:空隙部  
210:光學系統  
220:信號處理電路  
230:顯示部  
12000:車輛控制系統  
12001:通信網路  
12010:驅動系統控制單元  
12020:車體系統控制單元  
12030:車外資訊檢測單元  
12031:攝像部  
12040:車內資訊檢測單元  
12041:駕駛者狀態檢測部  
12050:整合控制單元  
12051:微電腦  
12052:聲音圖像輸出部  
12053:車載網路I/F

12061:擴音器

12062:顯示部

12063:儀表板

12100:車輛

12101:攝像部

12102:攝像部

12103:攝像部

12104:攝像部

12105:攝像部

12111:攝像範圍

12112:攝像範圍

12113:攝像範圍

12114:攝像範圍

AMP:放大電晶體

CN:連接部

FD:浮動擴散

GND:接地

L:光

MEM:電荷保持部

OFD:排出浮動擴散

OFG:排出電晶體

PD:光電二極體

RST:重設電晶體

SEL:選擇電晶體

TRM:傳送電晶體

TRG:傳送電晶體

TRX:傳送電晶體

VDD:電源線

VG:垂直閘極電極

VSL:資料輸出線

## 【發明申請專利範圍】

### 【請求項1】

一種固體攝像裝置，其具備：

受光面；

複數個像素，其包含將經由上述受光面入射之光進行光電轉換之光電轉換部；及

分離部，其將各上述光電轉換部電性且光學性分離；且

各上述像素具有：

電荷保持部，其保持自上述光電轉換部傳送之電荷；

傳送電晶體，其具有到達上述光電轉換部之垂直閘極電極，且將電荷自上述光電轉換部傳送至上述電荷保持部；及

遮光部，其配置於上述光電轉換部與上述電荷保持部之間之層內；且

於上述複數個像素中相互相鄰之複數個第1像素中，複數個上述垂直閘極電極相互電性連接，

其中各上述第1像素共有與複數個上述垂直閘極電極相接且將複數個上述垂直閘極電極相互電性連接之連接部，且

其中於複數個上述第1像素中，

複數個上述垂直閘極電極介隔上述分離部相互對向配置，且與上述分離部相接，且

上述連接部與上述分離部上、及相互對向配置之複數個上述垂直閘極電極上相接。

### 【請求項2】

如請求項1之固體攝像裝置，其中

上述遮光部於與上述分離部相接之部位，且上述垂直閘極電極貫通之部位具有開口部。

**【請求項3】**

一種固體攝像裝置，其具備：

受光面；

複數個像素，其包含將經由上述受光面入射之光進行光電轉換之光電轉換部；及

分離部，其將各上述光電轉換部電性且光學性分離；且

各上述像素具有：

電荷保持部，其保持自上述光電轉換部傳送之電荷；

傳送電晶體，其具有到達上述光電轉換部之第1垂直閘極電極，且將電荷自上述光電轉換部傳送至上述電荷保持部；

排出電晶體，其具有到達上述光電轉換部之第2垂直閘極電極，且與上述傳送電晶體相鄰配置，並自上述光電轉換部排出電荷；及

遮光部，其配置於上述受光面與上述電荷保持部之間之層內；且

於上述複數個像素中相互相鄰之複數個第1像素中，複數個上述第1垂直閘極電極相互電性連接，且複數個上述第2垂直閘極電極相互電性連接，

其中各上述第1像素共有與複數個上述第1垂直閘極電極相接且將複數個上述第1垂直閘極電極相互電性連接之第1連接部，且

其中於複數個上述第1像素中，

複數個上述第1垂直閘極電極介隔上述分離部相互對向配置，且與上

述分離部相接，且

上述連接部與上述分離部上、及相互對向配置之複數個上述第1垂直閘極電極上相接。

**【請求項4】**

如請求項3之固體攝像裝置，其中

於上述複數個第1像素中，

複數個上述第2垂直閘極電極介隔上述分離部相互對向配置，且與上述分離部相接；且

各上述第1像素共有：

第2連接部，其與複數個上述第2垂直閘極電極相接且將複數個上述第1垂直閘極電極相互電性連接。

**【請求項5】**

如請求項4之固體攝像裝置，其中於複數個上述第1像素中，

複數個上述第2垂直閘極電極介隔上述分離部相互對向配置，且與上述分離部相接，且

上述第2連接部與上述分離部上、及相互對向配置之複數個上述第2垂直閘極電極上相接。

**【請求項6】**

如請求項5之固體攝像裝置，其中

上述遮光部於與上述分離部相接之部位，且上述第1垂直閘極電極及上述第2垂直閘極電極貫通之部位具有開口部。

**【請求項7】**

如請求項3之固體攝像裝置，其中

上述電荷保持部與上述第1垂直閘極電極、及上述第2垂直閘極電極之間隙相鄰配置。

**【請求項8】**

一種電子機器，其具備：

固體攝像裝置，其輸出對應於入射光之像素信號；及

信號處理電路，其處理上述像素信號；且

上述固體攝像裝置具備：

受光面；

複數個像素，其包含將經由上述受光面入射之光進行光電轉換之光電轉換部；及

分離部，其將各上述光電轉換部電性且光學性分離；且

各上述像素具有：

電荷保持部，其保持自上述光電轉換部傳送之電荷；

傳送電晶體，其具有到達上述光電轉換部之垂直閘極電極，且將電荷自上述光電轉換部傳送至上述電荷保持部；及

遮光部，其配置於上述光電轉換部與上述電荷保持部之間之層內；且

於上述複數個像素中相互相鄰之複數個第1像素中，複數個上述垂直閘極電極相互電性連接，

其中各上述第1像素共有與複數個上述垂直閘極電極相接且將複數個上述垂直閘極電極相互電性連接之連接部，且

其中於複數個上述第1像素中，

複數個上述垂直閘極電極介隔上述分離部相互對向配置，且與上述

分離部相接，且

上述連接部與上述分離部上、及相互對向配置之複數個上述垂直閘極電極上相接。

**【請求項9】**

一種電子機器，其具備：

固體攝像裝置，其輸出對應於入射光之像素信號；及

信號處理電路，其處理上述像素信號；且

上述固體攝像裝置具備：

受光面；

複數個像素，其包含將經由上述受光面入射之光進行光電轉換之光電轉換部；及

分離部，其將各上述光電轉換部電性且光學性分離；且  
各上述像素具有：

電荷保持部，其保持自上述光電轉換部傳送之電荷；

傳送電晶體，其具有到達上述光電轉換部之第1垂直閘極電極，  
且將電荷自上述光電轉換部傳送至上述電荷保持部；

排出電晶體，其具有到達上述光電轉換部之第2垂直閘極電極，  
且與上述傳送電晶體相鄰配置，並自上述光電轉換部排出電荷；及

遮光部，其配置於上述受光面與上述電荷保持部之間之層內；且  
於上述複數個像素中相互相鄰之複數個第1像素中，複數個上述垂直閘極電極相互電性連接，

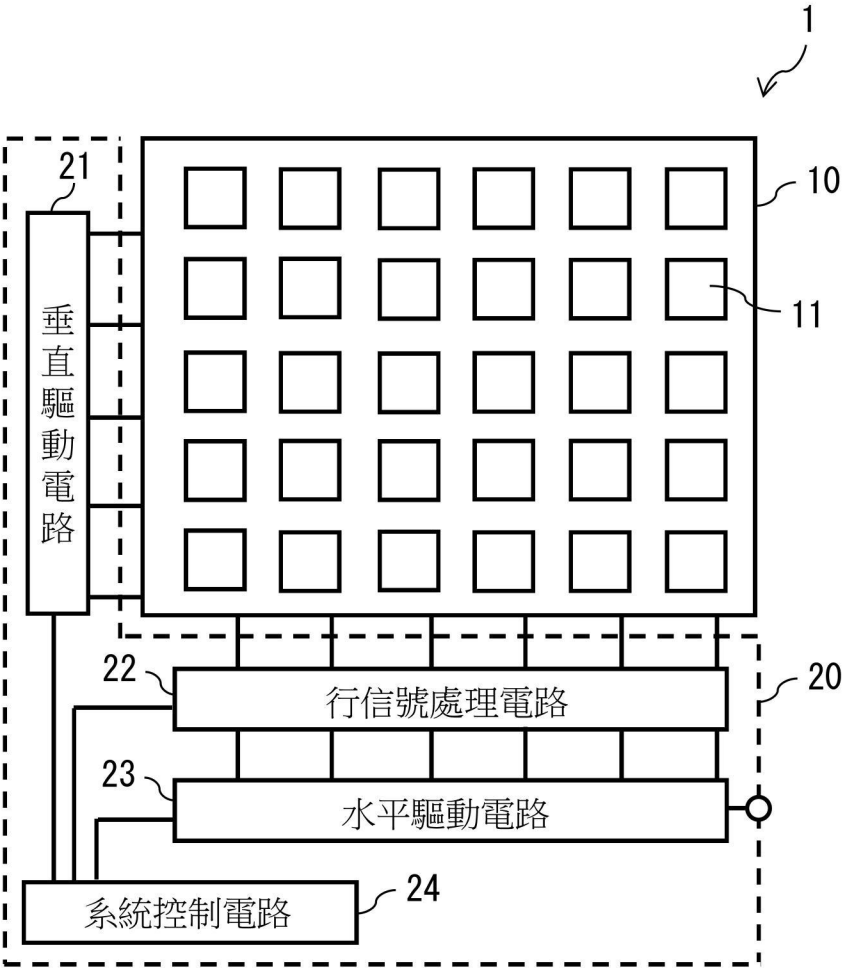
其中各上述第1像素共有與複數個上述第1垂直閘極電極相接且將複數個上述第1垂直閘極電極相互電性連接之第1連接部，且

其中於複數個上述第1像素中，

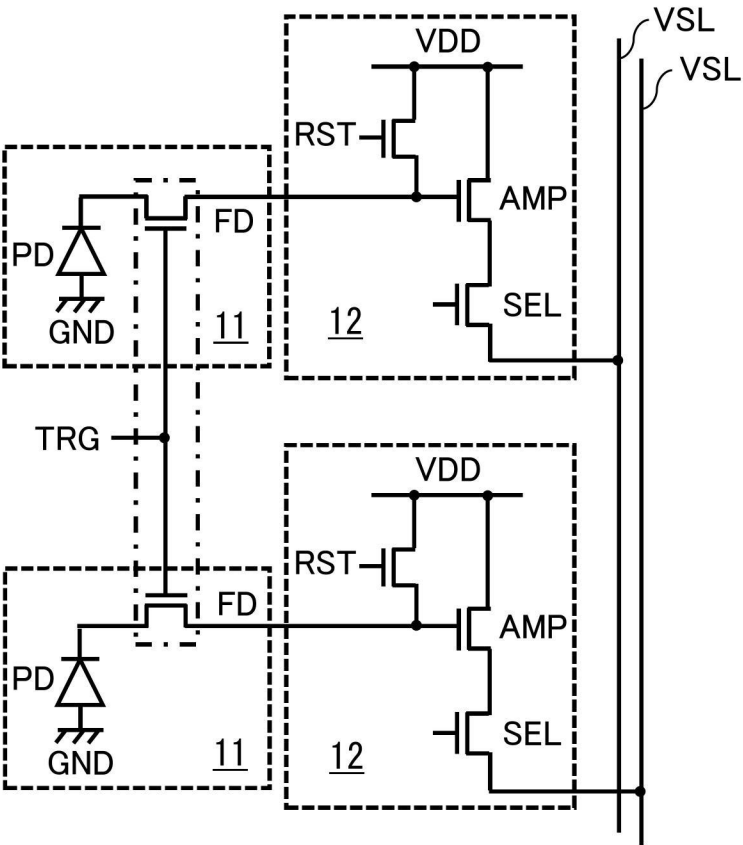
複數個上述第1垂直閘極電極介隔上述分離部相互對向配置，且與上述分離部相接，且

上述連接部與上述分離部上、及相互對向配置之複數個上述第1垂直閘極電極上相接。

【發明圖式】

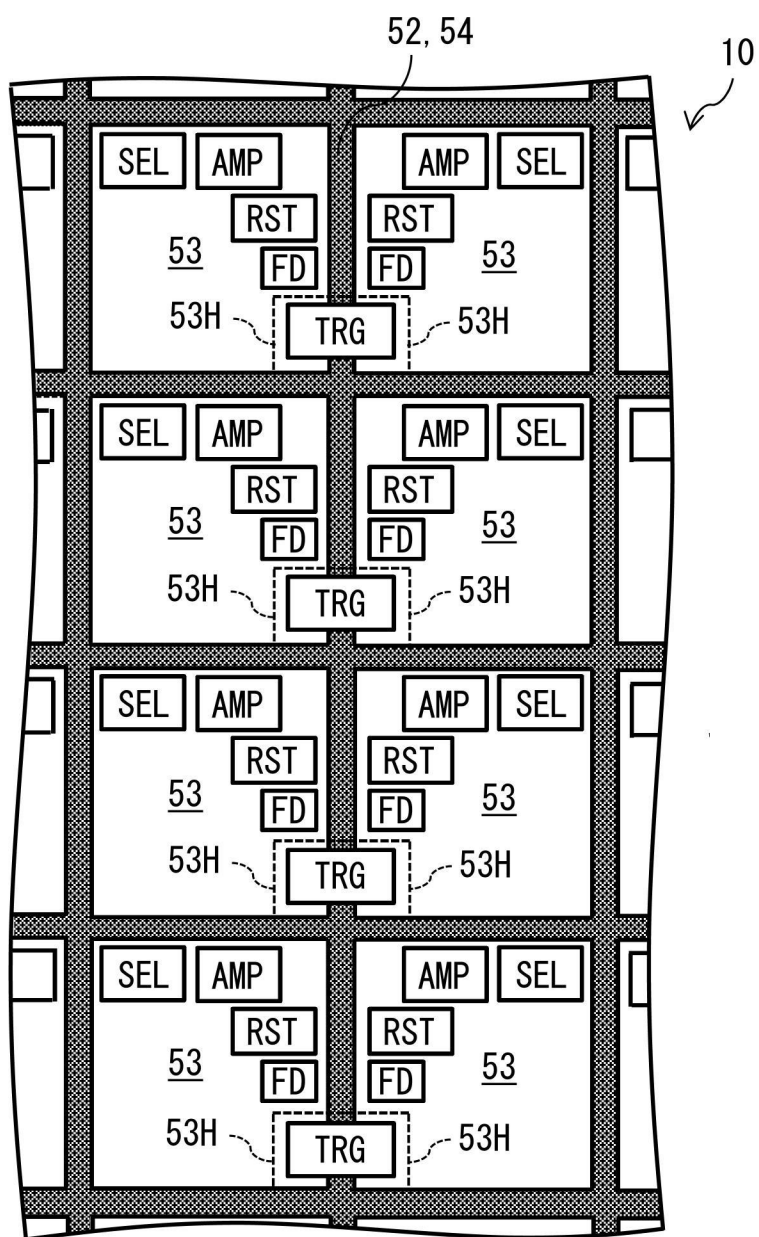


【圖1】

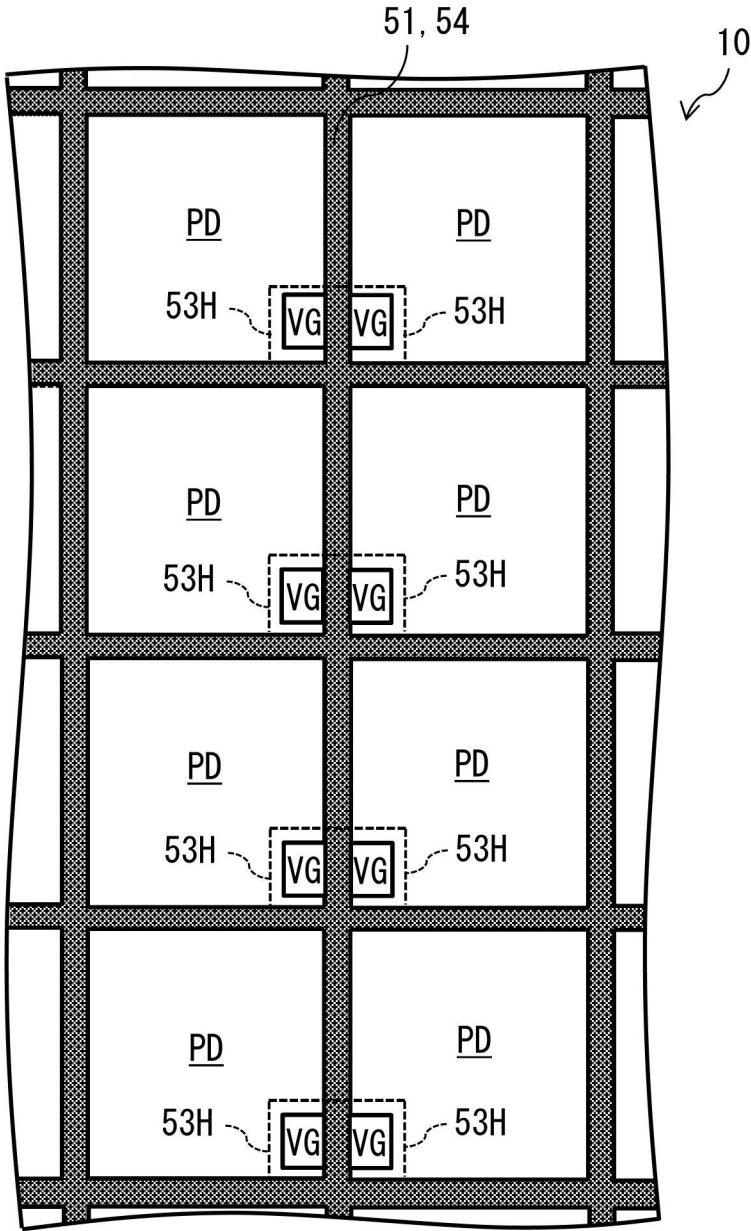


【圖2】

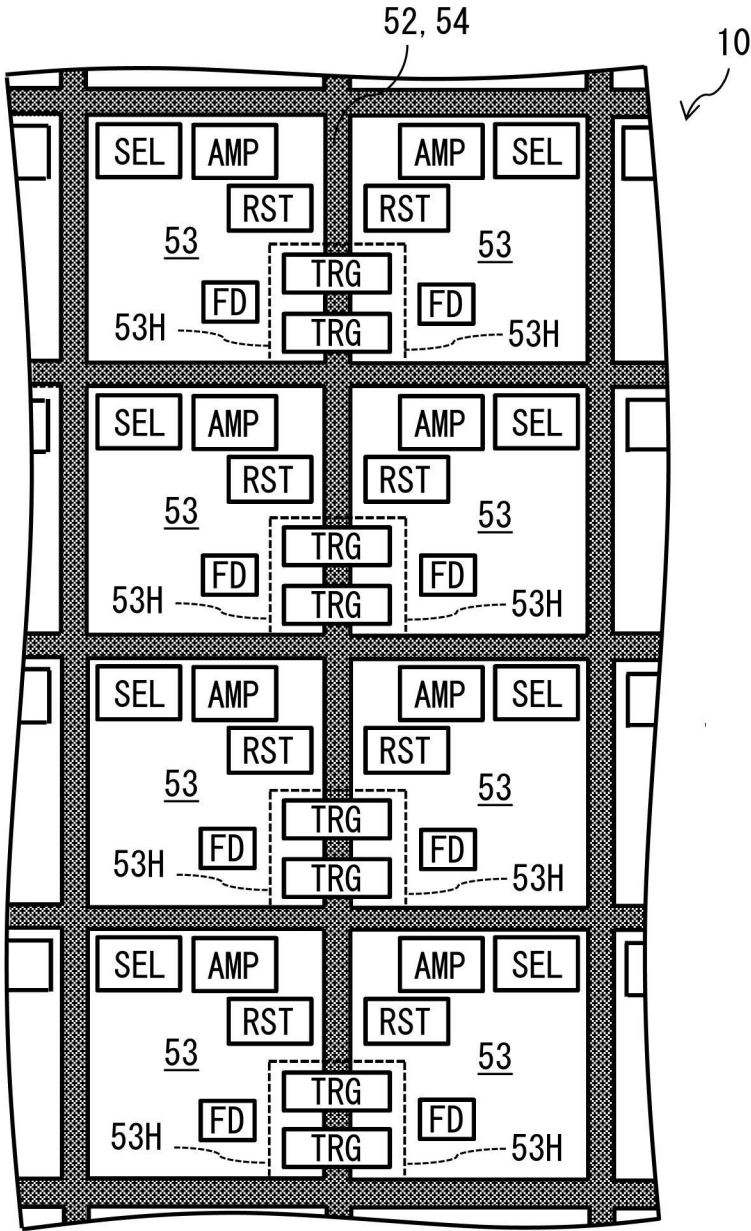




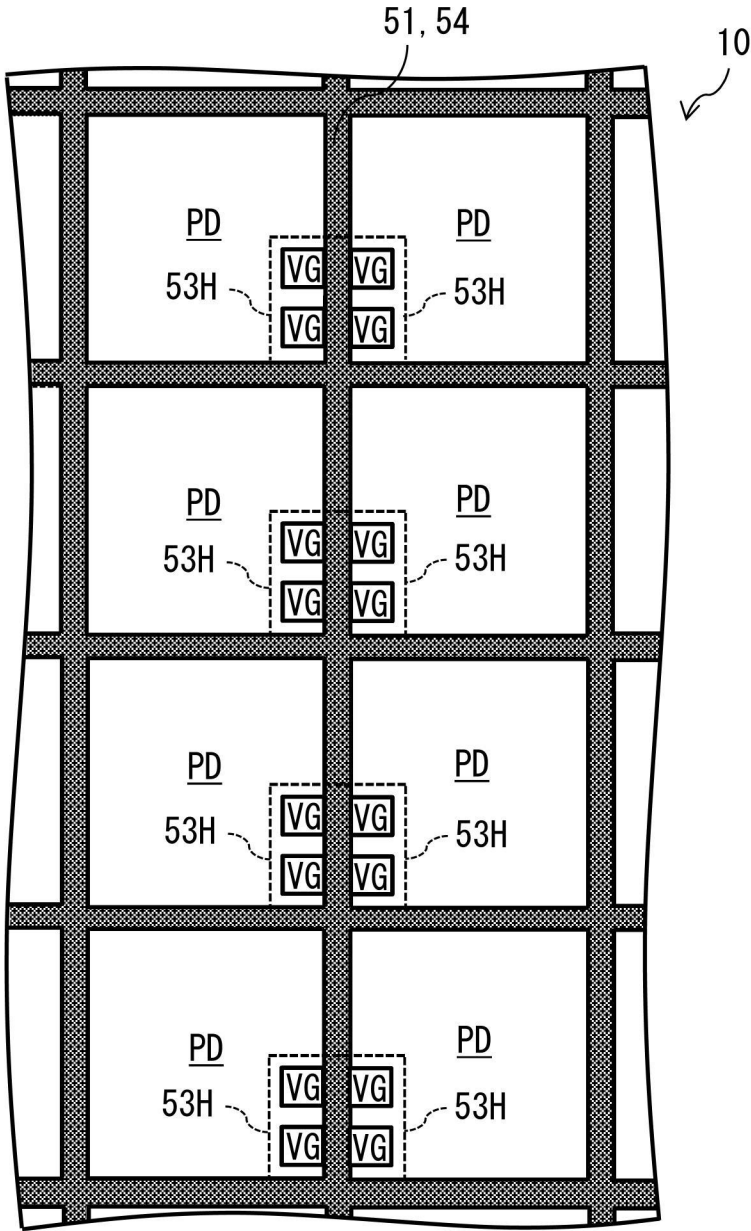
【圖4】



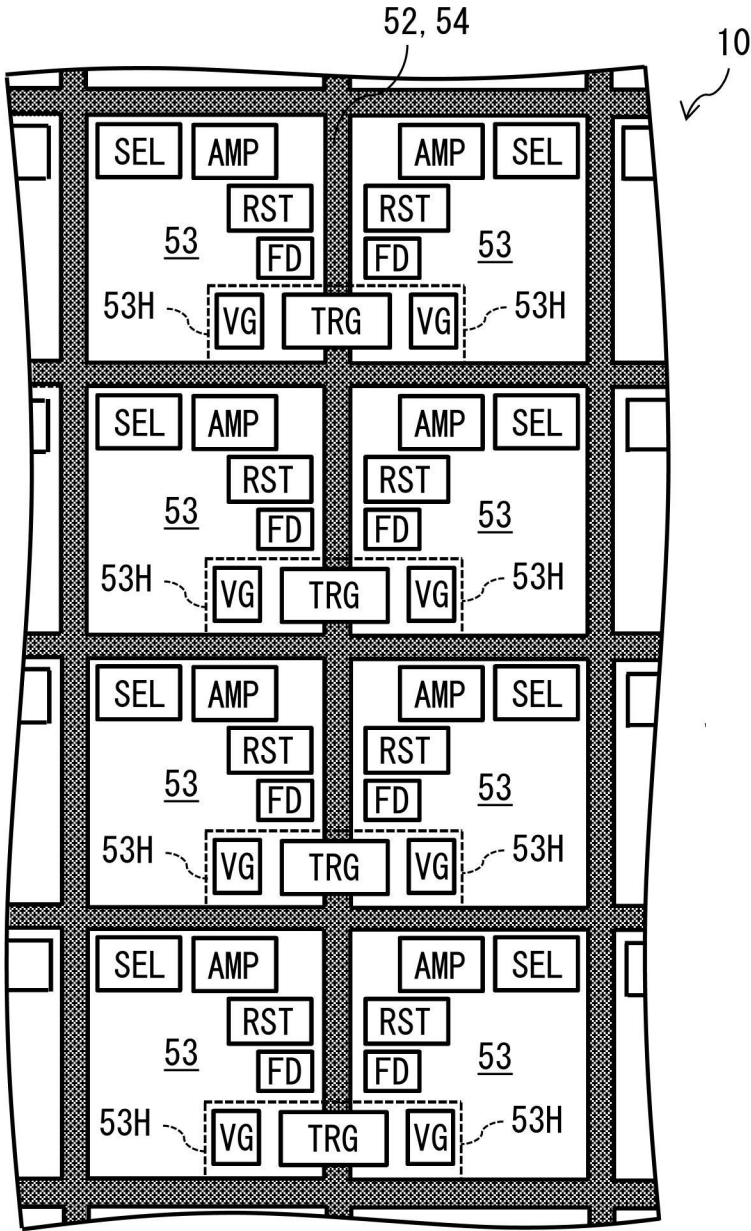
【圖5】



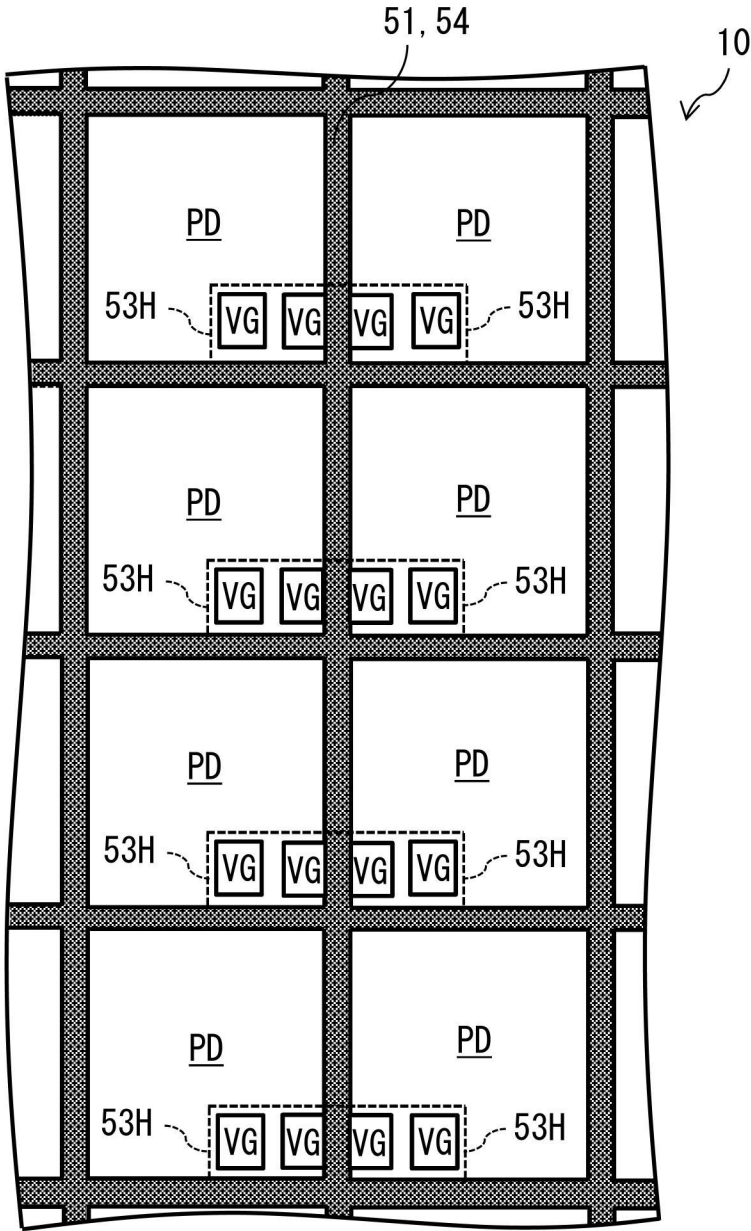
【圖6】



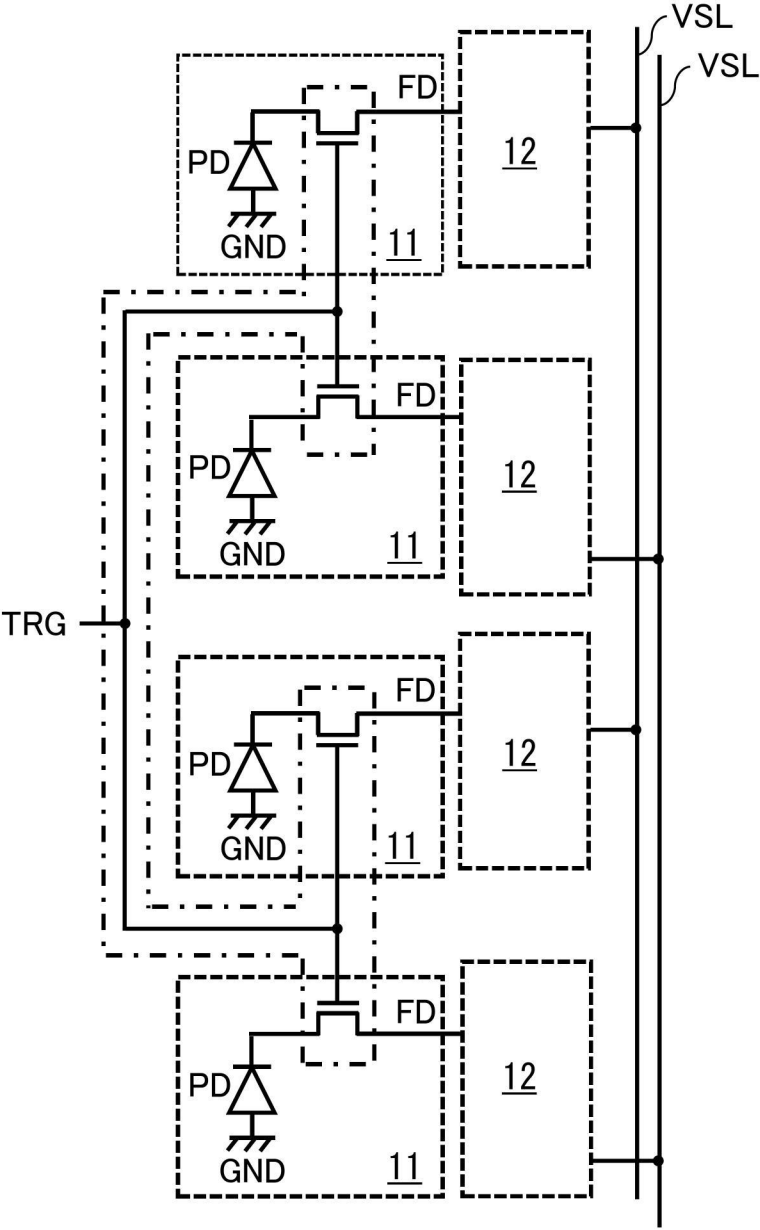
【圖7】



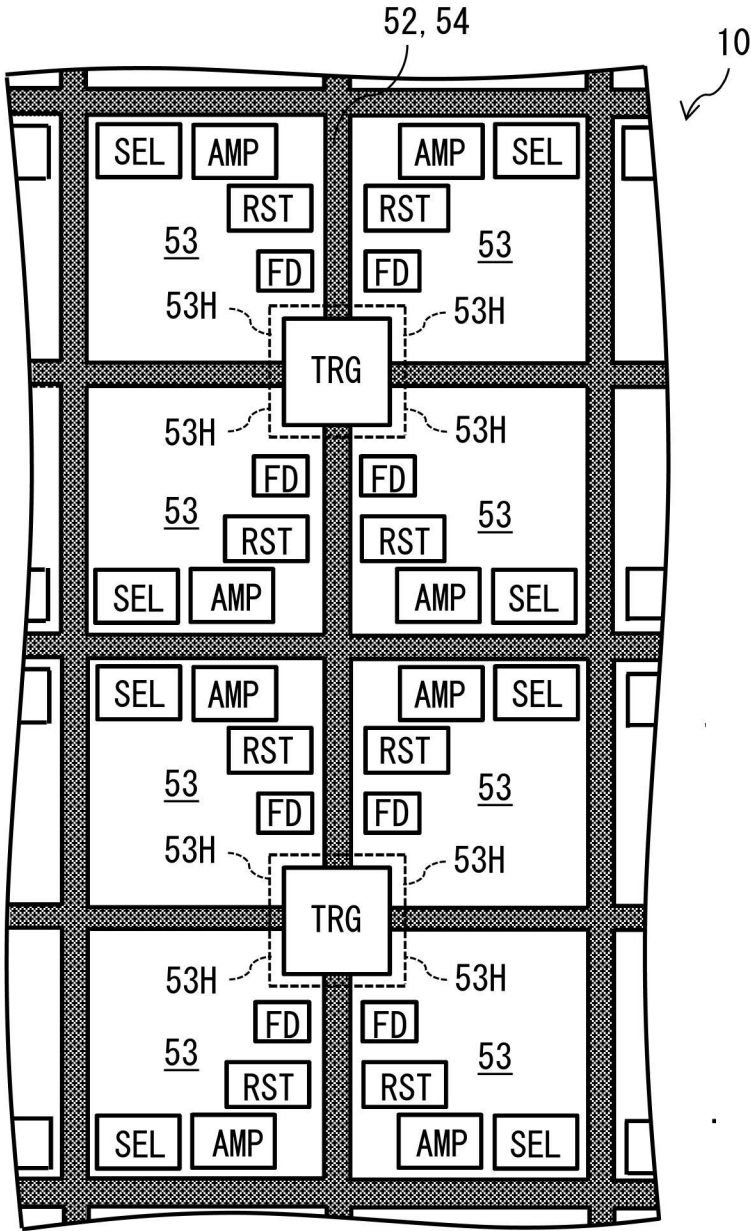
【圖8】



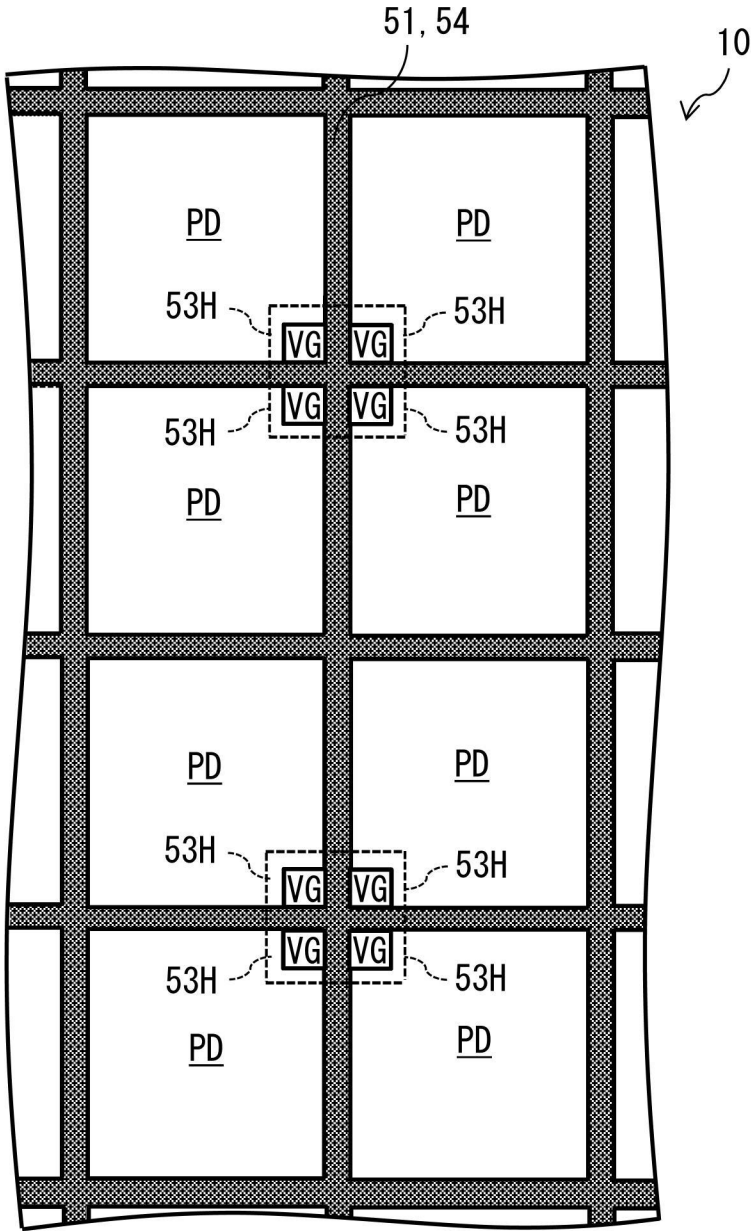
【圖9】



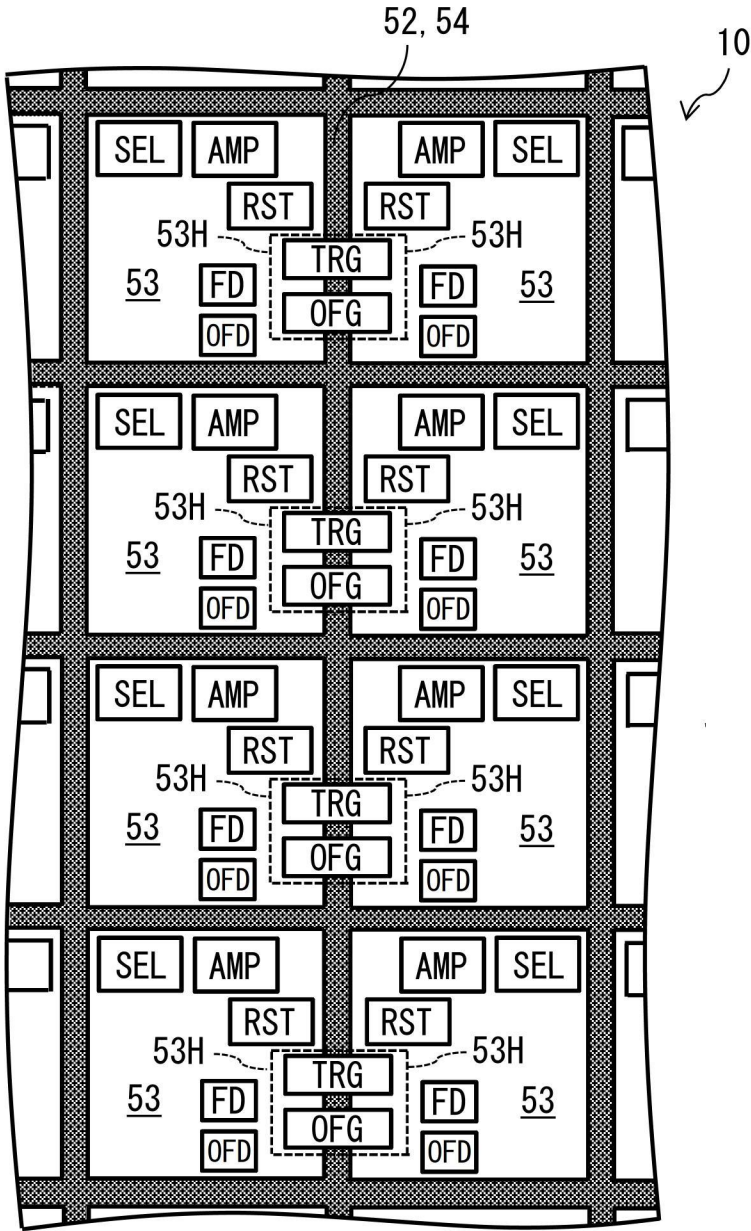
【圖10】



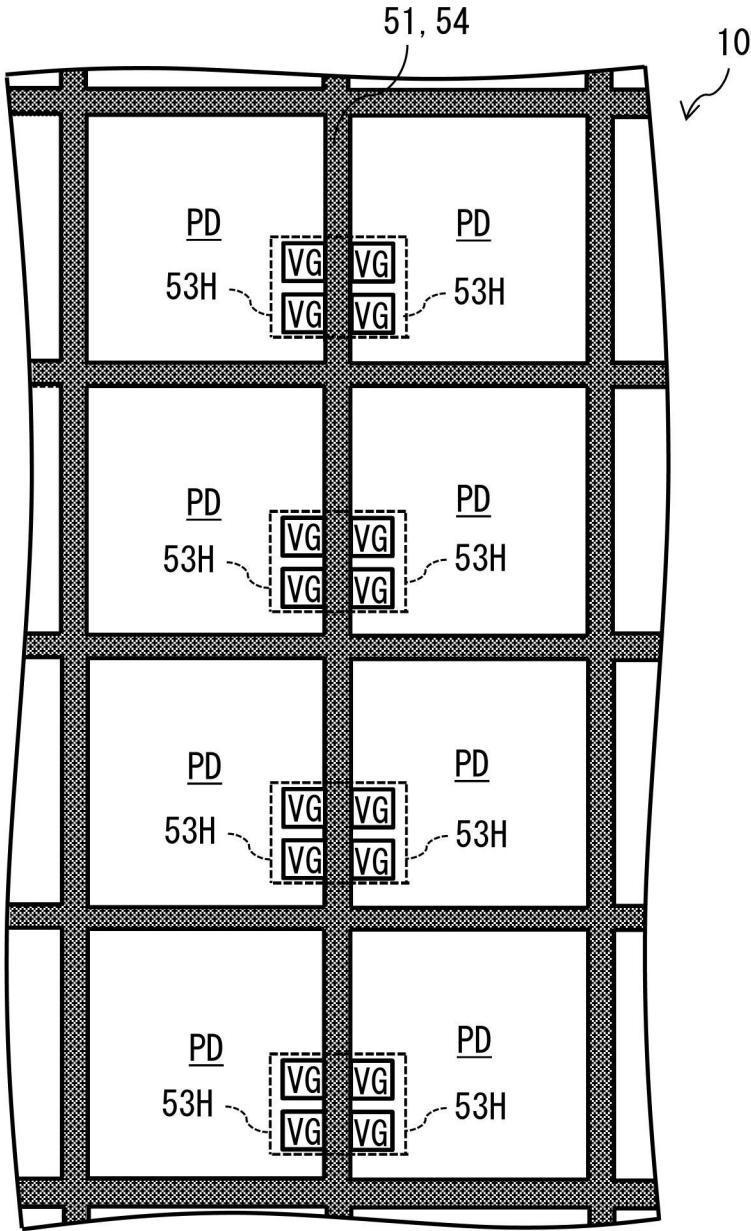
【圖11】



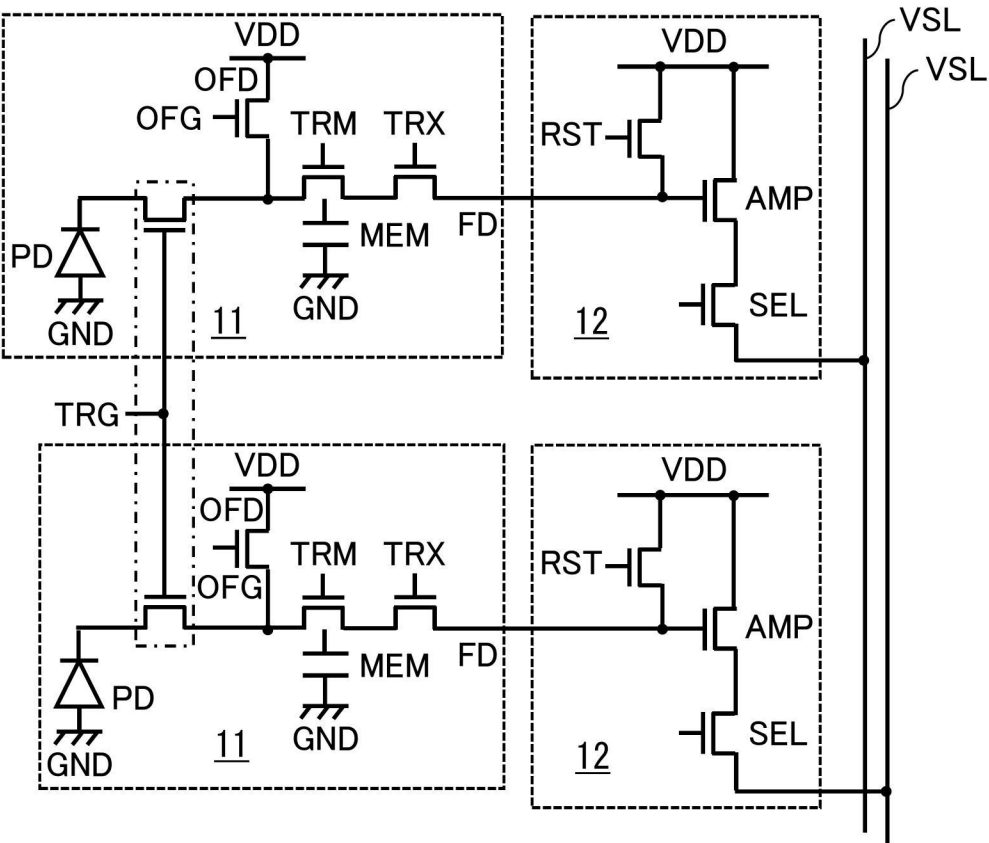
【圖12】



【圖13】

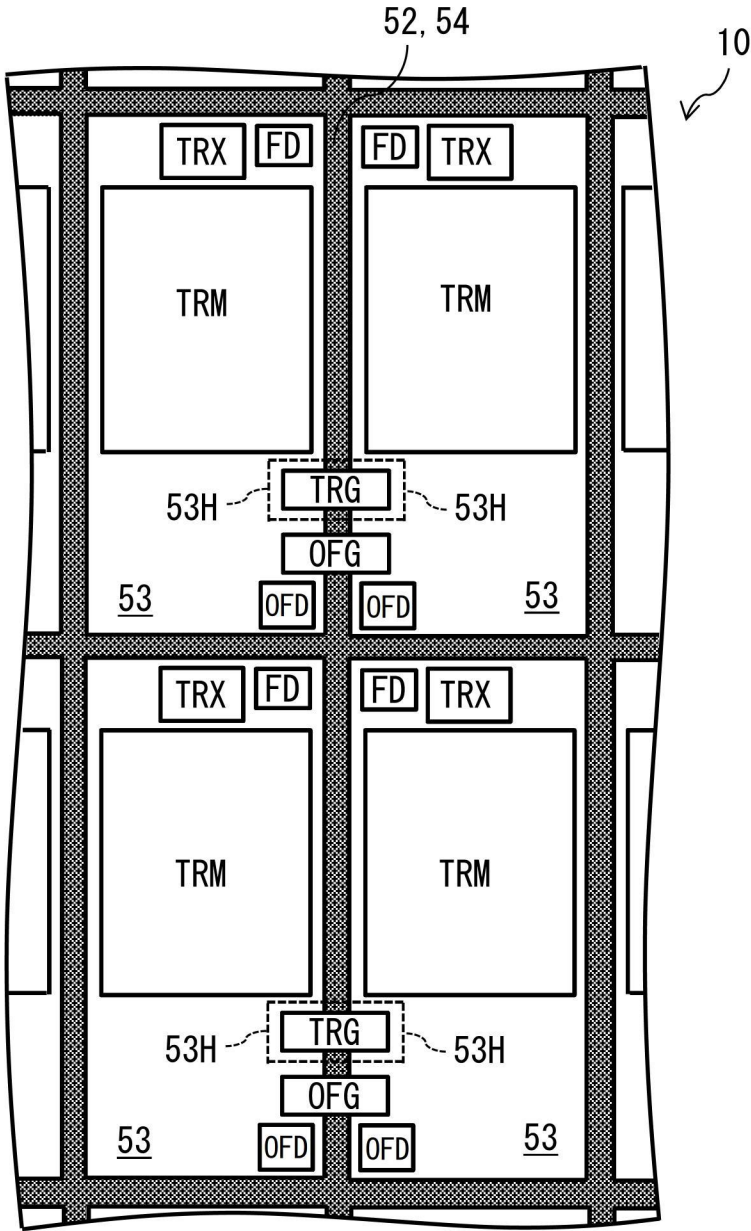


【圖14】

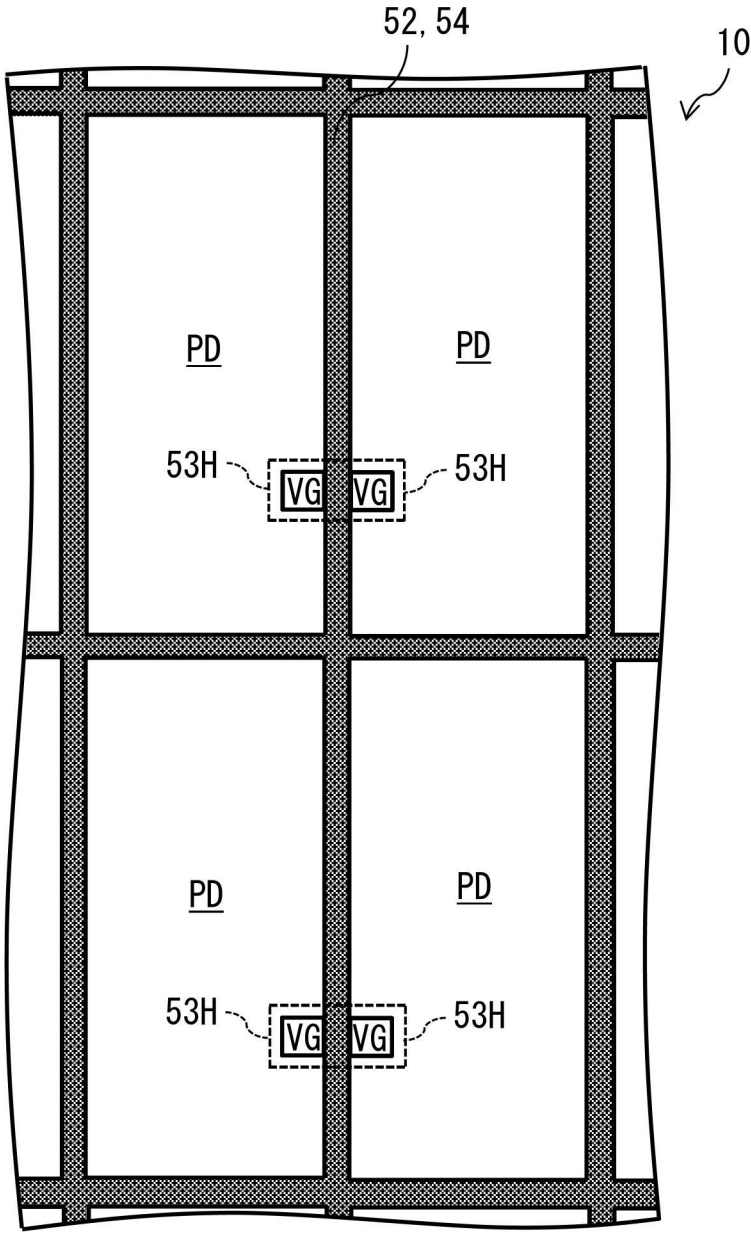


【圖15】

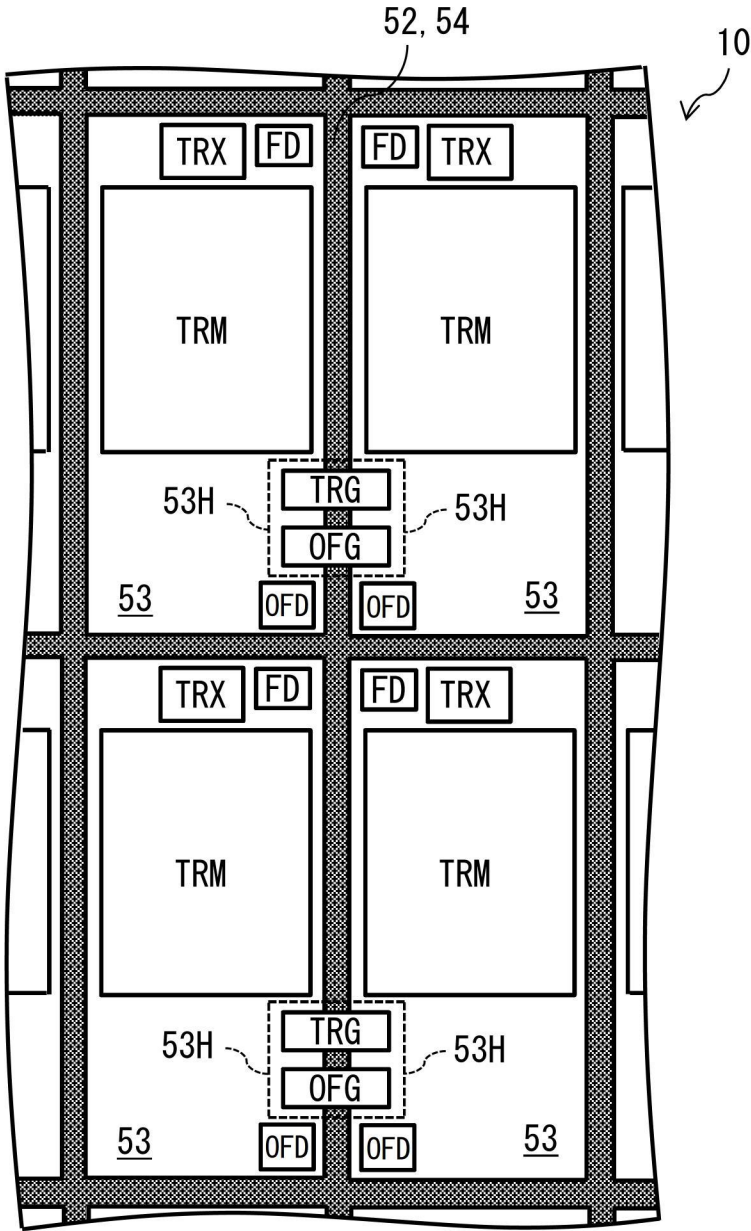




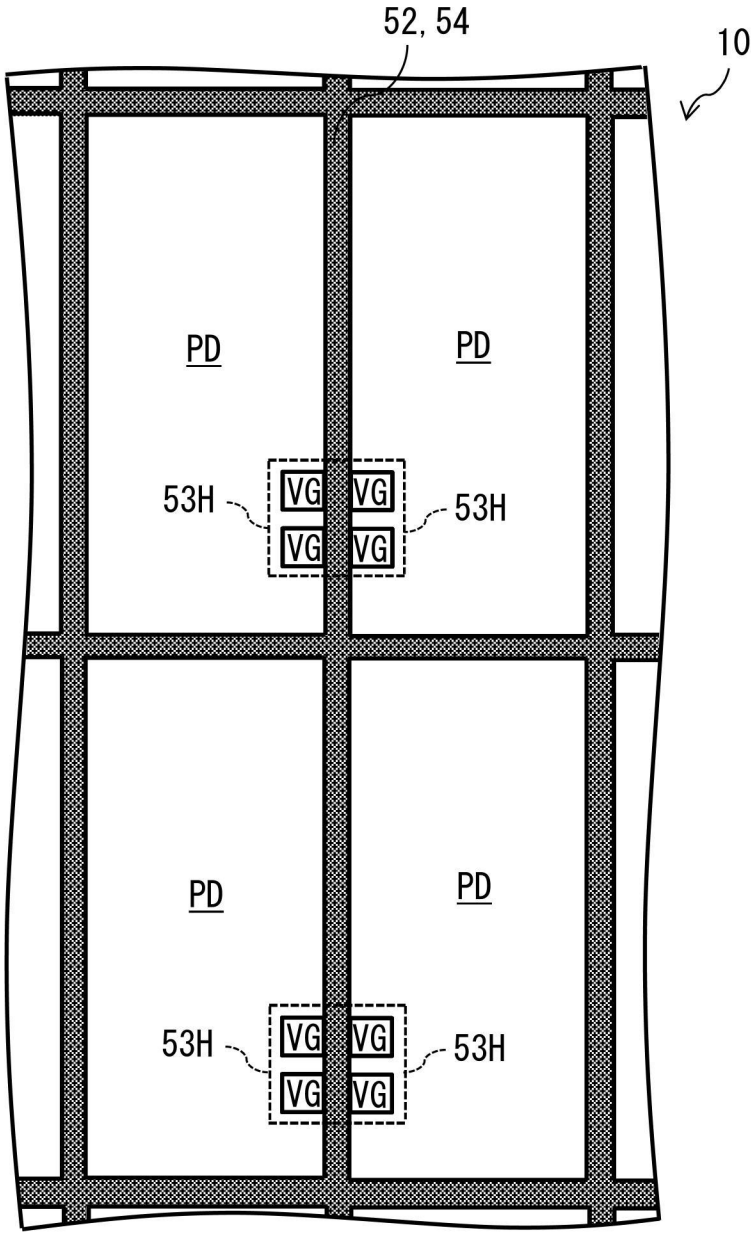
【圖17】



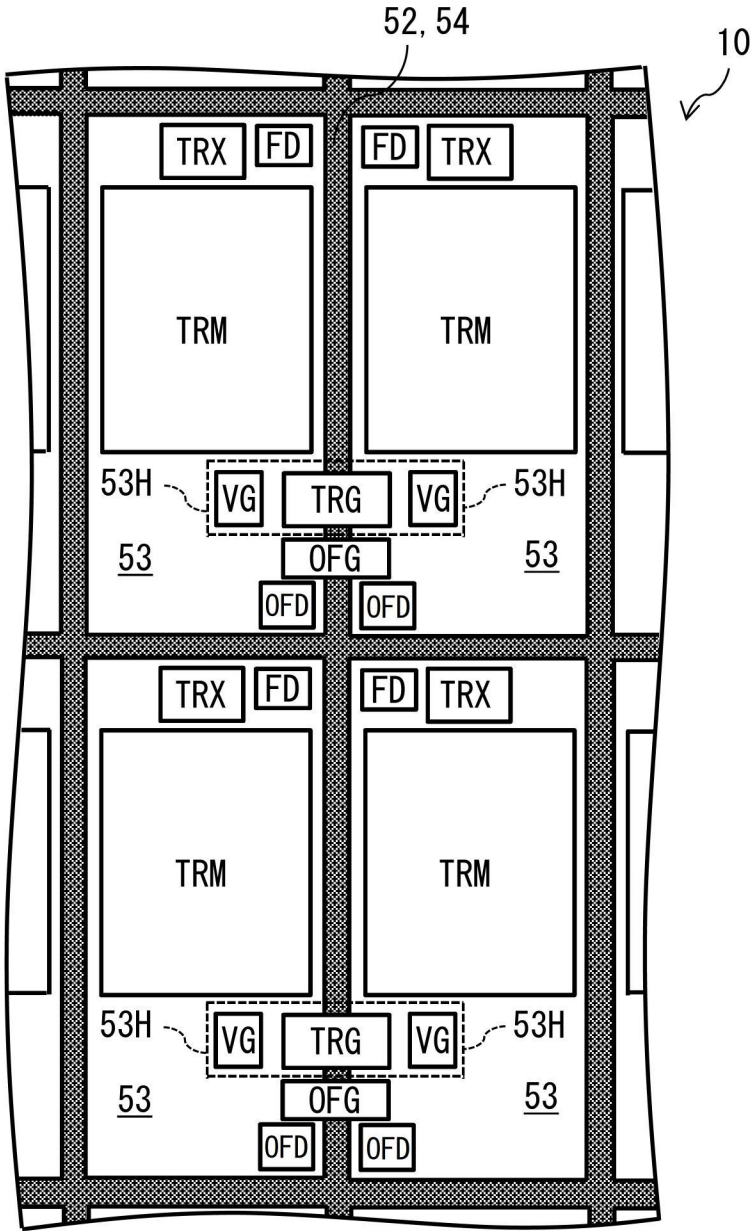
【圖18】



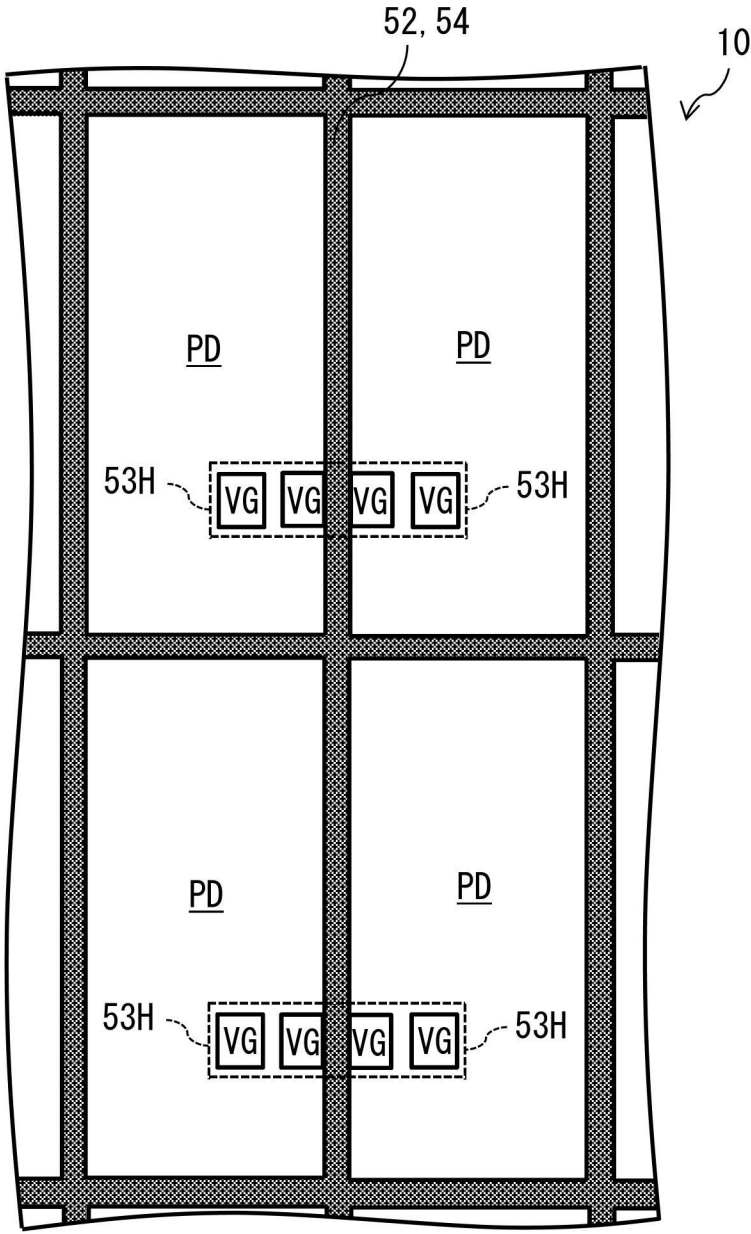
【圖19】



【圖20】



【圖21】



【圖22】



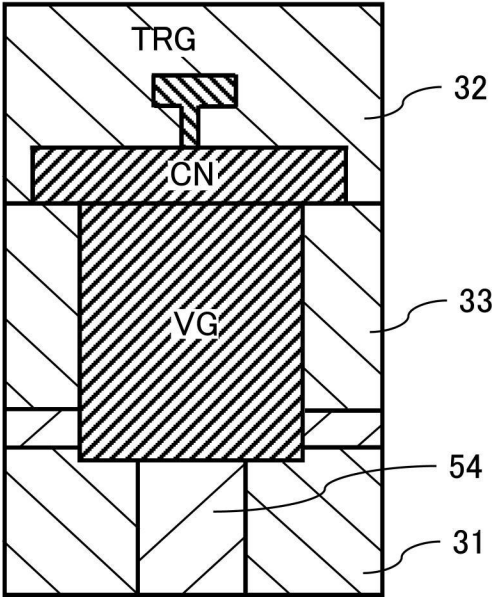




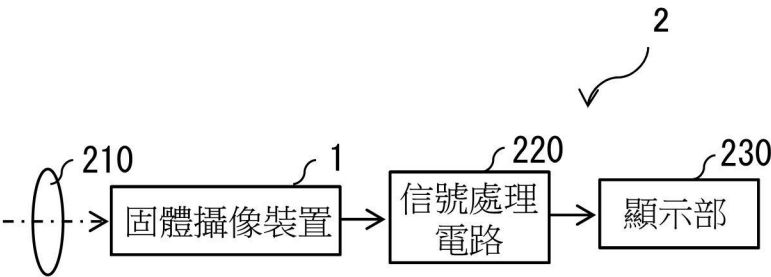




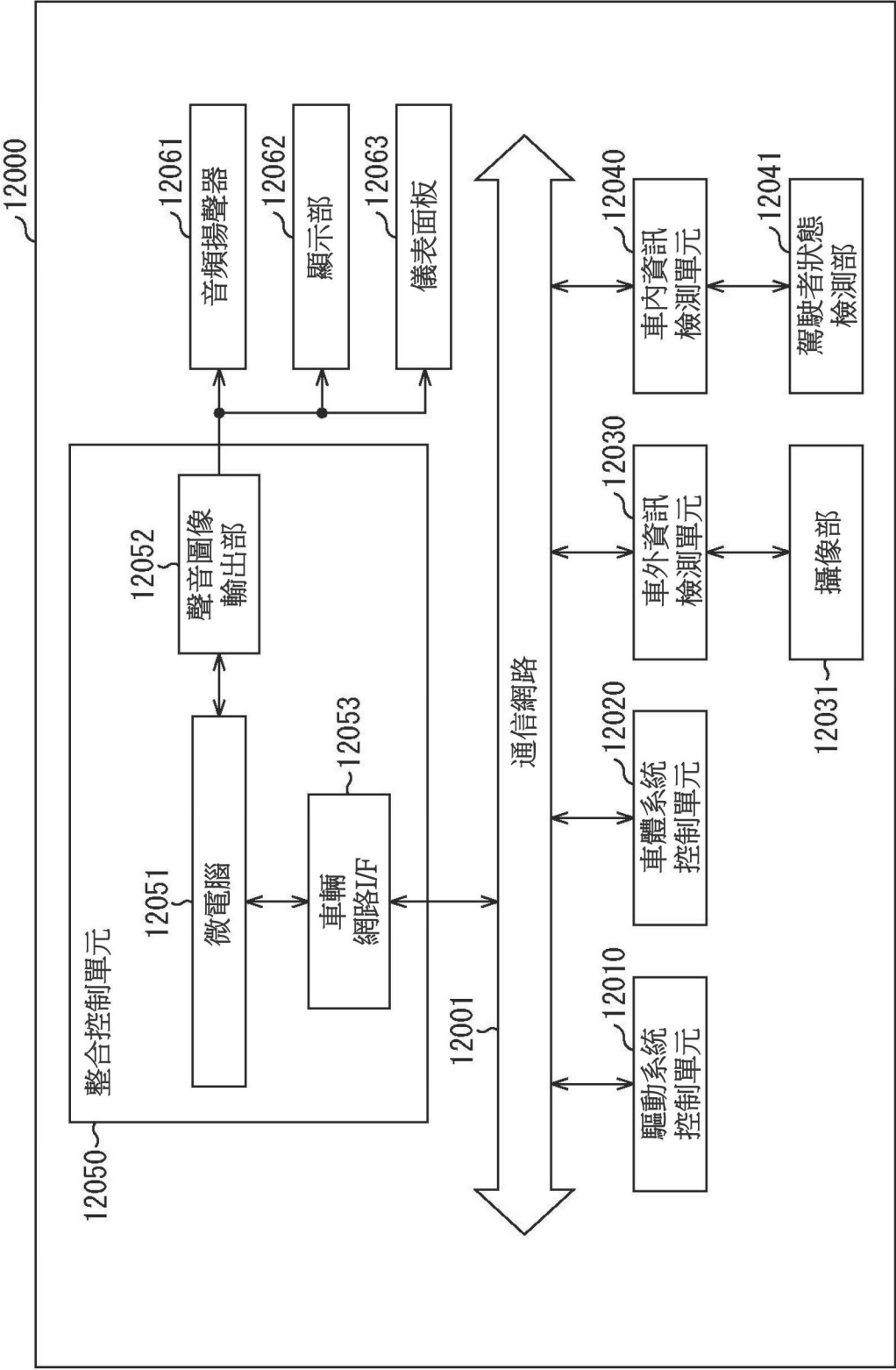




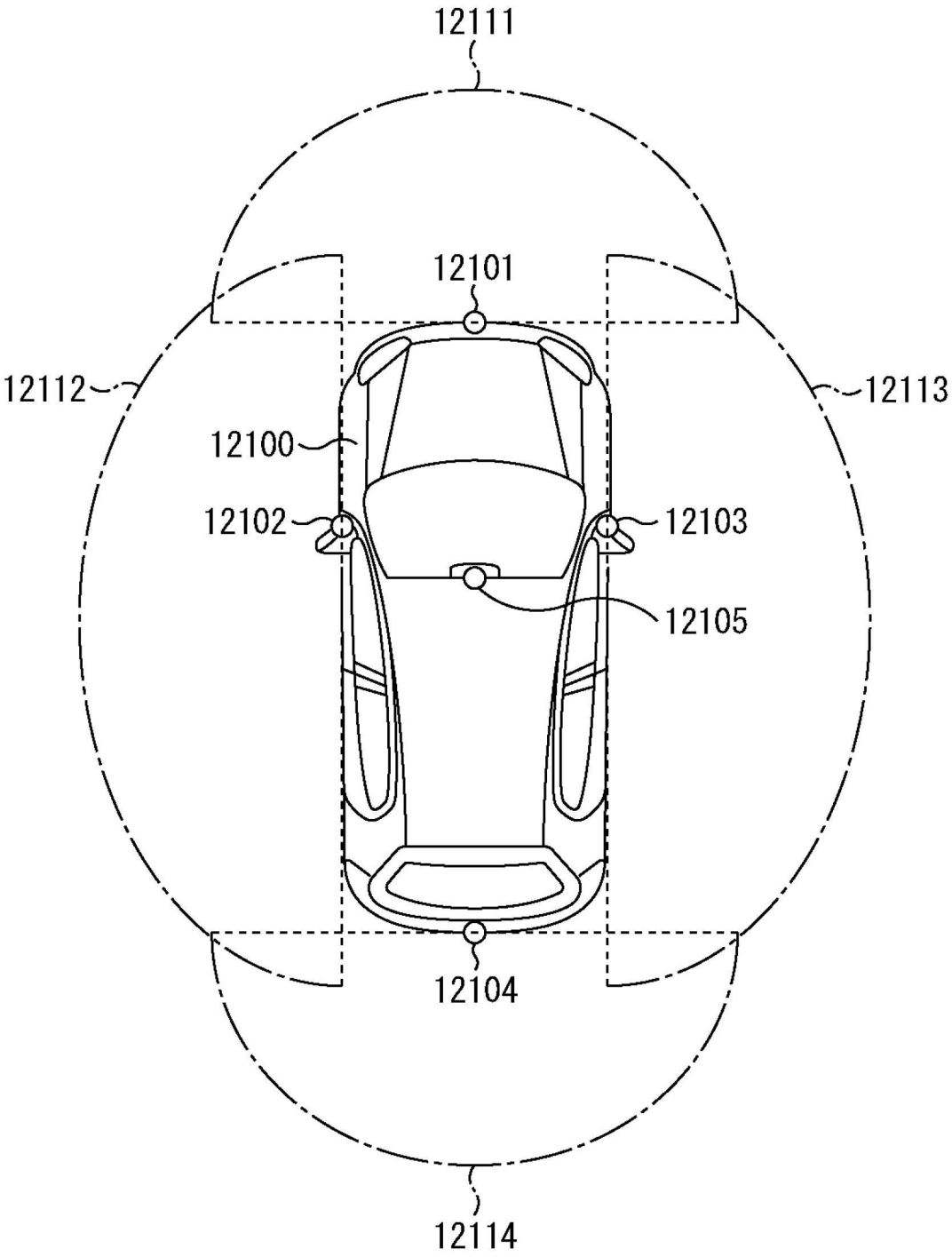
【圖29】



【圖30】



【圖31】



【圖32】