

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國 2004 年 11 月 10 日 10/986,399 （主張優先權）

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。



九、發明說明：

【發明所屬之技術領域】

本發明大抵係關於絕緣層上覆矽(silicon-on-insulator)半導體裝置，尤其係指全空乏絕緣層上覆矽電晶體。

【先前技術】

目前電子產品幾乎應用於生活中的各個層面，而該些電子產品的心臟即是積體電路。積體電路應用於飛機、電視到手錶的各種產品上。

以極複雜系統，需要數百甚至是數千個精密控制的程序的協調，於矽晶圓內或矽晶圓上製作積體電路，而得一完成的半導體晶圓。每一完成的半導體晶圓有數百至數萬個積體電路，而每一晶圓價值數百或數千美元。

積體電路由數百至數百萬個獨立組件所構成。一種常用的組件即為半導體電晶體。目前最常使用且重要的半導體技術，係以矽為基礎，而最佳以矽為基礎的半導體裝置即為互補金屬氧化物半導體(complementary metal oxide semiconductor, CMOS)。

互補金屬氧化物半導體電晶體的主要元件，通常由具有氧化物淺溝隔離區，用以隔離電晶體區的矽基板組成。矽基板上，電晶體區於氧化矽閘極或閘極氧化物上含有複晶矽(polysilicon)閘極。稍微摻雜複晶矽閘極兩側的矽基板使具導電性。該些矽基板稍微摻雜的區域稱為“淺源/汲極”，由該複晶矽閘極下面的通道區隔開。複晶矽閘極側邊的彎曲氧化矽或氮化矽間隔體(spacer)，稱為“側壁間隔體



(sidewall spacer)"，可使另外的摻雜沉積而形成淺源/汲極的更重度摻雜區，稱為"深源/汲極(deep S/D)"。

將氧化矽介電層沉積以覆蓋複晶矽閘極、彎曲間隔體與矽基板，以完成電晶體的製作。為提供電晶體的電性連接，於複晶矽閘極與源/汲極的氧化矽介電層蝕刻開孔。該些開孔以金屬填充而形成電性接觸。為完成積體電路的製作，將該些接觸連接至另外的介電材料層中的另外線路層，使達至該介電材料外部。

一種改進互補金屬氧化物半導體電晶體的方法，係使用絕緣基板，稱為絕緣層上覆矽(silicon on insulator, SOI)。互補金屬氧化物半導體與高速場效電晶體(field effect transistors, FETs)使用絕緣基板的優點，包括消除閉鎖現象(latch-up immunity)、提高輻射抵抗力(radiation hardness)、降低寄生接面電容、降低接面漏電流以及降低短通道效應。該些優點許多可轉成增加場效電晶體的速度性能。

絕緣層上覆矽場效電晶體於半導體基板上譬如矽基板上，製成具有譬如二氧化矽的絕緣體。整個場效電晶體，包括其源極接面、通道、汲極接面、閘極、歐姆接觸與接線通道，係形成於絕緣體的矽島上，且與任何固定電位隔絕。此會導致所謂的"浮體(floating body)"問題，因為該浮體或通道區的電位漂浮，並可獲得能干擾場效電晶體正常功能的電位的緣故。因為半導體基板對通道而言呈現漂浮，所以浮體問題導致高的漏電流與寄生雙極作用。此問

題不利於閾值電壓(threshold voltage)的控制與電路操作。

為了解決浮體問題，需要將矽島完全空乏(deplete)。此意味當場效電晶體處於不導通狀態(off state)與二接面皆接地時，使矽島薄至讓整個浮體區域厚度缺乏大多數載子的程度。為了完全空乏該矽島並產生全空乏絕緣層上覆矽(fully depleted silicon on insulator, FDSOI)，已發現須使矽島變得非常薄。

然而，薄矽島於製造全空乏絕緣層上覆矽互補金屬氧化物半導體(FDSOI CMOS)中，形成具有低寄生串聯電阻的源極與汲極時，會產生問題。一個解決方法係將源極與汲極提升至該薄矽島上。以選擇性磊晶生長(selective epitaxial growth, SEG)的方式，形成提升的源極與汲極。但不幸地，於極薄的矽島上，很難均勻地生長出高品質、單晶的源極與汲極。此外，於選擇性磊晶生長前，進行諸如氧化、預清理(pre-clean)與氫氣焙烤製程時，會除去所有或部份的選擇性磊晶生長所需的薄矽。

製造 FDSOI CMOS 的另一重要課題為改善性能之機制。改善性能之一種方法係將拉伸應變或壓縮應變導至通道。沿著電流流動方向的拉伸應變，增加了電子與電洞的移動性。另一方面，壓縮應變增加了電洞的移動性但使電子的移動性降低。藉溝槽隔離區的充填而將應變導至通道。然而，FDSOI CMOS 的製造，傳統上係使用沒有溝槽蝕刻與充填的平台式隔離。

因此，當於通道產生應變時，需要一種能均勻生長高



品質、單晶源極與汲極的方法。

如何克服上述該些問題已為人們長期探討，但先前的開發並未教示或建議任何解決方案，所以，熟悉本領域者已長期盼望有解決該些問題的方法。

【發明內容】

本發明提供一種在其上具有絕緣體的半導體基板，且該絕緣體上有半導體層。形成深溝隔離區，在該半導體層產生應變。於該半導體層上形成閘極介電體與閘極。圍繞該閘極形成間隔體，並將該間隔體外部的該半導體層與該絕緣體移除。於該間隔體外部形成嵌入式源/汲極。

本發明某些實施例具有除以上所述之外，或替代以上所述的其他優點。對熟悉本領域者，閱讀以下詳細的說明並參考附圖後，該些優點將變得很明顯。

【實施方式】

以下說明將提供許多明確的細節，使能充分了解本發明。然而，本發明很顯然地，得於無該些明確細節下施行。為了避免模糊本發明，一些習知裝置組態與製程步驟將不再詳細敘述。

同樣地，顯示裝置實施例的圖形，係半示意式而非按比例繪製，特別是某些圖中的尺寸，為使說明清晰而過份放大。

本說明書中所用“水平面(horizontal)”一詞，定義成與基板或晶圓平行的平面。“垂直”一詞，指與如前項所定義的水平面垂直的方向。其他用語諸如“上”、“以上

(above)”、“以下(below)”、“底部”、“頂部”、“側(如“側壁”)、“較高”、“較低”、“之上(over)”、“之下(under)”，皆指相對於水平面而言。

本說明書中所用“加工(processing)”一詞，於形成所述構造時，所需步驟包括：材料或光阻之沉積、圖案化、曝光、顯影、蝕刻、清理(cleaning)以及/或是除去該材料或光阻。

第 1 圖顯示全空乏絕緣層上覆矽(FDSOI)晶圓 100 的剖面圖，包括譬如為 p 摻雜矽(Si)之材料的半導體基板 102。半導體基板 102 頂部上有埋入氧化層(buried oxide layer, BOX)104，該埋入氧化層 104 係譬如二氧化矽(SiO_2)之材料的絕緣層；以及矽薄層的通道層 106。

為了控制具有 25 奈米(nm)或更小閘極長度的 45 奈米及 45 奈米以下節點的短通道效應，已發現通道層 106 厚度必須薄於 100 埃($\text{\AA}$)。

將間隔開之位於嵌入式源/汲極 402 外部(見第 4 圖)的深溝隔離區(deep trench isolation, DTI)108，加至全空乏絕緣層上覆矽晶圓 100。形成具有深溝蝕刻(蝕刻穿過通道層 106、埋入氧化層 104 並進入基板 102)的深溝隔離區 108。為保持裝置的隔離，深溝隔離區的深度必須大於嵌入式源/汲極 402(見第 4 圖)。於產生的深溝填入譬如 SiO_2 之材料的介電質，以完成深溝隔離區 108 的製作。

第 2 圖顯示第 1 圖之結構經習用沉積、圖案化、光微影以及蝕刻製程後，而形成由諸如 SiO_2 、氮氧化矽(silicon



oxynitride, SiON)或氮化矽(Si_3N_4)之材料所構成的閘極介電體 202, 以及由諸如可能經摻雜或未摻雜的複晶矽或非晶矽(amorphous silicon)之材料所構成的閘極 204。

第 3 圖顯示經進一步加工後的第 2 圖構造。深溝隔離區 108 的嵌入蝕刻(recess etch)製備用以於深溝隔離區 108 內形成間隔體之晶圓 100。材料譬如為 SiO_2 的線性區 302 係沉積於閘極 204、通道層 106 與深溝隔離區 108 上。材料譬如為 Si_3N_4 的間隔體 304 係圍繞線性區 302 的閘極部分且於深溝隔離區 108 內形成。

製造 FDSOI CMOS 的重要課題之一, 即形成具有低寄生串聯電阻的源極與汲極。一個解決方法係將源極與汲極提升。藉由選擇性磊晶生長能形成提升的源極與汲極。不幸地, 於極薄的矽島上, 如通道層 106 上, 很難均勻地生長出高品質、單晶的源極與汲極。此外, 於選擇性磊晶生長前, 進行諸如氧化、預清潔與氫氣焙烤製程, 能除去所有或部份的選擇性磊晶生長所需的薄矽。

第 4 圖顯示依據本發明之實施例之加工後的第 3 圖構造。嵌入式源/汲極 402 已加至全空乏絕緣層上覆矽晶圓 100。通道層 106 已被蝕刻而形成通道 404。

為形成嵌入式源/汲極 402, 而應用適當的製程譬如蝕刻, 以穿過位於閘極 204 與深溝隔離區 108 間的通道層 106 與埋入氧化層 104。已發現 100 Å 至 600 Å 的薄埋入氧化層 104 提供最佳的厚度。然後於基板 102 之表面與通道 404 的側壁上進行選擇性磊晶生長(SEG)。此確保即使當通道

層 106 的矽可以部分或甚至全部為前面製程消耗時，嵌入式源/汲極 402 的選擇性磊晶生長具有連續、高品質的矽表面。

當克服薄矽上選擇性磊晶生長的問題時，產生的結構保有提升源/汲極的優點，譬如低寄生串聯電阻。於此階段，藉嵌入式源/汲極 402 之選擇性磊晶生長的修改能使性能改善。

第 5 圖顯示依據本發明之實施例之進一步加工後的第 4 圖構造。於閘極 204 與源/汲極 402 上進行矽化反應以生成 NiSi 層 504。

應明瞭形成嵌入式源/汲極 402 與深溝隔離區 108 的次序係可變化，且以上所述順序是為了方便的緣故。嵌入式源/汲極 402 能於嵌入式源/汲極 402 選擇性磊晶生長期間或藉由離子植入與快速熱回火(thermal anneal)而就地(in situ)形成。經應變處理的溝槽充填介電質，深溝隔離區 108 將應變導於通道 404，且適合做為電晶體間的隔離。

將拉伸應變或壓縮應變導入於 FDSOI CMOS 裝置的通道以改善性能。沿著電流流動方向的拉伸應變，使 NMOS 中之電子與電洞移動性皆增加。另一方面，壓縮應變藉增加電洞移動性而改善 PMOS 的性能。如此一來，施加適當應變至通道 404 大幅增加通道移動性，結果藉由顯著部分的移動性增加，而使驅動電流提高。

已發現於 FDSOI PMOS 電晶體中，藉矽鍺(silicon germanium, SiGe)的選擇性磊晶生長，能進一步改善應



隔開的深溝隔離區，並將應變導至該半導體層；於步驟 708 中，圍繞該閘極形成間隔體；於步驟 710 中，除去該間隔體外部的該半導體層與該絕緣體；以及於步驟 712 中，於該間隔體外部形成嵌入式源/汲極。

如此，已發現本發明的半導體裝置與製造方法，對 FDSOI CMOS 提供重要且迄今為止尚未為人所知或使用的解決方法、能力與功能上的優點。該所得之製程與組態係直接、經濟、不複雜、高度彈性、精確、靈敏及有效，且能適用於習知組件而容易去製造與應用。

參照特定的最佳實施例，本說明書已經對本發明進行揭示。應明瞭，許多的改變、修飾與變化對熟悉本領域者而言，以上的說明將使其變得很明顯。因此，所有該些改變、修飾與變化皆涵蓋於以下的申請專利範圍內。本說明書中所揭示的內容或顯示的附圖係用於解釋本發明，而非用於限制本發明的範疇。

【圖式簡單說明】

第 1 圖為全空乏絕緣層上覆矽半導體晶圓的剖面圖；

第 2 圖顯示第 1 圖之結構上形成有閘極；

第 3 圖顯示第 2 圖之結構上沈積有線性區與間隔體；

第 4 圖顯示依據本發明之實施例之具有嵌入式源/汲極的第 3 圖構造；

第 5 圖顯示依據本發明之實施例之進行矽化後的第 4 圖構造；

第 6 圖顯示依據本發明之另一實施例之具有接觸蝕刻



停止層的第 5 圖構造；以及

第 7 圖為依據本發明之製造應變全空乏絕緣層上覆矽半導體裝置的方法的流程圖。

【主要元件符號說明】

- 100 晶圓
- 102 半導體基板
- 104 埋入氧化層
- 106 通道層
- 108 深溝隔離區
- 202 閘極介電體
- 204 閘極
- 302 線性區
- 304 間隔體
- 402 嵌入式源/汲極
- 404 通道
- 504 NiSi 層
- 602 溝槽
- 604 接觸蝕刻停止層
- 700 方法
- 702、704、706、708、710、712 步驟



五、中文發明摘要：

本發明提供一種在其上具有絕緣體的半導體基板，其中該絕緣體上有半導體層。形成深溝隔離區(isolation)，將應變導至該半導體層。於該半導體層上形成閘極介電體與閘極。圍繞著該閘極形成間隔體(spacer)，且將於該間隔體外部的半導體層與絕緣體除去。於該間隔體外部形成嵌入式(recessed)源/汲極。

六、英文發明摘要：

A semiconductor substrate is provided having an insulator thereon with a semiconductor layer on the insulator. A deep trench isolation is formed, introducing strain to the semiconductor layer. A gate dielectric and a gate are formed on the semiconductor layer. A spacer is formed around the gate, and the semiconductor layer and the insulator are removed outside the spacer. Recessed source/drain are formed outside the spacer.

七、指定代表圖：

(一)本案指定代表圖為：第 (5) 圖。

(二)本代表圖之元件代表符號簡單說明：

100	晶圓
102	半導體基板
104	埋入氧化層
202	閘極介電體
204	閘極
302	線性區
304	間隔體
402	嵌入式源/汲極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94137086

※ 申請日期：94.10.14

※IPC 分類：

H01L 21/336

H01L 21/8238

一、發明名稱：(中文/英文)

應變全空乏絕緣層上覆矽半導體裝置及其製造方法

STRAINED FULLY DEPLETED SILICON ON INSULATOR SEMICONDUCTOR
DEVICE AND MANUFACTURING METHOD THEREFOR

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商格羅方德半導體公司

GLOBALFOUNDRIES US INC.

代表人：(中文/英文) 阿柏格 傑西 / ABZUG, JESSE

住居所或營業所地址：(中文/英文)

美國·加州 95305·密爾皮塔斯·100 室·麥卡錫大道·北 880 號

880 N. McCarthy Blvd., Suite 100, Milpitas, California 95305,

U. S. A.

國 籍：(中文/英文) 美國 / US

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 相奇

/ QI, XIANG

2. 撒巴 尼若

/ SUBBA, NIRAJ

3. 瑪斯札若 威特德 P

/ MASZARA, WITOLD P.

4. 克利弗卡碧 佐倫

/ KRIVOKAPIC, ZORAN

5. 林明仁

/ LIN, MING-REN

國 籍：(中文/英文) 1. 中國大陸 / CHINA 2. 尼泊爾 / NEPAL

3. 4. 5. 美國 / US

變。如此一來，嵌入式源/汲極 402 的 SiGe 有效地於 FDSOI PMOS 電晶體的通道 404 中產生應變。因為嵌入式源/汲極 402 緊鄰通道 404，並導入比能導入提升的源/汲極中之應變更多的應變，因此亦使該應變更有效。

此外，已發現於 FDSOI NMOS 電晶體中，藉碳化矽 (silicon carbide, SiC) 的選擇性磊晶生長，能進一步改善應變。如此一來，嵌入式源/汲極的 SiC 有效地於 FDSOI NMOS 電晶體的通道 404 中產生應變。因為嵌入式源/汲極 402 緊鄰通道 404，並能導入比能導入提升的源/汲極中之應變更多的應變，因此亦使該應變更有效。

以上應變控制能施行做為從深溝隔離區 108 之應變控制的輔助 (adjunct)，或做為嵌入式源/汲極 402 形成前，深溝隔離區 108 形成的基本控制。

第 6 圖顯示依據本發明之另一實施例之進一步加工後的第 5 圖構造。經蝕刻步驟已將間隔體 304 (見第 5 圖) 且深溝隔離區 108 (見第 5 圖) 之介電質充填物移除，留下溝槽 602。蝕刻後，接觸蝕刻停止層 604 沉積於溝槽 602 中且於源/汲極 402、線性區 302 與閘極 204 之上。溝槽 602 中的接觸蝕刻停止層 604 將另外的應變導入通道 404。

第 7 圖顯示依據本發明之製造應變全空乏絕緣層上覆矽半導體裝置的方法 700 的流程圖。方法 700 包括於步驟 702 中，提供其上具有絕緣體的半導體基板，其中該絕緣體上具有半導體層；於步驟 704 中，於該半導體層上形成閘極介電體與閘極；於步驟 706 中，於間隔體外部形成間

101 年 7 月 10 日修正替換頁

十、申請專利範圍：

1. 一種製造半導體裝置的方法，包括下列步驟：

提供於其上具有絕緣體的半導體基板，其中該絕緣體上有半導體層；

形成深溝隔離區，將應變導至該半導體層；

於該半導體層上形成閘極介電體與閘極；

圍繞該閘極形成間隔體；

除去於該間隔體外部的該半導體層與該絕緣體；

於該間隔體外部形成嵌入式源/汲極；

除去該間隔體；

除去該深溝隔離區，留下溝槽；以及

於該溝槽中、該嵌入式源/汲極上及該閘極上沉積接觸蝕刻停止層，將應變導至該半導體層。

2. 如申請專利範圍第 1 項的方法，其中，於該間隔體外部形成嵌入式源/汲極之步驟復包括以選擇性磊晶生長的方式，於該間隔體外部形成嵌入式源/汲極。

3. 如申請專利範圍第 1 項的方法，其中，於該間隔體外部形成嵌入式源/汲極之步驟復包括於該間隔體外部形成嵌入式碳摻雜的矽源/汲極，將應變導至該半導體層。

4. 如申請專利範圍第 1 項的方法，其中，於該間隔體外部形成嵌入式源/汲極之步驟復包括於該間隔體外部形成嵌入式矽鍺源/汲極，將應變導至該半導體層。

5. 一種製造半導體裝置的方法，包括下列步驟：

提供矽基板，該矽基板具有於其上之埋入氧化層絕

緣體及於該絕緣體上之矽層；

形成深溝隔離區，將應變導至該矽層；

於該矽層上形成閘極介電體與閘極；

圍繞該閘極且於該矽層上形成線性區；

於圍繞該閘極的線性區上形成間隔體；

除去該矽層與該絕緣體，以暴露於該間隔體外部的該矽基板之表面；

以選擇性磊晶生長的方式，於該間隔體外部形成嵌入式源/汲極；

除去該間隔體；

除去該深溝隔離區，留下溝槽；以及

於該溝槽中且於該嵌入式源/汲極、該線性區與該閘極上沉積接觸蝕刻停止層，將應變導至該矽層。

6. 如申請專利範圍第 5 項的方法，其中，以選擇性磊晶生長的方式於該間隔體外部形成嵌入式源/汲極之步驟復包括以選擇性磊晶生長的方式，於該間隔體外部的該矽基板之表面上形成嵌入式源/汲極。
7. 如申請專利範圍第 5 項的方法，其中，以選擇性磊晶生長的方式於該間隔體外部形成嵌入式源/汲極之步驟復包括以選擇性磊晶生長的方式，於該間隔體外部形成嵌入式碳摻雜的矽源/汲極，將應變導至該矽層。
8. 如申請專利範圍第 5 項的方法，其中，以選擇性磊晶生長的方式於該間隔體外部形成嵌入式源/汲極之步驟復包括以選擇性磊晶生長的方式，於該間隔體外部形成嵌

入式矽鍺源/汲極，將應變導至該矽層。

9. 一種半導體裝置，包括：

半導體基板，於其上具有絕緣體，該絕緣體上有半導體層；

閘極介電體與閘極，位於該半導體層上；

選擇性之圍繞該閘極的間隔體；

嵌入式源/汲極，位於該間隔體外部；

溝槽，以間隔開方式位於該間隔體外部，選擇性地将應變導至該半導體層；以及

接觸蝕刻停止層，位於該溝槽中、該嵌入式源/汲極上以及該閘極上，而將應變導至該半導體層。

10. 如申請專利範圍第 9 項的半導體裝置，其中，於該間隔體外部的該嵌入式源/汲極，復包括以選擇性磊晶生長的方式形成於該間隔體外部的嵌入式源/汲極。

11. 如申請專利範圍第 9 項的半導體裝置，其中，於該間隔體外部的該嵌入式源/汲極，復包括將應變導至該半導體層而位於該間隔體外部的嵌入式碳摻雜的矽源/汲極。

12. 如申請專利範圍第 9 項的半導體裝置，其中，於該間隔體外部的該嵌入式源/汲極，復包括將應變導至該半導體層而位於該間隔體外部的嵌入式矽鍺源/汲極。

13. 一種半導體裝置，包括：

矽基板，具有於其上之埋入氧化層絕緣體及於該絕緣體上之矽層；

閘極介電體與閘極，位於該矽層上；

線性區，圍繞該閘極且位於該矽層上；

選擇性之間隔體，位於圍繞該閘極的線性區上；

嵌入式源/汲極，以選擇性磊晶生長的方式形成於該間隔體外部；

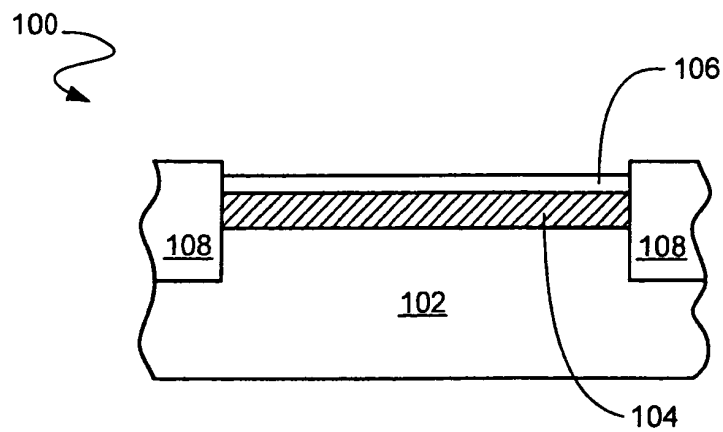
溝槽，以間隔開方式位於該間隔體外部，選擇性地將應變導至該矽層；以及

接觸蝕刻停止層，位於該溝槽中且位於該嵌入式源/汲極、該線性區與該閘極上，而將應變導至該矽層。

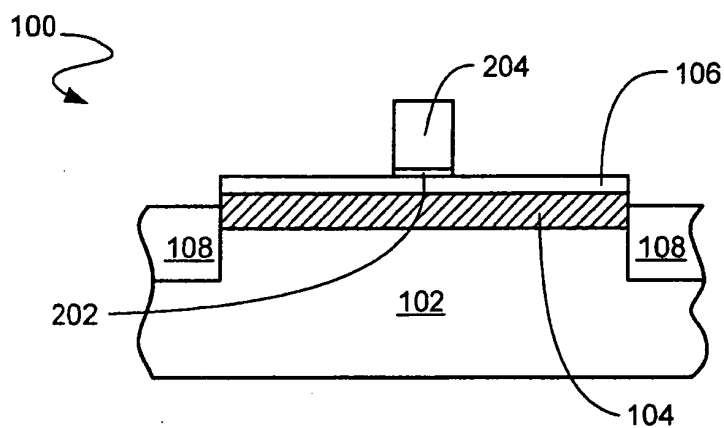
14. 如申請專利範圍第 13 項的半導體裝置，其中，以選擇性磊晶生長的方式形成於該間隔體外部的該嵌入式源/汲極，復包括以選擇性磊晶生長的方式形成於該間隔體外部的該矽基板之表面上的嵌入式源/汲極。
15. 如申請專利範圍第 13 項的半導體裝置，其中，以選擇性磊晶生長的方式形成於該間隔體外部的該嵌入式源/汲極，復包括以選擇性磊晶生長的方式形成於該間隔體外部的嵌入式碳摻雜矽源/汲極，將應變導至該矽層。
16. 如申請專利範圍第 13 項的半導體裝置，其中，以選擇性磊晶生長的方式形成於該間隔體外部的該嵌入式源/汲極，復包括以選擇性磊晶生長的方式形成於該間隔體外部的嵌入式矽鍍源/汲極，將應變導入於該矽層。

97年10月20日

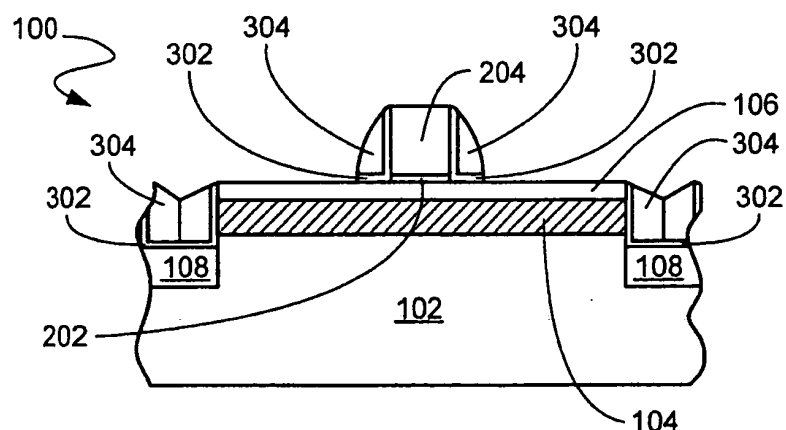
八、圖式：



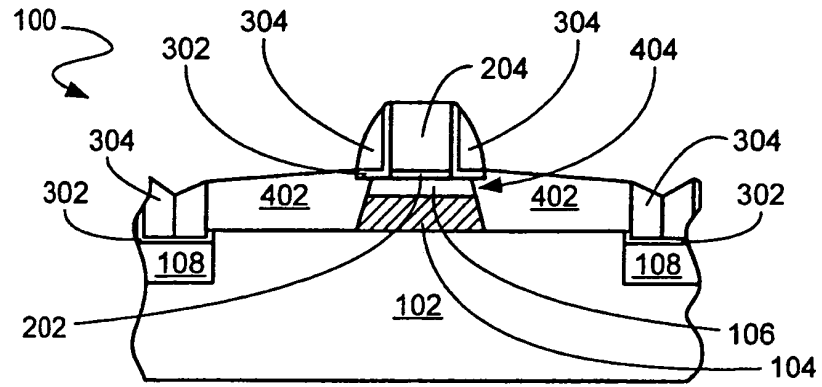
第1圖



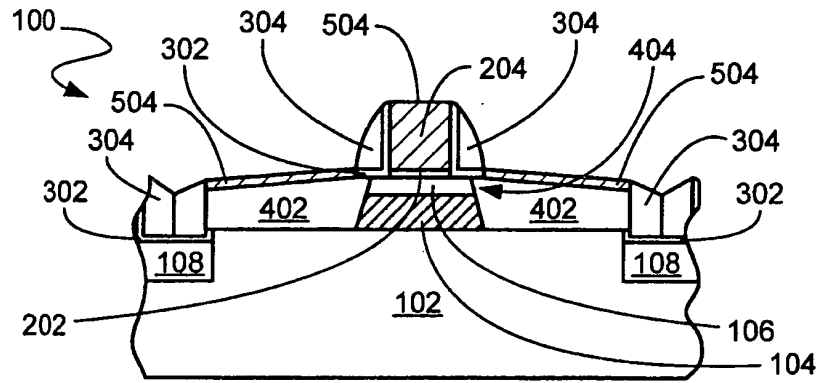
第2圖



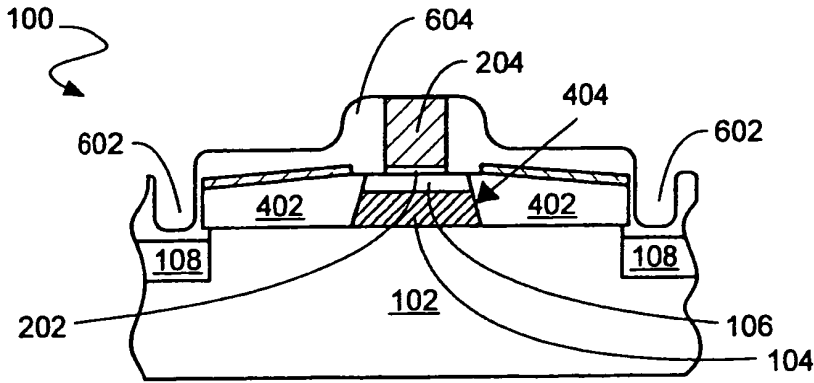
第3圖



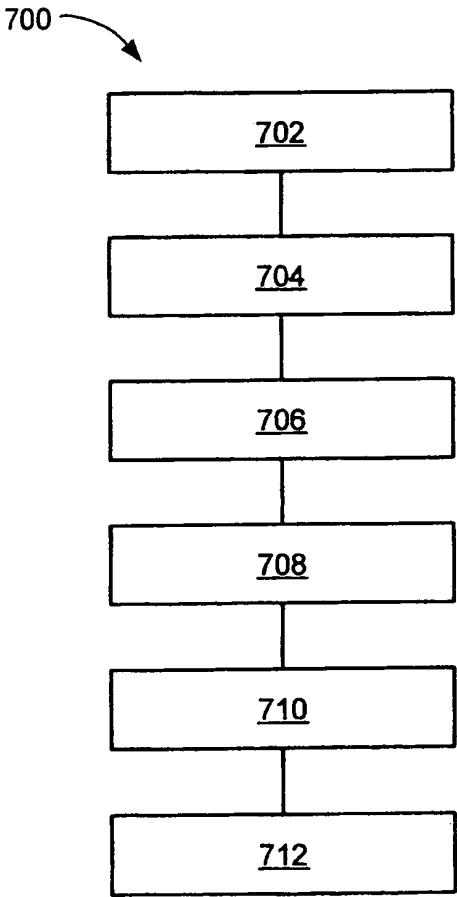
第4圖



第5圖



第6圖



第7圖