

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁶
H01L 21/76

(45) 공고일자 2002년08월22일
(11) 등록번호 10 - 0333714
(24) 등록일자 2002년04월10일

(21) 출원번호 10 - 1998 - 0024668
(22) 출원일자 1998년06월29일

(65) 공개번호 특2000 - 0003426
(43) 공개일자 2000년01월15일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136 - 1

(72) 발명자 원대희
경기도 이천시 증포동 244 - 3 대우2차아파트 205동1806호
피승호
경기도 이천시 부발읍 아미리 현대 3차아파트 301동 2004호
여인석
경기도 성남시 분당구 서현동 한신아파트 124 - 202호

(74) 대리인 특허법인 신성
최종식
박정후
정지원

심사관 : 이금옥

(54) 반도체장치의소자분리막형성방법

요약

본 발명은 반도체 기술분야에 관한 것으로, 특히 소자간의 전기적 분리를 위한 소자 분리막 형성방법에 관한 것이며, 더 자세히는 STI(Shallow Trench Isolation) 공정에 관한 것이다. 본 발명은 STI 공정시 트렌치 식각에 의한 기판 손상의 잔류 가능성을 최소화하는 반도체 장치의 소자 분리막 형성방법을 제공하는데 그 목적이 있다. 본 발명의 일 측면에 따르면, 반도체 기판에 트렌치를 형성하는 단계; 상기 트렌치가 형성된 상기 반도체 기판을 질소 분위기에서 열처리하는 단계; 열처리를 거친 상기 트렌치의 표면에 희생 산화막을 형성하는 단계; 상기 희생 산화막을 습식 제거하는 단계; 상기 희생 산화막이 습식 제거된 상기 트렌치 표면에 열산화막을 형성하는 단계; 및 상기 열산화막이 형성된 상기 트렌치 내에 절연층을 매립하는 단계를 포함하는 반도체 장치의 소자 분리막 형성방법이 제공된다.

대표도

도 3

색인어

소자 분리막, 트렌치, 식각 손상, 열처리, 질소 분위기, 희생산화

명세서

도면의 간단한 설명

도 1은 종래의 STI(Shallow Trench Isolation) 기술에 따라 형성된 소자 분리막의 투과전자현미경(TEM) 사진도.

도 2a 내지 도 2e는 본 발명의 일 실시예에 따른 반도체 장치의 STI 공정도.

도 3은 본 발명의 일 실시예에 따라 형성된 소자 분리막의 투과전자현미경(TEM) 사진도.

* 도면의 주요 부분에 대한 부호의 설명

20, 30 : 실리콘 기판 21 : 패드 산화막

22 : 질화막 23 : 식각 손상부

24, 31 : 산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기술분야에 관한 것으로, 특히 소자간의 전기적 분리를 위한 소자 분리막 형성방법에 관한 것이며, 더 자세히는 STI(Shallow Trench Isolation) 공정에 관한 것이다.

STI 공정은 반도체 장치의 디자인 룰(design rule)의 감소에 따른 필드 산화막의 열화와 같은 공정의 불안정 요인을 근본적으로 해결할 수 있는 소자 분리 공정으로 부각되고 있으며, 향후 1G DRAM급 이상의 초고집적 반도체 장치 제조 공정에의 적용이 유망한 기술이다.

종래의 STI 공정은 트렌치 식각후 바로 측벽 희생 산화 공정을 행하여 트렌치 식각시 발생한 표면 결함을 제거하고, 화학기상증착 산화물과 기판과의 인터페이스(interface)에서 포획(trap)되는 전하를 줄이기 위해 다시 한번 측벽 산화 공정을 실시한다.

이와 같은 종래의 STI 공정에서는 측벽 희생 산화 공정을 실시하더라도 트렌치 표면으로부터 일정 깊이 안에 존재하는 결함만이 제거 가능하며, 결함이 완전히 제거되지 않은 상태에서 다시 측벽 산화 공정을 실시하게 되면 제거되지 않은 결함이 산화막 또는 기판 표면 근처에 그대로 잔류하게 되어 누설 전류의 원인이 되는 문제점이 있었다.

첨부된 도면 도 1은 트렌치 식각시의 손상에 의한 결함이 소자 분리막 형성 완료 후에도 잔존하는 상태를 나타내고 있다. 도면 부호 '10'은 실리콘 기판, '11'은 잔류 결함, '12'는 산화층을 각각 나타낸 것이다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, STI 공정시 트렌치 식각에 의한 기판 손상의 잔류 가능성을 최소화하는 반도체 장치의 소자 분리막 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 일 측면에 따르면, 반도체 기판에 트렌치를 형성하는 단계; 상기 트렌치가 형성된 상기 반도체 기판을 질소 분위기에서 열처리하는 단계; 열처리를 거친 상기 트렌치의 표면에 희생 산화막을 형성하는 단계; 상기 희생 산화막을 습식 제거하는 단계; 상기 희생 산화막이 습식 제거된 상기 트렌치 표면에 열산화막을 형성하는 단계; 및 상기 열산화막이 형성된 상기 트렌치 내에 절연층을 매립하는 단계를 포함하는 반도체 장치의 소자 분리막 형성방법이 제공된다.

즉, 본 발명은 트렌치 식각후 질소 분위기에서의 고온 열처리를 통해 식각 손상을 크게 줄이고, 후속 측벽 희생 산화 공정을 진행하여 절연막 매립후에도 식각 손상에 의한 결함이 잔류할 가능성을 최소화한다.

이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.

첨부된 도면 도 2a 내지 도 2e는 본 발명의 일 실시예에 따른 반도체 장치의 STI 공정을 도시한 것으로, 이하 이를 참조하여 그 공정을 살펴본다.

우선, 도 2a에 도시된 바와 같이 실리콘 기판(20) 상에 패드 산화막(21) 및 질화막(22)을 각각 50 ~ 200Å 및 1000 ~ 3000Å의 두께로 차례로 증착한다.

이어서, 도 2b에 도시된 바와 같이 소자 분리 마스크를 사용한 사진 식각 공정을 실시하여 질화막(22) 및 패드 산화막(21)을 차례로 선택적 식각하여 산화 방지막 패턴을 형성하고, 패드 산화막(21) 및 질화막(22)으로 이루어진 산화 방지막 패턴을 식각장벽으로 하여 실리콘 기판(20)을 1500 ~ 4000Å 깊이로 건식 식각함으로써 트렌치를 형성한다. 이 때, 도시된 바와 같이 실리콘 기판(20)의 트렌치 부분에 식각 손상부(23)가 발생한다.

계속하여, 도 2c는 1000°C 이상의 고온의 N₂ 분위기 하에서 30 ~ 60분 정도 열처리를 실시한 상태를 나타낸 것으로서, 이러한 열처리에 의해 트렌치 식각시 발생한 실리콘 기판(20)의 식각 손상부(23)가 크게 줄어들게 된다.

다음으로, 도 2d는 트렌치 측벽 희생 산화 공정을 실시하여 50 ~ 200Å 두께의 희생 열산화막(도시되지 않음)을 형성하고, 이를 습식 식각하여 제거한 상태를 나타낸 것으로, 전단계의 열처리에 의해 크게 줄어든 식각 손상부(23)가 희생 산화 공정에 의해 완전히 제거된 것이다.

계속하여, 도 2e는 다시 트렌치 측벽 산화 공정을 실시하여 50 ~ 200Å 두께의 열산화막(도시되지 않음)을 형성하고, 고밀도 플라즈마 화학기상증착 방식의 산화막(24)으로 트렌치를 매립한 상태를 나타낸 것이다.

이후, 후속 화학·기계적 연마(CMP) 공정 및 질화막(22) 및 패드 산화막(21) 제거 공정 등을 진행하여 STI 공정을 완료한다.

전술한 공정을 통해 식각 손상이 완전히 제거된 상태에서 산화막매립을 실시할 수 있게 되므로, 도3의 투과전자 현미경(TEM) 사진에 도시된 바와 같이 실리콘 기판(30)과 산화막(31)의 경계면에서 식각 손상에 의한 결함이 발견되지 않는다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

이상에서와 같이 본 발명은 트렌치 식각후 질소 분위기에서의 열처리를 통해 후속 산화막 매립 후까지 식각 손상부가 남을 가능성을 최소화할 수 있으며, 이로 인하여 결함에 의한 누설전류를 줄이고 수율을 증대시키는 효과가 있다.

(57) 청구의 범위

청구항 1.

반도체 기판에 트렌치를 형성하는 단계;

상기 트렌치가 형성된 상기 반도체 기판을 질소 분위기에서 열처리하는 단계;

열처리를 거친 상기 트렌치의 표면에 희생 산화막을 형성하는 단계;

상기 희생 산화막을 습식 제거하는 단계;

상기 희생 산화막이 습식 제거된 상기 트렌치 표면에 열산화막을 형성하는 단계; 및

상기 열산화막이 형성된 상기 트렌치 내에 절연층을 매립하는 단계

를 포함하는 반도체 장치의 소자 분리막 형성방법.

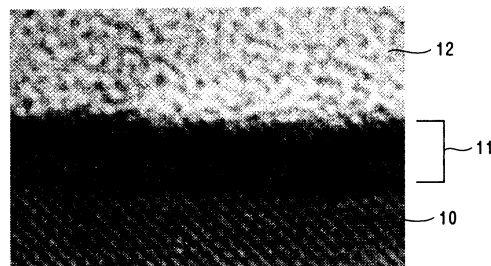
청구항 2.

제 1 항에 있어서,

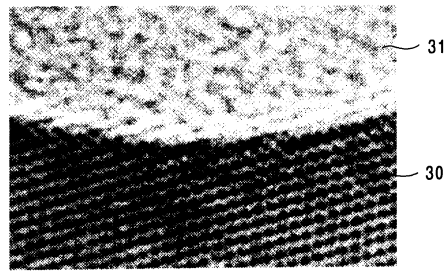
상기 열처리는, 적어도 1000°C의 온도에서 30 내지 60분 동안 실시하는 것을 특징으로 하는 반도체 장치의 소자 분리막 형성방법.

도면

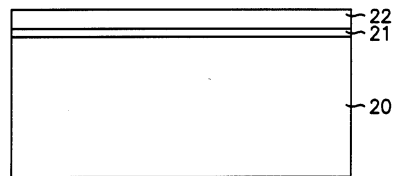
도면 1



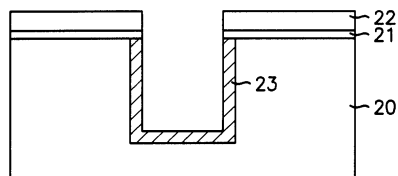
도면 3



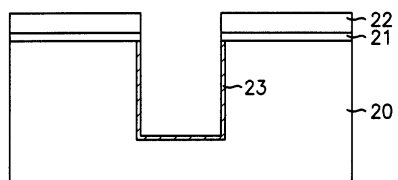
도면 2a



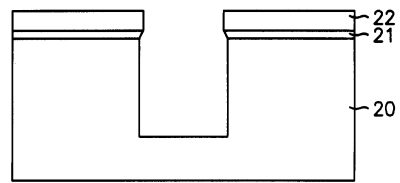
도면 2b



도면 2c



도면 2d



도면 2e

