

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年6月11日(11.06.2015)



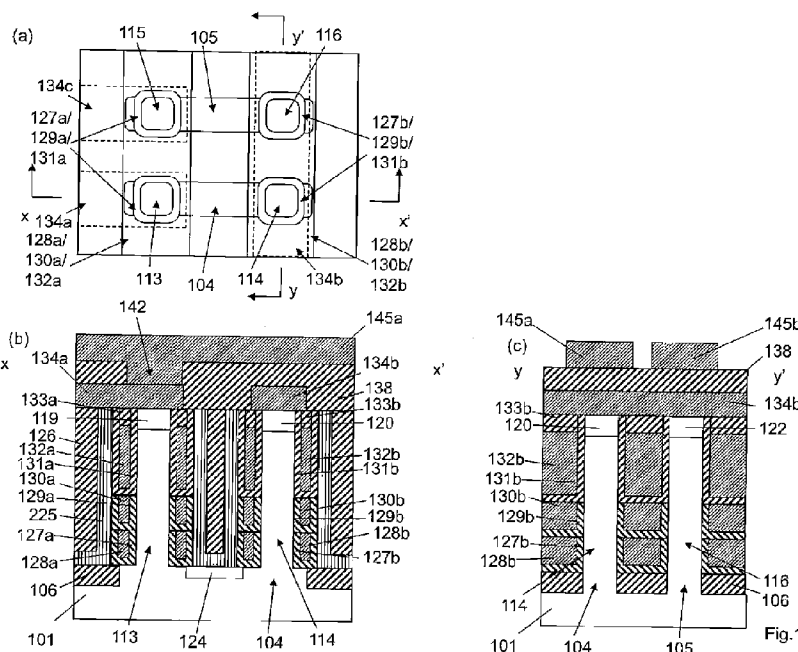
(10) 国際公開番号
WO 2015/083287 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 27/115 (2006.01)
H01L 21/8247 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2013/082838
- (22) 国際出願日: 2013年12月6日(06.12.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニサンティス エレクトロニクス シンガポール プライベート リミテッド (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098 ノースブリッジロード 111、ペニンシュラ プラザ #16-04 Singapore (SG).
- (72) 発明者: および
- (71) 出願人(米国についてののみ): 舩岡 富士雄(MASUOKA Fujio) [JP/JP]; 〒1020073 東京都千代田区九段北1-15-2 九段坂パークビル4F Semicon Consulting株式会社内 Tokyo (JP). 中村 広記(NAKAMURA Hiroki) [JP/JP]; 〒1020073 東京都千代田区九段北1-15-2 九段坂パークビル4F Semicon Consulting株式会社内 Tokyo (JP).
- (74) 代理人: 辻居 幸一, 外(TSUJII Koichi et al.); 〒1008355 東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置及び半導体装置の製造方法



(57) Abstract: The problem addressed by the present invention is to provide a structure and a manufacturing method for a semiconductor device wherein alignment offsetting of a selection gate and a columnar semiconductor layer is eliminated and the columnar semiconductor layer is formed on a fin shaped semiconductor layer formed on a substrate. This problem is solved by a semiconductor device characterized by having: a fin shaped semiconductor substrate; a first insulating film formed surrounding the fin shaped semiconductor layer; a first columnar semiconductor layer formed on the fin shaped semiconductor layer; a first gate insulating film that includes a charge accumulating layer formed around the first columnar semiconductor layer; a first control gate formed around the first gate insulating film, that first control gate extending in a direction orthogonal to the fin shaped semiconductor layer; a second gate insulating film formed around the first columnar semiconductor layer and formed in a position above the first gate insulating film;

insulating film; and a first selection gate formed around the second gate insulating film, that first selection gate extending in a direction orthogonal to the fin shaped semiconductor layer.

(57) 要約:

[続葉有]



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

選択ゲートと、柱状半導体層との合わせずれをなくすことができ、基板上に形成されたフィン状半導体層上に柱状半導体層が形成される半導体装置の構造及び製造方法を提供することを課題とする。半導体基板上に形成されたフィン状半導体層と、前記フィン状半導体層の周囲に形成された第 1 の絶縁膜と、前記フィン状半導体層上に形成された第 1 の柱状半導体層と、前記第 1 の柱状半導体層の周囲に形成された電荷蓄積層を含む第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜の周囲に形成された第 1 の制御ゲートと、前記第 1 の制御ゲートは前記フィン状半導体層に直交する方向に延在するのであって、前記第 1 の柱状半導体層の周囲に形成され、前記第 1 のゲート絶縁膜より上の位置に形成された第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜の周囲に形成された第 1 の選択ゲートと、前記第 1 の選択ゲートは前記フィン状半導体層に直交する方向に延在するのであって、を有することを特徴とする半導体装置により、上記課題を解決する。

明 細 書

発明の名称：半導体装置及び半導体装置の製造方法

技術分野

- [0001] 本発明は半導体装置及び半導体装置の製造方法に関する。
- [0002] 近年、メモリの集積度を高めるために、メモリセルを三次元的に配置した半導体記憶装置が提案されている（例えば、特許文献 1、特許文献 2 を参照）。
- [0003] ポリシリコン膜と酸化珪素膜を交互に形成し、メモリトランジスタの柱状の半導体を形成するためのメモリプラグホールを形成し、メモリプラグホールにアモルファスシリコン膜を堆積し、柱状のアモルファスシリコン層を形成している。その後、フォトエッチング工程により、選択ゲートトランジスタの層を分離している（例えば、特許文献 1 を参照）。
- [0004] また、選択ゲートトランジスタの層及びワード線が分離されていることが示されている（例えば、特許文献 2 を参照）。
- [0005] ポリシリコン膜と酸化珪素膜を交互に形成し、メモリトランジスタの柱状の半導体を形成するためのメモリプラグホールを形成し、メモリプラグホールにアモルファスシリコン膜を堆積し、柱状のアモルファスシリコン層を形成し、その後、フォトエッチング工程により、選択ゲートトランジスタの層を分離し、選択ゲートが柱状のアモルファスシリコン層を取り囲む構造にするためには、選択ゲートトランジスタの層の分離のためのフォトレジストは、柱状アモルファスシリコン層を覆う必要があり、マスク合わせ余裕が必要となり、一本の柱状のアモルファスシリコン層当たりの面積が増大する。
- [0006] また、アモルファスシリコンもしくは多結晶シリコンが柱状シリコン層に用いられると、結晶粒界により、電荷の移動度が低下し、読み出し速度が低下する。
- [0007] また、従来の MOS トランジスタにおいて、メタルゲートプロセスと高温プロセスを両立させるために、高温プロセス後にメタルゲートを作成するメタルゲートラストプロセスが用いられている（非特許文献 1）。ポリシリコン

でゲートを作成し、その後、層間絶縁膜を堆積後、化学機械研磨によりポリシリコンゲートを露出し、ポリシリコンゲートをエッチング後、メタルを堆積している。そのためSGTにおいてもメタルゲートプロセスと高温プロセスを両立させるために、高温プロセス後にメタルゲートを作成するメタルゲートラストプロセスを用いる必要がある。

先行技術文献

特許文献

[0008] 特許文献1：特開2007-266143号公報

特許文献2：特開2013-4690号公報

非特許文献

[0009] 非特許文献1：IEDM2007 K. Mistry et.al, pp 247-250

発明の概要

発明が解決しようとする課題

[0010] そこで、選択ゲートと、柱状半導体層との合わせずれをなくすことができ、基板上に形成されたフィン状半導体層上に柱状半導体層が形成される半導体装置の構造及び製造方法を提供することを目的とする。

課題を解決するための手段

[0011] 本発明の半導体装置は、半導体基板上に形成されたフィン状半導体層と、前記フィン状半導体層の周囲に形成された第1の絶縁膜と、前記フィン状半導体層上に形成された第1の柱状半導体層と、前記第1の柱状半導体層の周囲に形成された電荷蓄積層を含む第1のゲート絶縁膜と、前記第1のゲート絶縁膜の周囲に形成された第1の制御ゲートと、前記第1の制御ゲートは前記フィン状半導体層に直交する方向に延在するのであって、前記第1の柱状半導体層の周囲に形成され、前記第1のゲート絶縁膜より上の位置に形成された第2のゲート絶縁膜と、前記第2のゲート絶縁膜の周囲に形成された第1の選択ゲートと、前記第1の選択ゲートは前記フィン状半導体層に直交する方向に延在するのであって、を有することを特徴とする。

- [0012] また、前記フィン状半導体層上に形成された第2の柱状半導体層と、前記第2の柱状半導体層の周囲に形成された電荷蓄積層を含む第3のゲート絶縁膜と、前記第3のゲート絶縁膜の周囲に形成された第2の制御ゲートと、前記第2の制御ゲートは前記フィン状半導体層に直交する方向に延在するのであって、前記第2の柱状半導体層の周囲に形成され、前記第3のゲート絶縁膜より上の位置に形成された第4のゲート絶縁膜と、前記第4のゲート絶縁膜の周囲に形成された第2の選択ゲートと、前記第2の選択ゲートは前記フィン状半導体層に直交する方向に延在するのであって、前記第2の柱状半導体層上部に接続された前記フィン状半導体層に直交する方向に延在するソース配線と、を有することを特徴とする。
- [0013] また、前記第1のゲート絶縁膜は、電荷蓄積層として窒化膜を含むことを特徴とする。
- [0014] また、前記第1の制御ゲートは、前記基板に垂直方向に2つ以上配置されることを特徴とする。
- [0015] また、前記第2の制御ゲートは、前記基板に垂直方向に2つ以上配置されることを特徴とする。
- [0016] また、前記第1の柱状半導体層の前記フィン状半導体層に直交する方向の幅は前記フィン状半導体層の前記フィン状半導体層に直交する方向の幅と同じであって、前記第1の制御ゲートの周囲と底部に形成された前記第1のゲート絶縁膜と、を有することを特徴とする。
- [0017] また、前記第2の柱状半導体層の前記フィン状半導体層に直交する方向の幅は前記フィン状半導体層の前記フィン状半導体層に直交する方向の幅と同じであって、前記第2の制御ゲートの周囲と底部に形成された前記第3のゲート絶縁膜と、を有することを特徴とする。
- [0018] また、前記フィン状半導体層上部の前記第1の柱状半導体層と前記第2の柱状半導体層との間に形成された第1の拡散層を有し、前記第1の柱状半導体層の上部に形成された第2の拡散層と、前記第2の柱状半導体層の上部に形成された第3の拡散層と、を有することを特徴とする。

[0019] また、前記第 1 の選択ゲートの周囲と底部に形成された前記第 2 のゲート絶縁膜と、

を有することを特徴とする。

[0020] また、前記第 2 の選択ゲートの周囲と底部に形成された前記第 4 のゲート絶縁膜と、

を有することを特徴とする。

[0021] また、本発明の半導体装置の製造方法は、半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第 1 の絶縁膜を形成する第 1 工程と、前記第 1 工程の後、前記フィン状半導体層の周囲に第 2 の絶縁膜を形成し、前記第 2 の絶縁膜の上に第 1 のポリシリコンを堆積し平坦化し、制御ゲートと選択ゲートと第 1 の柱状半導体層と第 2 の柱状半導体層とコンタクト配線を形成するための第 2 のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第 1 のポリシリコンと前記第 2 の絶縁膜と前記フィン状半導体層をエッチングすることにより、第 1 の柱状半導体層と前記第 1 のポリシリコンによる第 1 のダミーゲートと第 2 の柱状半導体層と前記第 1 のポリシリコンによる第 2 のダミーゲートを形成する第 2 工程と、前記第 2 工程の後、前記第 1 の柱状半導体層と前記第 2 の柱状半導体層と前記第 1 のダミーゲートと前記第 2 のダミーゲートの周囲に第 4 の絶縁膜を形成し、前記第 4 の絶縁膜の周囲に第 2 のポリシリコンを堆積し、エッチングをすることにより、前記第 1 のダミーゲートと前記第 1 の柱状半導体層と前記第 2 のダミーゲートと前記第 2 の柱状半導体層の側壁に残存させ、第 3 のダミーゲートと第 4 のダミーゲートを形成する第 3 工程と、前記フィン状半導体層上部に第 1 の拡散層を形成し、前記第 3 のダミーゲートと前記第 4 のダミーゲートとの周囲に、第 5 の絶縁膜を形成する第 4 工程と、前記第 4 工程の後、層間絶縁膜を堆積し平坦化し、前記第 1 のダミーゲートと前記第 2 のダミーゲートと前記第 3 のダミーゲートと前記第 4 のダミーゲートとの上部を露出し、前記第 1 のダミーゲートと前記第 2 のダミーゲートと前記第 3 のダミーゲートと前記第 4 のダミーゲートとを除去し、前記第 2 の絶縁膜と

前記第4の絶縁膜を除去する第5工程と、前記第5工程の後、第1のゲート絶縁膜と第3のゲート絶縁膜となる電荷蓄積層を含む絶縁膜を前記第1の柱状半導体層の周囲と前記第2の柱状半導体層の周囲と前記第5の絶縁膜の内側に形成し、ゲート導電膜を堆積し、エッチバックを行い、前記第1の柱状半導体層の周囲に第1の制御ゲートを形成し、前記第2の柱状半導体層の周囲に第2の制御ゲートを形成し、露出した前記第1のゲート絶縁膜と前記第3の絶縁膜となる前記電荷蓄積層を含む絶縁膜を除去する第6工程と、前記第6工程の後、前記第1の柱状半導体層周囲と前記第1の制御ゲート上と、前記第2の柱状半導体層周囲と前記第2の制御ゲート上に第2のゲート絶縁膜と第4のゲート絶縁膜となる絶縁膜を堆積し、ゲート導電体を堆積し、エッチバックを行い、前記第1の柱状半導体層の周囲に第1の選択ゲートを形成し、前記第2の柱状半導体層の周囲に第2の選択ゲートを形成する第7工程を有することを特徴とする。

[0022] また、前記第6工程が二回以上繰り返されることを特徴とする。

[0023] また、前記第2の絶縁膜の上に第1のポリシリコンを堆積し平坦化後、前記第1のポリシリコン上に第3の絶縁膜を形成することをさらに含むことを特徴とする。

[0024] また、前記第1の柱状半導体層と前記第1のダミーゲートと前記第2の柱状半導体層と前記第2のダミーゲートの周囲に第4の絶縁膜を形成後、第3のレジストを形成し、エッチバックを行い、前記第1の柱状半導体層上部と前記第2の柱状半導体層上部を露出し、前記第1の柱状半導体層上部に第2の拡散層を形成し、前記第2の柱状半導体層上部に第3の拡散層を形成することを特徴とする。

発明の効果

[0025] 本発明によれば、選択ゲートと、柱状半導体層との合わせずれをなくすることができ、基板上に形成されたフィン状半導体層上に柱状半導体層が形成される半導体装置の構造及び製造方法を提供することができる。

[0026] 制御ゲート端部及び選択ゲート端部は別途加工をする必要があるが、2個

のマスクで、自己整合で、フィン状半導体層、柱状半導体層、制御ゲート、選択ゲートを形成することができる。

[0027] 選択ゲートと、柱状半導体層との合わせずれをなくすることができる。さらに、制御ゲートと、柱状半導体層との合わせずれをなくすることができる。従って、柱状半導体層当たりの面積を縮小することができる。

[0028] また、基板上に形成されたフィン状半導体層上に柱状半導体層が形成されるため、柱状半導体層は、単結晶であり、電荷の移動度が粒界により低下することを回避することができ、粒界により読み出し速度が低下することを回避することができる。

[0029] また、ポリシリコンで第1のダミーゲートと第2のダミーゲートと第3のダミーゲートと第4のダミーゲートとを作成し、その後、層間絶縁膜を堆積後、化学機械研磨により第1のダミーゲートと第2のダミーゲートと第3のダミーゲートと第4のダミーゲートとを露出し、ポリシリコンゲートをエッチング後、金属を堆積する従来のメタルゲートラストの製造方法を用いることができるため、金属を制御ゲートと選択ゲートに用いたSGT型フラッシュメモリを容易に形成できる。

[0030] また、制御ゲートの周囲と底部に形成されたゲート絶縁膜により、制御ゲートは、柱状半導体層とフィン状半導体層とから絶縁をすることができる。

[0031] また、選択ゲートの周囲と底部に形成されたゲート絶縁膜により、選択ゲートは、柱状半導体層と制御ゲートとから絶縁をすることができる。

[0032] また、フィン状半導体層の周囲に形成された第1の絶縁膜により素子分離がなされるため、第1の柱状半導体層とフィン状半導体層と第2の柱状半導体層とで、メモリストリングスを形成することができる。

図面の簡単な説明

[0033] [図1] (a) は本発明に係る半導体装置の平面図である。(b) は(a)のX-X'線での断面図である。(c) は(a)のY-Y'線での断面図である。

[図2] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b)

)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図3] (a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図4] (a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図5] (a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図6] (a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図7] (a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図8] (a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図9] (a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図10] (a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線での断面図である。

[図11] (a)は本発明に係る半導体装置の製造方法に係る平面図である。(b)は(a)のX-X'線での断面図である。(c)は(a)のY-Y'線

での断面図である。

[図12] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図13] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図14] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図15] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図16] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図17] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図18] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図19] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図20] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図21] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図22] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図23] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図24] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図25] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図26] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図27] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図28] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図29] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図30] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(

b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図31] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図32] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図33] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図34] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図35] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図36] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図37] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図38] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図39] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線

での断面図である。

[図40] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図41] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図42] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図43] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図44] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図45] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図46] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図47] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図48] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

[図49] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の X-X' 線での断面図である。(c) は (a) の Y-Y' 線での断面図である。

発明を実施するための形態

[0034] 以下に半導体装置の構造を図1に示す。

[0035] 図1 (b) (c) には、この半導体装置の構造が、シリコン基板101上に形成されたフィン状シリコン層104と、前記フィン状シリコン層104の周囲に形成された第1の絶縁膜106とを有することを示している。

[0036] 図1 (b) を参照すると、前記フィン状シリコン層104上に形成された第1の柱状シリコン層113と、前記第1の柱状シリコン層113の周囲に形成された電荷蓄積層を含む第1のゲート絶縁膜127aと、前記第1のゲート絶縁膜127aの周囲に形成された第1の制御ゲート128aと、前記第1のゲート絶縁膜127aより上の位置に形成された第2のゲート絶縁膜131aと、前記第2のゲート絶縁膜131aの周囲に形成された第1の選択ゲート132aと、を有する。前記第1の制御ゲート128aは前記フィン状シリコン層104に直交する方向に延在し、前記第1の柱状シリコン層113の周囲に形成される。前記第1の選択ゲート132aは前記フィン状シリコン層104に直交する方向に延在する。

[0037] また、第1のゲート絶縁膜127aと第1の制御ゲート128aより上の位置に、前記第1の柱状シリコン層113の周囲に形成された電荷蓄積層を含む第1のゲート絶縁膜129aと、前記第1のゲート絶縁膜129aの周囲に形成された第1の制御ゲート130aと、を有する。前記第1の制御ゲート130aは前記フィン状シリコン層104に直交する方向に延在する。前記第1の制御ゲート128a、130aは、前記基板に垂直方向に2つ以上配置されている。

[0038] 図1 (c) に示すように、前記フィン状シリコン層104上に形成された第2の柱状シリコン層114と、前記第2の柱状シリコン層114の周囲に形成された電荷蓄積層を含む第3のゲート絶縁膜127bと、前記第3のゲ

ート絶縁膜 1 2 7 b の周囲に形成された第 2 の制御ゲート 1 2 8 b と、前記第 3 のゲート絶縁膜 1 2 7 b より上の位置に形成された第 4 のゲート絶縁膜 1 3 1 b と、前記第 4 のゲート絶縁膜 1 3 1 b の周囲に形成された第 2 の選択ゲート 1 3 2 b と、前記第 2 の柱状シリコン層 1 1 4 上部に接続された前記フィン状シリコン層 1 0 4 に直交する方向に延在するソース配線 1 3 4 b と、を有する。ここで、前記第 2 の制御ゲート 1 2 8 b は前記フィン状シリコン層 1 0 4 に直交する方向に延在し、前記第 2 の柱状シリコン層 1 1 4 の周囲に形成される。前記第 2 の選択ゲート 1 3 2 b は前記フィン状シリコン層 1 0 4 に直交する方向に延在する。

[0039] また、第 1 の柱状シリコン層 1 1 3 上部に接続されたフィン状シリコン層 1 0 4 に平行な方向に延在する第 1 のビット線 1 3 4 a を有する。

[0040] また、第 1 のビット線 1 3 4 a にコンタクト 1 4 2 を介して接続された、第 1 のビット線 1 3 4 a に平行な方向に延在する第 2 のビット線 1 4 5 a を有する。

[0041] また、第 3 のゲート絶縁膜 1 2 7 b と第 2 の制御ゲート 1 2 8 b より上の位置に、前記第 2 の柱状シリコン層 1 1 4 の周囲に形成された電荷蓄積層を含む第 3 のゲート絶縁膜 1 2 9 b と、前記第 3 のゲート絶縁膜 1 2 9 b の周囲に形成された第 2 の制御ゲート 1 3 0 b と、を有する。前記第 2 の制御ゲート 1 3 0 b は前記フィン状シリコン層 1 0 4 に直交する方向に延在する。前記第 2 の制御ゲート 1 2 8 b、1 3 0 b は、前記基板に垂直方向に 2 つ以上配置されている。

[0042] 前記フィン状シリコン層 1 0 4 上部の前記第 1 の柱状シリコン層 1 1 3 と前記第 2 の柱状シリコン層 1 1 4 との間に形成された第 1 の拡散層 1 2 4 を有し、前記第 1 の柱状シリコン層 1 1 3 の上部に形成された第 2 の拡散層 1 1 9 と、前記第 2 の柱状シリコン層 1 1 4 の上部に形成された第 3 の拡散層 1 2 0 と、を有する。

[0043] 基板上に形成されたフィン状シリコン層 1 0 4 上に第 1 と第 2 の柱状シリコン層 1 1 3、1 1 4 が形成されるため、第 1 と第 2 の柱状シリコン層 1 1

3、114は、単結晶であり、電荷の移動度が粒界により低下することを回避することができ、粒界により読み出し速度が低下することを回避することができる。

[0044] また、フィン状シリコン層104の周囲に形成された第1の絶縁膜106により素子分離がなされるため、第1の柱状シリコン層113とフィン状シリコン層104と第2の柱状シリコン層114とで、メモリストリングスを形成することができる。

[0045] また、第1のゲート絶縁膜127a、第3のゲート絶縁膜127bは、電荷蓄積層として窒化膜を含むことが好ましい。酸化膜、窒化膜、酸化膜の積層構造としてもよい。

[0046] また、第1と第2の制御ゲート128a、128bの周囲と底部に形成された第1と第3のゲート絶縁膜127a、127bにより、第1の制御ゲート128a、128bは、第1と第2の柱状シリコン層113、114とフィン状シリコン層104とから絶縁をすることができる。

[0047] また、第1と第2の選択ゲート132a、132bの周囲と底部に形成された第2と第4のゲート絶縁膜131a、131bにより、第1と第2の選択ゲート132a、132bは、第1と第2の柱状半導体層113、114と第1と第2の制御ゲート130a、130bとから絶縁をすることができる。

[0048] 後述の本発明の半導体装置の製造方法により、前記第1の柱状シリコン層113の前記フィン状シリコン層104に直交する方向の幅は前記フィン状シリコン層104の前記フィン状シリコン層104に直交する方向の幅と同じであって、前記第2の柱状シリコン層114の前記フィン状シリコン層104に直交する方向の幅は前記フィン状シリコン層104の前記フィン状シリコン層に直交する方向の幅104と同じとなる。

[0049] 図1(a)に示すように、シリコン基板101上に形成されたフィン状シリコン層105と、前記フィン状シリコン層105の周囲に形成された第1の絶縁膜106とを有する。

[0050] 図1(b)に示すように、前記フィン状シリコン層105上に形成された第1の柱状シリコン層115と、前記第1の柱状シリコン層115の周囲に形成された電荷蓄積層を含む第1のゲート絶縁膜127aと、前記第1のゲート絶縁膜127aの周囲に形成された第1の制御ゲート128aと、前記第1のゲート絶縁膜127aより上の位置に形成された第2のゲート絶縁膜131aと、前記第2のゲート絶縁膜131aの周囲に形成された第1の選択ゲート132aと、を有する。前記第1の制御ゲート128aは前記フィン状シリコン層105に直交する方向に延在し、前記第1の柱状シリコン層115の周囲に形成される。前記第1の選択ゲート132aは前記フィン状シリコン層105に直交する方向に延在する。

[0051] また、第1のゲート絶縁膜127aと第1の制御ゲート128aより上の位置に、前記第1の柱状シリコン層115の周囲に形成された電荷蓄積層を含む第1のゲート絶縁膜129aと、前記第1のゲート絶縁膜129aの周囲に形成された第1の制御ゲート130aと、を有する。前記第1の制御ゲート130aは前記フィン状シリコン層105に直交する方向に延在する。前記第1の制御ゲート128a、130aは、前記基板に垂直方向に2つ以上配置されている。

[0052] 図1(c)に示すように、前記フィン状シリコン層105上に形成された第2の柱状シリコン層116と、前記第2の柱状シリコン層116の周囲に形成された電荷蓄積層を含む第3のゲート絶縁膜127bと、前記第3のゲート絶縁膜127bの周囲に形成された第2の制御ゲート128bと、前記第3のゲート絶縁膜127bより上の位置に形成された第4のゲート絶縁膜131bと、前記第4のゲート絶縁膜131bの周囲に形成された第2の選択ゲート132bと、前記第2の柱状シリコン層116上部に接続された前記フィン状シリコン層105に直交する方向に延在するソース配線134bと、を有する。前記第2の制御ゲート128bは前記フィン状シリコン層105に直交する方向に延在し、前記第2の柱状シリコン層116の周囲に形成される。前記第2の選択ゲート132bは前記フィン状シリコン層105

に直交する方向に延在する。

[0053] また、第1の柱状シリコン層115上部に接続されたフィン状シリコン層105に平行な方向に延在する第1のビット線134cを有する。

[0054] また、第1のビット線134cにコンタクト143（図46（a）参照）を介して接続された、第1のビット線134cに平行な方向に延在する第2のビット線145bを有する。

[0055] また、第3のゲート絶縁膜127bと第2の制御ゲート128bより上の位置に、前記第2の柱状シリコン層116の周囲に形成された電荷蓄積層を含む第3のゲート絶縁膜129bと、前記第3のゲート絶縁膜129bの周囲に形成された第2の制御ゲート130bと、を有する。前記第2の制御ゲート130bは前記フィン状シリコン層105に直交する方向に延在する。前記第2の制御ゲート128b、130bは、前記基板に垂直方向に2つ以上配置されている。

[0056] 前記フィン状シリコン層105上部の前記第1の柱状シリコン層115と前記第2の柱状シリコン層116との間に形成された第1の拡散層125（図19（a）参照）を有し、前記第1の柱状シリコン層115の上部に形成された第2の拡散層121（図24（a）参照）と、前記第2の柱状シリコン層116の上部に形成された第3の拡散層122と、を有する。

[0057] 以下に、本発明の実施形態に係る半導体装置の構造を形成するための製造工程を、図2～図49を参照して説明する。

[0058] まず、半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第1の絶縁膜を形成する第1工程を示す。本実施例では、シリコン基板としたが、半導体であればよい。

[0059] 図2に示すように、シリコン基板101上にフィン状シリコン層を形成するための第1のレジスト102、103を形成する。

[0060] 図3に示すように、シリコン基板101をエッチングし、フィン状シリコン層104、105を形成する。今回はレジストをマスクとしてフィン状シリコン層を形成したが、酸化膜や窒化膜といったハードマスクを用いてもよ

い。

- [0061] 図4に示すように、第1のレジスト102、103を除去する。
- [0062] 図5に示すように、フィン状シリコン層104、105の周囲に第1の絶縁膜106を堆積する。第1の絶縁膜として高密度プラズマによる酸化膜や低圧CVD(Chemical Vapor Deposition)による酸化膜を用いてもよい。
- [0063] 図6に示すように、第1の絶縁膜106をエッチバックし、フィン状シリコン層104、105の上部を露出する。
- [0064] 以上により半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第1の絶縁膜を形成する第1工程が示された。
- [0065] 次に、前記第1工程の後、前記フィン状半導体層の周囲に第2の絶縁膜を形成し、前記第2の絶縁膜の上に第1のポリシリコンを堆積し平坦化し、制御ゲートと選択ゲートと第1の柱状半導体層と第2の柱状半導体層とコンタクト配線を形成するための第2のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第1のポリシリコンと前記第2の絶縁膜と前記フィン状半導体層をエッチングすることにより、第1の柱状半導体層と前記第1のポリシリコンによる第1のダミーゲートと第2の柱状半導体層と前記第1のポリシリコンによる第2のダミーゲートを形成する第2工程を示す。
- [0066] 図7に示すように、前記フィン状シリコン層104、105の周囲に第2の絶縁膜107、108を形成する。第2の絶縁膜107、108は、酸化膜が好ましい。
- [0067] 図8に示すように、前記第2の絶縁膜107、108の上に第1のポリシリコン109を堆積し平坦化する。
- [0068] 図9に示すように、前記第1のポリシリコン109上に第3の絶縁膜110を形成する。第3の絶縁膜110は、窒化膜が好ましい。
- [0069] 図10に示すように、第1と第2の制御ゲート128a、128b、130a、130bと第1と第2の選択ゲート132a、132bと第1の柱状シリコン層113、115と第2の柱状半導体層114、116を形成する

ための第2のレジスト111、112を、前記フィン状シリコン層104、105の方向に対して垂直の方向に形成する。

[0070] 図11に示すように、前記第3の絶縁膜110と前記第1のポリシリコン109と前記第2の絶縁膜107、108と前記フィン状シリコン層104、105をエッチングすることにより、第1の柱状シリコン層113、115と前記第1のポリシリコンによる第1のダミーゲート109aと第2の柱状シリコン層114、116と前記第1のポリシリコンによる第2のダミーゲート109bを形成する。このとき、第3の絶縁膜110は、分離され、第3の絶縁膜110a、110bとなる。また、第2の絶縁膜107、108は分離され、第2の絶縁膜107a、107b、108a、108bとなる。このとき、第2のレジスト111、112がエッチング中に除去された場合、第3の絶縁膜110a、110bがハードマスクとして機能する。第2のレジストがエッチング中に除去されないとき、第3の絶縁膜を使用しなくてもよい。

[0071] 図12に示すように、第2のレジスト111、112を除去する。

[0072] 以上により、前記第1工程の後、前記フィン状半導体層の周囲に第2の絶縁膜を形成し、前記第2の絶縁膜の上に第1のポリシリコンを堆積し平坦化し、制御ゲートと選択ゲートと第1の柱状半導体層と第2の柱状半導体層とコンタクト配線を形成するための第2のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、前記第1のポリシリコンと前記第2の絶縁膜と前記フィン状半導体層をエッチングすることにより、第1の柱状半導体層と前記第1のポリシリコンによる第1のダミーゲートと第2の柱状半導体層と前記第1のポリシリコンによる第2のダミーゲートを形成する第2工程が示された。

[0073] 次に、前記第2工程の後、前記第1の柱状半導体層と前記第2の柱状半導体層と前記第1のダミーゲートと前記第2のダミーゲートの周囲に第4の絶縁膜を形成し、前記第4の絶縁膜の周囲に第2のポリシリコンを堆積し、エッチングをすることにより、前記第1のダミーゲートと前記第1の柱状半導

体層と前記第2のダミーゲートと前記第2の柱状半導体層の側壁に残存させ、第3のダミーゲートと第4のダミーゲートを形成する第3工程を示す。

[0074] 図13に示すように、前記第1の柱状シリコン層113、115と前記第2の柱状シリコン層114、116と前記第1のダミーゲート109aと前記第2のダミーゲート109bの周囲に第4の絶縁膜117を形成する。

[0075] 図14に示すように、第3のレジスト118を形成し、エッチバックを行い、第1の柱状シリコン層113、115上部と第2の柱状シリコン層114、116上部を露出する。

[0076] 図15に示すように、砒素やリン、ボロンといった不純物の注入を行い、第1の柱状シリコン層113、115上部に第2の拡散層119、121（図24（a）参照）を形成し、第2の柱状シリコン層114、116上部に第3の拡散層120、122を形成する。

[0077] 図16に示すように、第3のレジスト118を除去する。

[0078] 図17に示すように、第4の絶縁膜117の周囲に第2のポリシリコン123を堆積する。

[0079] 図18に示すように、第2のポリシリコン123をエッチングすることにより、前記第1のダミーゲート109aと前記第1の柱状シリコン層113、115と前記第2のダミーゲート109bと前記第2の柱状シリコン層114、116の側壁に残存させ、第3のダミーゲート123aと第4のダミーゲート123bを形成する。このとき、第4の絶縁膜117は分離され、第4の絶縁膜117a、117bとなってもよい。

[0080] 以上により、前記第2工程の後、前記第1の柱状半導体層と前記第2の柱状半導体層と前記第1のダミーゲートと前記第2のダミーゲートの周囲に第4の絶縁膜を形成し、前記第4の絶縁膜の周囲に第2のポリシリコンを堆積し、エッチングをすることにより、前記第1のダミーゲートと前記第1の柱状半導体層と前記第2のダミーゲートと前記第2の柱状半導体層の側壁に残存させ、第3のダミーゲートと第4のダミーゲートを形成する第3工程が示された。

- [0081] 次に、前記フィン状半導体層上部に第1の拡散層を形成し、前記第3のダミーゲートと前記第4のダミーゲートとの周囲に、第5の絶縁膜を形成する第4工程を示す。
- [0082] 図19に示すように、不純物を導入し、前記フィン状半導体層104、105上部に第1の拡散層124、125を形成する。n型拡散層のときは、砒素やリンを導入することが好ましい。p型拡散層のときは、ボロンを導入することが好ましい。拡散層形成は、後述の第5の絶縁膜からなるサイドウォール形成後に行ってもよい。
- [0083] 図20に示すように、前記第3のダミーゲート123aと前記第4のダミーゲート123bとの周囲に、第5の絶縁膜225を形成する。第5の絶縁膜225は、窒化膜が好ましい。この後、第5の絶縁膜225をエッチングし、サイドウォール状に残存させ、前記第5の絶縁膜からなるサイドウォールを形成し、第1の拡散層124、125上に金属と半導体の化合物層を形成してもよい。
- [0084] 以上により、前記フィン状半導体層上部に第1の拡散層を形成し、前記第3のダミーゲートと前記第4のダミーゲートとの周囲に、第5の絶縁膜を形成する第4工程が示された。
- [0085] 次に、前記第4工程の後、層間絶縁膜を堆積し平坦化し、前記第1のダミーゲートと前記第2のダミーゲートと前記第3のダミーゲートと前記第4のダミーゲートとの上部を露出し、前記第1のダミーゲートと前記第2のダミーゲートと前記第3のダミーゲートと前記第4のダミーゲートとを除去し、前記第2の絶縁膜と前記第4の絶縁膜を除去する第5工程を示す。
- [0086] 図21に示すように、層間絶縁膜126を堆積する。コンタクトストップ膜を用いてもよい。
- [0087] 図22に示すように、化学機械研磨し、前記第1のダミーゲート109aと前記第2のダミーゲート109bと前記第3のダミーゲート123aと前記第4のダミーゲート123bとの上部を露出する。
- [0088] 図23に示すように、前記第1のダミーゲート109aと前記第2のダミ

ーゲート 109b と前記第 3 のダミーゲート 123a と前記第 4 のダミーゲート 123b とを除去する。

[0089] 図 24 に示すように、前記第 2 の絶縁膜 107a、107b、108a、108b と前記第 4 の絶縁膜 117a、117b を除去する。

[0090] 以上により、前記第 4 工程の後、層間絶縁膜を堆積し平坦化し、前記第 1 のダミーゲートと前記第 2 のダミーゲートと前記第 3 のダミーゲートと前記第 4 のダミーゲートとの上部を露出し、前記第 1 のダミーゲートと前記第 2 のダミーゲートと前記第 3 のダミーゲートと前記第 4 のダミーゲートとを除去し、前記第 2 の絶縁膜と前記第 4 の絶縁膜を除去する第 5 工程が示された。

[0091] 次に、前記第 5 工程の後、第 1 のゲート絶縁膜と第 3 のゲート絶縁膜となる電荷蓄積層を含む絶縁膜を前記第 1 の柱状半導体層の周囲と前記第 2 の柱状半導体層の周囲と前記第 5 の絶縁膜の内側に形成し、ゲート導電膜を堆積し、エッチバックを行い、前記第 1 の柱状半導体層の周囲に第 1 の制御ゲートを形成し、前記第 2 の柱状半導体層の周囲に第 2 の制御ゲートを形成し、露出した前記第 1 のゲート絶縁膜と前記第 3 の絶縁膜となる前記電荷蓄積層を含む絶縁膜を除去する第 6 工程を示す。

[0092] 図 25 に示すように、第 1 のゲート絶縁膜 127a と第 3 のゲート絶縁膜 127b となる電荷蓄積層を含む絶縁膜 127 を前記第 1 の柱状シリコン層 113、115 の周囲と前記第 2 の柱状シリコン層 114、116 の周囲と前記第 5 の絶縁膜 225 の内側に形成する。電荷蓄積層を含む絶縁膜 127 は、窒化膜を含むことが好ましい。また、酸化膜、窒化膜、酸化膜の積層構造としてもよい。

[0093] 図 26 に示すように、ゲート導電膜 128 を堆積する。ゲート導電膜 128 は、金属であることが好ましい。

[0094] 図 27 に示すように、ゲート導電膜 128 のエッチバックを行い、前記第 1 の柱状シリコン層 113、115 の周囲に第 1 の制御ゲート 128a を形成し、前記第 2 の柱状シリコン層 114、116 の周囲に第 2 の制御ゲート

1 2 8 bを形成する。

[0095] 図28に示すように、露出した第1のゲート絶縁膜1 2 7 aと第3のゲート絶縁膜1 2 7 bとなる電荷蓄積層を含む絶縁膜1 2 7を除去する。絶縁膜1 2 7は分離され、第1のゲート絶縁膜1 2 7 aと第3のゲート絶縁膜1 2 7 bとなる。

[0096] 以上により、前記第5工程の後、第1のゲート絶縁膜と第3のゲート絶縁膜となる電荷蓄積層を含む絶縁膜を前記第1の柱状半導体層の周囲と前記第2の柱状半導体層の周囲と前記第5の絶縁膜の内側に形成し、ゲート導電膜を堆積し、エッチバックを行い、前記第1の柱状半導体層の周囲に第1の制御ゲートを形成し、前記第2の柱状半導体層の周囲に第2の制御ゲートを形成し、露出した前記第1のゲート絶縁膜と前記第3の絶縁膜となる前記電荷蓄積層を含む絶縁膜を除去する第6工程が示された。

[0097] 次に、第6工程を繰り返し、第1の制御ゲートが、基板に垂直方向に2つ以上形成され、第2の制御ゲートが、基板に垂直方向に2つ以上形成される工程を示す。

[0098] 図29に示すように、第1のゲート絶縁膜1 2 9 aと第3のゲート絶縁膜1 2 9 bとなる電荷蓄積層を含む絶縁膜1 2 9を、第1の制御ゲート1 2 8 a、第2の制御ゲート1 2 8 bの上と、前記第1の柱状シリコン層1 1 3、1 1 5の周囲と前記第2の柱状シリコン層1 1 4、1 1 6の周囲と前記第5の絶縁膜2 2 5の内側に形成する。電荷蓄積層を含む絶縁膜1 2 9は、窒化膜を含むことが好ましい。また、酸化膜、窒化膜、酸化膜の積層構造としてもよい。

[0099] 図30に示すように、ゲート導電膜1 3 0を堆積する。ゲート導電膜1 3 0は、金属であることが好ましい。

[0100] 図31に示すように、ゲート導電膜1 3 0のエッチバックを行い、前記第1の柱状シリコン層1 1 3、1 1 5の周囲に第1の制御ゲート1 3 0 aを形成し、前記第2の柱状シリコン層1 1 4、1 1 6の周囲に第2の制御ゲート1 3 0 bを形成する。

- [0101] 図32に示すように、露出した第1のゲート絶縁膜129aと第3のゲート絶縁膜129bとなる電荷蓄積層を含む絶縁膜129を除去する。絶縁膜129は分離され、第1のゲート絶縁膜129aと第3のゲート絶縁膜129bとなる。
- [0102] 以上により、第6工程を繰り返し、第1の制御ゲートが、基板に垂直方向に2つ以上形成され、第2の制御ゲートが、基板に垂直方向に2つ以上形成される工程が示された。第1と第2の制御ゲートを基板に垂直方向に4つ以上形成するには、第6工程を4回繰り返せばよい。
- [0103] 次に、前記第6工程の後、前記第1の柱状半導体層周囲と前記第1の制御ゲート上と、前記第2の柱状半導体層周囲と前記第2の制御ゲート上に第2のゲート絶縁膜と第4のゲート絶縁膜となる絶縁膜を堆積し、ゲート導電体を堆積し、エッチバックを行い、前記第1の柱状半導体層の周囲に第1の選択ゲートを形成し、前記第2の柱状半導体層の周囲に第2の選択ゲートを形成する第7工程を示す。
- [0104] 図33に示すように、第1の柱状シリコン層113、115周囲と第1の制御ゲート130a上と、第2の柱状シリコン層114、116周囲と第2の制御ゲート130b上に第2のゲート絶縁膜131aと第4のゲート絶縁膜131bとなる絶縁膜131を堆積する。
- [0105] 図34に示すように、ゲート導電膜132を堆積する。ゲート導電膜132は、金属であることが好ましい。
- [0106] 図35に示すように、エッチバックを行い、第1の柱状シリコン層113、115の周囲に第1の選択ゲート132aを形成し、第2の柱状シリコン層114、116の周囲に第2の選択ゲート132bを形成する。
- [0107] 以上により、前記第6工程の後、前記第1の柱状半導体層周囲と前記第1の制御ゲート上と、前記第2の柱状半導体層周囲と前記第2の制御ゲート上に第2のゲート絶縁膜と第4のゲート絶縁膜となる絶縁膜を堆積し、ゲート導電体を堆積し、エッチバックを行い、前記第1の柱状半導体層の周囲に第1の選択ゲートを形成し、前記第2の柱状半導体層の周囲に第2の選択ゲート

トを形成する第7工程が示された。

[0108] 次に、配線層を形成する工程を示す。

[0109] 図36に示すように、第2の層間絶縁膜133を堆積する。

[0110] 図37に示すように、平坦化を行い、第1の柱状シリコン層113、115上部と、第2の柱状シリコン層114、116上部を露出する。

[0111] 図38に示すように、金属134を堆積する。

[0112] 図39に示すように、第1のビット線134a、134c、ソース配線134bのための第4のレジスト135、136、137を形成する。

[0113] 図40に示すように、金属134をエッチングし、第1のビット線134a、134c、ソース配線134bを形成する。

[0114] 図41に示すように、第4のレジスト135、136、137を除去する。

[0115] 図42に示すように、第3の層間絶縁膜138を形成する。

[0116] 図43に示すように、コンタクトを形成するための第5のレジスト139を形成する。

[0117] 図44に示すように、第3の層間絶縁膜138をエッチングし、コンタクト孔140、141を形成する。

[0118] 図45に示すように、第5のレジスト139を除去する。

[0119] 図46に示すように、金属145を堆積する。このとき、コンタクト孔140、141に金属が埋め込まれ、コンタクト142、143が形成される。

[0120] 図47に示すように、第2のビット線145a、145bを形成するための第6のレジスト146、147を形成する。

[0121] 図48に示すように、金属145をエッチングし、第2のビット線145a、145bを形成する。

[0122] 図49に示すように、第5のレジスト139を除去する。

[0123] 以上により、配線層を形成する工程が示された。

[0124] 以上により、本発明の実施形態に係る半導体装置の構造を形成するための

製造工程が示された。

[0125] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。

[0126] 例えば、上記実施例において、p型（p⁺型を含む。）とn型（n⁺型を含む。）とをそれぞれ反対の導電型とした半導体装置の製造方法、及び、それにより得られる半導体装置も当然に本発明の技術的範囲に含まれる。

符号の説明

- [0127] 101. シリコン基板
102. 第1のレジスト
103. 第1のレジスト
104. フィン状シリコン層
105. フィン状シリコン層
106. 第1の絶縁膜
107. 第2の絶縁膜
107a. 第2の絶縁膜
107b. 第2の絶縁膜
108. 第2の絶縁膜
108a. 第2の絶縁膜
108b. 第2の絶縁膜
109. 第1のポリシリコン
109a. 第1のダミーゲート
109b. 第2のダミーゲート
110. 第3の絶縁膜
110a. 第3の絶縁膜
110b. 第3の絶縁膜
111. 第2のレジスト

- 1 1 2. 第2のレジスト
- 1 1 3. 第1の柱状シリコン層
- 1 1 4. 第2の柱状シリコン層
- 1 1 5. 第1の柱状シリコン層
- 1 1 6. 第2の柱状シリコン層
- 1 1 7. 第4の絶縁膜
- 1 1 7 a. 第4の絶縁膜
- 1 1 7 b. 第4の絶縁膜
- 1 1 8. 第3のレジスト
- 1 1 9. 第2の拡散層
- 1 2 0. 第3の拡散層
- 1 2 1. 第2の拡散層
- 1 2 2. 第3の拡散層
- 1 2 3. 第2のポリシリコン
- 1 2 3 a. 第3のダミーゲート
- 1 2 3 b. 第4のダミーゲート
- 1 2 4. 第1の拡散層
- 1 2 5. 第1の拡散層
- 1 2 6. 層間絶縁膜
- 1 2 7. 絶縁膜
- 1 2 7 a. 第1のゲート絶縁膜
- 1 2 7 b. 第3のゲート絶縁膜
- 1 2 8. ゲート導電膜
- 1 2 8 a. 第1の制御ゲート
- 1 2 8 b. 第2の制御ゲート
- 1 2 9. 絶縁膜
- 1 2 9 a. 第1のゲート絶縁膜
- 1 2 9 b. 第3のゲート絶縁膜

- 130. ゲート導電膜
 - 130a. 第1の制御ゲート
 - 130b. 第2の制御ゲート
- 131. 絶縁膜
 - 131a. 第2のゲート絶縁膜
 - 131b. 第4のゲート絶縁膜
- 132. ゲート導電膜
 - 132a. 第1の選択ゲート
 - 132b. 第2の選択ゲート
- 133. 第2の層間絶縁膜
- 134. 金属
 - 134a. 第1のビット線
 - 134b. ソース配線
 - 134c. 第1のビット線
- 135. 第4のレジスト
- 136. 第4のレジスト
- 137. 第4のレジスト
- 138. 第3の層間絶縁膜
- 139. 第5のレジスト
- 140. コンタクト孔
- 141. コンタクト孔
- 142. コンタクト
- 143. コンタクト
- 145. 金属
 - 145a. 第2のビット線
 - 145b. 第2のビット線
- 146. 第6のレジスト
- 147. 第6のレジスト

225. 第5の絶縁膜

請求の範囲

[請求項1]

半導体基板上に形成されたフィン状半導体層と、
前記フィン状半導体層の周囲に形成された第1の絶縁膜と、
前記フィン状半導体層上に形成された第1の柱状半導体層と、
前記第1の柱状半導体層の周囲に形成された電荷蓄積層を含む第1のゲート絶縁膜と、
前記第1のゲート絶縁膜の周囲に形成された第1の制御ゲートと、
ここで、前記第1の制御ゲートは前記フィン状半導体層に直交する方向に延在し、
前記第1の柱状半導体層の周囲に形成され、前記第1のゲート絶縁膜より上の位置に形成された第2のゲート絶縁膜と、
前記第2のゲート絶縁膜の周囲に形成された第1の選択ゲートと、
ここで、前記第1の選択ゲートは前記フィン状半導体層に直交する方向に延在し、
を有することを特徴とする半導体装置。

[請求項2]

前記フィン状半導体層上に形成された第2の柱状半導体層と、
前記第2の柱状半導体層の周囲に形成された電荷蓄積層を含む第3のゲート絶縁膜と、
前記第3のゲート絶縁膜の周囲に形成された第2の制御ゲートと、
ここで、前記第2の制御ゲートは前記フィン状半導体層に直交する方向に延在し、
前記第2の柱状半導体層の周囲に形成され、前記第3のゲート絶縁膜より上の位置に形成された第4のゲート絶縁膜と、
前記第4のゲート絶縁膜の周囲に形成された第2の選択ゲートと、
ここで、前記第2の選択ゲートは前記フィン状半導体層に直交する方向に延在し、
前記第2の柱状半導体層上部に接続された前記フィン状半導体層に直交する方向に延在するソース配線と、

を有することを特徴とする請求項 1 に記載の半導体装置。

[請求項3] 前記第 1 のゲート絶縁膜は、電荷蓄積層として窒化膜を含むことを特徴とする請求項 1 または 2 に記載の半導体装置。

[請求項4] 前記第 1 の制御ゲートは、前記基板に垂直方向に 2 つ以上配置されることを特徴とする請求項 1 に記載の半導体装置。

[請求項5] 前記第 2 の制御ゲートは、前記基板に垂直方向に 2 つ以上配置されることを特徴とする請求項 2 に記載の半導体装置。

[請求項6] 前記第 1 の柱状半導体層の前記フィン状半導体層に直交する方向の幅は、前記フィン状半導体層の前記フィン状半導体層に直交する方向の幅と同じであって、

前記第 1 の制御ゲートの周囲と底部に形成された前記第 1 のゲート絶縁膜と、

を有することを特徴とする請求項 1 または 2 に記載の半導体装置。

[請求項7] 前記第 2 の柱状半導体層の前記フィン状半導体層に直交する方向の幅は、前記フィン状半導体層の前記フィン状半導体層に直交する方向の幅と同じであって、

前記第 2 の制御ゲートの周囲と底部に形成された前記第 3 のゲート絶縁膜と、

を有することを特徴とする請求項 2 に記載の半導体装置。

[請求項8] 前記フィン状半導体層上部の前記第 1 の柱状半導体層と前記第 2 の柱状半導体層との間に形成された第 1 の拡散層を有し、

前記第 1 の柱状半導体層の上部に形成された第 2 の拡散層と、前記第 2 の柱状半導体層の上部に形成された第 3 の拡散層と、

を有することを特徴とする請求項 2 に記載の半導体装置。

[請求項9] 前記第 1 の選択ゲートの周囲と底部に形成された前記第 2 のゲート絶縁膜と、

を有することを特徴とする請求項 1 または 2 に記載の半導体装置。

[請求項10] 前記第 2 の選択ゲートの周囲と底部に形成された前記第 4 のゲート

絶縁膜と、

を有することを特徴とする請求項 2 に記載の半導体装置。

[請求項11]

半導体基板上にフィン状半導体層を形成し、前記フィン状半導体層の周囲に第 1 の絶縁膜を形成する第 1 工程と、

前記第 1 工程の後、

前記フィン状半導体層の周囲に第 2 の絶縁膜を形成し、

前記第 2 の絶縁膜の上に第 1 のポリシリコンを堆積し平坦化し、

制御ゲートと選択ゲートと第 1 の柱状半導体層と第 2 の柱状半導体層とコンタクト配線を形成するための第 2 のレジストを、前記フィン状半導体層の方向に対して垂直の方向に形成し、

前記第 1 のポリシリコンと前記第 2 の絶縁膜と前記フィン状半導体層をエッチングすることにより、第 1 の柱状半導体層と前記第 1 のポリシリコンによる第 1 のダミーゲートと第 2 の柱状半導体層と前記第 1 のポリシリコンによる第 2 のダミーゲートを形成する第 2 工程と、

前記第 2 工程の後、前記第 1 の柱状半導体層と前記第 2 の柱状半導体層と前記第 1 のダミーゲートと前記第 2 のダミーゲートの周囲に第 4 の絶縁膜を形成し、前記第 4 の絶縁膜の周囲に第 2 のポリシリコンを堆積し、エッチングをすることにより、前記第 1 のダミーゲートと前記第 1 の柱状半導体層と前記第 2 のダミーゲートと前記第 2 の柱状半導体層の側壁に残存させ、第 3 のダミーゲートと第 4 のダミーゲートを形成する第 3 工程と、

前記フィン状半導体層上部に第 1 の拡散層を形成し、前記第 3 のダミーゲートと前記第 4 のダミーゲートとの周囲に、第 5 の絶縁膜を形成する第 4 工程と、

前記第 4 工程の後、層間絶縁膜を堆積し平坦化し、前記第 1 のダミーゲートと前記第 2 のダミーゲートと前記第 3 のダミーゲートと前記第 4 のダミーゲートとの上部を露出し、前記第 1 のダミーゲートと前記第 2 のダミーゲートと前記第 3 のダミーゲートと前記第 4 のダミー

ゲートとを除去し、前記第2の絶縁膜と前記第4の絶縁膜を除去する第5工程と、

前記第5工程の後、

第1のゲート絶縁膜と第3のゲート絶縁膜となる電荷蓄積層を含む絶縁膜を前記第1の柱状半導体層の周囲と前記第2の柱状半導体層の周囲と前記第5の絶縁膜の内側に形成し、ゲート導電膜を堆積し、エッチバックを行い、前記第1の柱状半導体層の周囲に第1の制御ゲートを形成し、前記第2の柱状半導体層の周囲に第2の制御ゲートを形成し、露出した前記第1のゲート絶縁膜と前記第3の絶縁膜となる前記電荷蓄積層を含む絶縁膜を除去する第6工程と、

前記第6工程の後、

前記第1の柱状半導体層周囲と前記第1の制御ゲート上と、前記第2の柱状半導体層周囲と前記第2の制御ゲート上に第2のゲート絶縁膜と第4のゲート絶縁膜となる絶縁膜を堆積し、ゲート導電体を堆積し、エッチバックを行い、前記第1の柱状半導体層の周囲に第1の選択ゲートを形成し、前記第2の柱状半導体層の周囲に第2の選択ゲートを形成する第7工程を有することを特徴とする半導体装置の製造方法。

[請求項12] 前記第6工程が二回以上繰り返されることを特徴とする請求項11に記載の半導体装置の製造方法。

[請求項13] 前記第2の絶縁膜の上に第1のポリシリコンを堆積し平坦化後、前記第1のポリシリコン上に第3の絶縁膜を形成することをさらに含むことを特徴とする請求項11に記載の半導体装置の製造方法。

[請求項14] 前記第1の柱状半導体層と前記第1のダミーゲートと前記第2の柱状半導体層と前記第2のダミーゲートの周囲に第4の絶縁膜を形成後、第3のレジストを形成し、エッチバックを行い、前記第1の柱状半導体層上部と前記第2の柱状半導体層上部を露出し、前記第1の柱状半導体層上部に第2の拡散層を形成し、前記第2の柱状半導体層上部

に第３の拡散層を形成することを特徴とする請求項１１に記載の半導体装置の製造方法。

[図2]

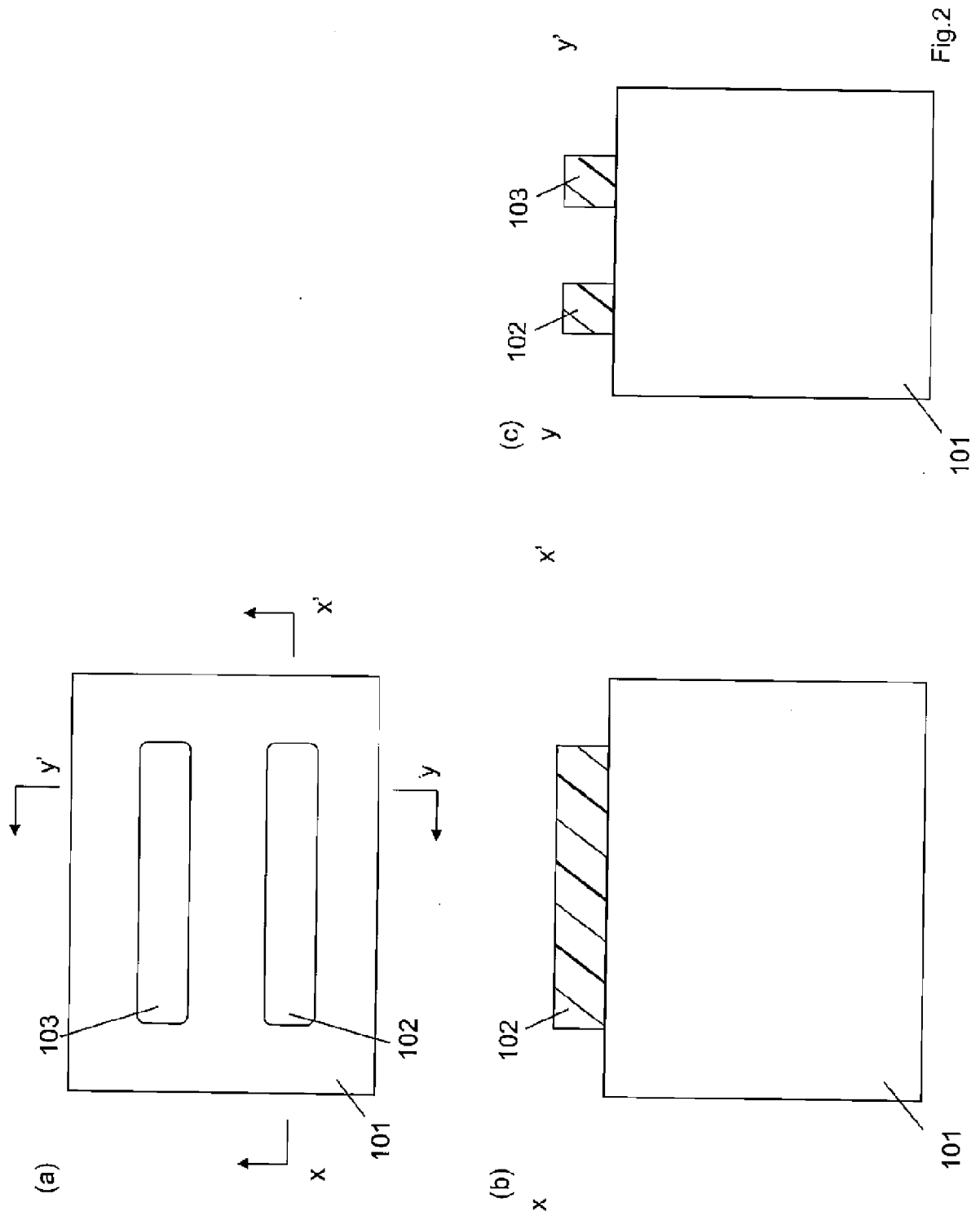
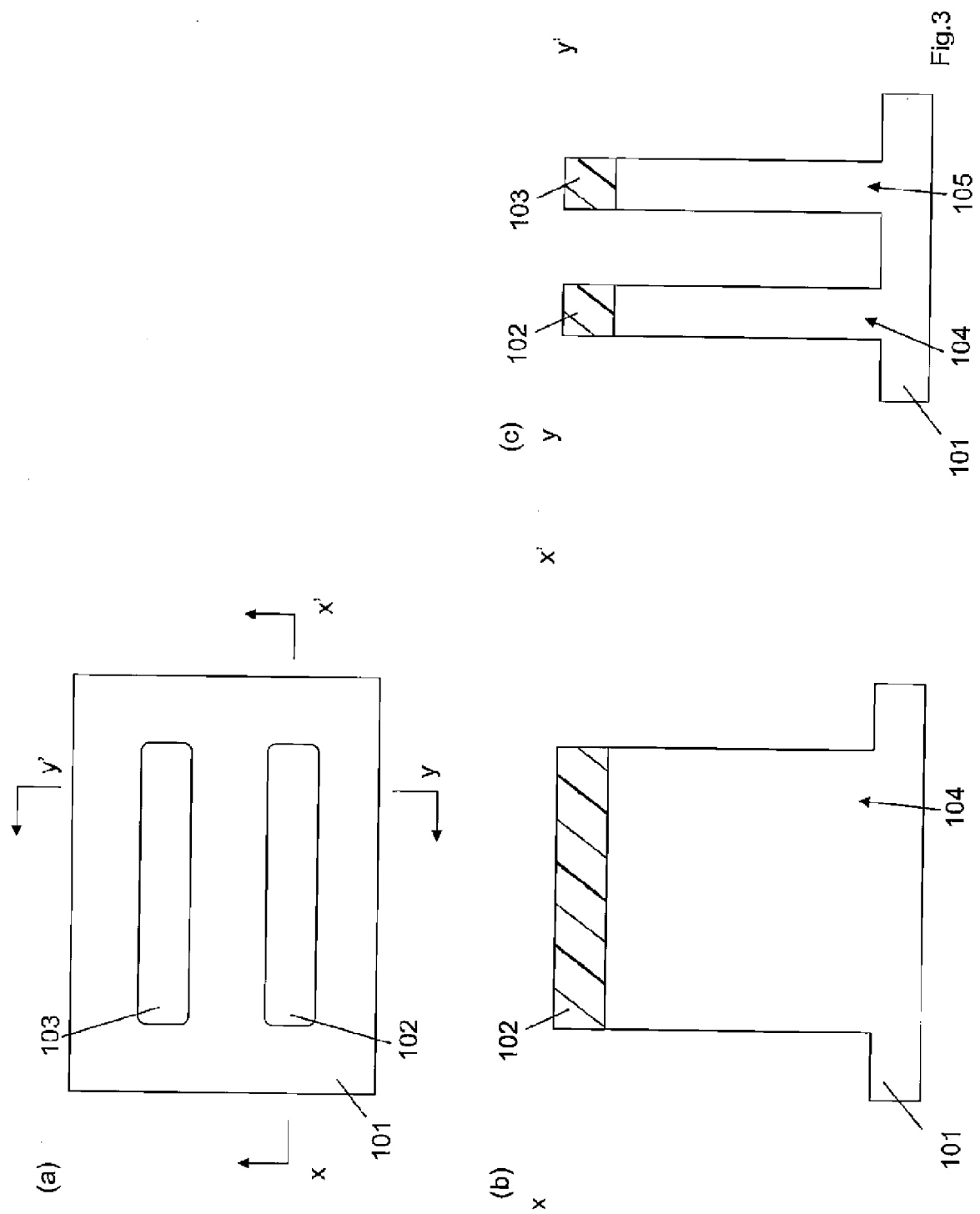
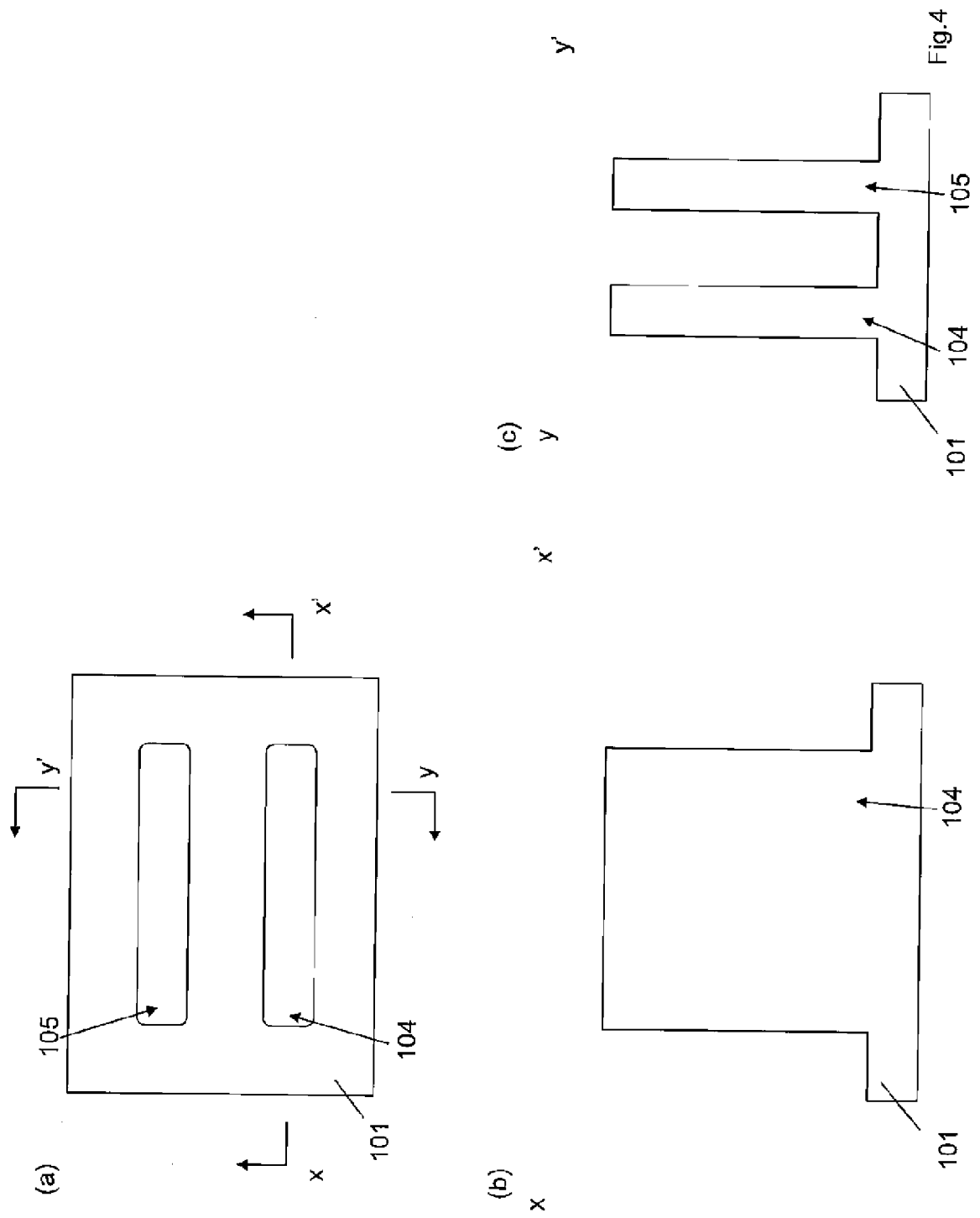


Fig.2

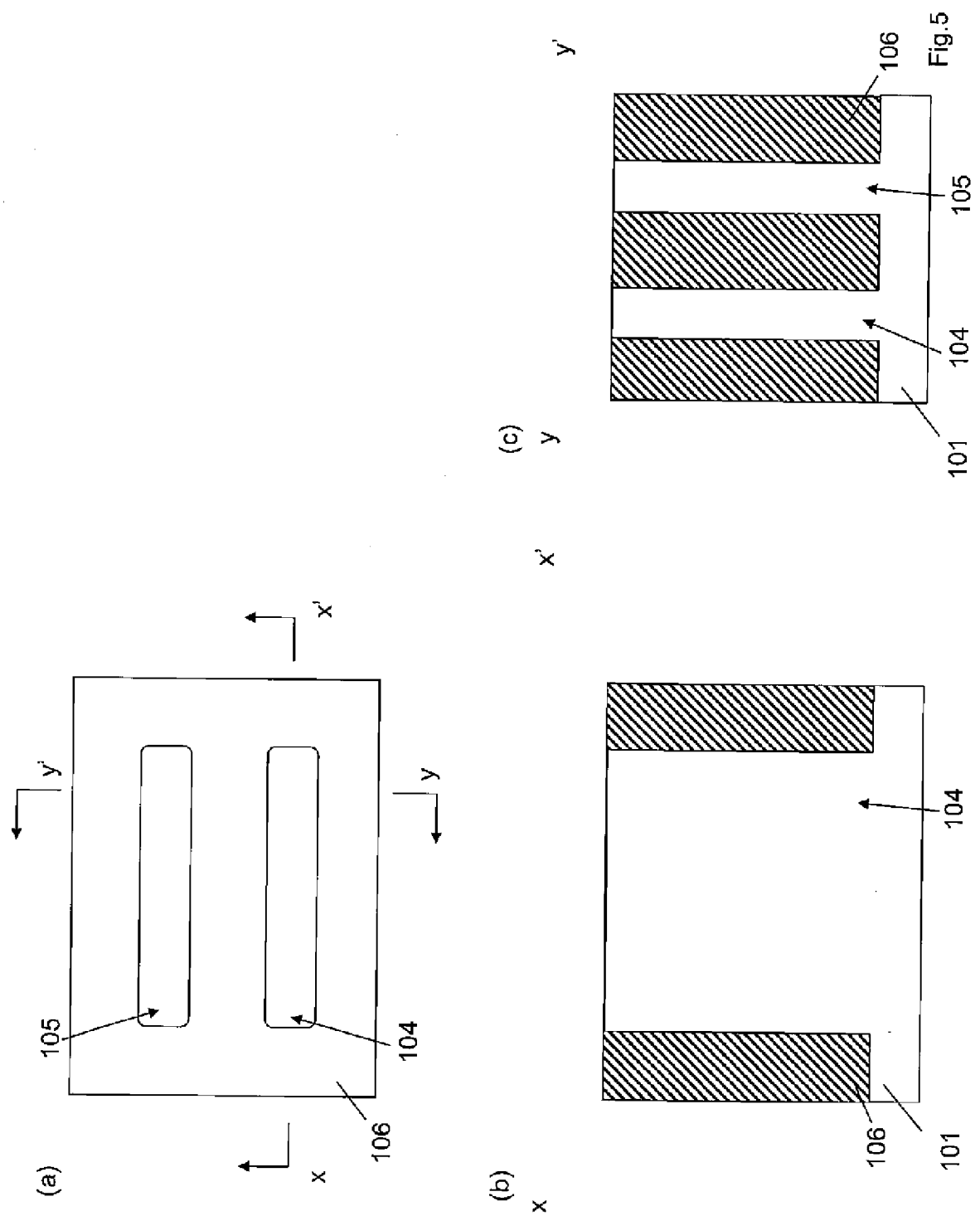
[図3]



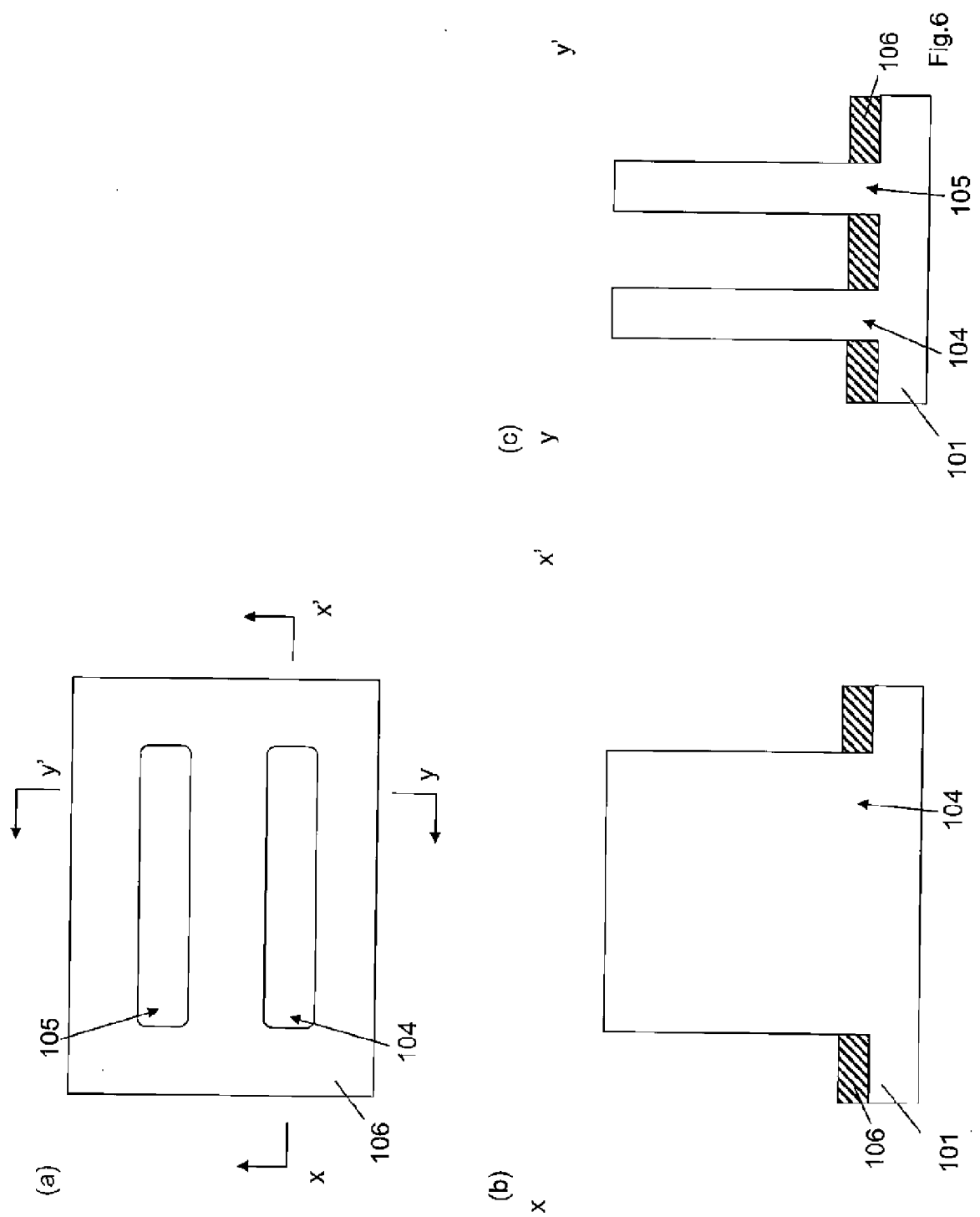
[図4]



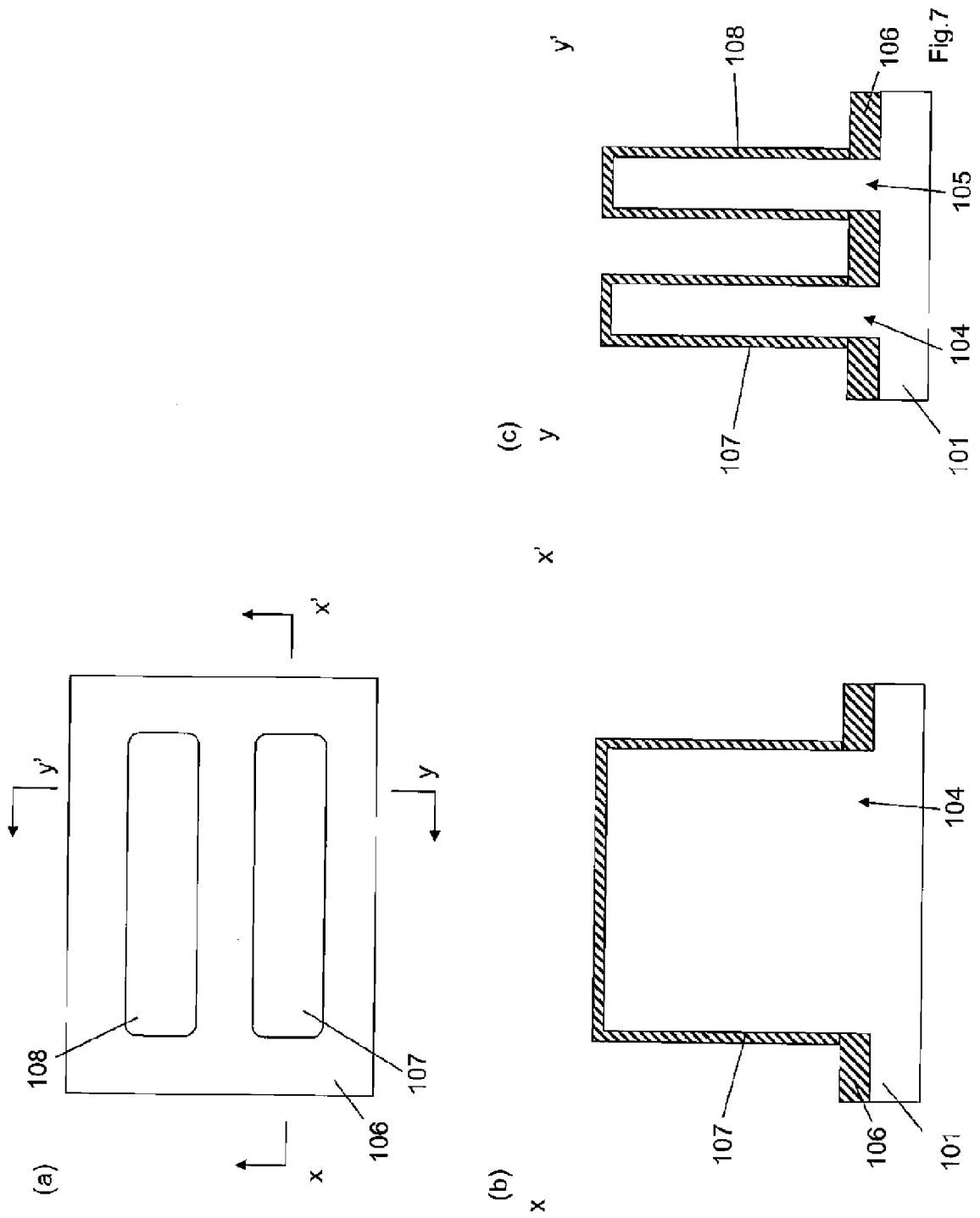
[図5]



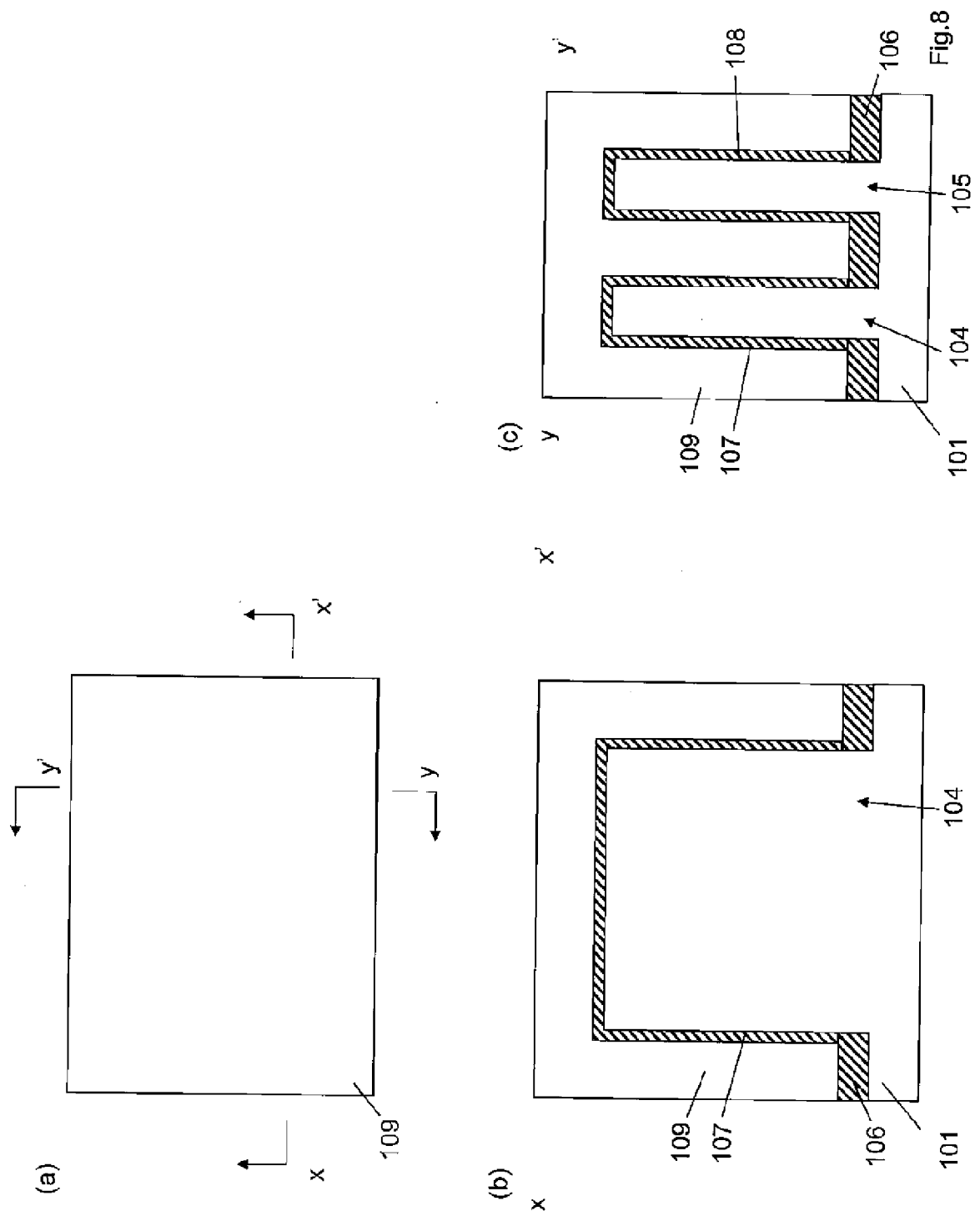
[図6]



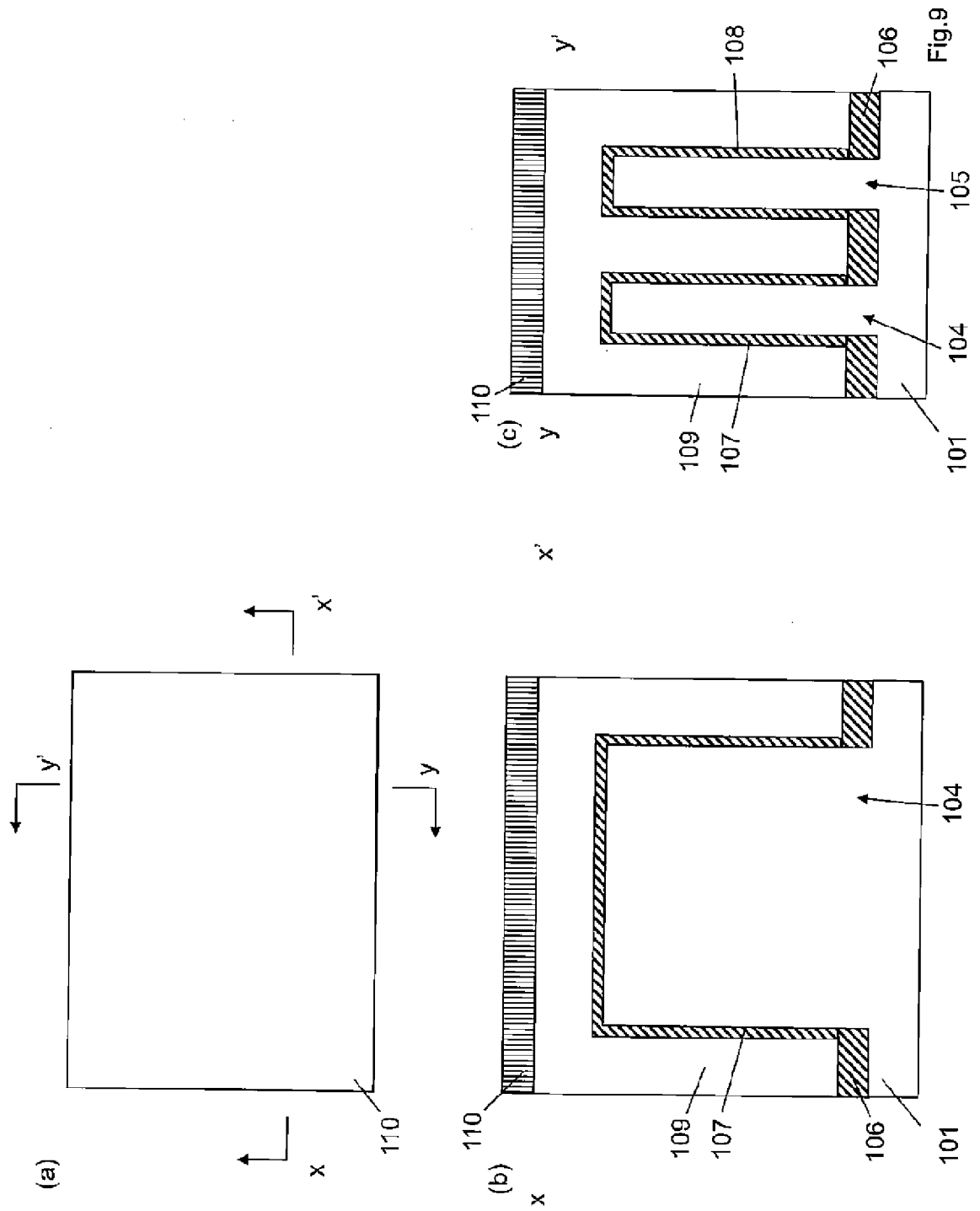
[図7]



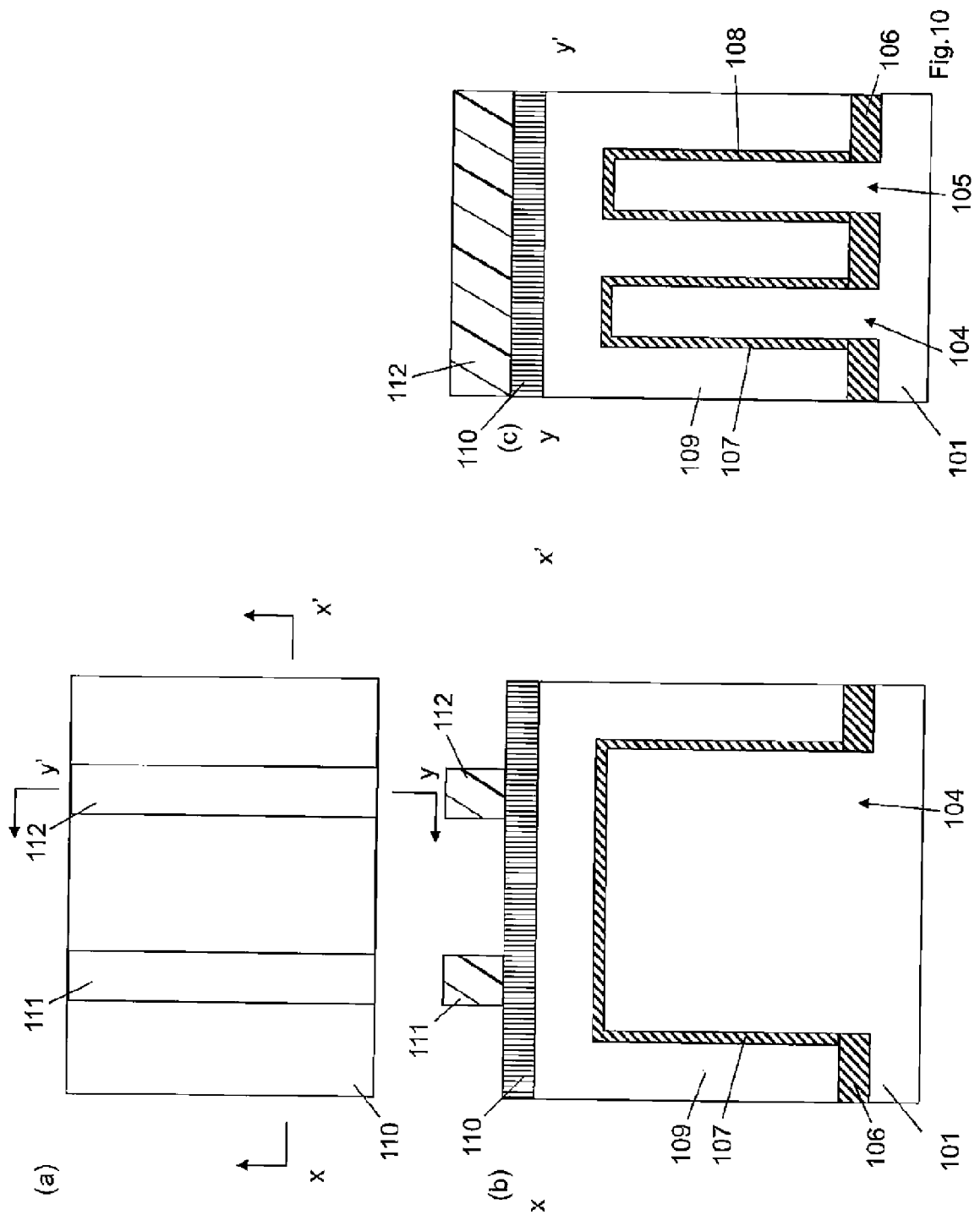
[図8]



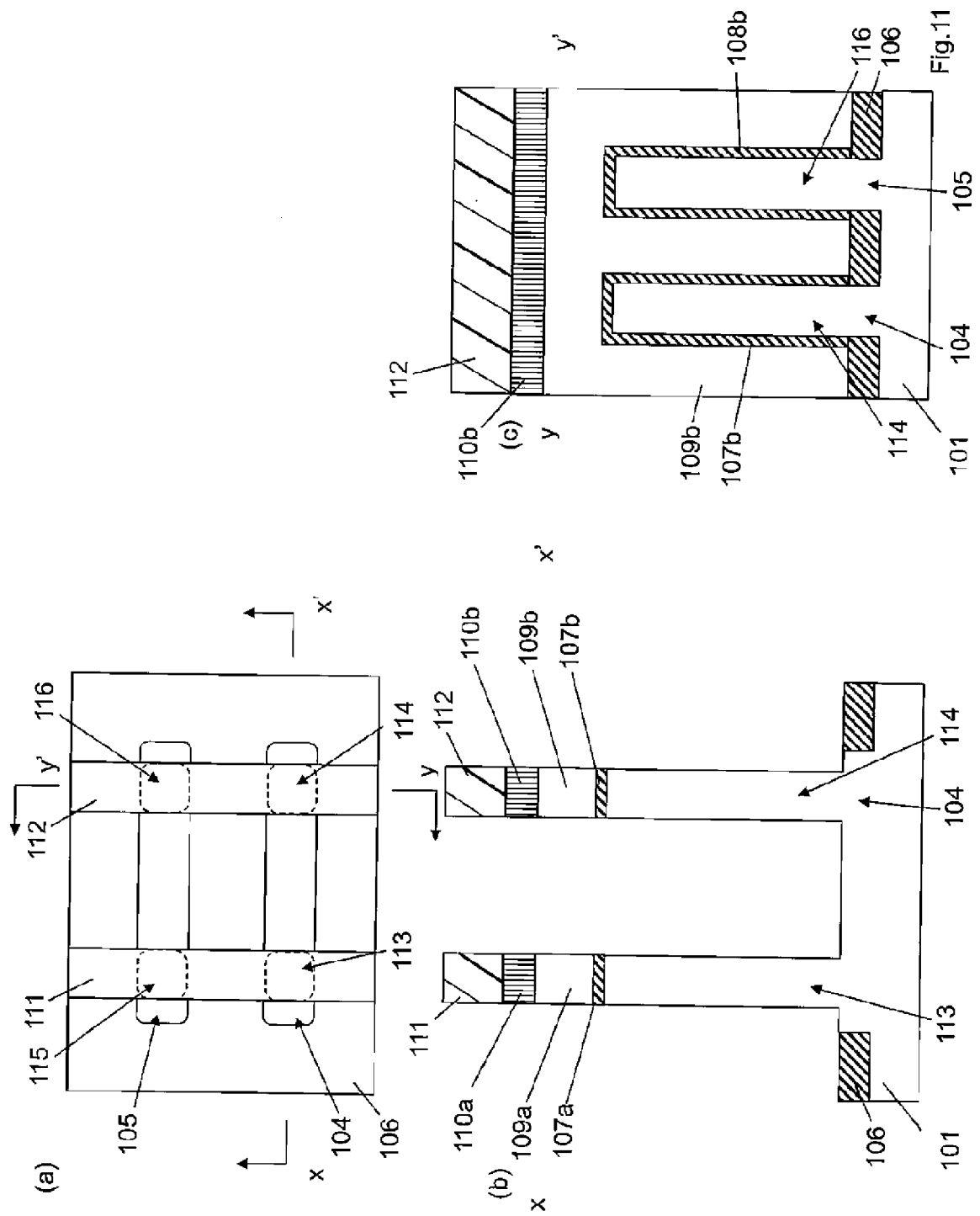
[図9]



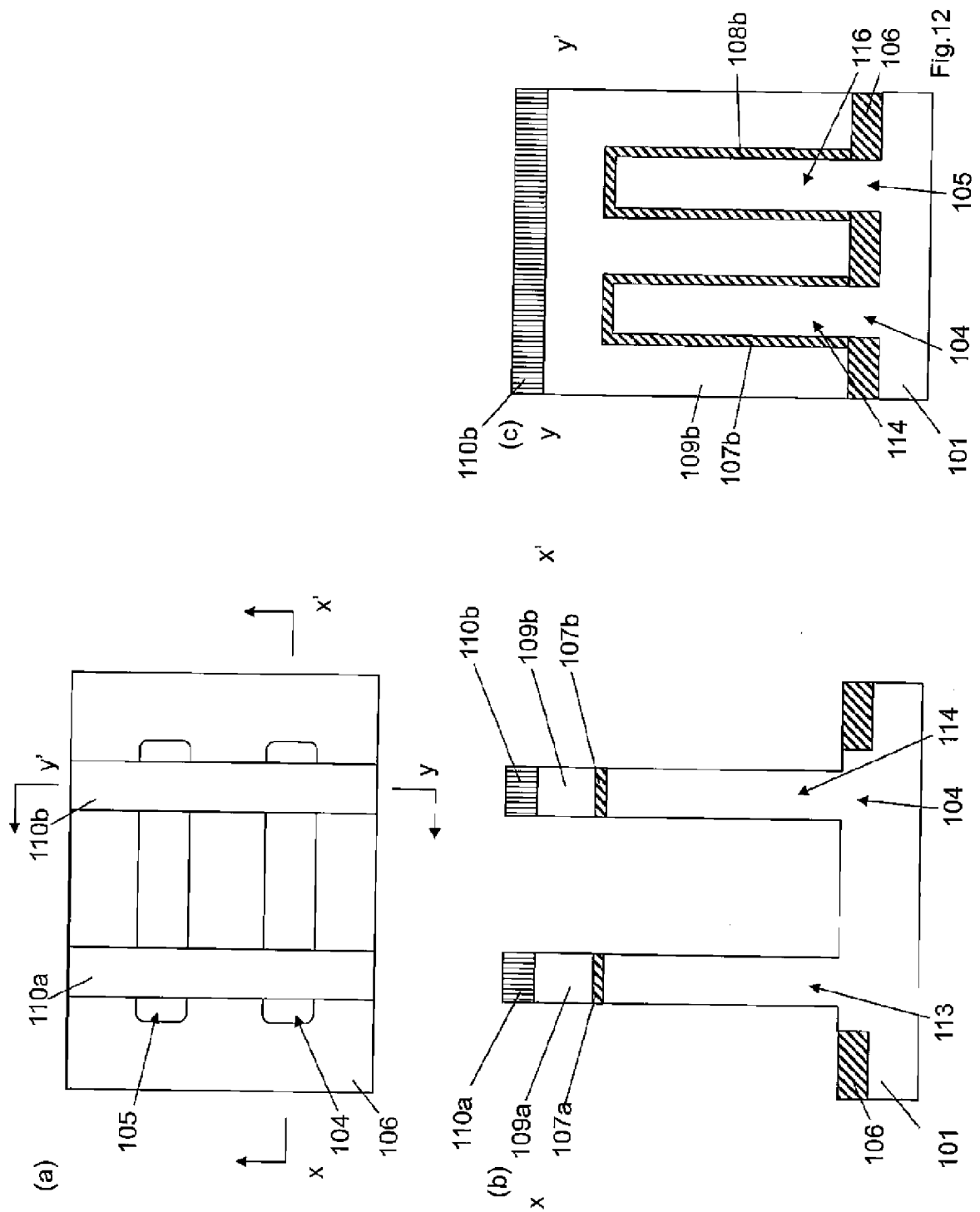
[図10]



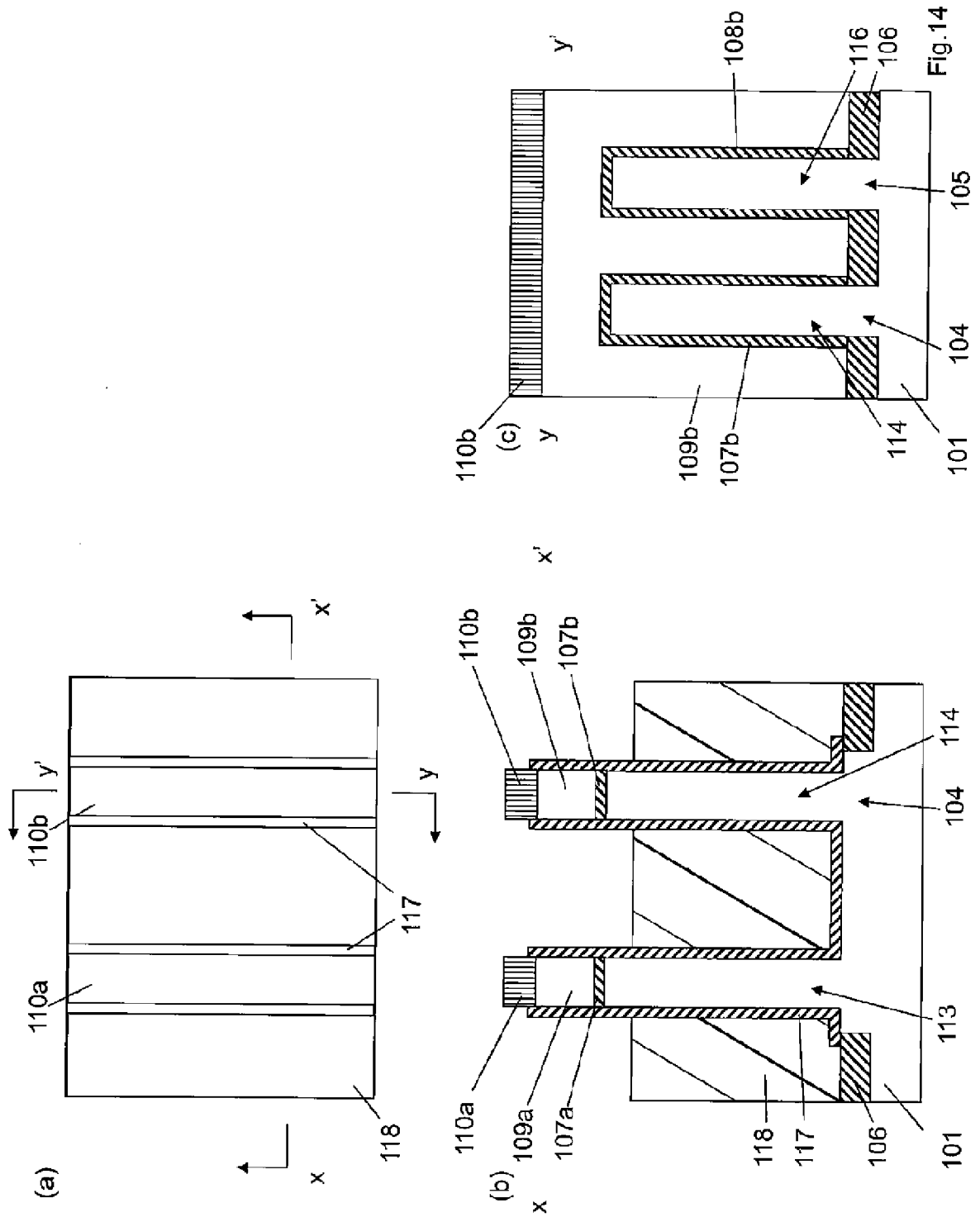
[図11]



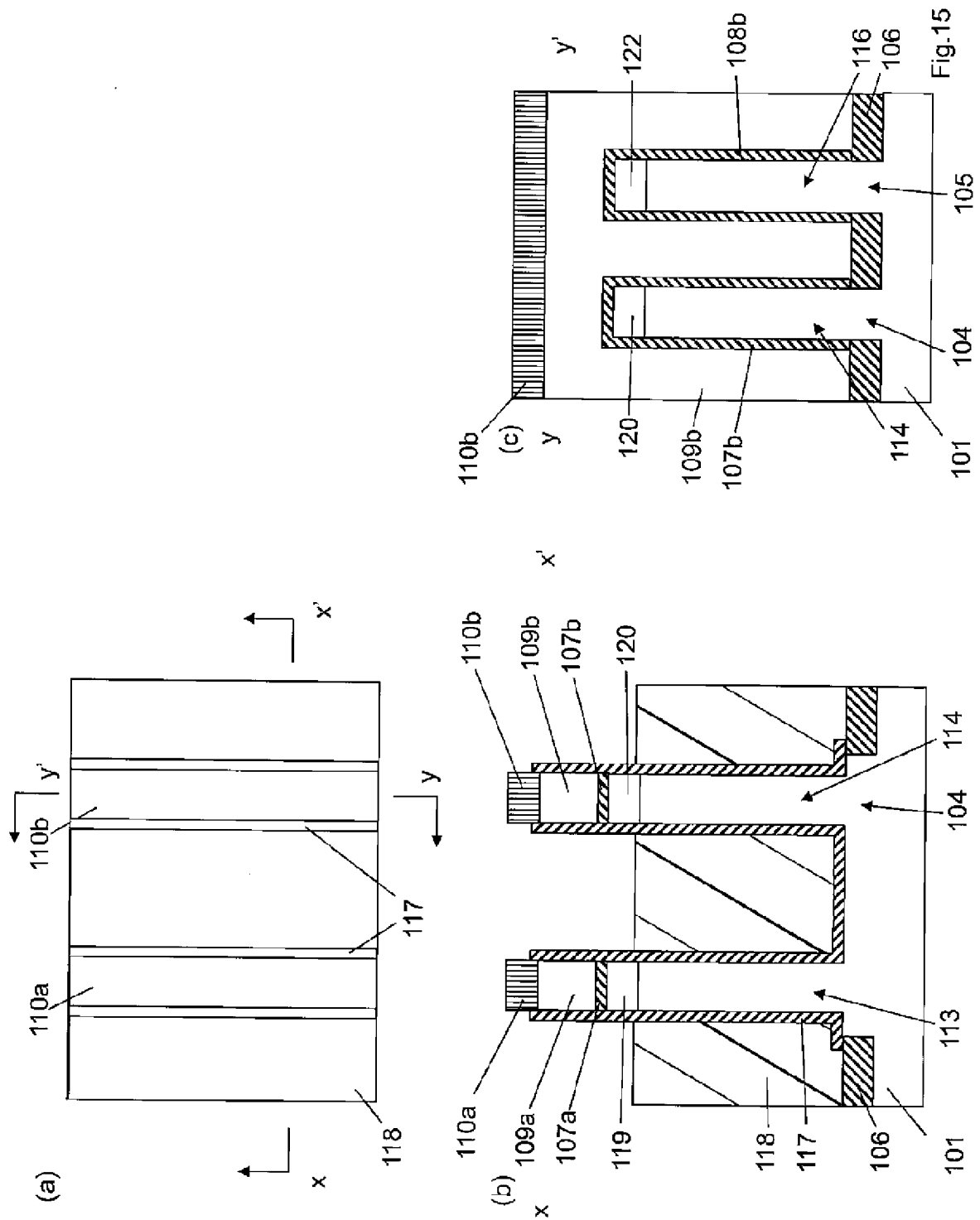
[図12]



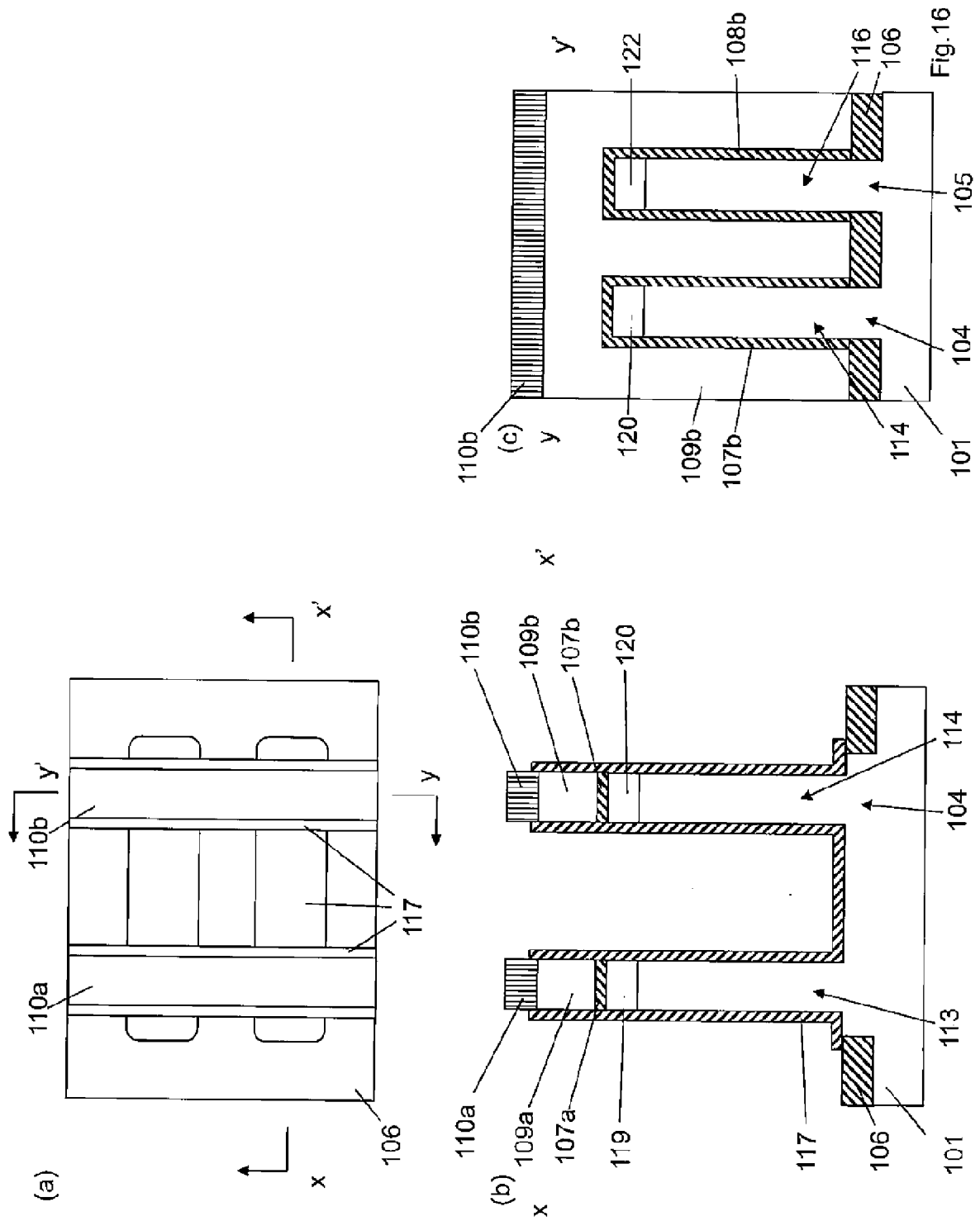
[図14]



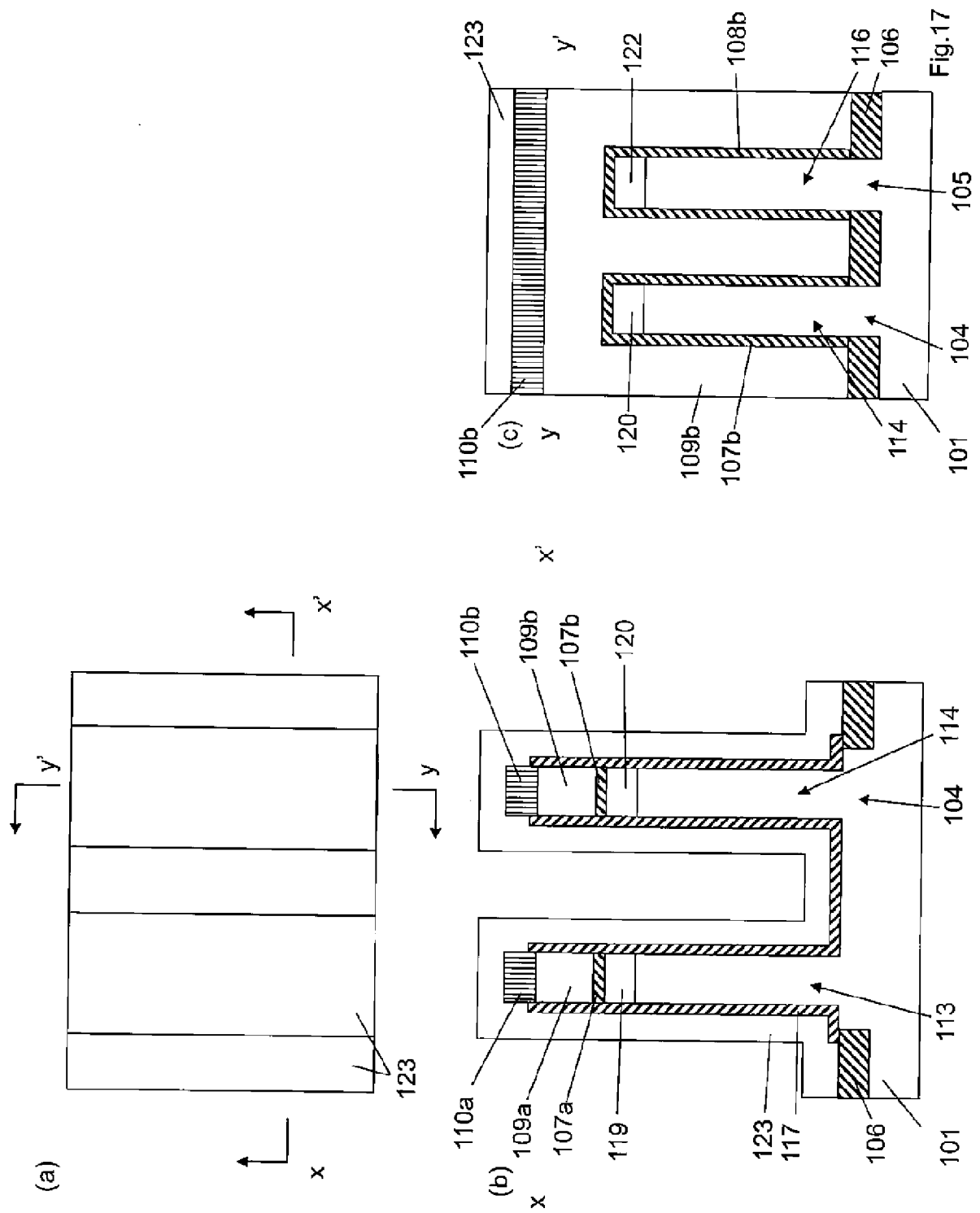
[図15]



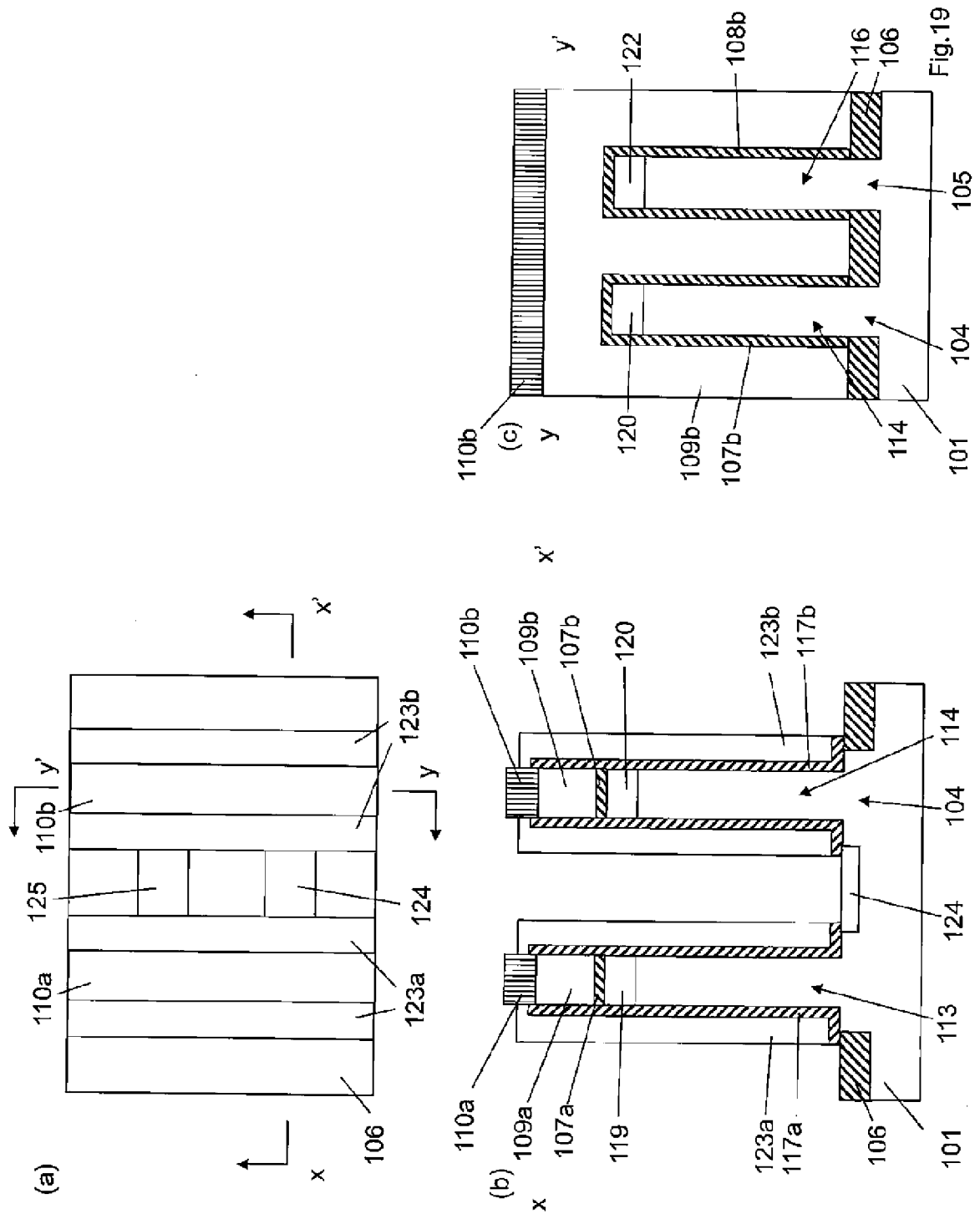
[図16]



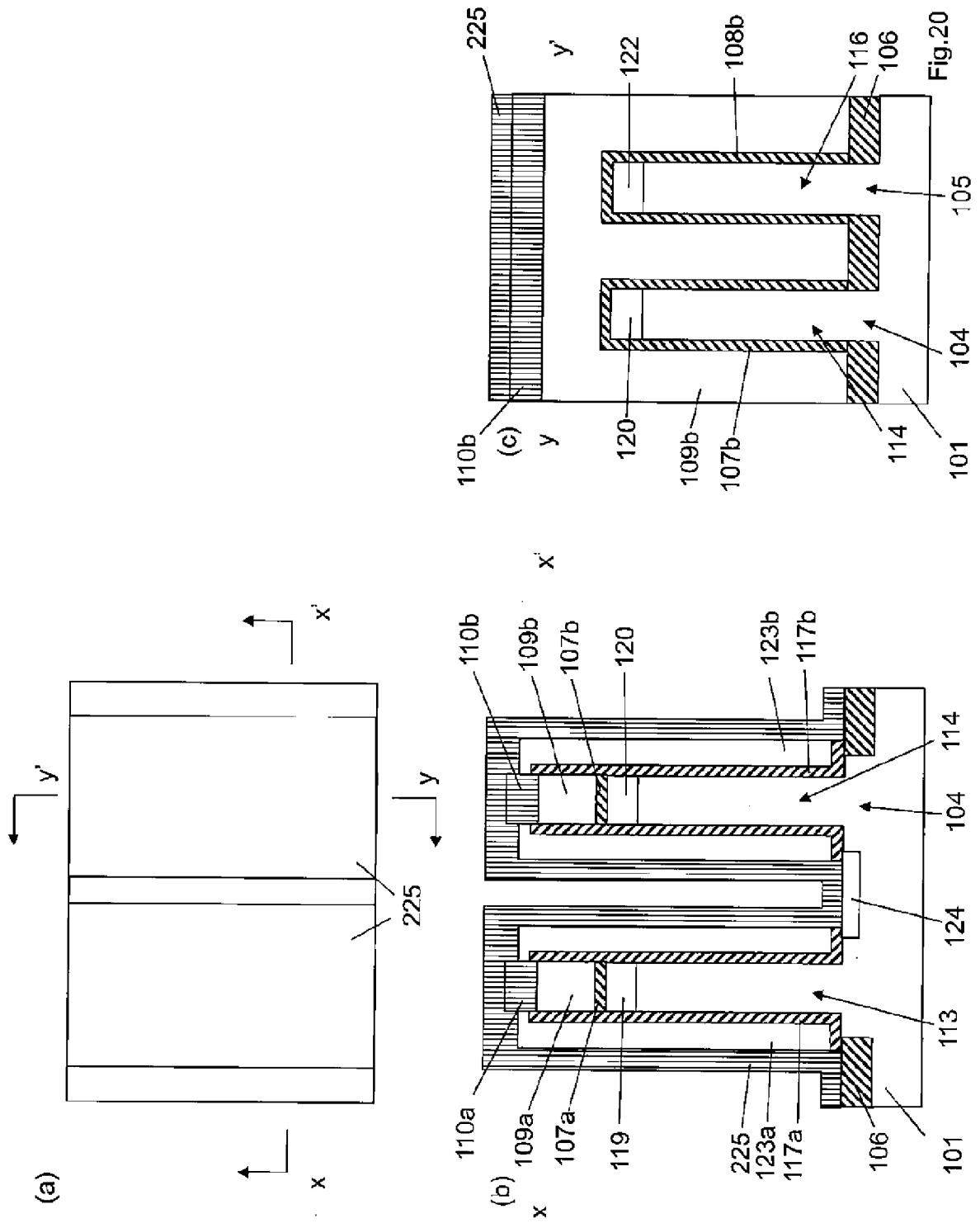
[図17]



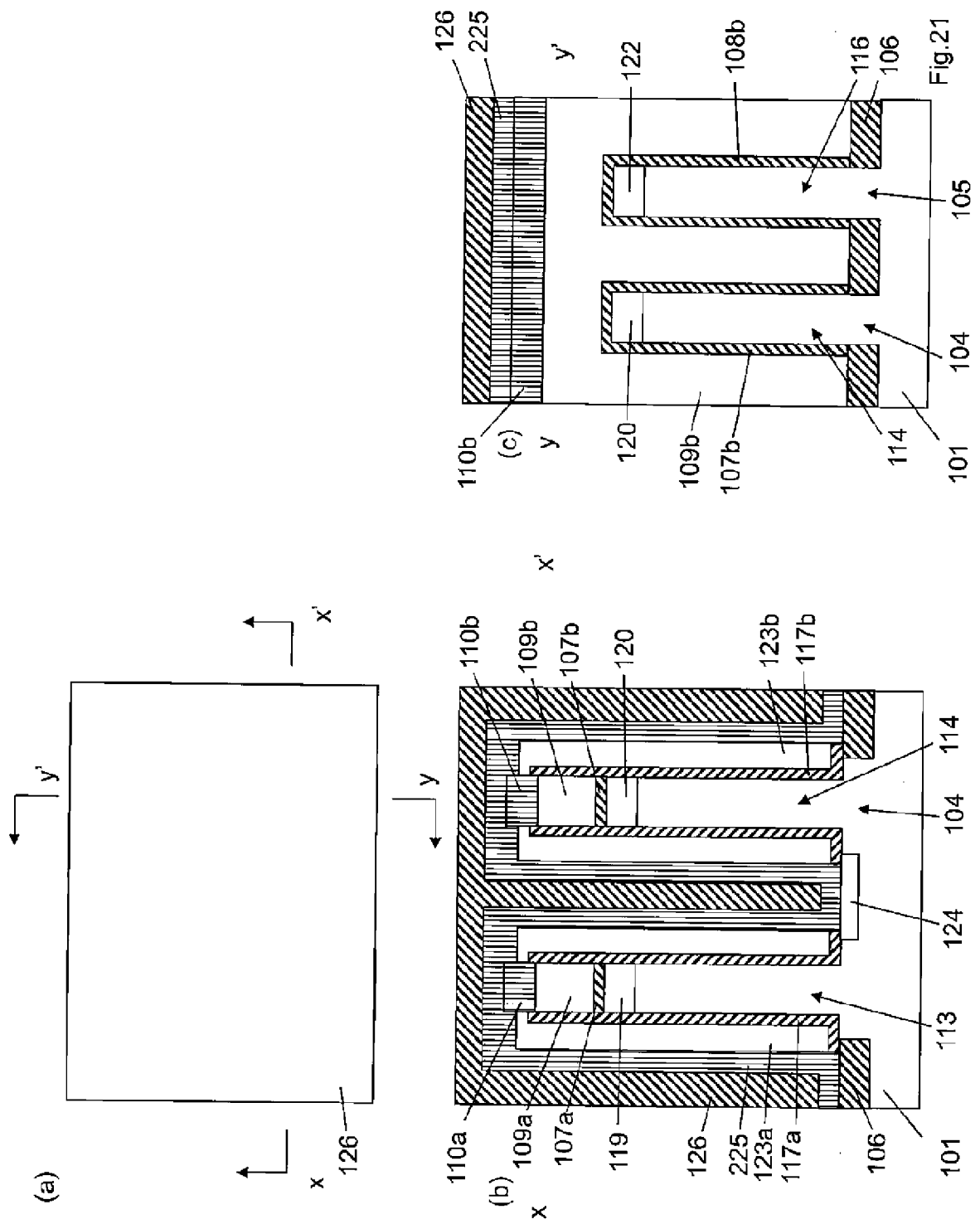
[図19]



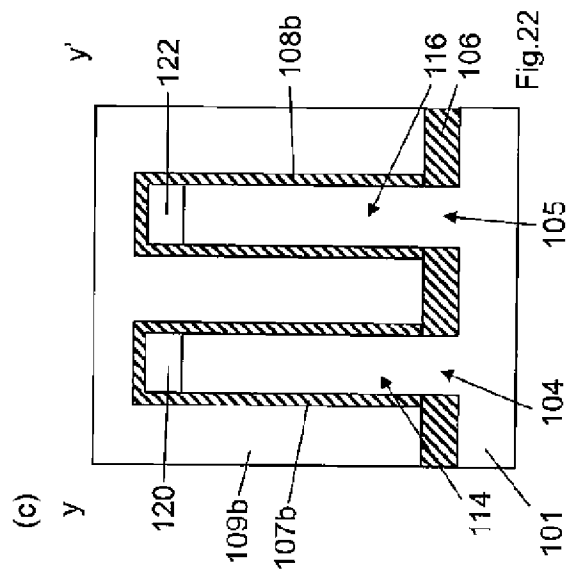
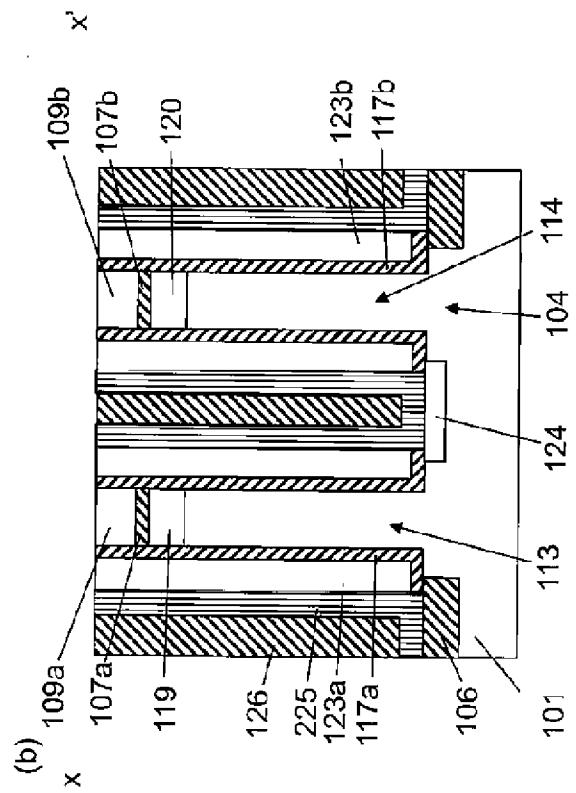
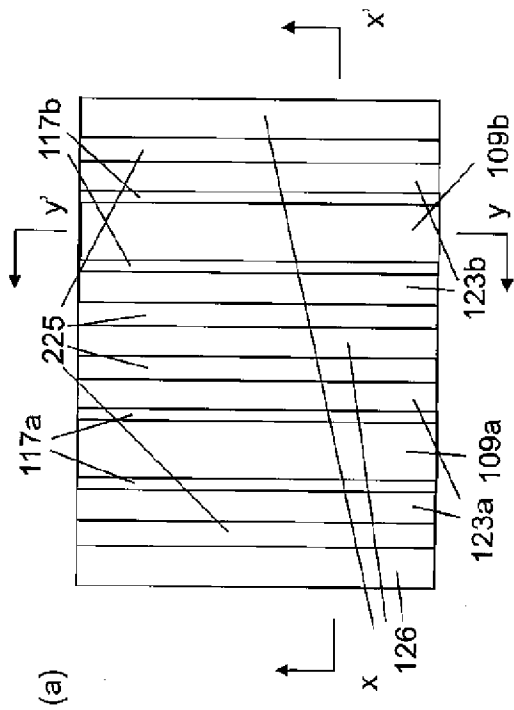
[図20]



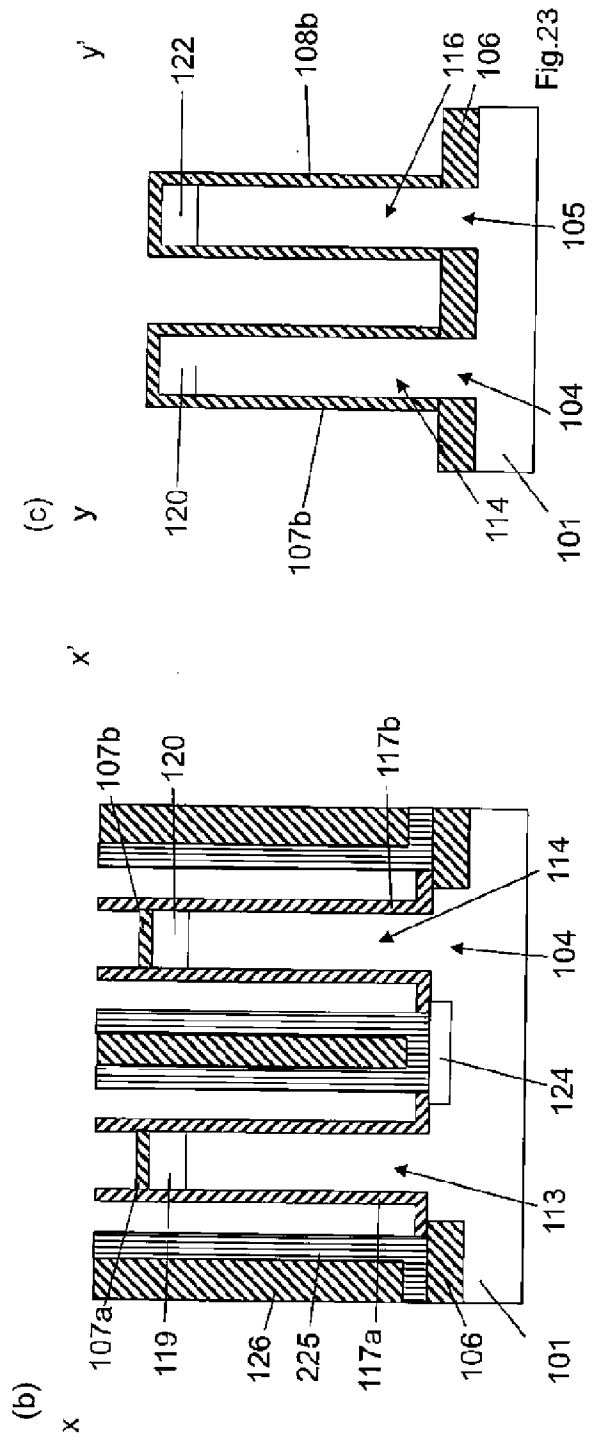
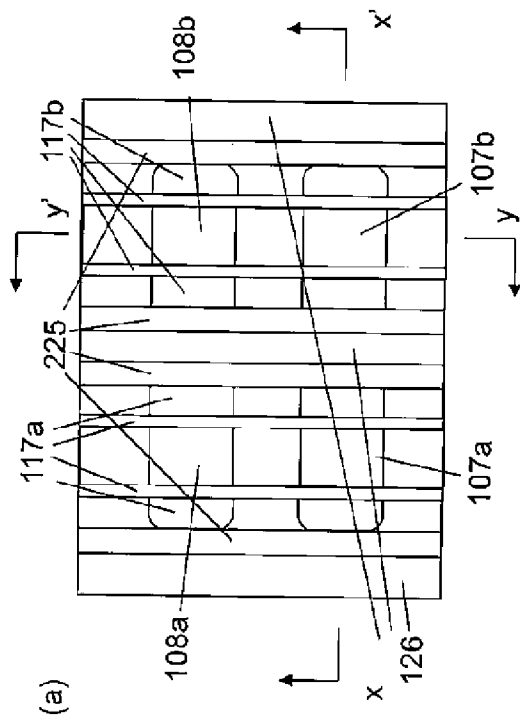
[図21]



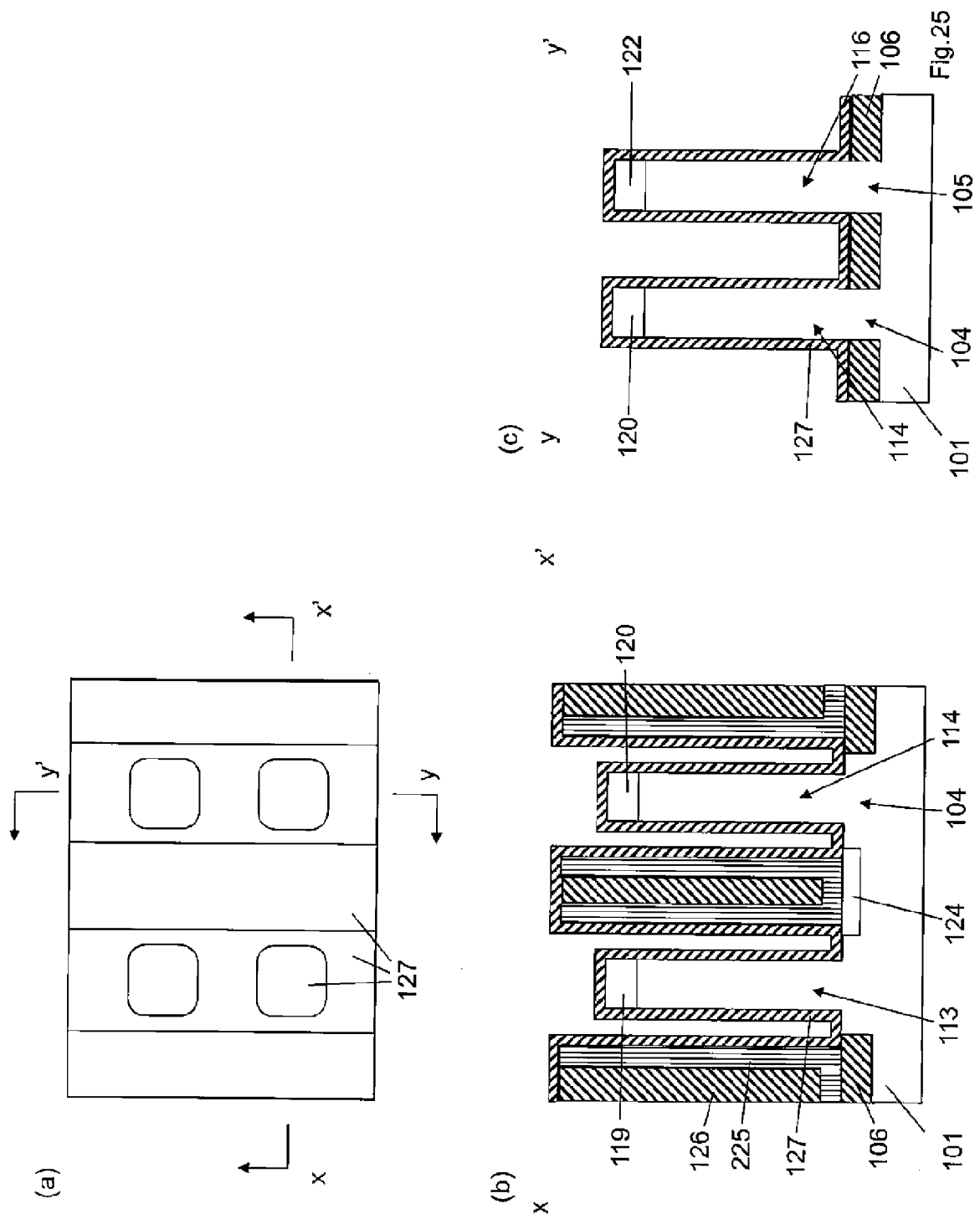
[図22]



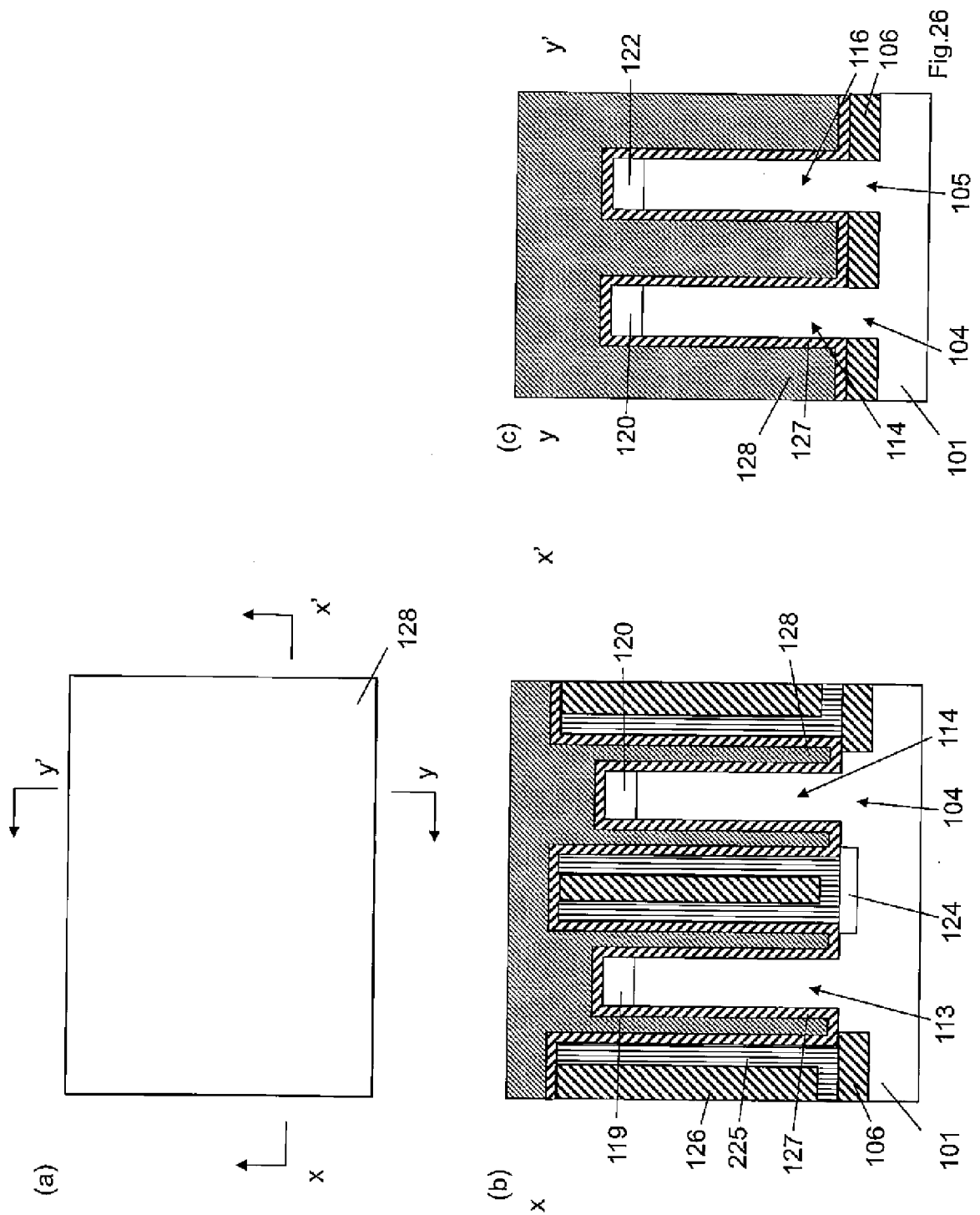
[図23]



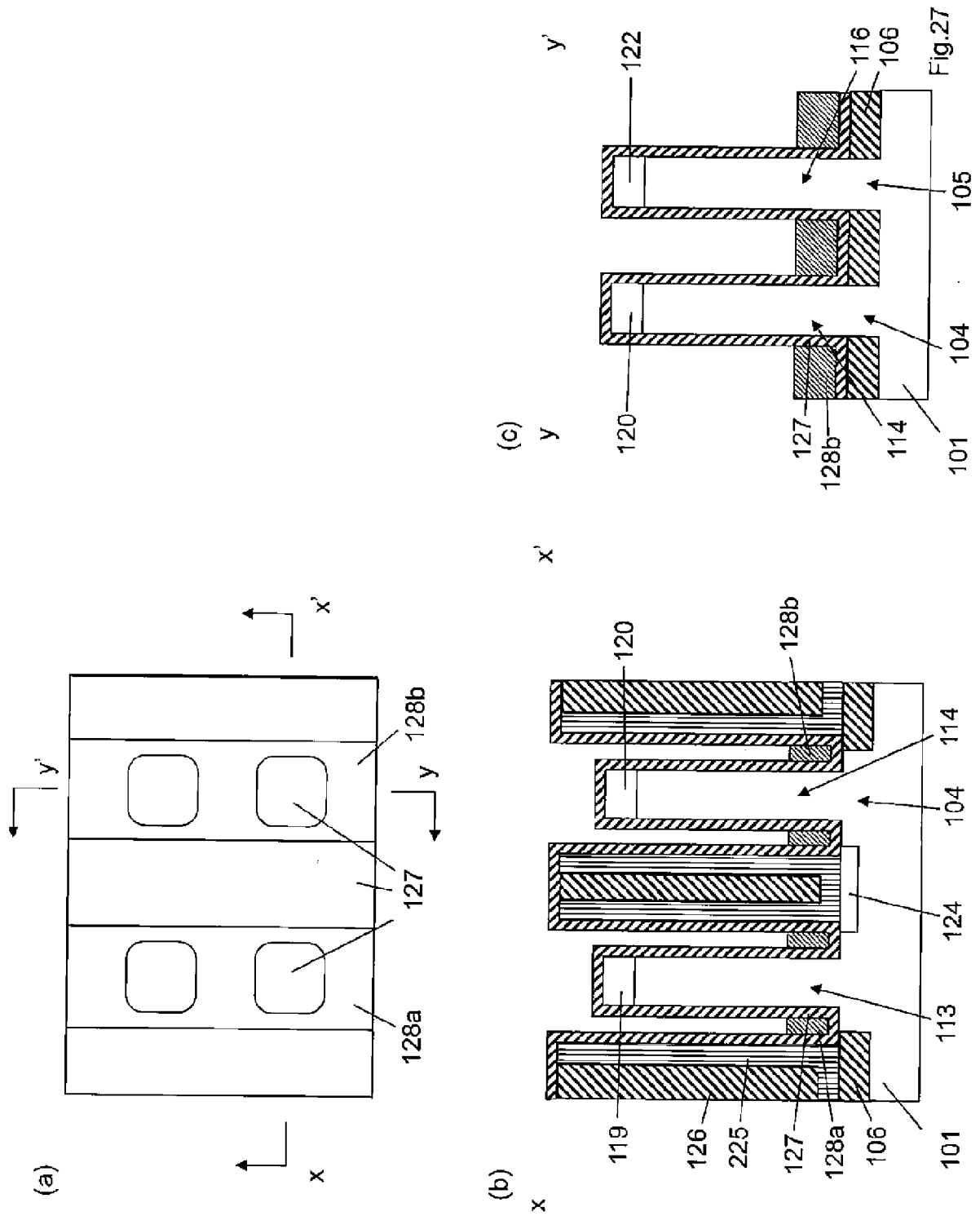
[図25]



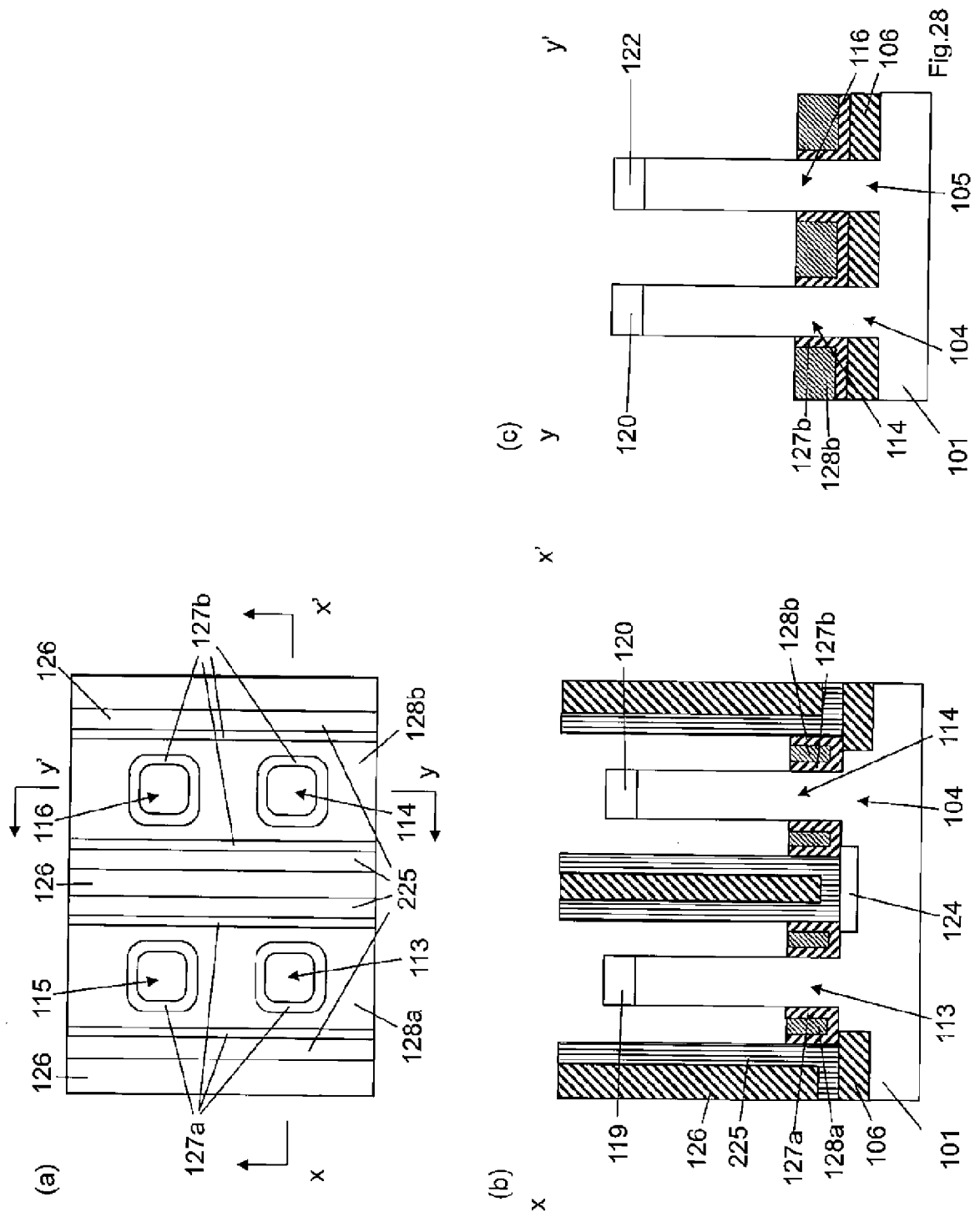
[図26]



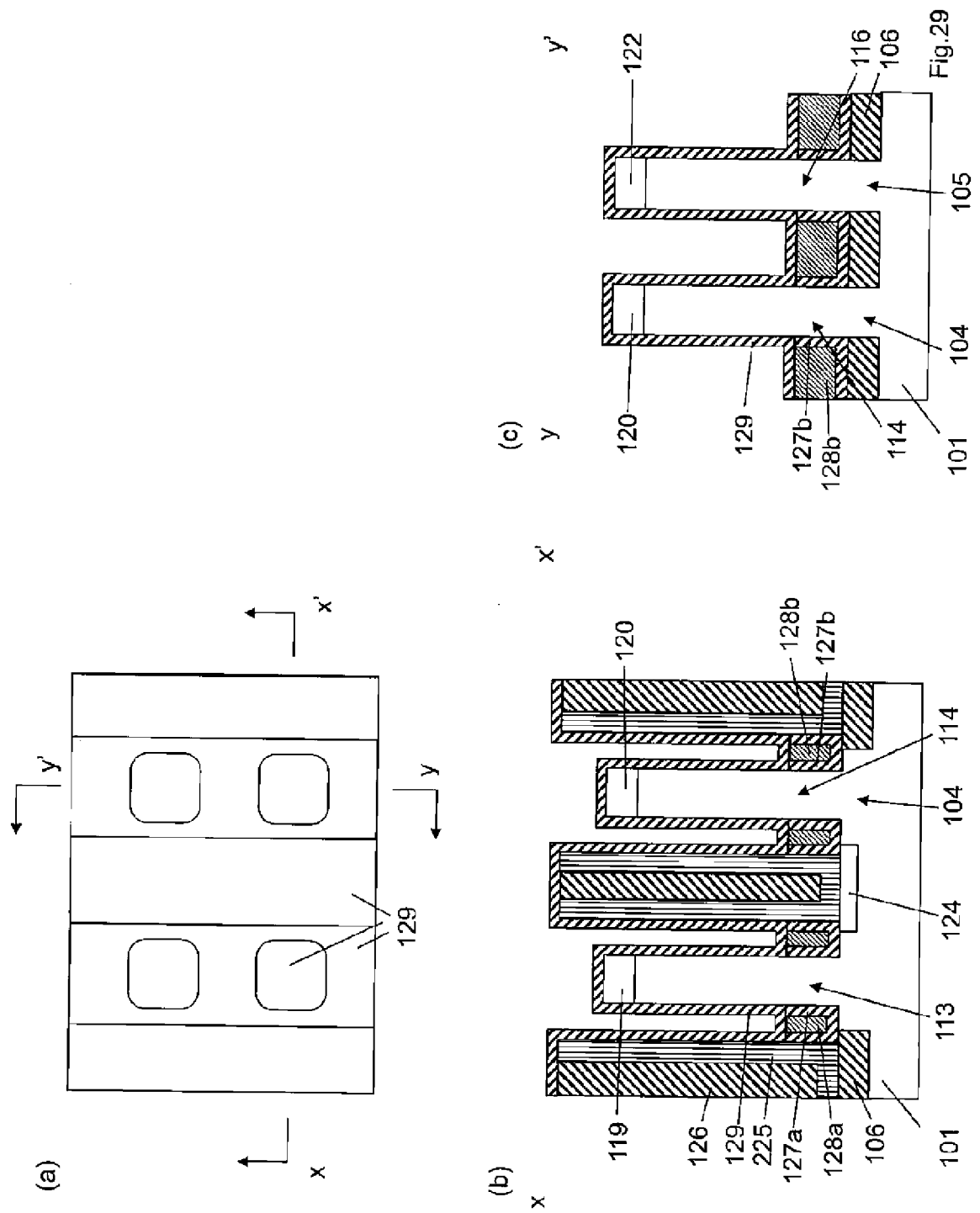
[図27]



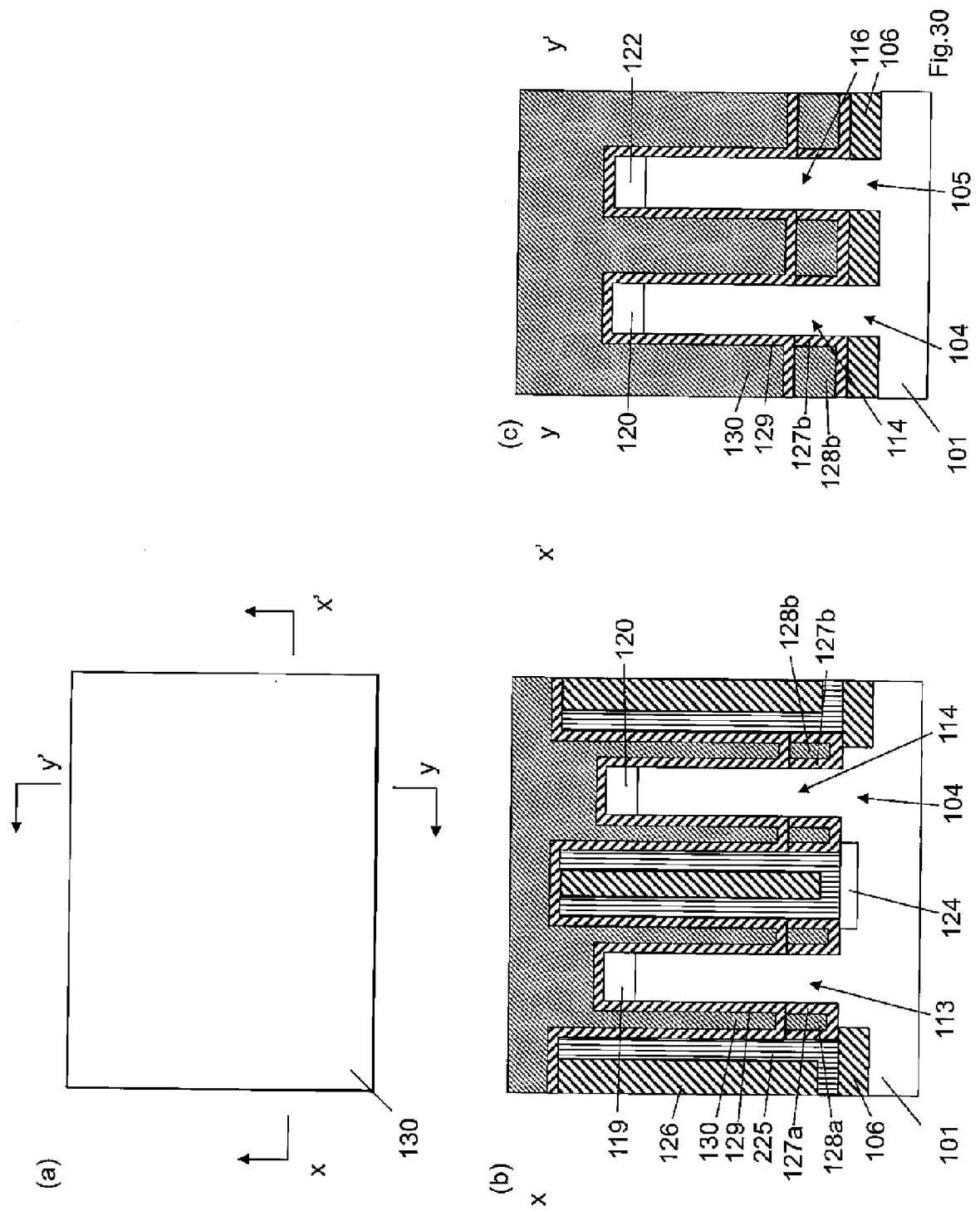
[図28]



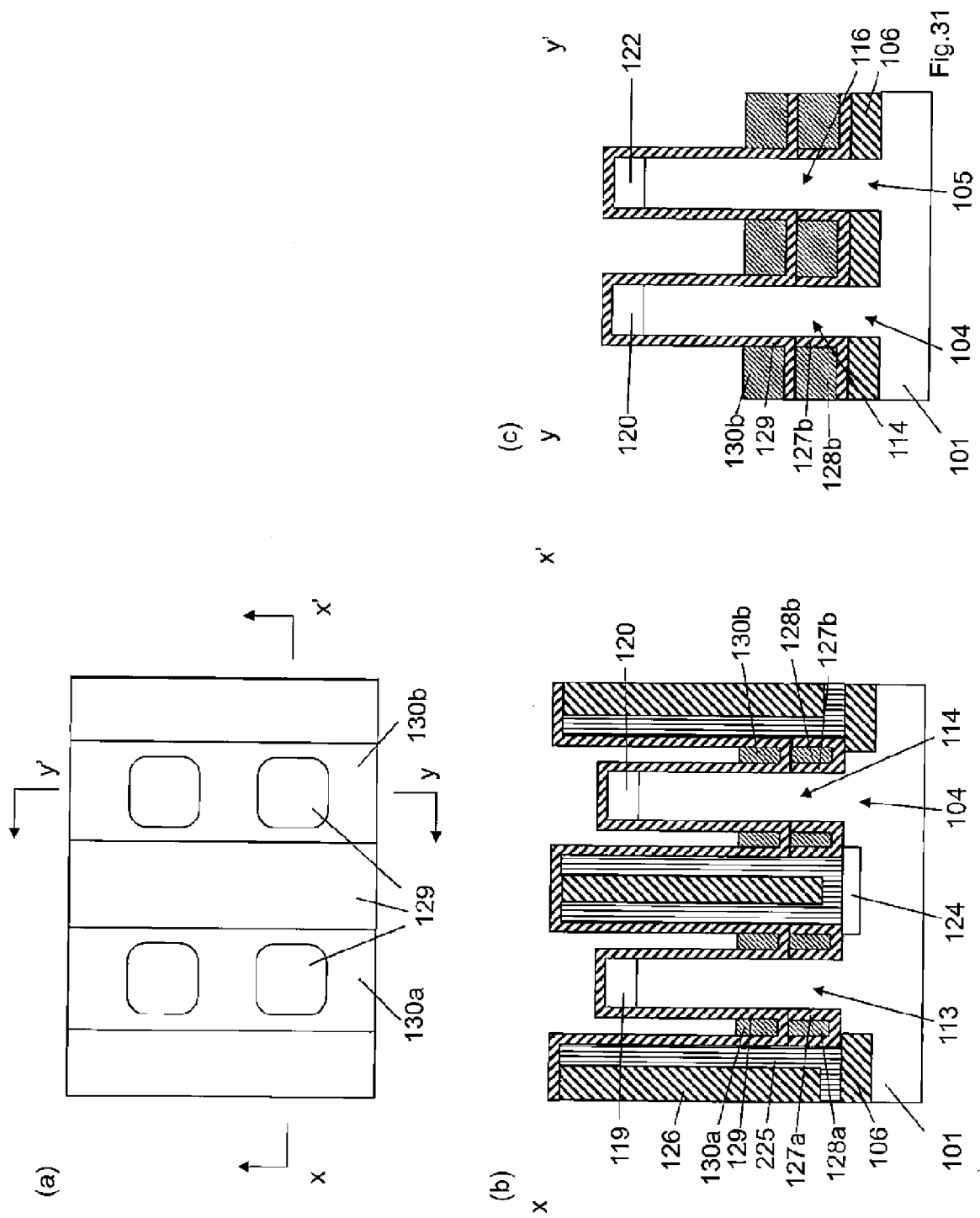
[図29]



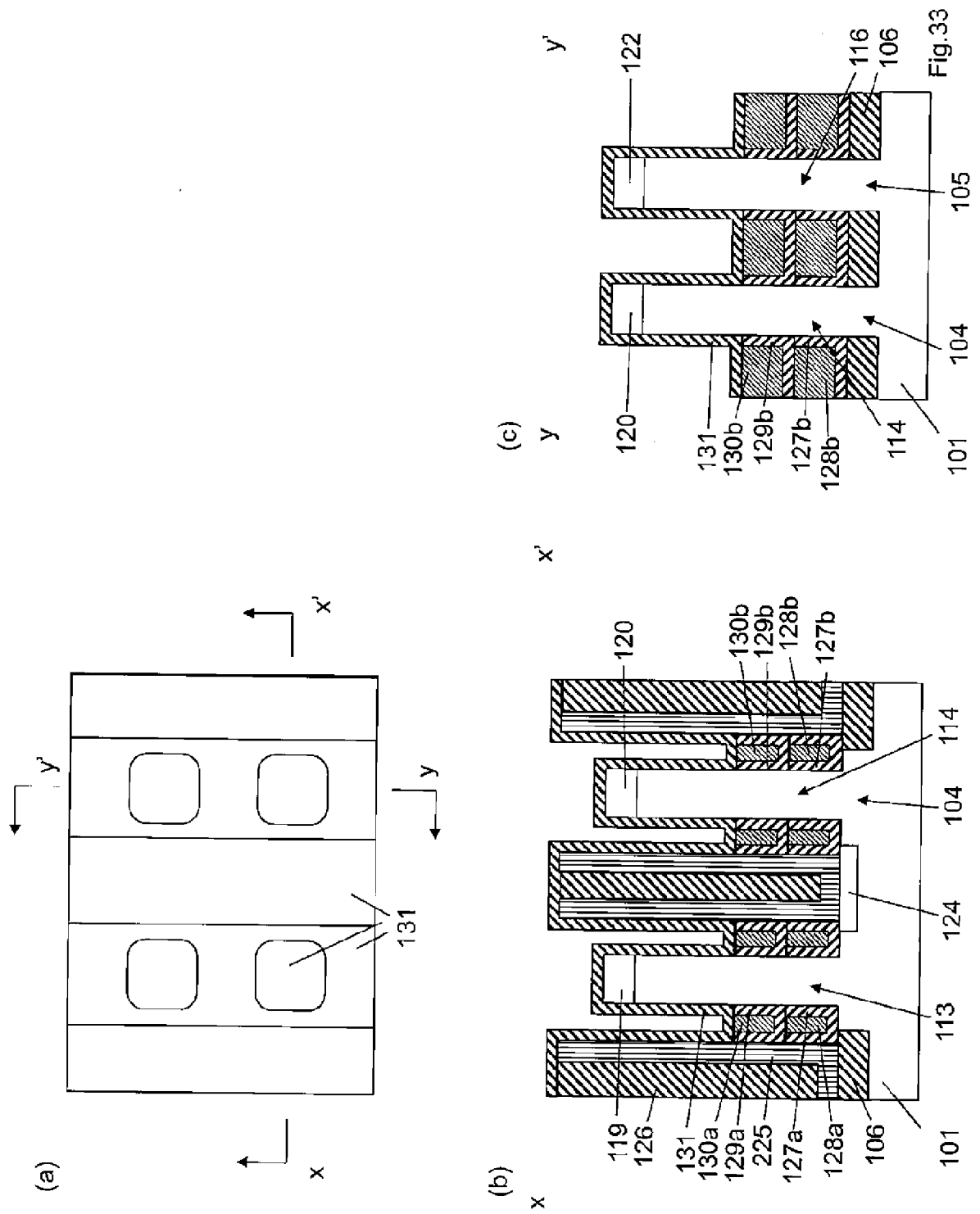
[図30]



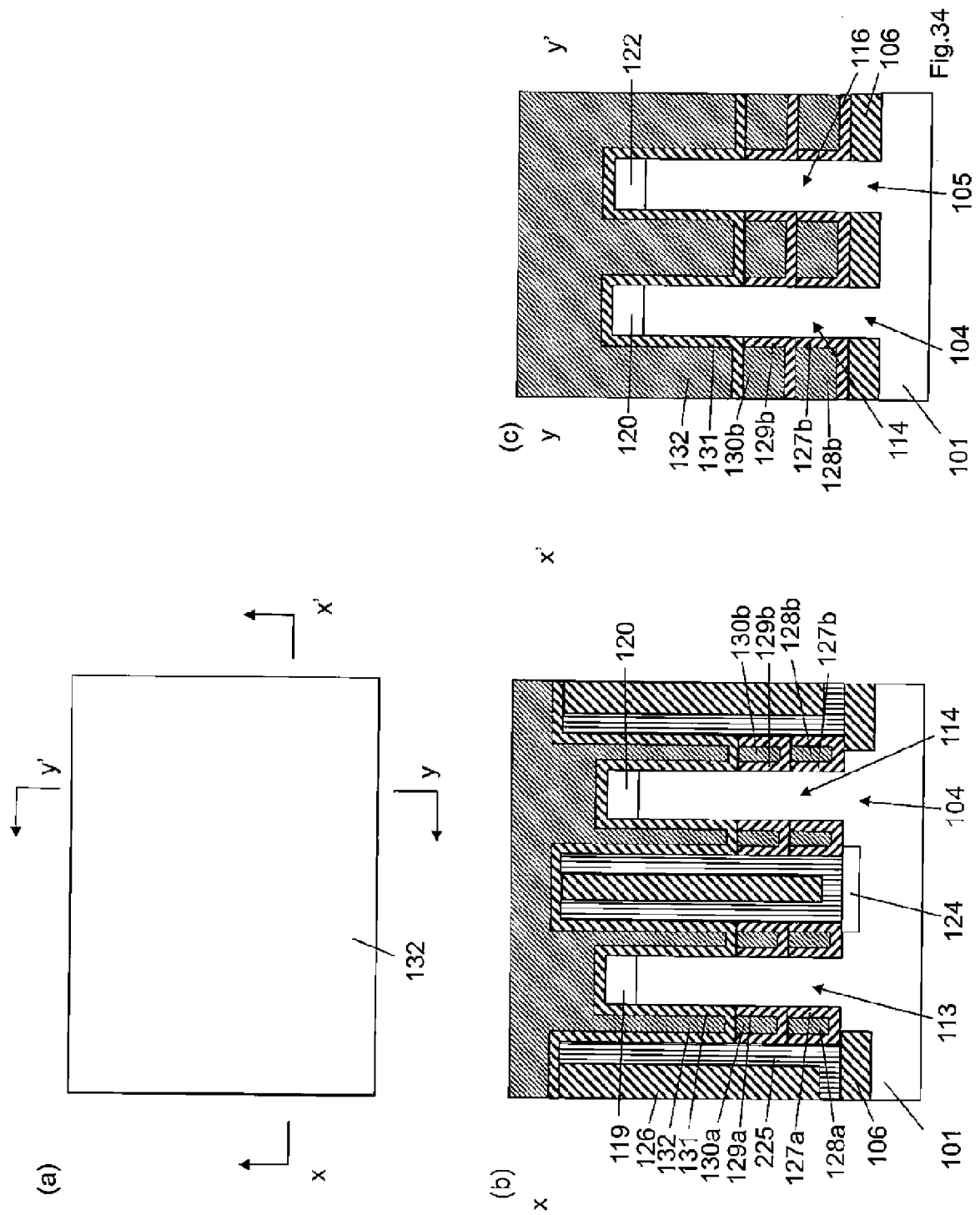
[図31]



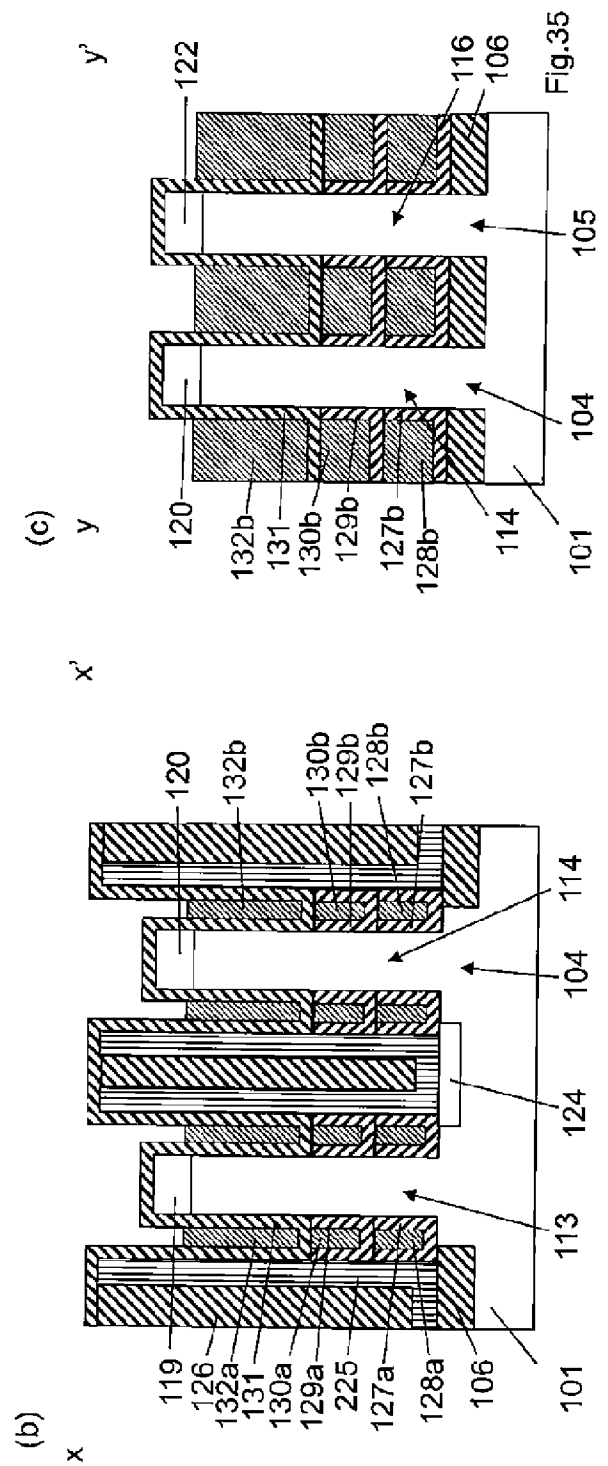
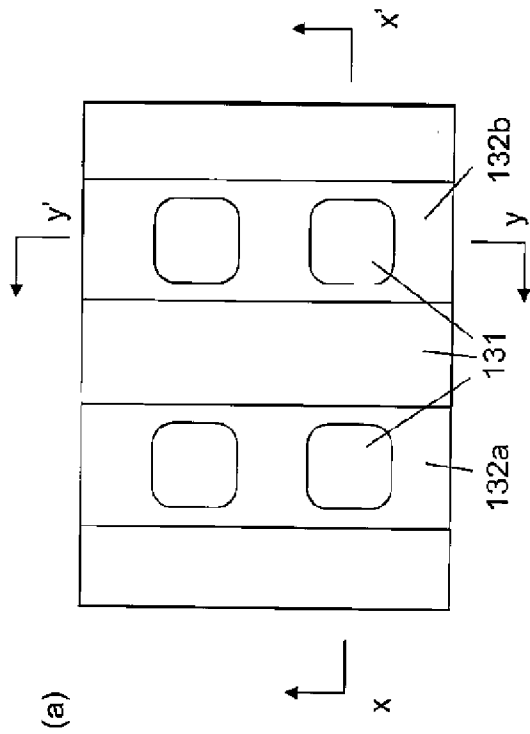
[図33]



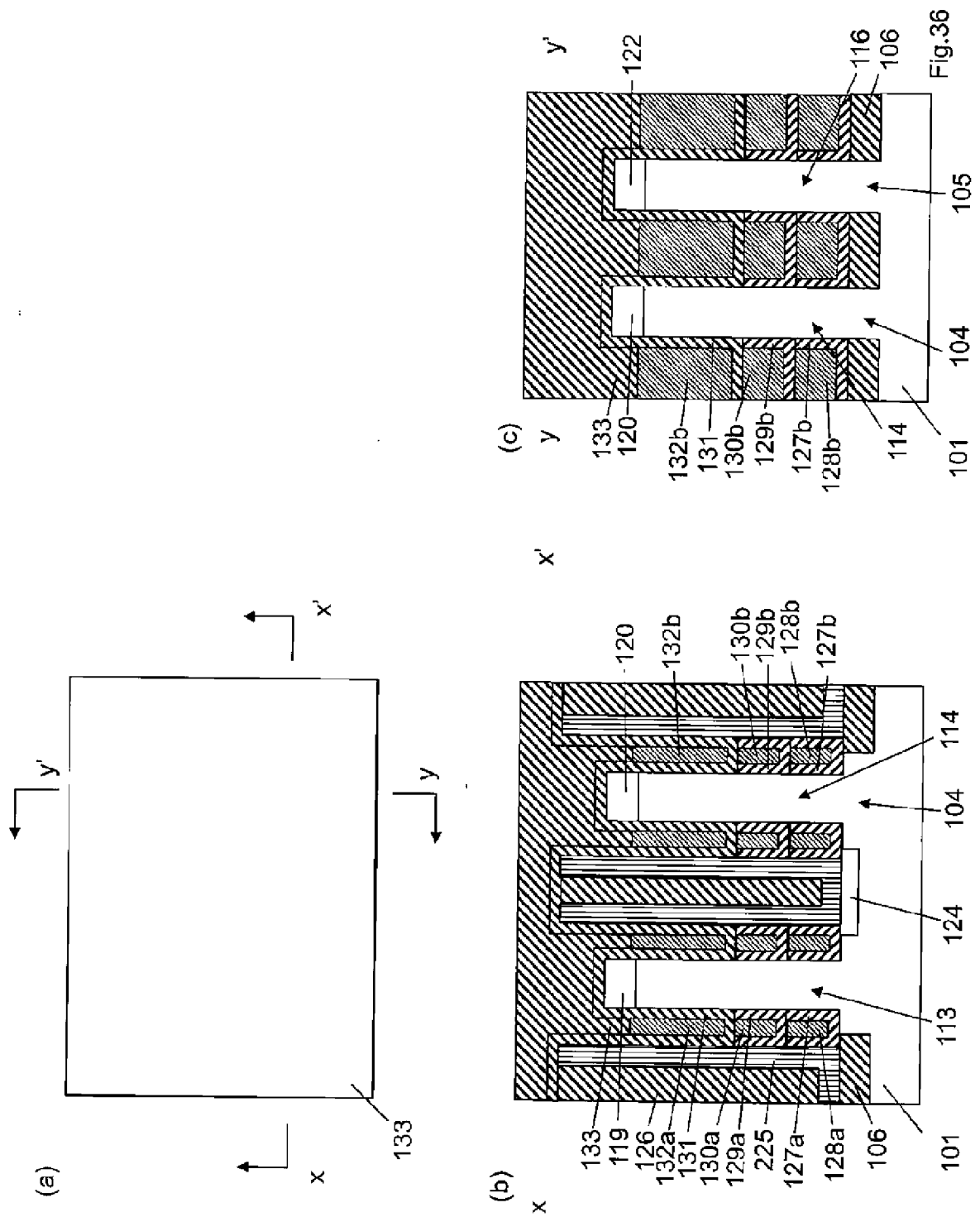
[図34]



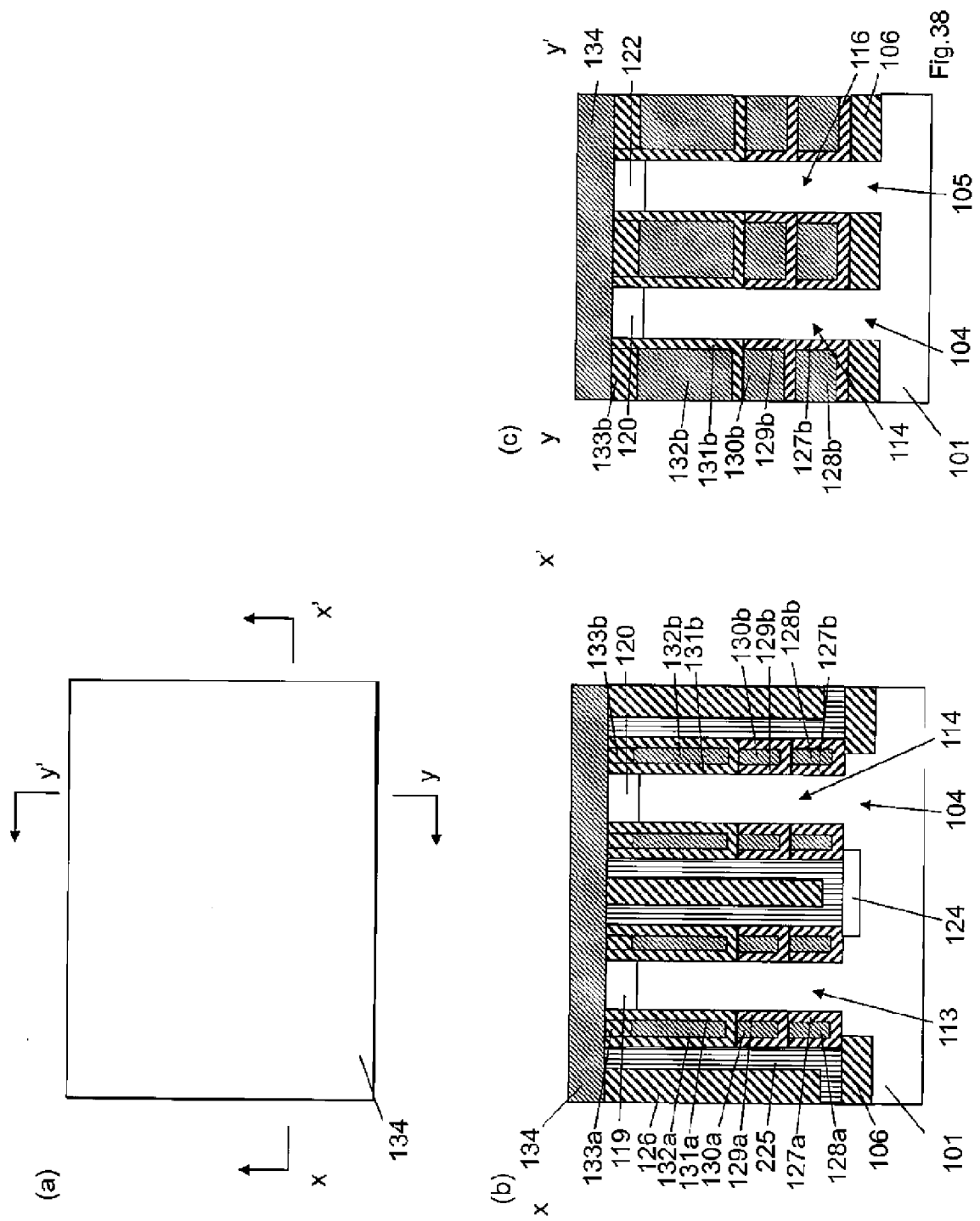
[図35]



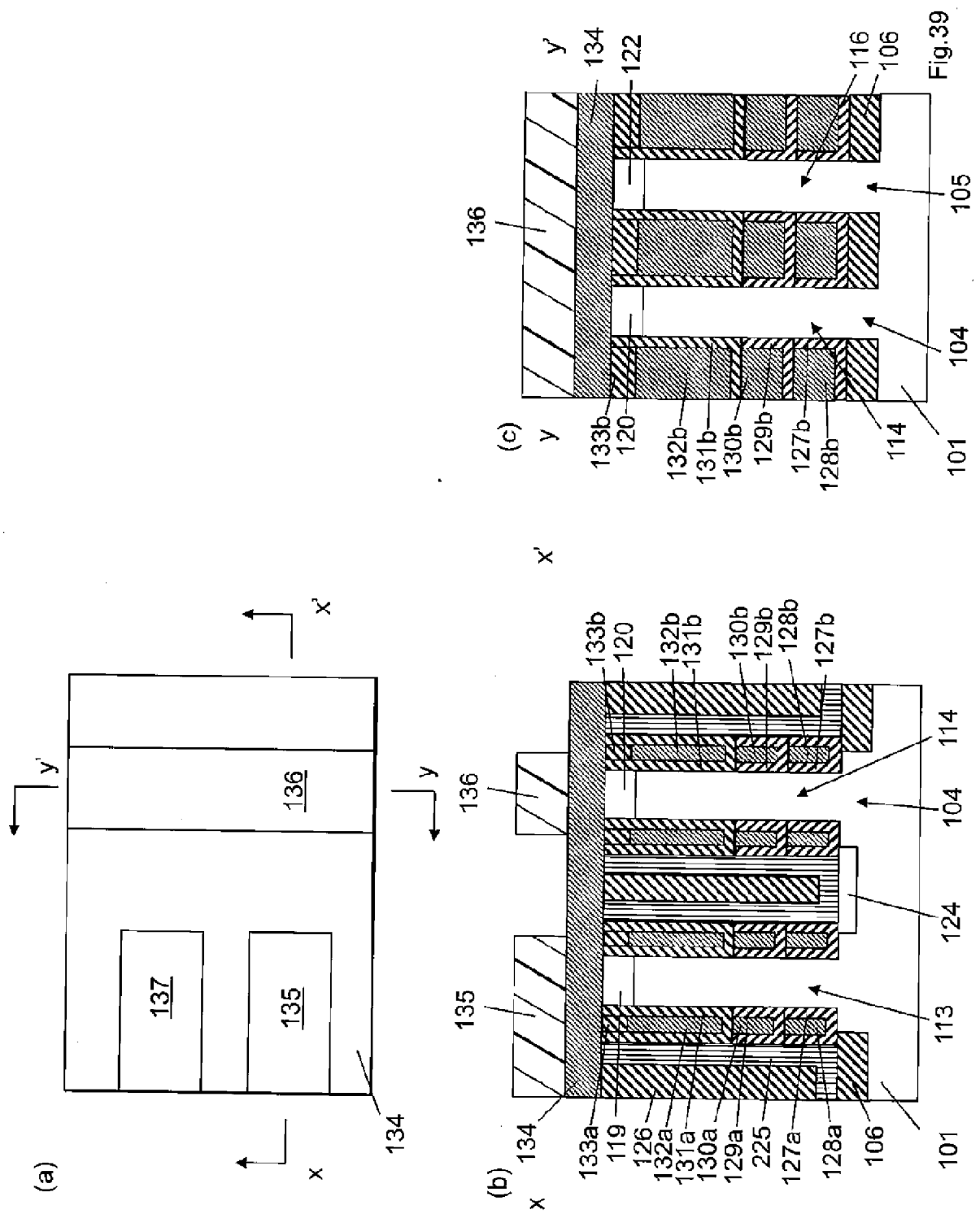
[図36]



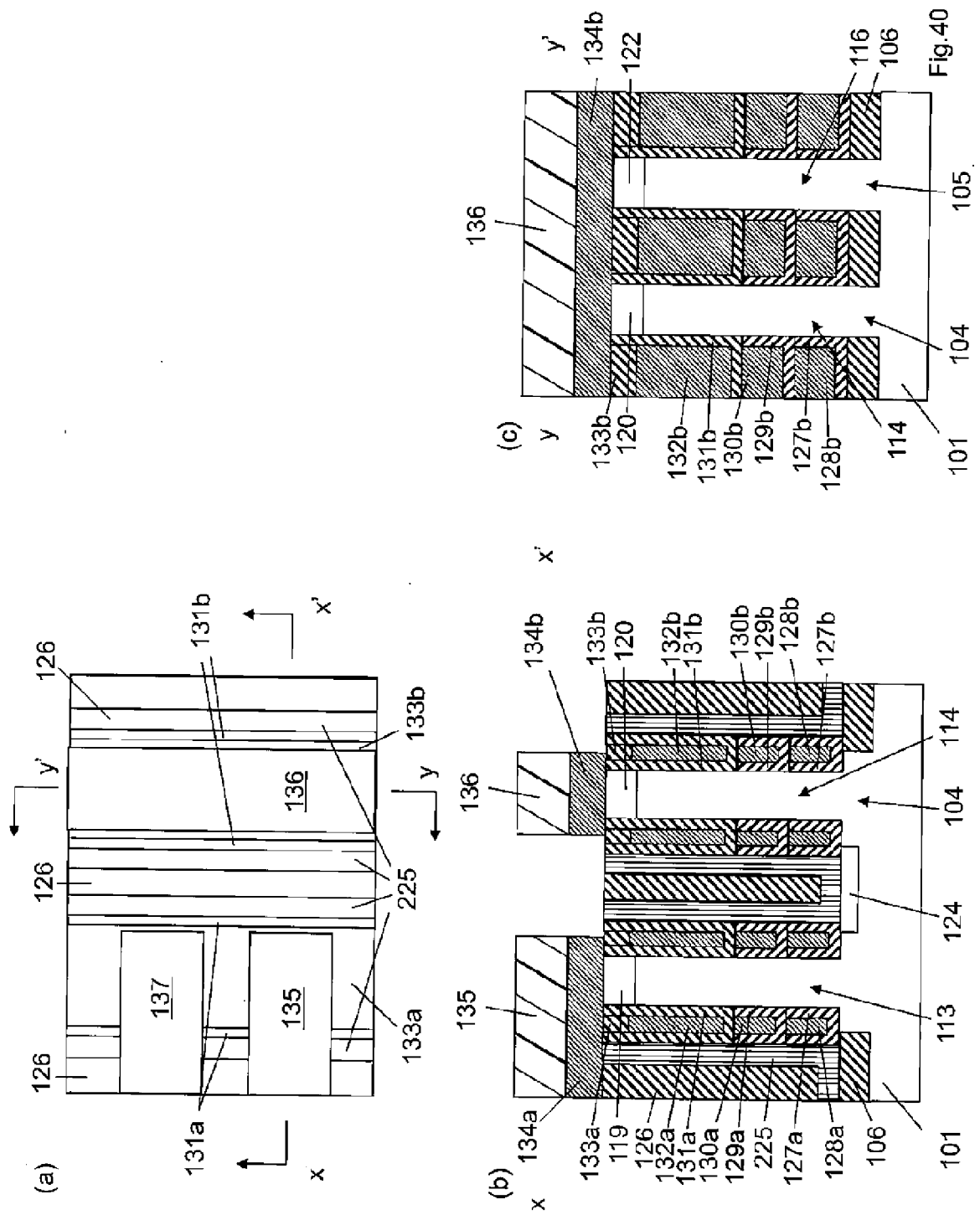
[図38]



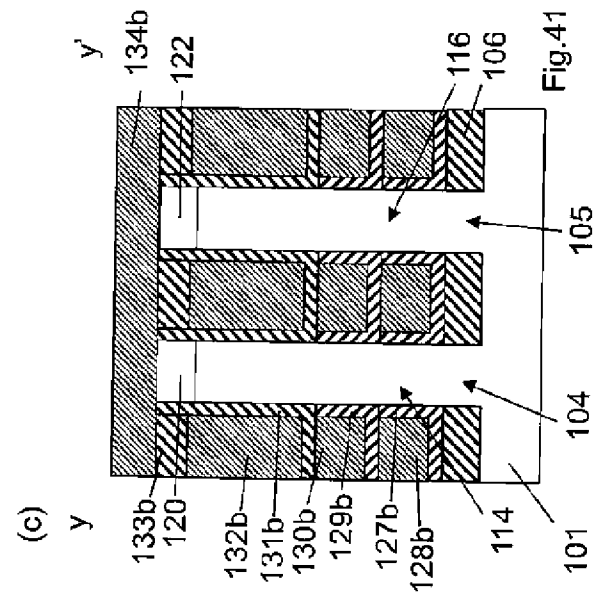
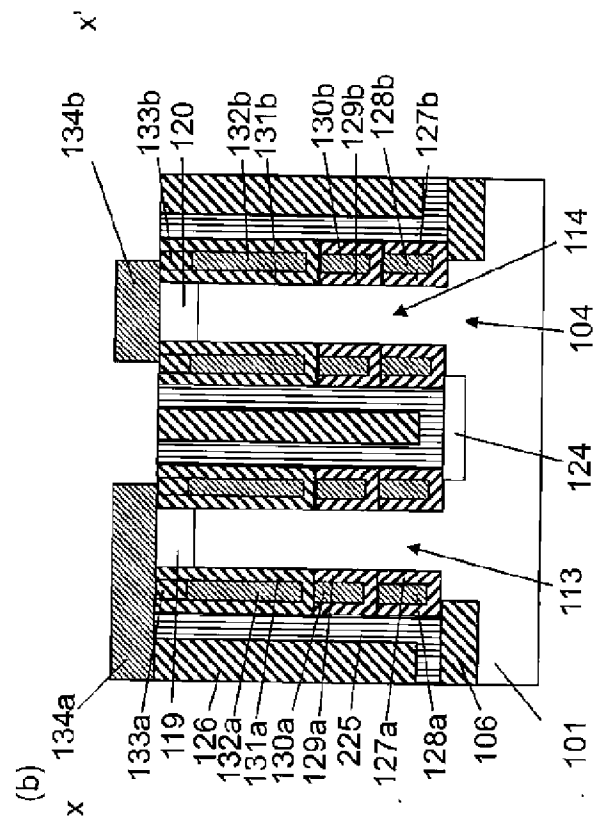
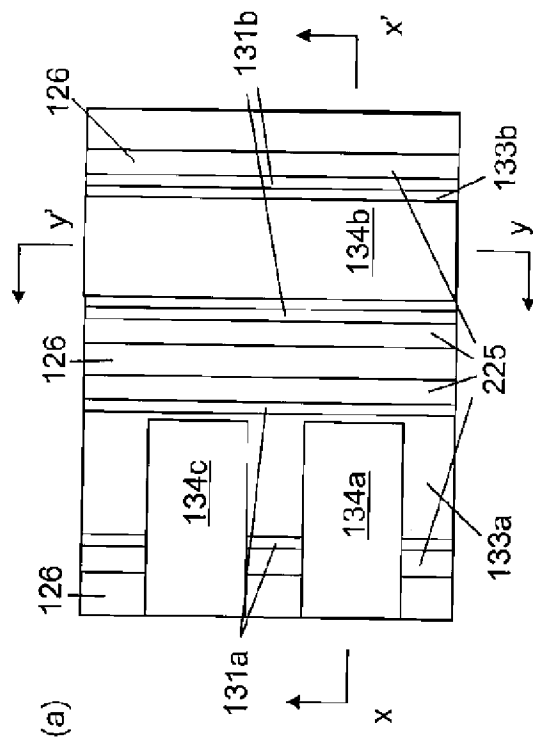
[図39]



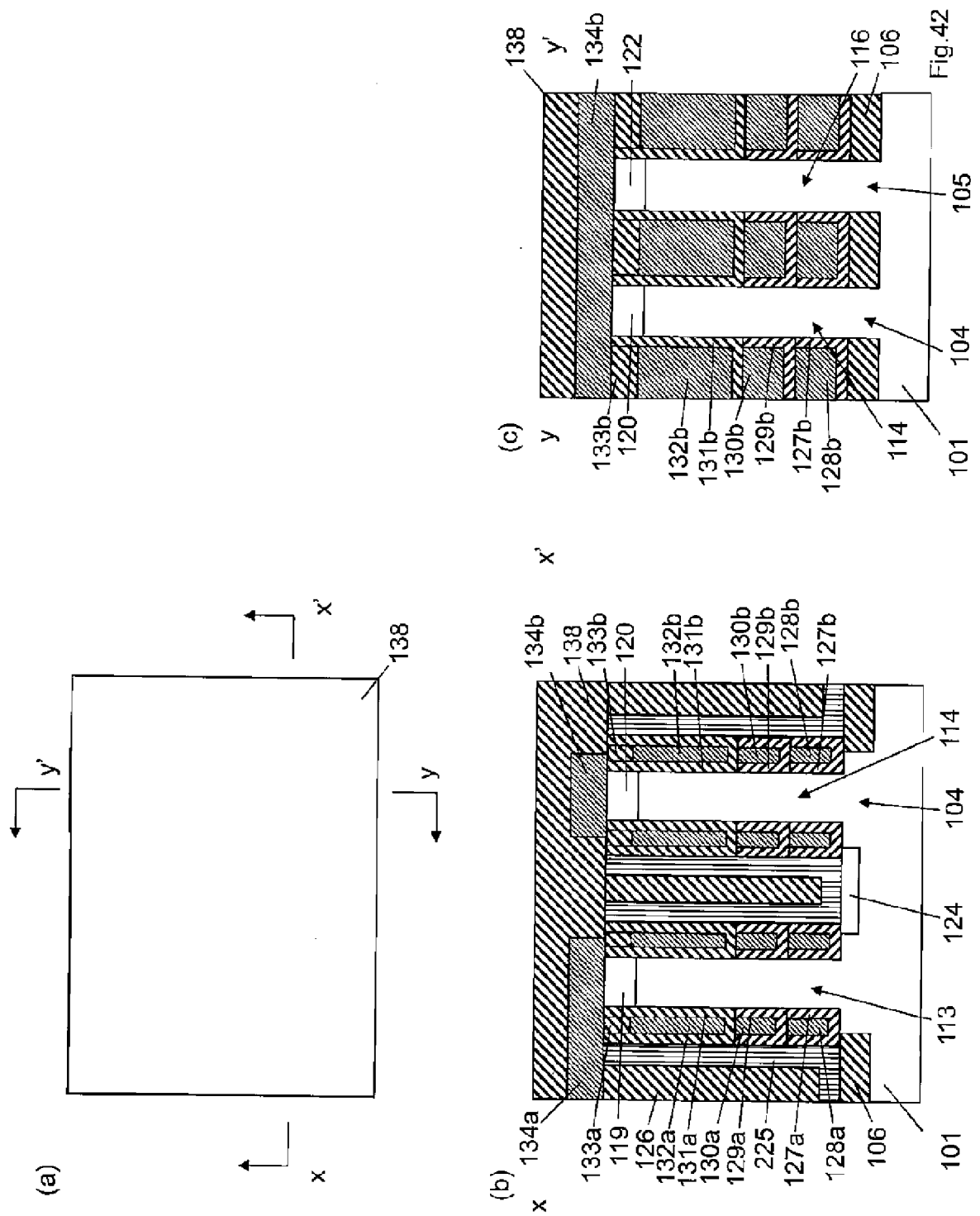
[図40]



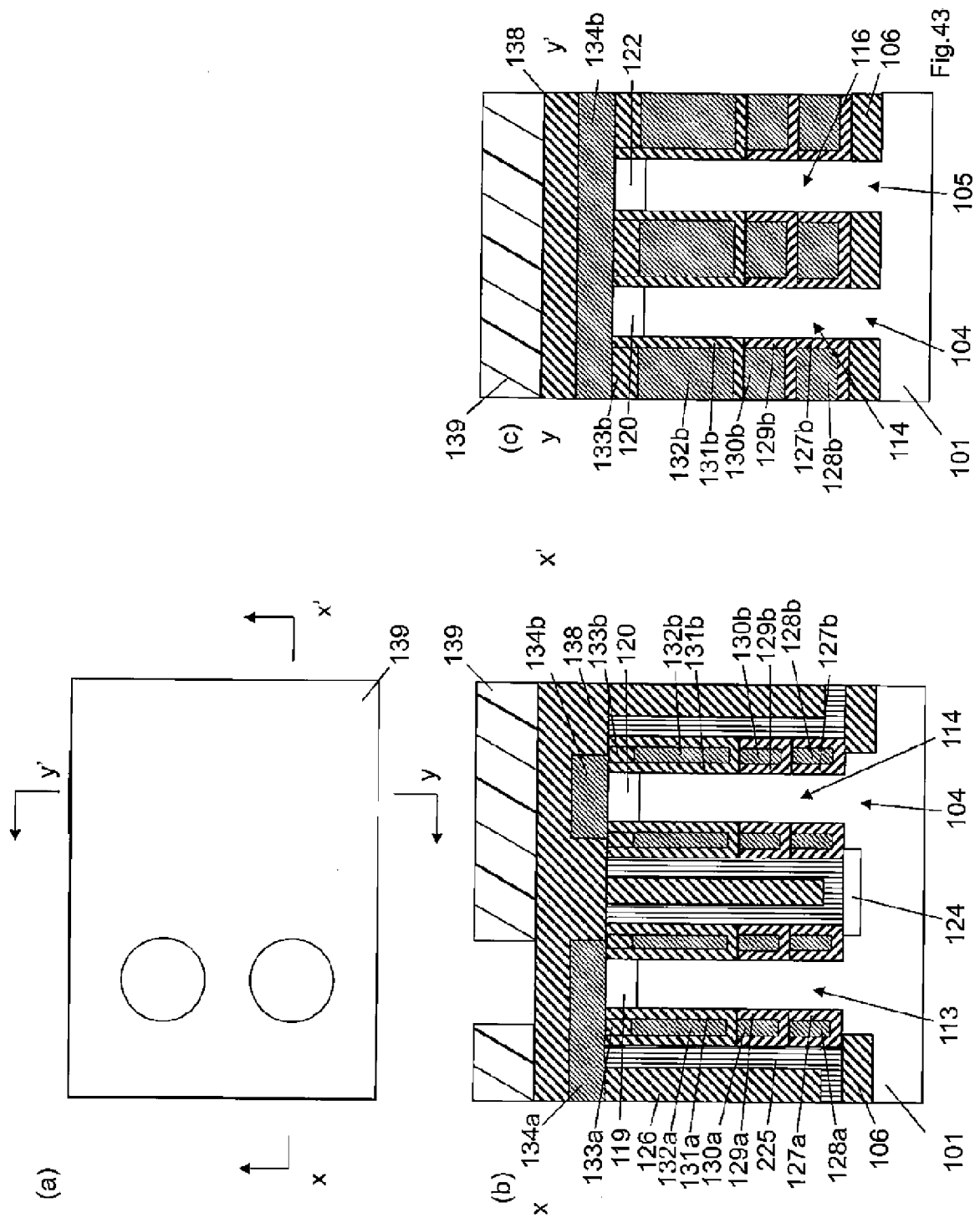
[図41]



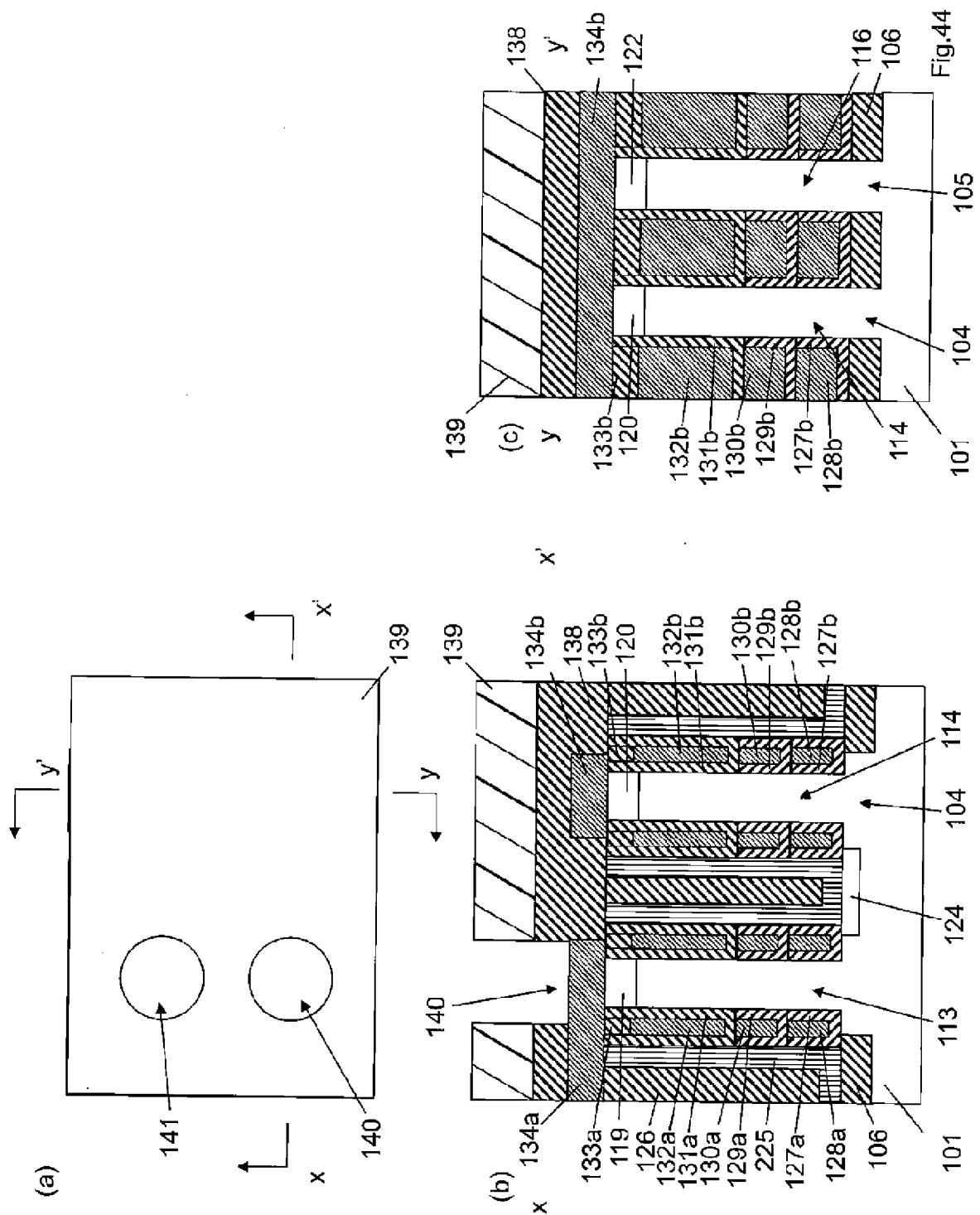
[図42]



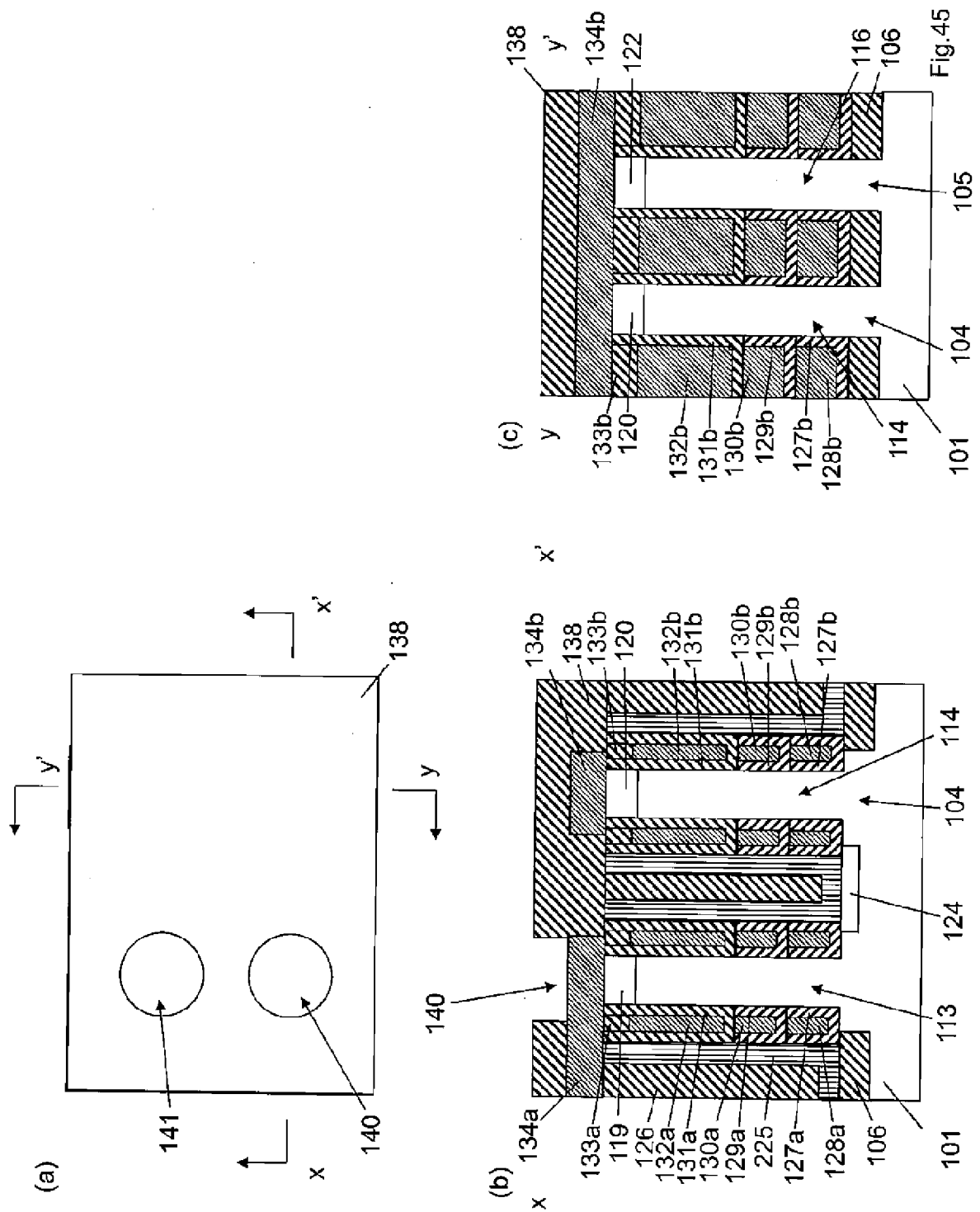
[図43]



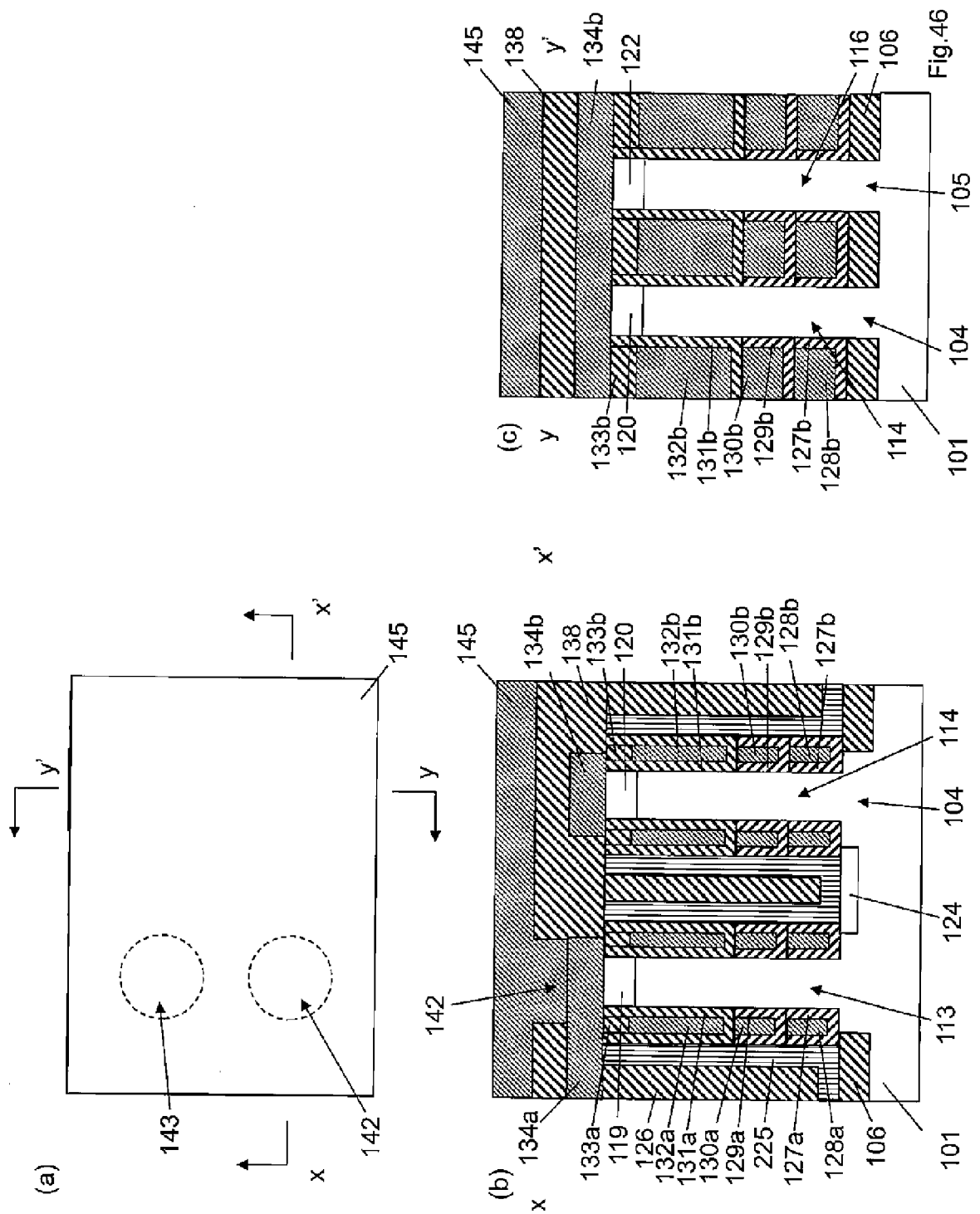
[図44]



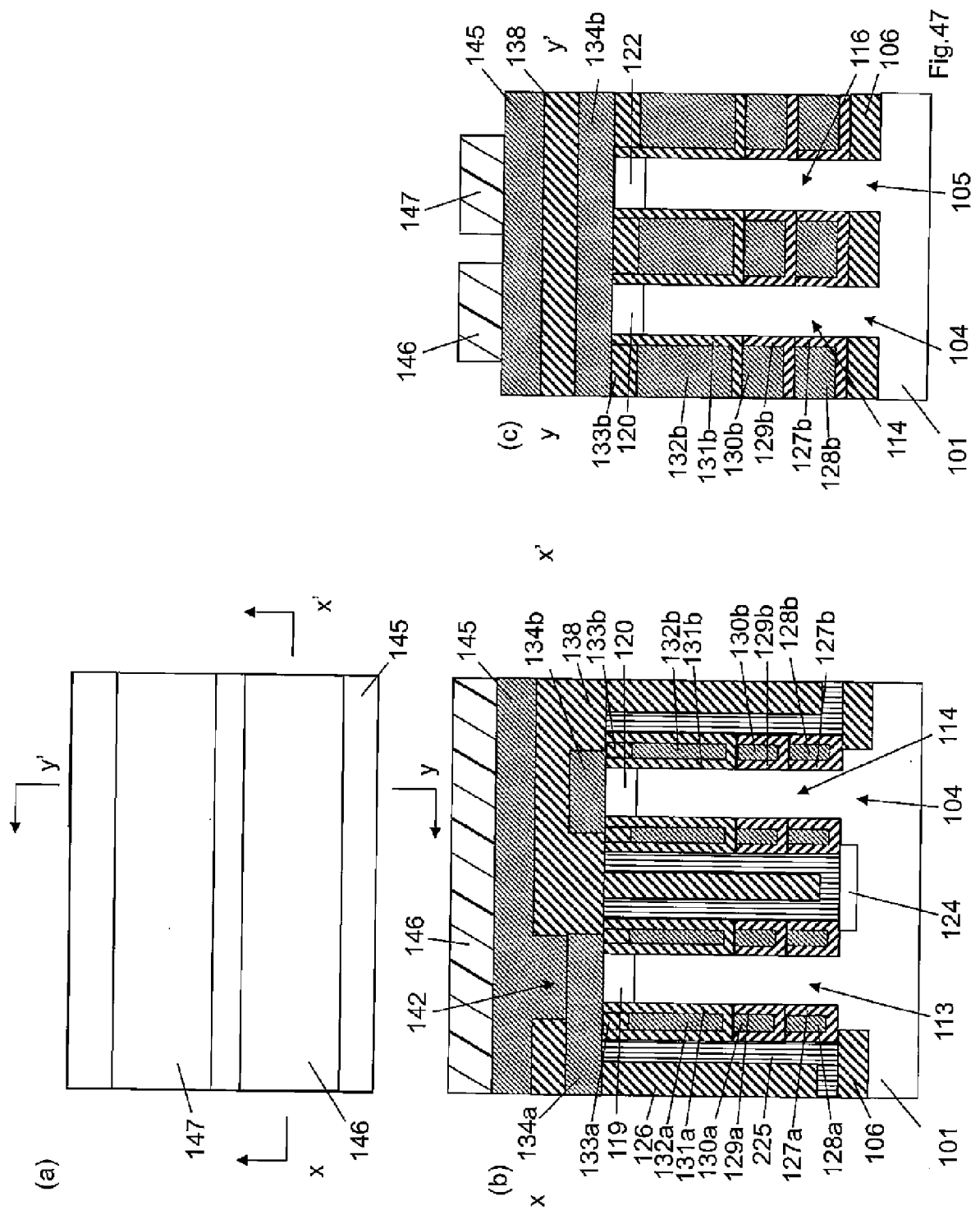
[図45]



[図46]



[図47]



[図48]

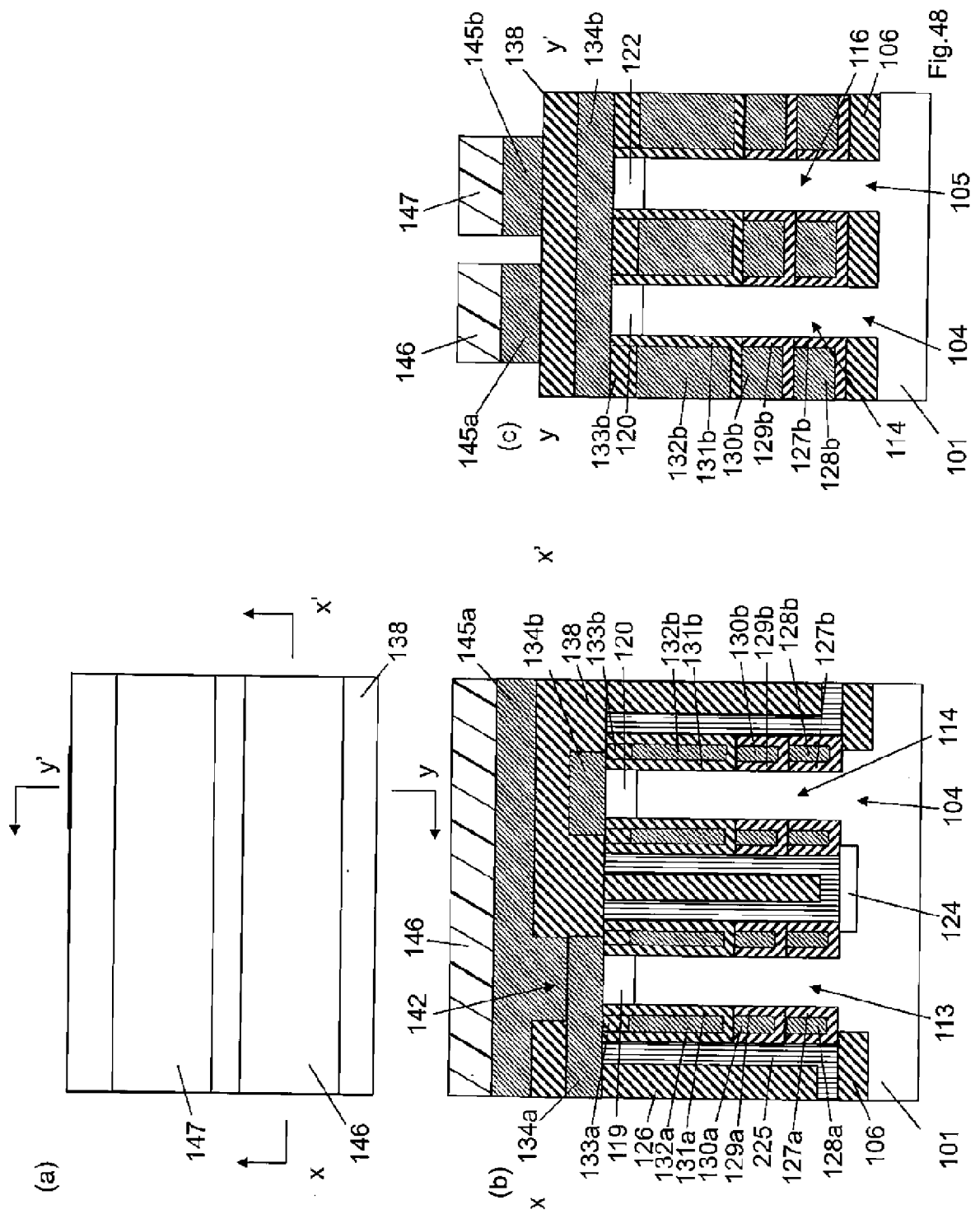
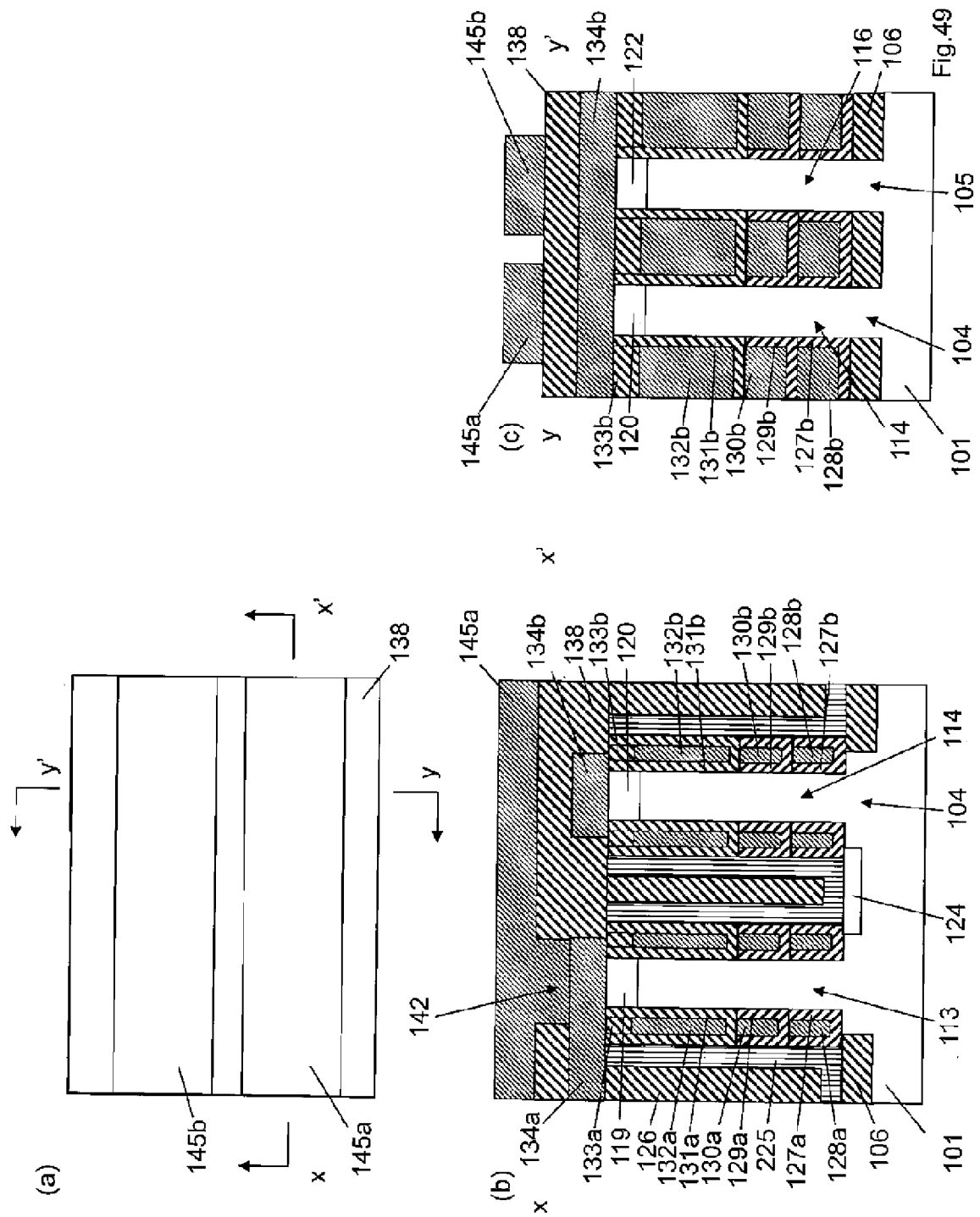


Fig.48

[図49]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/082838

A. CLASSIFICATION OF SUBJECT MATTER H01L21/336(2006.01)i, H01L21/8247(2006.01)i, H01L27/115(2006.01)i, H01L29/78(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L21/336, H01L21/8247, H01L27/115, H01L29/78 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014 Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2013-21274 A (Toshiba Corp.), 31 January 2013 (31.01.2013), paragraphs [0047] to [0049]; fig. 21 & US 2013/0015500 A1	1, 3-5, 9 2, 6-8, 10-14
A	WO 2013/171908 A1 (Unisantis Electronics Singapore Pte Ltd.), 21 November 2013 (21.11.2013), entire text; all drawings (Family: none)	1-14
A	WO 2013/080378 A1 (Unisantis Electronics Singapore Pte Ltd.), 06 June 2013 (06.06.2013), entire text; all drawings & KR 10-2013-0083923 A & TW 201324626 A	1-14
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 08 January, 2014 (08.01.14)		Date of mailing of the international search report 21 January, 2014 (21.01.14)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/082838

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2013/069102 A1 (Unisantis Electronics Singapore Pte Ltd.), 16 May 2013 (16.05.2013), entire text; all drawings & CN 103201842 A & TW 201320201 A	1-14

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L21/336(2006.01)i, H01L21/8247(2006.01)i, H01L27/115(2006.01)i, H01L29/78(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L21/336, H01L21/8247, H01L27/115, H01L29/78			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 日本国公開実用新案公報 日本国実用新案登録公報 日本国登録実用新案公報 1 9 2 2 - 1 9 9 6 年 1 9 7 1 - 2 0 1 4 年 1 9 9 6 - 2 0 1 4 年 1 9 9 4 - 2 0 1 4 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X A	JP 2013-21274 A（株式会社東芝）2013.01.31, 【0047】－【0049】、第21図 & US 2013/0015500 A1	1, 3-5, 9 2, 6-8, 10-14	
A	W0 2013/171908 A1（ユニサンティス エレクトロニクス シンガポール プライベート リミテッド）2013.11.21, 全文、全図（ファミリーなし）	1-14	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 0 8 . 0 1 . 2 0 1 4		国際調査報告の発送日 2 1 . 0 1 . 2 0 1 4	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 大嶋 洋一 電話番号 03-3581-1101 内線 3559	50 9170

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2013/080378 A1 (ユニサンティス エレクトロニクス シンガポール プライベート リミテッド) 2013.06.06, 全文、全図 & KR 10-2013-0083923 A & TW 201324626 A	1-14
A	WO 2013/069102 A1 (ユニサンティス エレクトロニクス シンガポール プライベート リミテッド) 2013.05.16, 全文、全図 & CN 103201842 A & TW 201320201 A	1-14