



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 329 633**

51 Int. Cl.:
G01R 31/36 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **07727486 .8**

96 Fecha de presentación : **29.03.2007**

97 Número de publicación de la solicitud: **2002274**

97 Fecha de publicación de la solicitud: **17.12.2008**

54 Título: **Circuito de medición y control de tensiones diferenciales.**

30 Prioridad: **31.03.2006 FR 06 02819**

45 Fecha de publicación de la mención BOPI:
27.11.2009

45 Fecha de la publicación del folleto de la patente:
27.11.2009

73 Titular/es: **E2V Semiconductors**
avenue de Rochepleine
38120 Saint Egreve, FR

72 Inventor/es: **Masson, Thierry;**
Pinoncely, Pierre-Adrien;
Espuno, Laurent;
Lebreton, Sébastien y
Durr, Michel

74 Agente: **Lehmann Novo, María Isabel**

ES 2 329 633 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito de medición y control de tensiones diferenciales.

5 La invención se refiere a la administración de una fuente de energía de potencia compuesta por un grupo de muchas fuentes en serie. Se conectan las fuentes en serie para poder proporcionar una tensión mucho más elevada que la tensión que puede proporcionar una fuente elemental individual.

10 Una aplicación típica de la invención se refiere a la gestión de una batería de vehículo eléctrico o de vehículo híbrido (vehículo que combina un motor eléctrico y un motor térmico).

15 Para este tipo de aplicación con consumo de energía muy elevado, existe una necesidad de baterías que tengan una alta capacidad de almacenamiento, así como una dimensión y un peso reducido, tales como las baterías de litio/ion; estas baterías proporcionan una tensión de sólo unos pocos voltios, así que cuando se desea utilizar motores eléctricos que funcionan bajo varias decenas, incluso varios cientos de voltios; se reúnen en serie varias decenas de baterías elementales, por ejemplo 60 baterías cuyas tensiones pueden variar de 2,2 a 5 voltios, dependiendo de su estado de carga; las 60 baterías pueden proporcionar una tensión de 130 a 300 voltios.

20 Estas baterías son frágiles y su duración de vida depende de sus condiciones de uso; éstas deberán funcionar en un rango de tensiones claramente definidos, ni demasiado altas ni demasiado bajas, y deben funcionar y envejecer todas de la misma manera, en caso contrario la batería envejecería muy pronto como un mal funcionamiento o incluso la destrucción del conjunto. Además, para reducir los riesgos de explosión, es necesario evitar que estas baterías estén demasiado cargadas. Todo esto crea la necesidad de controlar de cerca la tensión de cada batería elemental del conjunto en serie y, posiblemente, la necesidad de la descargar individualmente una batería demasiado cargada.

25 El control de las tensiones individuales debe ser muy preciso; normalmente la tensión debe ser medida a alrededor de algunos milivoltios. Este control se hace a partir de circuitos electrónicos de gestión de baterías, y la función de estos circuitos es primero medir individualmente la tensión de cada batería y, a continuación, descargar las baterías que presentan una tensión demasiado elevada en términos absolutos (en razón del riesgo de explosión) o en relación con otras baterías (para evitar un envejecimiento diferente de las diferentes baterías).

30 El documento WO 99/27628 (BATTERY TECHNOLOGY) divulga la medición de las tensiones individuales de las células de baterías.

35 Sin embargo, el control individual de numerosas baterías en serie es difícil, específicamente porque los circuitos integrados con los cuales sería necesario hacer ese control no están adaptados para funcionar bajo tensiones de varias decenas de voltios. Ahora bien, es necesario poder controlar no solamente las baterías más próximas al potencial inferior del conjunto en serie, pero también aquellas que están en el medio y aquellas que son las más próximas al potencial superior, sabiendo que el intervalo entre el potencial inferior y el potencial superior puede alcanzar varias centenas de voltios. Incluso si se descompone un conjunto de 60 baterías en 5 módulos de 12 baterías, adjuntando un circuito integrado de control a cada módulo, aislado de los otros circuitos de control, el problema de los niveles de tensión elevados (60 voltios por ejemplo) se mantiene crítico, ya que es difícil medir una tensión diferencial de algunos voltios a casi algunos milivoltios con una tensión de modo común que puede variar entre 0 y 60 voltios. Un rechazo de modo común incluso excelente deja subsistir errores de medición de varios milivoltios. Además, los amplificadores de instrumentación no pueden ser realizados con transistores que soportan tales tensiones, ya que esos transistores son componentes particulares (transistores llamados "mos drift") que no son pretendidos para la realización de circuitos de medición fina. Esta dificultad de realizar circuitos de medición existe también para la realización de los circuitos de comando de descarga: específicamente si se quiere accionar la descarga de la batería con corriente constante, es necesario un circuito electrónico que funcione incluso para tensiones de modo común muy diferentes unas de otras. En fin, por las mismas razones de presencia de tensiones elevadas, incluso si se divide el grupo de baterías en cinco módulos de 12 baterías, subsiste la necesidad de un circuito de administración global de los cinco módulos, que deben comunicar con circuitos de control individuales asociados a cada módulo por lo tanto asociados a tensiones de funcionamiento muy diferentes unas de otras.

55 Una manera de resolver el problema de las tensiones de modo común variables parecería consistir en utilizar puntos divisores entre los bornes de una batería a medir y una masa general, para conducir la tensión de modo común a un nivel de algunos voltios, para cada una de las baterías individuales, antes de aplicar la tensión diferencial a un multiplexor y un convertidor analógico-digital. Estos últimos elementos del circuito pueden entonces formar parte de un circuito integrado de tecnología estándar de baja tensión, por lo tanto relativamente poco costoso. Pero la precisión final será muy mala porque los puentes divisores solamente introducen errores suplementarios por su imprecisión natural y sobre todo debido al hecho de la relación de división que multiplica los errores de medición por la relación de división. El consumo de corriente de los puentes divisores es además permanente, lo que no sería aceptable en una aplicación a un vehículo eléctrico, y además este consumo sería variable de una batería a otra, lo que no sería aceptable tampoco. Serían necesarios entonces circuitos suplementarios para cortar la alimentación de los puentes divisores, lo que haría el conjunto más complejo.

ES 2 329 633 T3

Para paliar estos inconvenientes, la presente invención propone un circuito electrónico de control de un grupo de $k \cdot N$ baterías en serie, k es un número entero superior o igual a 1, y N es un número entero superior a 1, que comprende k chips de circuito integrado de control asociados cada uno a un sub grupo de N baterías en serie, caracterizado porque:

- 5 • cada chip de control comprende un sustrato conectado a un borne extremo del conjunto de N baterías, y un circuito de comando formado en el sustrato,
- 10 • cada chip comprende N células de medición de tensión y de comando de descarga, alimentadas cada una por una batería respectiva y proporcionando una medición digital de la tensión de la batería, cada célula estando apta para recibir del circuito de comando una orden de comando de descarga parcial de la batería y para establecer un camino de descarga de corriente en paralelo sobre la batería con la recepción de esta orden,
- 15 • cada célula, con la excepción eventualmente de una primera célula del sub grupo de N baterías, es realizada en el interior de un cajón respectivo aislado del sustrato del chip y aislado de los cajones correspondientes a las otras células, ese cajón siendo llevado al potencial de uno de los bornes de la batería asociada a la célula,
- 20 • a cada célula está asociado un circuito de traducción de nivel de tensión para permitir la transmisión de niveles lógicos entre una célula alimentada por una batería y el circuito de comando formado en el sustrato, el circuito de traducción de nivel comprendiendo una parte formada en el cajón asociado a la célula y una parte formada en el sustrato.

25 Los cajones son formados por ejemplo por difusiones en el sustrato, esas difusiones teniendo un tipo de conductividad opuesta al sustrato. Estos pueden también ser hechos por la separación de las zonas semiconductoras en un sustrato de tipo SOI (silicio sobre aislante), cada cajón estando delimitado por su parte inferior por una capa aislante enterrada y por su periferia por una zona de separación difundida o aislante.

30 Esta arquitectura es aplicable en el caso donde el número N de baterías permite obtener con un solo chip de circuito integrado ($k=1$) la tensión global deseada: por ejemplo 60 voltios con 12 baterías, y un solo chip de circuito integrado para administrar las 12 baterías. En ese caso, el circuito de comando formado en el sustrato del chip efectúa todas las operaciones de suministro de órdenes de medición, de recepción de valores de medición, de tratamiento de esos valores, de suministro de orden de descarga. Pero el circuito de comando puede también recibir de un circuito integrado separado (por ejemplo un simple microprocesador programado) las órdenes de medición y las órdenes de descarga y transmitir los valores digitales medidos, el tratamiento de los valores que son efectuados por el circuito integrado separado.

40 La arquitectura es también aplicable en el caso donde la tensión deseada es más elevada y requiere k módulos ($k>1$) de baterías con k chips de circuitos de control. En ese caso la solución preferida de acuerdo con la invención consiste en prever que los chips estén unidos en cascada por un bus de tipo SPI (Serial parallel Interface) en el cual el bus recibe las órdenes de un circuito integrado suplementario (circuito de comando general, por ejemplo un microprocesador programado), transmite esas órdenes en cascada a los diferentes chips pasando sucesivamente en los chips intermedios en la cascada, recoge los valores digitales y los transmite al circuito de comando general; cada chip comprende tres bornes de entrada/salida (reloj, entrada, salida) unidos a un chip precedente y otros tres bornes de entrada/salida unidos a un chip siguiente; el primer chip está unido al circuito integrado de comando general.

45 Los circuitos de traducción de nivel comprenden partes para disminuir la tensión de modo común y partes para elevar la tensión de modo común de las señales lógicas. Esas partes utilizan transistores que soportan tensiones elevadas debido al hecho de la constitución particular de su canal (transistores llamados "mos drift").

50 Cuando k es superior a 1, k conjuntos de N baterías son colocados en serie, y k chips de circuito integrado son conectados a los bornes de los k conjuntos. Estos chips son conectados en cascada por un bus de control de tipo SPI (bus normalizado "Serie/paralelo/interface"). Cada chip comprende entonces tres bornes de conexión para la conexión a un chip aguas arriba y tres bornes de conexión a un chip aguas abajo, cada chip tratándose como esclavo frente a un chip precedente y como maestro frente a un chip siguiente, en vistas de una conexión en cascada de los diferentes chips para el control de varios conjuntos de N baterías. El bus SPI transmite las órdenes y recoge las mediciones digitales de tensiones de baterías individuales.

60 Otras características y ventajas de la invención aparecerán con la lectura de la descripción detallada que sigue y que es hecha en referencia a los dibujos anexos en los cuales:

la figura 1 representa la arquitectura general de un módulo de baterías con su circuito de control de acuerdo con la invención;

- 65 • la figura 2 representa un esquema simple de la célula de medición y de comando de descarga;
- la figura 3 representa otro esquema de la célula de medición y de comando de descarga;

ES 2 329 633 T3

- la figura 4 representa un esquema del circuito de traducción de nivel bajo hacia un nivel alto;
- la figura 5 representa un esquema del circuito de traducción de nivel alto hacia un nivel bajo;
- las figuras 6 y 7 representan cortes de estructuras de los circuitos de las figuras 4 y 5 respectivamente;
- la figura 8 representa el principio de cascada de los circuitos de control para un conjunto de $k.N$ baterías con $k>1$;
- la figura 9 representa un ejemplo de realización de una comunicación de señal entre dos chips adyacentes en la cascada.

En la figura 1, se observa un conjunto de nueve baterías en serie, B1 a B9; las baterías son por ejemplo baterías de litio/ion que pueden funcionar correctamente cuando estas son cargadas entre 2,2 voltios y 5 voltios cada una, de manera que la tensión total suministrada por el conjunto está entre 20 voltios y 45 voltios. Esas cifras son dadas a título de ejemplo; parecería bien también tener 8 o 12 baterías en serie; sin embargo se entiende que la tecnología de los circuitos integrados limita ese número ya que hará falta que algunas partes del circuito de control soporte la tensión máxima del conjunto en serie.

A este conjunto de $N=9$ baterías se asocia un chip de circuito integrado 10 que sirve para asegurar el control de las baterías individuales del conjunto. Si la tensión a generar es de más de 60 voltios, se utilizarán varios conjuntos en serie de N baterías, por ejemplo $k=5$ conjuntos en serie, es decir $k.N=45$ baterías en serie si $N=9$, para obtener una tensión que varía de 100 a 225 voltios. En ese caso, se utilizarán cinco chips de circuito integrado para el control de las baterías individuales, cada chip estando asociado a un conjunto respectivo de N baterías. Se hará remisión a continuación a la constitución del circuito de control en este caso.

Sobre el chip de control 10, se encuentra una célula de circuito electrónico respectiva asociada a cada batería B_i de rango i . Esta célula CM_i es una célula de medición de la tensión de la batería y de comando de descarga de la batería. Existen por lo tanto N células CM_1 a CM_9 . Cada célula de medición y de comando CM_i de rango i está unida a dos contactos de conexión respectivos del chip, y esos contactos están unidos a los bornes de la batería asociada; estas reciben de esos bornes potenciales V_{i-1} y V_i . Una célula de rango intermedio entre 1 y 9 comparte así un contacto de conexión con una célula adyacente de rango inferior y otro contacto con una célula adyacente de rango superior.

La batería B_i asociada a una célula CM_i sirve de fuente de alimentación a la célula como se detallará más adelante. Por consiguiente, las conexiones representadas entre la célula y la batería asociada juegan a la vez la función de entradas de alimentación eléctrica y la función de entradas de medición ya que la célula sirve para medir la tensión de la batería pero utiliza esta tensión como tensión de alimentación.

Todas las células están unidas a un circuito de comando CC que forma parte del chip y que tiene las funciones siguientes: suministra las órdenes de medición de tensión de la batería a las células; recoge los valores de tensiones medidos por cada célula; los explota o los transmite a otro circuito integrado para la explotación; suministra a una célula una orden de descarga de la batería asociada si la explotación muestra que esta batería tiene una tensión demasiado elevada.

Los valores de medición de tensión son suministrados al circuito CC en forma digital; esto quiere decir que un convertidor analógico-digital respectivo es previsto en cada célula.

Las células de medición establecen una medición diferencial de la tensión $V_i - V_{i-1}$, presente entre los bornes de una batería, pero la tensión de modo común es variable de una célula a otra ya que la misma depende de la posición de la batería en la serie de N . Por consiguiente los circuitos de medición que suministran valores diferenciales con una tensión de modo común variable; se considerará a continuación para simplificar que la tensión de modo común del circuito CM_i es la tensión V_{i-1} , es decir el potencial bajo de la alimentación de ese circuito. La tensión de modo común más baja es V_0 , el potencial más bajo del conjunto de N baterías en serie.

La tensión de modo común variable de una célula a otra es muy perturbadora para el circuito de comando CC que debe explotar o transmitir el valor medido por la célula y que debe además suministrar las órdenes a la célula. Es por esto que se prevé, entre la salida de la célula CM_i (salida que suministra un valor digital de medición) y una entrada respectiva del circuito de comando CC, un circuito HBi de traducción de nivel alto hacia un nivel bajo. Ese circuito conduce el valor digital medido en presencia de una tensión de modo común elevada (en proporción del rango de la batería en la serie de N) a un valor digital idéntico pero afectado por una tensión de modo común bajo (V_0), el mismo para todas las células. El valor digital medido, a poca tensión de modo común, se hace utilizable por el circuito CC.

De igual manera, para que una orden suministrada (bajo forma digital) a una célula por el circuito de comando CC sea explotable por la célula CM_i , es necesario hacer pasar los niveles lógicos salidos del circuito CC (con tensión de modo común V_0) a un nivel donde la tensión de modo común corresponde a la alimentación de la célula, por lo tanto a un nivel V_{i-1} que corresponde al rango de la batería asociada. Un circuito de traducción de nivel, BHi está por lo tanto asociado a la célula CM_i .

ES 2 329 633 T3

Para separar las funciones electrónicas que trabajan a baja tensión de modo común, específicamente el circuito de comando CC, de las funciones que trabajan a modo común variable de una célula a otra, se prevé que el circuito CC sea realizado directamente en el sustrato de un circuito integrado, mientras que las células de medición CM1 a CM9 son realizadas cada una en un cajón semiconductor respectivo aislado del sustrato y teniendo su potencial igual a aquel de uno de los bornes de la batería conectado a esta célula. Los cajones son representados por un trazo de guiones que rodean cada célula; los circuitos de traducción de nivel asociados a una célula tienen cada uno una puerta en el cajón y una puerta fuera del cajón, lo que es simbolizado en la figura por el hecho de que el trazo de guiones pasa por el medio de esos circuitos de traducción de nivel.

En fin, se ha representado en la figura 1 otro chip de circuito integrado CGG, que es un circuito de gestión global (en práctica un microprocesador programado), que sirve esencialmente en el caso donde el número de baterías a controlar es ampliamente superior a 9 ó 12 y necesita una cascada de varios circuitos integrados de control tales como el chip 10. Se regresará sobre este punto más adelante, pero desde ya se puede decir que el circuito de gestión global comunica con el primera chip de control y que los chips de controles comunican cada uno con el chip precedente y con el chip siguiente, de manera que el circuito de gestión global pueda dar órdenes a cualquier circuito integrado de control y recibir las mediciones. Tres bornes de comunicación CLK_A, MOSI_A, MISO_A son previstos aguas arriba de cada chip (para la comunicación con el chip precedente o con el chip de gestión global CGG), y tres bornes de comunicación aguas abajo (destinados al chip siguiente) CLK_B, MOSI_B, MISO_B. Otros bornes de comunicación pueden claro está ser previstos en función de las necesidades, por ejemplo un borne de selección de chip que permite enviar a los chips una señal por la cual estas se reconocen como destinatarias de un mensaje que va a seguir.

La figura 2 representa un ejemplo de esquema-bloque de una célula CMi de medición de tensión y de comando de descarga de una batería, en una versión simplificada. La célula es conectada a una batería Bi de rango i del conjunto de baterías en serie y recibe las tensiones V_{i-1} y V_i .

La célula CMi comprende un convertidor analógico-digital CAN que suministra al circuito de traducción de nivel HBi mediciones de tensión digitales.

El convertidor CAN recibe como tensión convertir la tensión diferencial $V_i - V_{i-1}$ de la batería Bi; recibe además una tensión de referencia Vref de un circuito de referencia de tensión REF; la tensión Vref es definida en diferencial con relación al potencial bajo V_{i-1} correspondiente a esta célula. El circuito de traducción de nivel BHi suministra al convertidor CAN una orden de conversión y el convertidor suministra un valor de medición de tensión de batería en respuesta a esta orden.

El circuito de traducción de nivel BHi puede suministrar además, proveniente del circuito de comando CC, una orden de descarga (disch) aplicada a un circuito de descarga de la batería, que forma parte del circuito CMi. El circuito de descarga está dispuesto entre los bornes de la batería y permite descargar la batería durante un tiempo definido por la duración de la orden de descarga. La descarga es de preferencia con corriente constante. El circuito de descarga ha sido representado para simplificar bajo forma de un conjunto de dos transistores en serie donde uno sirve de comando de descarga (activado por la orden disch) y el otro sirve de resistencia definiendo el valor de la corriente de descarga. La orden de descarga disch es suministrada por el circuito de comando CC, a partir de instrucciones suministradas por el microprocesador CGG cuando la medición de la tensión de la batería muestra que esta tensión es demasiado elevada en absoluto o en relativo. Las órdenes de descarga pueden ser suministradas en forma de impulsos cortos repetidos, alternados con nuevas mediciones de tensión de la batería hasta que la tensión de la batería tenga el valor definido por el microprocesador CGG.

El conjunto de los elementos de la célula CMi es alimentado por la energía de la batería, a partir de los bornes V_i y V_{i-1} , de la batería. Los circuitos de traducción de nivel son alimentados, como se detallará más adelante, entre el borne V_i (el borne más positivo para esta célula) y el potencial V_o del sustrato del circuito integrado 10 (el potencial más negativo de la primera batería del grupo de N baterías). Si hay varios circuitos integrados 10 en cascada, que corresponden cada uno a un sub grupo de N baterías, los potenciales del sustrato son muy diferentes e iguales al potencial más negativo del sub grupo de baterías respectivo.

La figura 3 representa un ejemplo un poco más complejo del circuito de medición y de comando de descarga. En esta versión, el convertidor analógico-digital CAN puede medir no solamente la tensión de la batería, sino también valores de tensión que sirven para el calibrado. En efecto, se recuerda que se quiere medir la tensión de la batería con una gran precisión (algunos milivoltios) y operaciones de calibrado pueden ser necesarias para limitar los errores. A este efecto, se prevé aguas arriba del convertidor CAN un multiplexor MUX que recibe varios valores de tensión y que puede transmitir uno u otro de esos valores al convertidor en vistas de su medición.

Los valores de tensión que el convertidor puede medir son:

- la tensión diferencial $V_i - V_{i-1}$ de la batería
- una tensión diferencial nula $V_{i-1} - V_{i-1}$ que permite determinar un valor de desfase (o offset) del convertidor, es decir el error de conversión que hace que una tensión nula a la entrada de un valor digital no nulo a la salida del convertidor;

ES 2 329 633 T3

- la tensión de referencia V_{ref} , definida en diferencial en relación a la tensión V_{i-1} ; esta medición permite calibrar la ganancia del convertidor;
- y finalmente, una tensión V_{temp} representativa de la temperatura de la batería.

La tensión representativa de la temperatura es obtenida por ejemplo con la ayuda de un termistor TH pegado a la batería y conectado a un borne específico del circuito integrado (un borne de medición de temperatura para cada célula CMi). El termistor es alimentado por una resistencia conectada a la tensión de referencia V_{ref} para constituir un puente divisor donde el punto medio está unido al multiplexor.

El circuito de traducción de nivel digital BHi suministra a la célula órdenes con destino al multiplexor (selección de la tensión a medir), con destino al convertidor (orden de conversión), y con destino al circuito de descarga (orden disch); puede suministrar también al conjunto de la célula un comando de paso en modo de vigilancia con consumo de potencia reducida, a condición de que la célula esté equipada con medios de corte de los elementos que consumen energía en la utilización.

La figura 4 representa un ejemplo de circuito de traducción de nivel de tensión digital BHi que permite convertir un nivel lógico obtenido por referencia al potencial bajo V_0 del conjunto de N baterías en serie en un nivel lógico obtenido por referencia al potencial bajo V_{i-1} de la batería Bi de rango i. El potencial V_0 es el potencial del sustrato del circuito integrado 10. En el ejemplo de la figura 4, se considera que hay un solo bit de nivel lógico a convertir, este bit siendo representado por un valor A; si son necesarios varios bits (funcionamiento en paralelo más bien que en serie) se utilizan tantos circuitos similares.

El circuito BHi de la figura 4 comprende dos partes: una parte formada directamente en un sustrato dopado de tipo P y una parte formada en un cajón HVNW de tipo N escasamente dopado, llevada al potencial V_{i-1} , de la batería Bi. El cajón es representado por un rectángulo con guiones; ese cajón es el mismo que el cajón en el cual es formada toda la célula de medición y de comando CMi asociada a la batería Bi (un cajón respectivo para cada célula). El dopaje N del cajón es seleccionado para asegurar una resistencia a la tensión de varios decenas de voltios, típicamente 30 voltios, a los bornes de la junción inversa cajón/sustrato.

El circuito de traducción de nivel comprende:

- elementos de circuito ordinarios capaces de soportar una tensión baja (por ejemplo 5 voltios), tales como los transistores T1, T2, T3, T4, y los inversores I1, I2, todos formados en el interior del cajón y alimentados entre las tensiones V_{i-1} y V_i de la batería Bi;
- elementos de circuito ordinarios capaces de soportar una tensión baja, tales como el inversor I3, formados directamente en el sustrato del circuito integrado 10 y alimentados entre la tensión V_0 y la tensión V_i de la primera batería B1 del conjunto de N baterías;
- y finalmente elementos de circuito con resistencia a la tensión reforzada, capaces de soportar tensiones de varias decenas de voltios, tales como los transistores NMOS Q1 y Q2, formados directamente en el sustrato del circuito integrado 10 pero que comprenden un canal de configuración particular que permite la resistencia a la tensión deseada.

La configuración particular de canal de los transistores NMOS de alta tensión utiliza de preferencia, como se verá, una división de canal entre una región de tipo P poco dopada que colinda con la fuente y forma parte del sustrato y una región de tipo N poco dopada adyacente al drenaje y formada por un cajón de tipo N difundido en el sustrato; esta región N ha sido representada bajo la forma de un círculo de guiones simbólico en la figura 4. Este tipo de transistor es conocido bajo el nombre de "mos drift".

El ejemplo de circuito dado en la figura 4 comprende un transistor NMOS de alta tensión Qn1 donde la baja recibe el nivel lógico A entre 0 y 5 voltios, un transistor PMOS Tp1 montado en el diodo, en serie con el transistor Qn1 y unido al borne positivo, en V_i , de la batería Bi, un transistor PMOS Tp2 montado en el espejo de corriente del transistor Tp1, que tiene su fuente en V_i y su drenaje unido a la entrada de un inversor I1. Un segundo inversor I2 está re-enlazado a la inversa entre la salida y la entrada de I1 para confirmar el estado lógico Q presente a la entrada de I1. Los inversores I1 y I2 son alimentados entre V_{i-1} y V_i y el nivel Q es por lo tanto referenciado a baja tensión en relación a V_{i-1} .

Cuando el nivel lógico A pasa del nivel bajo (a V_0) al nivel alto (a V_i potencial alto de la primera batería), el transistor Qn1 se hace conductor y tira hacia abajo el potencial de rejilla del transistor Tp1 y del transistor Tp2. El transistor Tp2 se hace conductor; el nivel de entrada Q del inversor I1 cambia de estado y pasa al nivel alto (a V_i). El inversor I2 confirma ese traslado y mantiene el nivel lógico Q al nivel alto (a V_i).

Para el cambio de estado en el otro sentido, se prevé un montaje idéntico al montaje de Qn1, Tp1 y Tp2 pero accionado por un nivel AB complementario del nivel A. Este nivel complementario es obtenido por un inversor I3 formado en el sustrato y alimentado entre V_0 y V_i (primera batería B1 del conjunto). El inversor I3 recibe el nivel lógico A como entrada y suministra el nivel complementario AB. Ese nivel es aplicado a un transistor de alta tensión

ES 2 329 633 T3

NMOS Qn2 idéntico al transistor Q1. Un conjunto de transistores PMOS Tp3 y Tp4, montados como Tp1 y Tp2, desempeñan una función simétrica a aquella del conjunto Tp1, Tp2 pero, mientras que el drenaje de Tp2 está unido a la entrada de I1 para suministrar el nivel lógico Q, el drenaje de Tp4 está unido a la entrada de I2 para suministrar el nivel lógico complementario QB, entre V_{i-1} (nivel bajo) y V_i (nivel alto).

Se entiende así que los transistores de alta tensión Qn1 y Qn2 forman el enlace entre los elementos de circuito alimentados entre las tensiones V_0 y V_i (en el sustrato del circuito integrado) y los elementos de circuito alimentados entre las tensiones V_{i-1} y V_i (en el cajón HVNW).

La figura 5 representa un circuito de traducción de nivel digital HBi, que funciona en sentido inverso al precedente y permite transformar una señal lógica A cuyos niveles lógicos están entre V_{i-1} y V_i en una señal lógica Q cuyos niveles lógicos están entre V_0 y V_i . No se entrará en detalles: el esquema eléctrico es exactamente complementario al esquema de la figura 4; los transistores de alta tensión son ahora PMOS Qp1 y Qp2 y no NMOS; su fuente está conectada a V_i y no a V_0 ; los transistores Tn1, Tn2, Tn3, Tn4, montados como los transistores Tp1 a Tp4, son NMOS, su fuente está conectada a V_0 y no a V_i ; los inversores 11 y 12 son alimentados entre V_0 y V_i y no V_{i-1} y V_i ; el inversor 13 es alimentado entre V_{i-1} y V_i y no V_0 y V_i .

Además de esta inversión de polaridades y de niveles de tensiones, las diferencias esenciales con el esquema de la figura 4 son las siguientes:

- esta vez son los elementos Tn1, Tn2, Tn3, Tn4, I1, I2 que son formados directamente en el sustrato, y los elementos Qp1, Qp2, y 13 que son formados en el cajón HVNW; este cajón es el mismo que aquel que contiene todos los elementos del circuito de la célula de medición CMi, por lo tanto el mismo que aquel que contiene el circuito BHi;
- los transistores de alta tensión comprenden un canal de configuración particular que permite la resistencia a la tensión deseada, y esta configuración utiliza de preferencia una división de canal entre una región de tipo N poco dopada que colinda con la fuente y forma parte del cajón HVNW y una región de tipo P poco dopada formada en el interior del cajón HVNW y adyacente al drenaje; esta región P ha sido representada bajo la forma de un círculo de guiones simbólico en la figura 5.

La figura 6 representa esquemáticamente un corte de circuito integrado que ilustra la manera en la que se realiza prácticamente el circuito de traducción de nivel lógico BHi. El circuito integrado 10 está formado por ejemplo en un sustrato de tipo P+ que comprende una capa activa epitaxial de tipo P en su parte superior. Las escalas no son respetadas. Los elementos de circuito formados en ese sustrato, por ejemplo los elementos del circuito de comando CC no son representados. Estos son todos alimentados entre la tensión V_0 y la tensión V_i de la primera batería B1. El sustrato es llevado al potencial V_0 , por ejemplo gracias a un contacto formado en una difusión local superficial de tipo P+. Un cajón profundo difundido HVNW, de tipo N, contiene todos los elementos del circuito de la célula de medición CMi asociada a la batería Bi; es llevado al potencial V_i por un contacto en una difusión local superficial de tipo N+. Transistores PMOS tales como el transistor Tp1 de la figura 4 son formados en ese cajón. Transistores NMOS (por ejemplo para los inversores I1 y I2 que son a base de PMOS y NMOS) pueden ser realizados en el interior de un cajón P difundido en el interior del cajón HVNW. El transistor Qn1 que corresponde al transistor Qn1 de la figura 4, comprende una fuente de tipo N+ difundida en el sustrato y unido al potencial V_0 , y un drenaje formado por una difusión de tipo N+ en el interior de un cajón de tipo N que puede ser parecido, en dopaje y profundidad, a la difusión del cajón HVNW, pero que no forma parte de este último; ese cajón de canal de Qn1 tiene una frontera situada bajo la rejilla del transistor entre la región de fuente y la región de drenaje; este deja subsistir bajo esta rejilla una región de canal de tipo P adyacente a la fuente. El canal de ese transistor de alta tensión Qn1 (de tipo "mos drift"), recubierto por una rejilla aislada, comprende por lo tanto de cualquier manera dos partes: una parte de sustrato de tipo P adyacente a la fuente y una parte de tipo N adyacente al drenaje.

La figura 7 representa esquemáticamente un corte de circuito integrado que ilustra la manera en la que se realiza prácticamente el circuito de traducción de nivel lógico HBi a partir del mismo cajón profundo difundido HVNW que contiene la célula CMi y una parte del circuito BHi. Los transistores NMOS tales como el transistor Tn1 de la figura 6 son formados directamente en el sustrato. El transistor PMOS Qp1 de la figura 6, comprende una fuente de tipo P+, difundida en el cajón HVNW y unida al potencial V_i , y un drenaje formado por una difusión de tipo P+ en un cajón HVPW de tipo P poco dopado, difundido en el interior del cajón HVNW. Este cajón de tipo P tiene una frontera situada bajo la rejilla del transistor entre la región de fuente y la región de drenaje, y deja subsistir una región de canal de tipo N adyacente a la fuente. El canal de ese transistor de alta tensión de tipo "mos drift", recubierto por una rejilla aislada, comprende así de cualquier manera dos partes: una parte de cajón de tipo N adyacente a la fuente y una parte de tipo P adyacente al drenaje.

La figura 8 representa un montaje en cascada de tres circuitos integrados 10a, 10b, 10c para la aplicación al control de un conjunto de 3 sub grupos de 8 baterías. Los tres circuitos integrados son colocados bajo el control general de un microprocesador (circuito de gestión global) cuya función principal es dar a los diferentes circuitos integrados de control las órdenes necesarias de medición de tensiones de baterías individuales, que recoge las mediciones digitales hechas en respuesta a esas órdenes, que las explota para verificar los valores en absoluto y en relativo, y que da las órdenes de descarga de baterías individuales.

ES 2 329 633 T3

La comunicación entre los circuitos se hace por un bus de tipo SPI ("serie/paralelo/interface") que permite conectar los circuitos en cascada en una relación mutua de maestro-esclavo donde un circuito colocado aguas arriba es maestro y un circuito colocado aguas abajo es esclavo. El microprocesador es maestro frente al primer chip 10a.

Cada circuito comprende tres conexiones con un circuito aguas arriba: una conexión MOSI A que permite recibir del maestro aguas arriba órdenes digitales, una conexión de reloj CLK_A que permite recibir un reloj de sincronización del maestro aguas arriba, y una conexión MOSI_B que permite transmitir del chip hacia el maestro aguas arriba de los datos digitales en serie. Las iniciales MOSI y MISO simbolizan las expresiones inglesas Master Out Slave In y Master In Slave Out.

De igual manera cada circuito integrado comprende tres conexiones con un circuito aguas abajo: conexión MOSI_B y CLK B para enviar órdenes y un reloj de sincronización con el circuito aval, conexión MISO B para recibir los datos.

Las órdenes enviadas y los datos recibidos son acompañados de la dirección del circuito integrado al que están destinados o de donde provienen. Estos incluyen también una identificación precisa de la célula de medición y de descarga que es concernida por esas órdenes y esos datos en el interior de un circuito integrado.

El microprocesador que explota los datos puede formar parte de un conjunto alimentado por otra cosa que el conjunto de k.N baterías que es administrada por esos circuitos. Puede por ejemplo ser alimentado por una batería de 12 voltios del vehículo, independiente de la batería de potencia.

Las órdenes y datos pasan de un circuito al otro a través del circuito de comando CC que ha sido mencionado en referencia a la figura 1 (ese circuito es esencialmente un circuito de direccionamiento y de conmutación de órdenes y de datos, así como un circuito que asegura los protocolos de intercambios en el bus SPI). Para que el paso de las órdenes, del reloj, y de los datos sea posible de un chip a otro mientras que los sustratos de chips adyacentes son de potenciales muy diferentes (la diferencia es N veces la tensión de una batería), se prevé de preferencia una disposición de circuito de traducción de nivel un poco particular, análogo a aquel que ha sido ya descrito, pero en el cual el circuito de traducción es compartido entre los dos chips en lugar de ser compartido entre un sustrato y un cajón. La partición se hace en el lugar de los drenajes de un transistor MOS de alta tensión cuyo drenaje está unido al drenaje de un transistor complementario de baja tensión. Uno de los transistores está sobre un chip con su drenaje unido a un borne de conexión MOSI o MISO y el otro está sobre el otro chip con su drenaje unido a un borne de conexión correspondiente.

Como alternativa, se pueden prever circuitos específicos de interface que permiten la comunicación de una señal entre dos chips adyacentes del conjunto en cascada.

La figura 9 representa un ejemplo del circuito que permite transmitir una señal lógica generada en un chip 10, hacia un chip adyacente 10_{i+1}. La primera es alimentada entre una tensión V_{i-1} y una tensión V_i más elevada que V_{i-1}; la segunda es alimentada entre una tensión V_i y una tensión V_{i+1} más elevada que V_i. La señal lógica es generada sobre un nodo S del primer chip y debe ser transmitido sobre un nodo S' del segundo chip y la comunicación se hace a través de un borne exterior MOSI_B del primer chip y un borne exterior MOSI-A del segundo chip conforme al esquema de la figura 8.

El principio de la transmisión es el siguiente: la señal S acciona un transistor MOS para hacerlo conductor o no conductor de acuerdo a su nivel lógico. El transistor MOS es un transistor que soporta una tensión elevada, realizado de acuerdo a los principios expuestos más arriba. Cuando es conductor, este deriva un corriente 2I₀ (generada por el conjunto de un espejo de corriente MC y de una fuente de corriente 2I₀) de un borne tal que MOSI-B. Cuando el transistor no es conductor no deriva la corriente 2I₀.

El borne MOSI A del segundo chip está unido por una resistencia a una entrada negativa (entrada -) de un amplificador operacional AO cuya entrada positiva (entrada +) es llevada a un potencial fijo igual a (V_{i+1}-V_i)/2. El amplificador operacional, re-enlazado por una resistencia de contra-reacción, actúa clásicamente para mantener su entrada negativa al potencial de su entrada positiva. Su entrada negativa recibe además la corriente de una fuente de corriente de valor I₀ (la mitad del valor de corriente derivada por el transistor MOS del primer chip). La salida S' del amplificador operacional suministra la señal lógica deseada en el segundo chip. Inversores pueden ser previstos para obtener efectivamente una señal S' igual a la señal S más bien complementaria a la señal S.

De acuerdo al estado de la señal S, la salida S' toma un estado lógico u otro estado.

Se observa que en este ejemplo, la transmisión de la señal lógica de un primer chip hacia un segundo chip adyacente se hace en forma de una conmutación de una corriente entre dos bornes correspondientes de los dos chips por medio de un transistor (en el primer chip) que soporta una tensión elevada, los bornes siendo mantenidos a un potencial fijo a una impedancia muy baja por el segundo chip. La impedancia muy baja resulta del comportamiento del amplificador operacional del segundo chip que mantiene el potencial de su entrada negativa a un valor fijo (aquel de la entrada positiva) cualquiera que sea el valor de la corriente.

En el ejemplo de la figura 9, se ha previsto que la entrada positiva del amplificador operacional del segundo chip esté conectada a una tensión media entre las tensiones de alimentación del segundo chip. Parecería también previsto

ES 2 329 633 T3

que esté conectada a la tensión V_i , es decir al potencial de alimentación que es común a los dos chips (potencial alto del primero, potencial bajo del segundo).

El circuito puede ser de la misma naturaleza para una comunicación en el otro sentido, invirtiendo las polaridades de tensiones y de corriente y los tipos de transistores (el transistor MOS es un NMOS en el caso de la comunicación hacia un chip con potencial más elevado). Sin embargo, para la comunicación en el otro sentido, de un primer chip a más alta tensión de alimentación hacia un segundo chip a más baja tensión de alimentación, es preferible prever que la entrada positiva del amplificador operacional del segundo chip está unido al potencial de alimentación común a los dos chips más bien que a un valor medio entre los potenciales de alimentación del segundo chip, para evitar hacer funcionar el segundo chip con tensiones inferiores al potencial del sustrato.

En lo que precede, se ha considerado que los cajones son difusiones profundas de tipo N en un sustrato P. Si el sustrato es de tipo N, es necesario claro está invertir las polaridades y los tipos de dopaje. Además los cajones pueden ser definidos de manera diferente, sin dopaje diferente de aquel del sustrato. Es cierto muy particularmente que los circuitos sobre el sustrato de tipo SOI comprenden una capa enterrada aislante en óxido de silicio. Zonas de óxido de silicio espesas rodean una zona semiconductor y descendente hasta la capa aislante que permite definir los cajones. Esto se aplica a los cajones globales llevados al potencial bajo de una batería respectiva y no a las regiones locales de tipo N o P que sirven para constituir el canal y el drenaje de transistores mos drift; estas últimas regiones permaneciendo como regiones difundidas que tienen el dopaje indicado.

REIVINDICACIONES

5 1. Circuito electrónico de control de un grupo de k.N baterías en serie, k es un número entero superior o igual a 1, y N es un número entero superior a 1, que comprende k chips de circuito integrado de control asociados cada uno a un sub grupo de N baterías en serie, **caracterizado** porque:

- cada chip de control (10) comprende un sustrato conectado a un borne extremo del conjunto de N baterías, y un circuito de comando (CC) formado en el sustrato,

10 - cada chip comprende N células de medición de tensión y de comando de descarga (CMi), alimentadas cada una por una batería respectiva (Bi) y proporcionando una medición digital de la tensión de la batería, cada célula estando apta para recibir del circuito de comando una orden de comando de descarga parcial de la batería y para establecer un camino de descarga de corriente en paralelo sobre la batería con la recepción de esta orden,

15 - cada célula, con la excepción eventualmente de una primera célula del sub grupo de N baterías, es realizada en el interior de un cajón respectivo (HVNW) aislado del sustrato del chip y aislado de los cajones correspondientes a las otras células, ese cajón siendo llevado al potencial (V_i) de uno de los bornes de la batería asociada a la célula,

20 - a cada célula está asociado un circuito de traducción de nivel de tensión (HBi, BHi) para permitir la transmisión de niveles lógicos entre una célula alimentada por una batería y el circuito de comando formado en el sustrato, el circuito de traducción de nivel comprendiendo una parte formada en el cajón asociado a la célula y una parte formada en el sustrato.

25 2. Circuito electrónico de control de acuerdo a la reivindicación 1, **caracterizado** porque cada célula es realizada en el interior de un cajón respectivo difundido en el sustrato.

30 3. Circuito electrónico de acuerdo a la reivindicación 1, **caracterizado** porque el sustrato del chip es un sustrato de tipo SOI que comprende una capa aislante enterrada, y porque los cajones son delimitados por su parte inferior por esta capa y en su periferia por zonas aislantes descendientes hasta la capa aislante.

4. Circuito electrónico de acuerdo a una de las reivindicaciones 1 a 3, **caracterizado** porque los circuitos de traducción de nivel comprenden partes (HBi) para disminuir la tensión de modo común y partes (BHi) para elevar la tensión de modo común de las señales lógicas.

35 5. Circuito electrónico de acuerdo a la reivindicación 4, **caracterizado** porque el circuito de traducción de nivel comprende transistores que soportan tensiones elevadas, que comprende un canal dividido en dos partes entre una región de fuente y una región de drenaje, bajo una rejilla aislada, una primera parte comprendiendo una región de tipo N y una región de tipo P, una de esas regiones incluyendo una difusión local superficial que constituye el drenaje.

40 6. Circuito electrónico de acuerdo a una de las reivindicaciones precedentes, **caracterizado** porque el chip de control comprende N+1 entradas conectadas respectivamente a los bornes de las baterías, tres bornes de conexión para la conexión a un chip aguas arriba y tres bornes de conexión para la conexión a un chip aguas abajo, cada chip actuando como esclavo frente de un chip precedente y como maestro frente de un chip siguiente, en vistas de una conexión en cascada de los diferentes chips para el control de varios conjuntos de N baterías.

45 7. Circuito electrónico de acuerdo a la reivindicación 6, **caracterizado** porque la comunicación de una señal lógica entre un primer chip y un segundo chip se hace por conmutación de una corriente entre dos bornes correspondientes (MISO_B, MISO_A) de los dos chips por medio de un transistor que soporta una tensión elevada, los bornes siendo mantenidos a un potencial fijo a muy baja impedancia por el segundo chip.

55

60

65

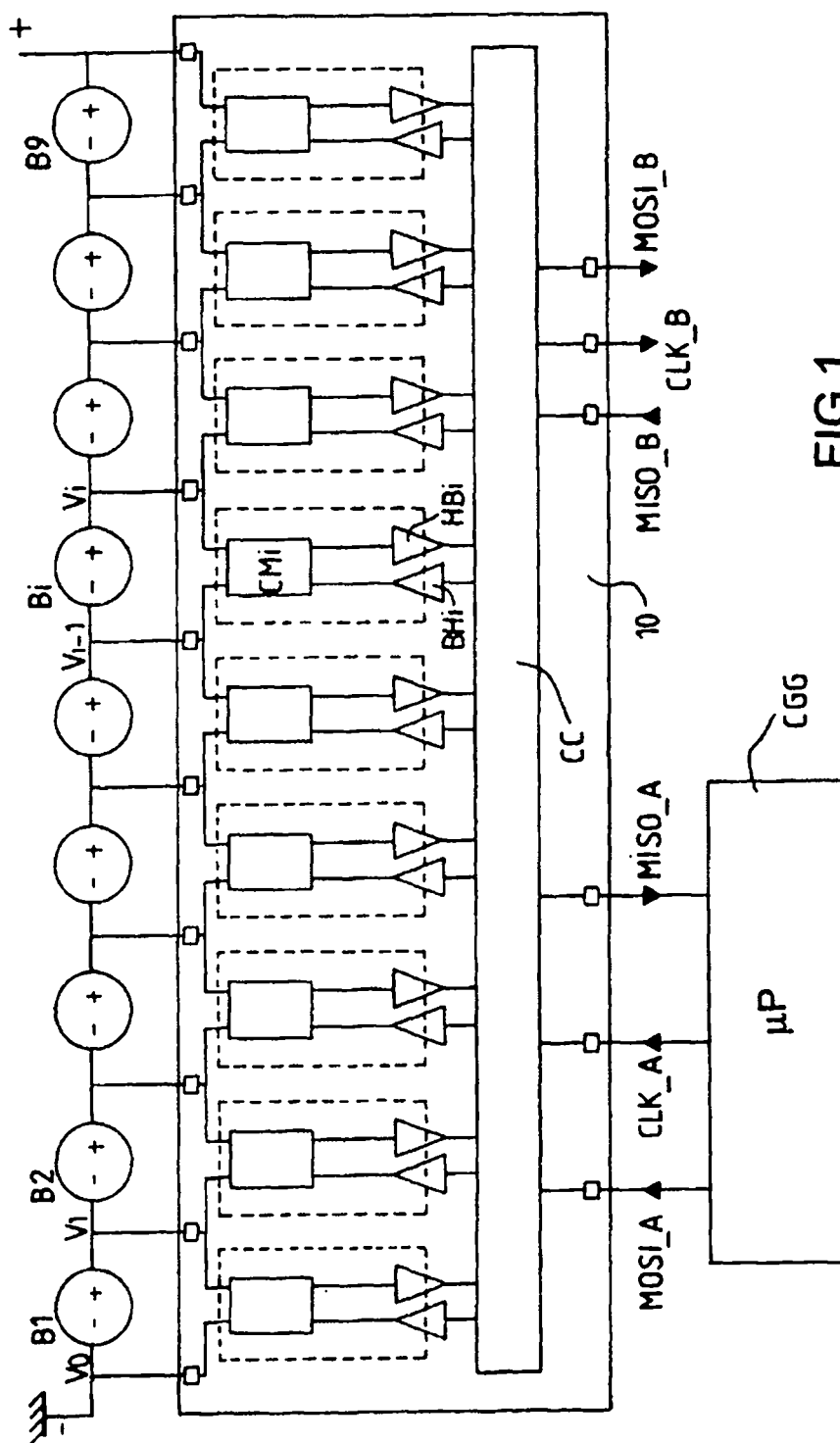


FIG. 1

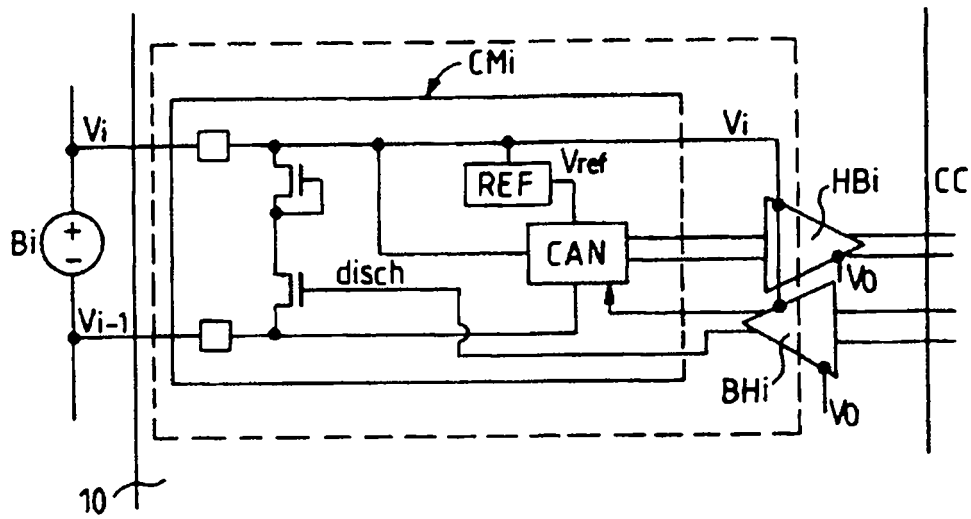


FIG.2

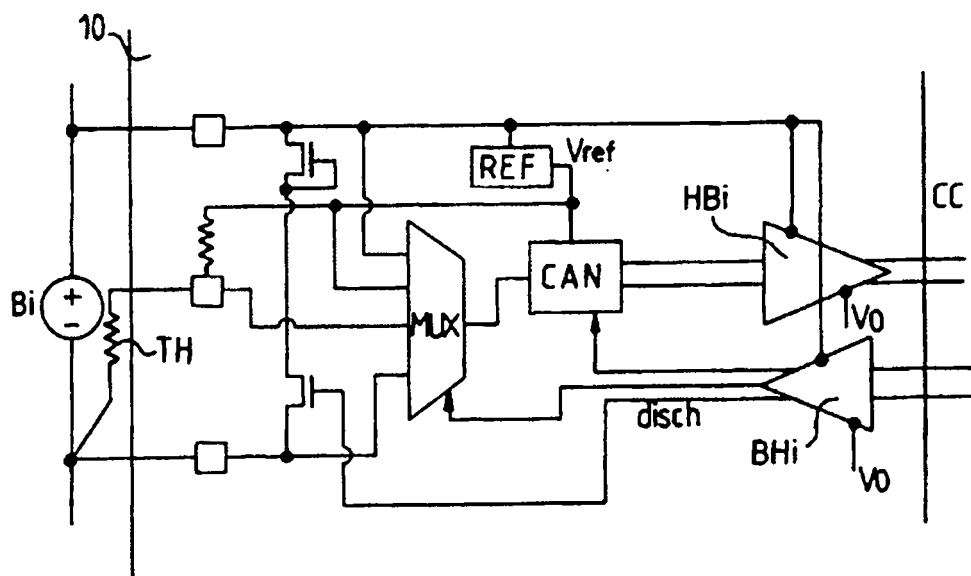


FIG.3

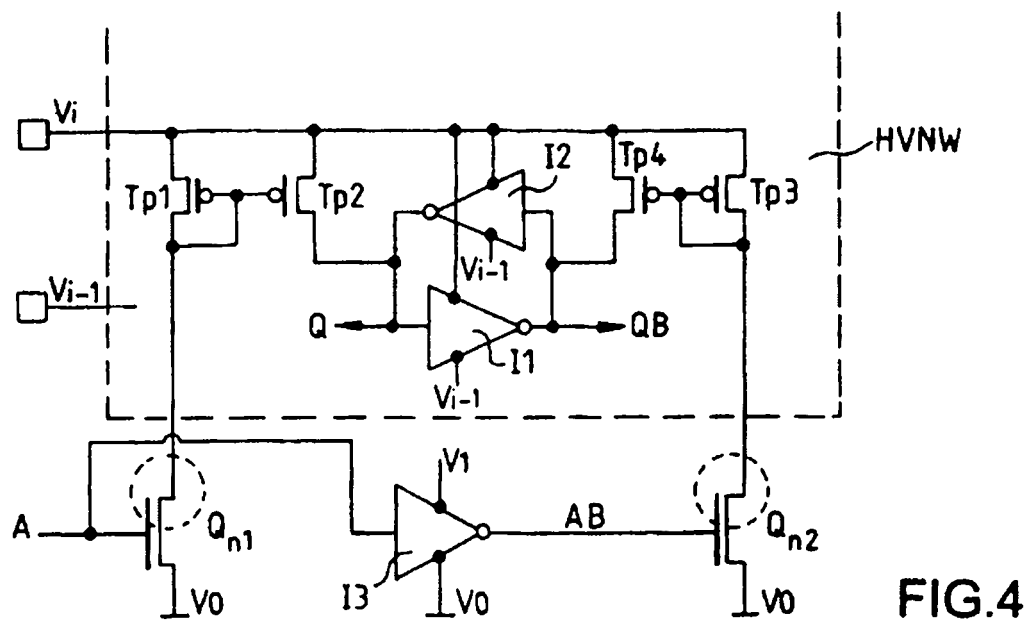


FIG. 4

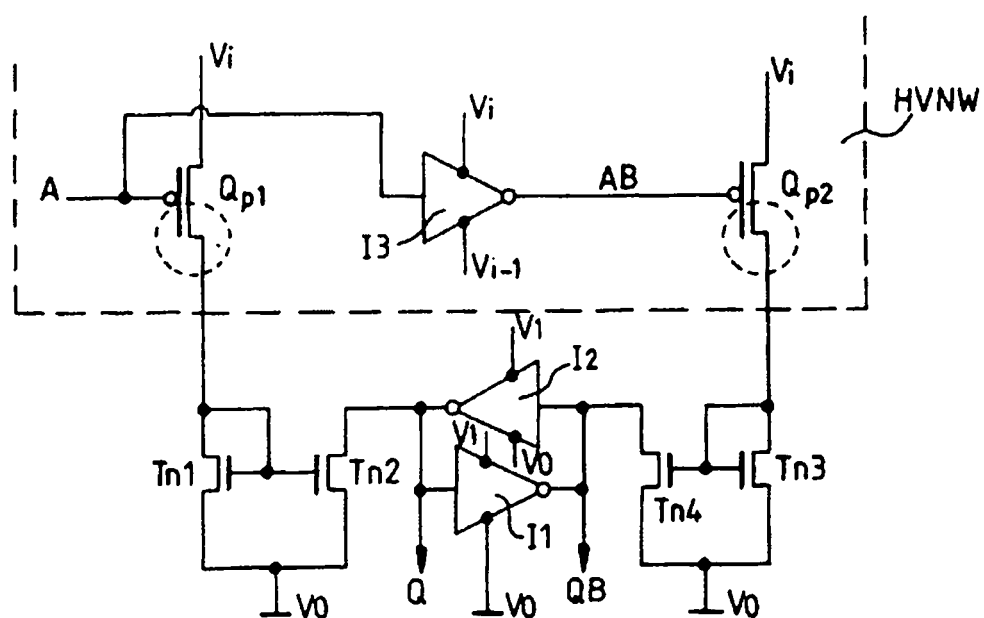


FIG. 5

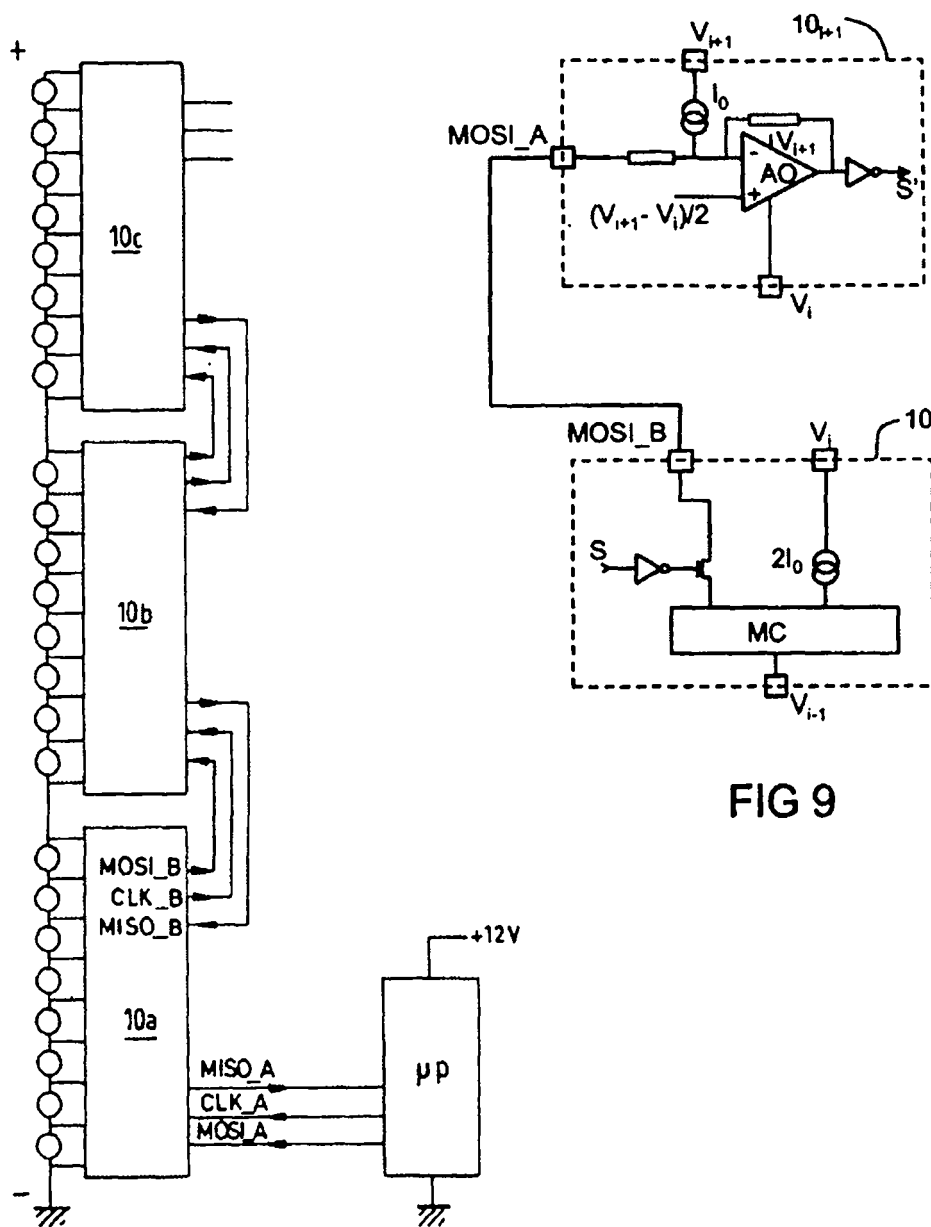


FIG.8