

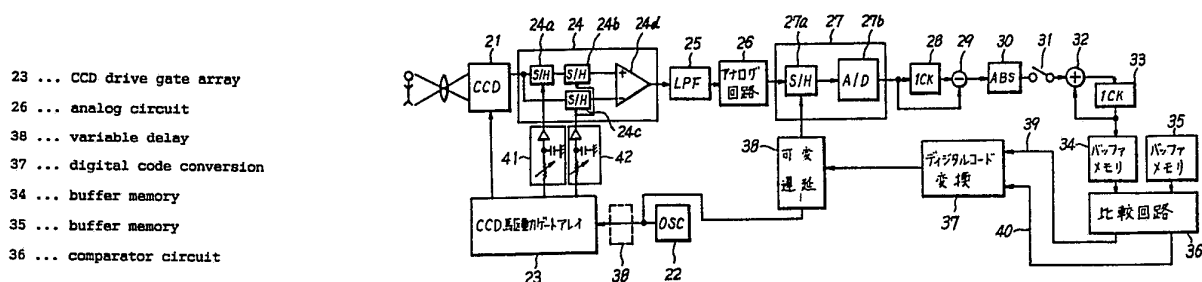


特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 5 H04N 17/00, 5/335	A1	(11) 国際公開番号 WO 93/14602 (43) 国際公開日 1993年7月22日 (22.07.1993)
(21) 国際出願番号 PCT/JP93/00007 (22) 国際出願日 1993年1月7日 (07. 01. 93) (30) 優先権データ 特願平4/1640 1992年1月8日 (08. 01. 92) JP (71) 出願人 (米国を除くすべての指定国について) 池上通信機株式会社 (IKEGAMI TSUSHINKI CO., LTD.) [JP/JP] 〒146 東京都大田区池上5丁目6番16号 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 櫻村直樹 (KASHIMURA, Naoki) [JP/JP] 川村一博 (KAWAMURA, Kazuhiro) [JP/JP] 〒146 東京都大田区池上5丁目6番16号 池上通信機株式会社 池上工場内 Tokyo, (JP) (74) 代理人 弁理士 杉村暁秀, 外 (SUGIMURA, Akihide et al.) 〒100 東京都千代田区霞が関3丁目2番4号 霞山ビルディング Tokyo, (JP)		(81) 指定国 AT (欧州特許), BE (欧州特許), CH (欧州特許), DE (欧州特許), DK (欧州特許), ES (欧州特許), FR (欧州特許), GB (欧州特許), GR (欧州特許), IE (欧州特許), IT (欧州特許), JP, LU (欧州特許), MC (欧州特許), NL (欧州特許), PT (欧州特許), SE (欧州特許), US. 添付公開書類 国際調査報告書

(54) Title: SOLID-STATE IMAGING DEVICE AND SOLID-STATE IMAGING ELEMENT USED THEREFOR

(54) 発明の名称 固体撮像装置およびそれに用いる固体撮像素子



(57) Abstract

A solid-state imaging device in which image signals read out from a CCD are sampled according to sampling pulses in a sampling circuit, the sampled image signals are fed to an A/D converter circuit via an analog signal processing circuit which gives a time delay, and are converted into digital image signals in synchronism with sampling pulses for A/D conversion, wherein a test signal that alternately changes into a white level and a black level is produced in a period of a horizontal or a vertical blanking of the image signals read out from the CCD, the test signal is sampled in the sampling circuit and converted into digital test signal through an A/D converter circuit, an integrated value of absolute values of differences of the consecutive digital test signals is found, and the phase of the sampling pulses for A/D conversion is adjusted by an automatic phase-adjusting circuit such that the integrated value becomes a maximum. It is allowed to easily and correctly adjust the phase of the sampling pulses for A/D conversion to put the image signals read out through the CCD camera into the A/D conversion at an optimum timing.

(57) 要約

C C D から読み出される画像信号をサンプリング回路においてサンプリングパルスによってサンプリングした後、このサンプリングされた画像信号を時間遅延を与えるアナログ信号処理回路を経てA/D変換回路に供給し、A/D変換用サンプリングパルスに同期してディジタル画像信号に変換するようにした固体撮像装置において、C C D から読み出される画像信号の水平または垂直ブランキング期間中に交互に白レベルおよび黒レベルに変化する試験信号を混在させ、この試験信号をサンプリング回路においてサンプリングし、A/D変換回路においてディジタル試験信号に変換し、このディジタル試験信号の順次の差の絶対値の積分値を求め、この積分値が最大となるように前記A/D変換用サンプリングパルスの位相を調整する自動位相調整回路を設ける。

C C D カメラから読み出される画像信号を最適なタイミングでA/D変換するためのA/D変換用サンプリングパルスの位相を容易かつ正確に調整することができる。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	FR	フランス	MW	マラウイ
AU	オーストラリア	GA	ガボン	NL	オランダ
BB	バルバドス	GB	イギリス	NO	ノルウェー
BE	ベルギー	GN	ギニア	NZ	ニュージーランド
BF	ブルキナファソ	GR	ギリシャ	PL	ポーランド
BG	ブルガリア	HU	ハンガリー	PT	ポルトガル
BJ	ベナン	IE	アイルランド	RO	ルーマニア
BR	ブラジル	IT	イタリア	RU	ロシア連邦
CA	カナダ	JP	日本	SD	スーダン
CF	中央アフリカ共和国	KP	朝鮮民主主義人民共和国	SE	スウェーデン
CG	コンゴ	KR	大韓民国	SK	スロヴァキア共和国
CH	スイス	KZ	カザフスタン	SN	セネガル
CI	コート・ボワール	LI	リヒテンシュタイン	SU	ソヴィエト連邦
CM	カメルーン	LK	スリランカ	TD	チャード
CS	チェコスロヴァキア	LU	ルクセンブルグ	TG	トーゴ
CZ	チェコ共和国	MC	モナコ	UA	ウクライナ
DE	ドイツ	MG	マダガスカル	US	米国
DK	デンマーク	ML	マリ	VN	ヴェトナム
FI	フィンランド	MN	モンゴル		
ES	スペイン	MR	モーリタニア		

- 1 -

明 細 書

固体撮像装置およびそれに用いる固体撮像素子

技 術 分 野

本発明は、撮像すべき物体の像を受け、駆動パルスに同期して前記物体の像を表す画像信号を発生する固体撮像素子と、この固体撮像素子に供給される駆動パルスを発生する駆動手段と、前記固体撮像素子から読み出された画像信号を、前記駆動パルスと同期したサンプリングパルスによってサンプリングしてサンプリングされた画像信号を発生するサンプリング手段と、このサンプリング手段に供給されるサンプリングパルスを発生する手段と、前記サンプリングされた画像信号をA/D変換用サンプリングパルスによってデジタル画像信号に変換するA/D変換手段と、このA/D変換手段に供給されるA/D変換用サンプリングパルスを発生する手段とを具える固体撮像装置およびこのような固体撮像装置に用いる固体撮像素子に関するものである。

背 景 技 術

撮像素子として固体撮像素子を用いたテレビジョンカメラは種々のものが提案されているが、固体撮像素子としてCCD

(Charge Coupled Device) を用いたものが広く実用化されている。この CCD カメラにおいては、CCD から読み出した信号を先ず、サンプリング回路、例えば相関 2 重サンプリング回路によってサンプリングした後、クロックノイズを除去するためのフィルタ処理や利得調整、非線形処理などのアナログ処理回路に通し、さらに A/D 変換器によってデジタル画像信号に変換してサンプリングしてテレビジョン画像信号を取り出すようにしている。A/D 変換器においては、先ずデジタル画像信号をサンプル/ホールド回路によってサンプリング・ホールドし、このホールドした信号をデジタル信号に変換するようにしている。また、A/D 変換器としてフラッシュタイプの A/D 変換器を用いる場合には、入力アナログ画像信号を直接デジタル画像信号に変換するようにしているが、この場合でも A/D 変換はサンプリングパルスに同期して行われている。本明細書においては、A/D 変換器において用いられるサンプリングパルスを相関二重サンプリング回路において用いられるサンプリングパルスとは区別するために、前者のサンプリングパルスを A/D 変換用サンプリングパルスと称することにする。

図 1 は従来の固体撮像装置の構成を示すものであり、CCD 1 を、基準発振器 (OSC) 2 から発生される基準クロックを受けて CCD の駆動信号を発生する CCD 駆動ゲートアレイ 3

からの駆動パルスによって読み出し、この信号を相関二重サンプリング回路 4 でサンプリングし、さらにこの信号を低域通過フィルタ 5 に通してクロックノイズを除去するとともに利得調整や非線形処理などを行うアナログ処理回路 6 に通し、A/D 変換回路 7 において A/D 変換用サンプリングパルスを用いてアナログ—デジタル変換してデジタルテレビジョン画像信号を得るようにしている。

上述した相関二重サンプリング回路 4 は C C D 駆動ゲートアレイ 3 から発生される位相の異なるサンプリングパルスによって駆動される 3 個のサンプル・ホールド回路 4a, 4b, 4c を有し、図 2 A に示すように C C D 1 から読み出した信号を 2 つのサンプリングタイミング、すなわち零信号期間内の黒レベルサンプリング点 B でサンプリングしたサンプリング値（ブラックサンプル）と信号期間内の白レベルサンプリング点 W でサンプリングしたサンプリング値（ホワイトサンプル）との差を差動アンプ 4d で求めるものであるが、この相関二重サンプリング回路は C C D の直後にあり、アナログ処理回路 6 を通っていない信号を処理するものであるから、この部分でのサンプリングパルスの位相と C C D 1 から読み出された信号の位相との差異の経時変化は少なく安定であるため余り問題とはならない。

相関二重サンプリング回路 4 から得られる画像信号は低域通

過フィルタ 5 およびアナログ処理回路 6 に通された後、A/D 変換回路 7 においてサンプリングされる。本例の A/D 変換回路 7 はフラッシュタイプのもではなく、サンプル・ホールド回路 7a と、A/D 変換器 7b とを有する通常のタイプのものである。この A/D 変換回路 7 のサンプル・ホールド回路 7a でのサンプリングタイミングを決めるための A/D 変換用サンプリングパルスは基準発振器 2 から発生させるようにしている。このようにして、CCD 1 における信号の読み出しタイミングと A/D 変換回路 7 でのサンプリングのタイミングとを一致させるようにしている。

このような CCD を有する固体撮像装置においては、A/D 変換回路 7 における A/D 変換用サンプリングパルスの位相が、相関二重サンプリング回路 4 でのサンプリングパルスの位相と正しい関係にあるときは、図 3 に示すような方法で最高空間周波数を有する白黒の縞模様パターンを撮像する場合に、図 2 B に示すような信号が低域通過フィルタ 5 に入力され、図 2 C に示すような信号が低域通過フィルタ 5 から読み出されるようになる。この信号を図 2 D に示すように理想的な位相を有する A/D 変換用サンプリングパルスでサンプリングすると、図 2 E に示すように理想的なレベルでサンプリングが行われることになる。このようにして CCD 1 から読み出され、相関二重サン

プリング回路 4 でサンプリングされたアナログ画像信号は、所望の最高空間周波数を有するディジタル画像信号に変換されることになる。しかしながら、この A/D 変換用サンプリングパルスの位相が図 2 F に示すようにずれると、A/D 変換回路 7 では理想的なレベルでのサンプリングが行われなくなり、図 2 G に示すように元の白黒縞模様パターンを再現できなくなってしまう。このサンプリングのタイミングを所定のものとするために、基準発振器 2 から A/D 変換回路 7 のサンプル/ホールド回路 7b に供給される A/D 変換用サンプリングパルスの位相を調整するためのパルス位相調整器 8 を設けている。また、相關二重サンプリング回路 4 へ供給されるサンプリングパルスの位相を調整するように、パルス位相調整器 9 および 10 を設けている。これらのパルス位相調整器 8 ~ 10 は、パルスの位相を手動で調整するための回路で、可変抵抗、コンデンサおよびバッファアンプで構成されているが、これ以外の方法でパルス位相を調整することもできる。

図 1 に示す従来の固体撮像装置においては、アナログ画像信号を、サンプル/ホールド回路 7a および A/D 変換器 7b を有する通常の A/D 変換回路 7 でディジタル画像信号に変換しているが、このような A/D 変換回路の代わりに、サンプル/ホールド回路を持たないフラッシュタイプの A/D 変換回路を用い

ることできる。この場合には、図 1 において鎖線で示すように、A/D 変換用サンプリングパルスを A/D 変換器 7b に供給すれば良い。

上述したように、CCD 1 から読み出した信号を相関二重サンプリング回路 4 でサンプリングするタイミングを調整するためにパルス位相調整器 9 および 10 が設けられ、A/D 変換回路 7 での A/D 変換用サンプリングパルスの位相を調整するために移動調整器 8 が設けられている。初期設定時にこれらのパルス位相調整器を調整して最適な位相関係が得られるようにしている。しかしながら、固体撮像装置の使用中に上述したサンプリングパルスの位相関係が理想的なものからずれる恐れがあるので、再度調整をやり直す必要がある。その理由は、CCD 駆動ゲートアレイ 3 は MOS 構造を有しており、基準発振器 2 からクロックを受け取るタイミングから CCD 駆動パルスを発生するタイミングまでの時間的ずれが素子のばらつきや温度変化によって 10~20ns 程度変動すること、前記フラッシュタイプの A/D 変換回路 7 で、サンプリングパルスを受けてから実際のサンプリングが行われるまでの時間遅れの変動がやはり 10 数 ns 程度あること、および前記フラッシュタイプの A/D 変換回路 7 は信号に対して遅れを与える低域通過フィルタ 5 およびアナログ処理回路 6 の後段に設けられているので、これらの回路の

遅れ時間によってA/D変換回路7に供給される信号と、サンプリングパルスとの相対的な位相は遅れ時間によって影響を受けるためである。

このため、初期設定を行った後でも図2Cおよび2Dに示すように最適なタイミングでサンプリングが行われなくなり、所望の画像信号が得られなくなってしまう欠点がある。上述したように相関二重サンプリング回路4での位相のずれはそれほど大きくないので、パルス位相調整器9および10は再調整する必要は必ずしもないが、低域フィルタ5やアナログ処理回路6での遅れ時間は、経時変化、経年変化、温度変化により相当大きく変動するので、A/D変換回路7に対するA/D変換用サンプリングパルスの位相を制御する位相調整器8は使用中においても再調整する必要がある。

このような変動は1つ1つは小さなものであるが、総合した変動は高周波帯域の信号をサンプリングするシステムにおいては無視できない値となる。日本で採用されている現行のカラーテレビジョン方式であるNTSC方式の信号を処理するシステムでは、サンプリング周期は70nsであるが、近い将来サンプリング周期は50ns以下となる可能性があり、10ns程度の変動でも許容できなくなる。さらにハイビジョンのシステムにおいてはサンプリング周期は14nsとなり、1～2ns程度のきわめて僅か

な変動でも無視できなくなる。

上述したように固体撮像装置においては、サンプリングのタイミングを初期調整するとともに使用中も再調整する必要があるが、従来この調整を行うに当たっては、図 3 に示すように、三脚 12 に載せた固体撮像装置 13 の前方に水平方向の最高周波数において白黒を繰り返すパターンを描いたテストチャート 14 を置き、照明装置 15 によってこれを一様に照明し、固体撮像装置の水平、垂直をテストチャートのパターンの方向に正しく調整して三脚を固定し、さらにパターンの周期と固体撮像装置の撮像素子との配列が理想的となるように微調整した後、A/D 変換して得られる画像信号をロジックアナライザで観測したり、一旦 D/A 変換した後、オシロスコープで観測しながら図 1 に示すパルス位相調整器 8 および 9 を微妙に調整していた。このような調整方法は、テストチャート 14 と固体撮像装置の撮像素子とを所定の関係に設定するのが非常に面倒であり、熟練を要するとともに時間も掛かる欠点があり、さらに調整が正確でないと、サンプリングタイミングが理想的な位置からずれてしまい、最高周波数の画像信号が得られない欠点がある。また、三脚 12、テストチャート 14、照明装置 15 などが必要となり、特に再調整においてはこれらを準備することができない場合もあり、その場合には再調整を行うことができない欠点もある。

本発明の目的は上述した従来の欠点を除去し、三脚、テストチャート、照明装置などを用いることなく、したがって熟練を要することなく短時間で上述した固体撮像素子の読み出しタイミングに対してA/D変換のためのサンプリングパルスの位相を調整することができる固体撮像装置およびそのような固体撮像装置に用いる固体撮像素子を提供しようとするものである。

発 明 の 開 示

本発明は、撮像すべき物体の像を受け、駆動パルスに同期して前記物体の像を表す画像信号を発生する固体撮像素子と、この固体撮像素子に供給される駆動パルスを発生する駆動手段と、前記固体撮像素子から読み出された画像信号を、前記駆動パルスと同期したサンプリングパルスによってサンプリングしてサンプリングされた画像信号を発生するサンプリング手段と、このサンプリング手段に供給されるサンプリングパルスを発生する手段と、前記サンプリングされた画像信号をA/D変換用サンプリングパルスによってデジタル画像信号に変換するA/D変換手段と、このA/D変換手段に供給されるA/D変換用サンプリングパルスを発生する手段とを具える固体撮像装置において、前記サンプリングパルスと同期し、少なくとも2個の順次の画素の間でレベルが交互に変化する試験信号を発生させる試験信号発生手段を設け、この試験信号をサンプリングして

得られる信号に基づいてサンプリングパルスの位相を調整し得るように構成したことを特徴とするものである。

このような本発明の固体撮像装置においては、少なくとも 2 個の順次の画素の間でレベルが交互に変化する試験信号を固体撮像装置の内部でそれを読み出す駆動パルスと同期して発生させるようにしたので、従来のようにテストチャートを撮像することなく、きわめて正確な試験信号を得ることができ、したがってサンプリングタイミングの調整を簡単かつ正確に行うことができる。

本発明の固体撮像素子は、被写体像を受けてその画像信号を発生する映像部と、この映像部で発生された電荷を転送して画像信号を出力する転送部と、前記画像信号と同期して画素毎にレベルが交互に変化し、画像信号のサンプリングタイミングを調整するための試験信号を発生する試験信号発生部とを同一の半導体チップに一体的に形成するかまたはこれらを同一のパッケージ内に一体的に形成し、これら映像部、転送部および試験信号発生部を共通の駆動パルスによって読み出すように構成したことを特徴とするものである。

このような本発明の固体撮像素子においては、それ自体によって試験信号を発生させることができるので、構成が簡単になるとともに映像部から映像信号を読み出すための駆動パルスに

よって試験信号を発生させるようにしたので、常に映像信号と同期した試験信号を得ることができ、サンプリングタイミングの調整を正確に行うことができる。

本発明による固体撮像装置の好適実施例においては、サンプリング手段によってサンプリングされ、A/D変換手段によって変換された順次のデジタル試験信号の差の絶対値を求め、その積算値が最大となるようにA/D変換用サンプリングパルスの位相を制御するようにする。

さらに、本発明による固体撮像装置の他の好適実施例においては、A/D変換手段に入力されるアナログ試験信号の位相と、A/D変換用サンプリングパルスの位相とを比較し、この比較結果に基づいてA/D変換用サンプリングパルスの位相を制御するようにする。

また、本発明の固体撮像装置の応用例として、複数の固体撮像素子を使用した固体撮像装置における固体撮像素子の出力信号相互間の位相合わせや、相関二重サンプリング回路での出力信号のサンプリングタイミングまたはクロック信号との位相合わせを容易に行うことができる。

例えばアメリカ特許第4,675,549号明細書には、CCDを形成した半導体チップ内に、黒レベルの画像信号を発生できるセル領域と、白レベルの画像信号を発生できるセル領域とを一体的

に形成し、本来の画像信号の読み出しとともにこれらのセル領域を読み出すことが開示されている。しかし、この従来の固体撮像素子においては、これらのセル領域から読み出した信号をそれぞれ黒および白の画像信号の基準レベルとして使用するものであるとともにこれらの黒および白のセル領域を交互に読み出すものではないので、本発明のようなサンプリングパルスの位相を制御することはできない。

図面の簡単な説明

図 1 は、従来公知の固体撮像装置の構成を示すブロック図である。

図 2 A～G は、同じくその動作を説明するための信号波形図である。

図 3 は、従来の装置においてサンプリングパルスのタイミングを調整するための構成を示す線図である。

図 4 は、本発明による固体撮像装置の一実施例の構成を示すブロック図である。

図 5 A～H は、同じくその動作を説明するための信号波形図である。

図 6 は、本発明による固体撮像装置の他の実施例における動作を表すフローチャートである。

図 7 は、本発明による固体撮像装置の他の実施例の構成の一

例を示すブロック図である。

図 8 は本発明による固体撮像装置の他の実施例の構成を示すブロック図である。

図 9 A ~ I は同じくその動作を説明するための信号波形図である。

図 10 は図 8 に示した本発明による固体撮像装置の変形例の構成を示すブロック図である。

図 11 は図 10 に示す周波数逡倍器の一実施例の構成を示すブロック図である。

図 12 は図 8 および 10 に示すアナログタイプの可変遅延線の一例の構成を示す回路図である。

図 13 は図 8 に示す本発明による固体撮像装置の他の変形例の構成を示すブロック図である。

図 14 A ~ E は同じくその動作を説明するための信号波形図である。

図 15 は図 8 に示した本発明による固体撮像装置のさらに他の変形例の構成を示すブロック図である。

図 16 A ~ I は同じくその動作を説明するための信号波形図である。

図 17 A および B は、本発明による固体撮像素子の一実施例の構成を示す図である。

図18は、本発明による試験信号を示す波形図である。

図19は、本発明による固体撮像素子の他の実施例の構成を示す図である。

図20は、本発明による固体撮像素子のさらに他の実施例の構成を示す図である。

図21は、本発明による固体撮像素子のさらに他の実施例の構成を示す図である。

図22は、本発明による固体撮像素子のさらに他の実施例の構成を示す図である。

図23は、図21に示す本発明の固体撮像素子の変形例の構成を示す図である。

図24は、本発明による固体撮像装置を適用したカラーテレビジョンカメラの一実施例の構成を示す図である。

図25は、本発明による固体撮像装置を適用したカラーテレビジョンカメラの他の実施例の構成を示す図である。

図26は、本発明による固体撮像装置を適用したカラーテレビジョンカメラのさらに他の実施例の構成を示す図である。

図27は、本発明による固体撮像装置を適用したカラーテレビジョンカメラのさらに他の実施例の構成を示す図である。

発明を実施するための最良の形態

以下図面を参照して本発明を詳細に説明する。

図 4 は本発明による固体撮像装置の一実施例の構成を示す線図である。本例においては、固体撮像素子として C C D 21 を使用し、この C C D から読み出される信号の水平ブランキング期間中に試験信号を混在させるように構成し、この試験信号に基づいてサンプリングのタイミングを自動的に調整するように構成したものである。このように試験信号を読み出すことができる C C D 21 の具体的な構成については後に説明する。基準発振器 22 を設け、これから発生される基準クロックを C C D 駆動ゲートアレイ 23 に供給し、C C D を読み出すための駆動パルスと、相関二重サンプリング回路 24 に対する 2 つのサンプリングパルスを発生させる。相関二重サンプリング回路 24 は 3 個のサンプル・ホールド回路 24a, 24b, 24c と、差動増幅器 24d とを具えるものであり、その構成および動作は従来のもと同様である。この相関二重サンプリング回路 24 の出力信号を、低域通過フィルタ 25 およびアナログ処理回路 26 を経て A / D 変換回路 27 に供給する。この A / D 変換回路 26 は、サンプル・ホールド回路 27a と、A / D 変換器 27b とを有する通常のものである。

本実施例では、A / D 変換回路 27 はサンプル・ホールド回路 27a を内蔵するタイプであるが、サンプル・ホールド回路を内蔵しないタイプの A / D 変換回路を使用することも勿論可能である。そのような場合には、A / D 変換回路の前段にサンプル

・ ホールド回路を付加し、このサンプル・ホールド回路に位相の調整されたA/D変換用サンプリングパルスを供給するようにすれば良い。

さらに、サンプル・ホールド回路を必要としない高性能のフラッシュタイプのA/D変換回路を使用する場合には、サンプル・ホールド回路27aは不要となるが、A/D変換用サンプリングパルスをA/D変換器に供給する必要がある。また、CCDの出力信号をサンプリングするために、相関二重サンプリング回路24を使用しているが、他の代用回路に置き換えるかまたはこのようなサンプリング回路を使用しなくても良い。

図4に示す固体撮像装置は本発明による固体撮像装置の一実施例を示すものであるが、上述した相関二重サンプリング回路および／またはアナログ回路は本発明を実施する上で必ずしも必要ではない。

本実施例においては、CCD21から読み出され、所定の処理を行った後にA/D変換回路27の出力信号中に含まれる試験信号を取り出し、このデジタル化した試験信号が所定のものとなるようにA/D変換回路27に供給するサンプリングパルスの位相を自動的に最適な値に調整するようにする。CCD21から読み出される試験信号は、最低限順次の2サイクルにおいて、交互に白および黒レベルとなる信号であれば良いが、本例にお

いては水平ブランキング期間中に10サイクルに亘って交互に白および黒のレベルとなる試験信号を使用し、これらの白および黒レベルのピーク・ツー・ピーク値を検出するものとする。このために、A/D変換回路27の出力信号を1クロック周期の遅延時間を有する遅延回路28に通し、遅延した信号と非遅延信号との差を減算回路29で求め、さらにこの減算回路の出力信号を絶対値回路30に供給して、差の絶対値を求める。このようにして求めたピーク・ツー・ピーク値は試験信号を最適の位相位置でサンプリングしたときに最大となり、最適位相位置からずれるのに伴って減少するものである。

さらに、減算回路30の出力信号を、試験信号発生期間中だけオンとなるスイッチ31を経て加算回路32の一方に供給し、この加算回路の出力信号を1クロック周期の遅延時間を有する遅延回路33に供給し、この遅延回路の出力信号を加算回路32の他方の入力端子に供給する。これらの加算回路および遅延回路33は積分回路を構成し、スイッチ31がオンとなっている期間中に絶対値回路30から供給される画像信号の絶対値、すなわちピーク・ツー・ピーク値を積算する。このようにして或る水平ブランキング期間中にCCD21から読み出された試験信号についてのピーク・ツー・ピーク値の絶対値の積分値を第1のバッファメモリ34に記憶する。この第1のバッファメモリ34に記憶した積

分値は後に第 2 のバッファメモリ 35 に転送してそこに記憶する。第 1 のバッファメモリ 34 に記憶されている積分値と、第 2 のバッファメモリ 35 に記憶されている積分値、すなわち 1 つ前の水平ブランキング期間中に検出された試験信号のピーク・ツー・ピーク値の絶対値の積分値とを比較回路 36 において比較し、この比較回路から出力されるデジタルコード信号をデジタルコード変換回路 37 に供給し、このデジタルコード変換回路の出力信号によって、基準発振器 22 から A/D 変換回路 27 に到るサンプリングパルスの伝達経路中に挿入したデジタル可変遅延回路 38 に供給し、A/D 変換用サンプリングパルスの位相を調整するようにする。

すなわち、比較回路 36 は、第 1 のバッファメモリ 34 の積分値の方が第 2 のバッファメモリ 35 の積分値よりも大きい場合には、ライン 39 にデジタルコードを出力し、小さい場合にはライン 40 にデジタルコードを出力するように構成する。そして、ライン 39 にデジタルコードが供給される場合には、デジタル可変遅延回路 38 は A/D 変換用サンプリングパルスの位相を進めるように制御コードをデジタルコード変換回路 37 から受け、ライン 40 にデジタルコードが供給される場合には A/D 変換用サンプリングパルスの位相を遅らせるような制御コードを受けけるようにする。したがって、例えばライン 39 にデジタルコ

ードが出力され、A/D変換用サンプリングパルスの位相を進める方向に制御を行っている場合、第1のバッファメモリ34に記憶される積分値が第2のバッファメモリ35に記憶されている積分値よりも大きいときは、さらにライン39にデジタルコードが出力され、A/D変換用サンプリングパルスの位相はさらに進められる。すなわち、A/D変換用サンプリングパルスの位相は最適な値に向かって徐々に偏移して行く。最適な値に達した後は、第1のバッファメモリ35の積分値は第2のバッファメモリ36の積分値よりも小さくなり、したがって比較回路36はライン40に制御コードを供給し、これに応じてA/D変換用サンプリングパルスの位相は遅らされることになる。この場合、最適値を中心としてハンチングを起こすことになるが、このようなハンチングが望ましくない場合には、最適値を中心としてある程度以下の値でハンチングを起こす恐れがある場合には、制御コードを停止の制御コードに固定してサンプリングパルスの位相を固定するように比較回路36を構成することもできる。上記の方法では、試験信号のレベル比較の精度を上げるために積分を行っているが、他の方法によっても実現できる。

デジタル可変遅延回路38は、例えば1ステップ当たりの位相の偏移が1 nsec程度で、合計で70ステップの調整が可能なデジタル可変遅延線を以て構成することができるが、さらに微

妙な調整が必要な場合には、1ステップ当たりの位相の偏移が5 psec程度で、合計で2000ステップの調整が可能なデジタル可変遅延線を以て構成することもできる。一般的には、1クロック周期(NTSC方式では約70nsec、ハイビジョンでは14nsec)の数十分の1ないし百分の1程度のステップを以て、少なくとも1クロック周期程度の時間中に亘って位相を調整できるようなデジタル可変遅延線を以て構成することができる。

次に、上述した実施例において、A/D変換用サンプリングパルスの位相を最適な値に調整する動作を図5に示す信号波形図をも参照して説明する。

図5 AはA/D変換回路27の入力信号を示すものであり、図5 BはA/D変換回路27の出力信号を示すものであり、図5 Cは遅延回路28で1クロック周期遅延した信号を示すものであり、図5 Dは減算回路29の出力信号を示すものであり、図5 Eは絶対値回路30の出力信号を示すものであり、図5 Fはスイッチ31の駆動信号であり、1水平ブランキング期間中に読み出された試験信号を処理する期間中だけ高論理レベル(スイッチはオン)となり、それ以外の期間中は低論理レベル(スイッチはオフ)となっている。図5 Gは積分回路を構成する1クロック周期遅延回路33の出力積分値を示すものであり、図5 Hはこの積分値を第1バッファメモリ34に記憶するための書換えパルスであり、

このパルスによって加算回路32もクリアするようにしている。
このようにして水平ブランキング期間中に読み出された試験信号のピーク-ピーク値の積分値が求められ、その値が書換えパルス（図5H）に応答して第1バッファメモリ34に記憶されるように構成されている。

このようにして本例においては、試験信号の積分値が常に最大となるようにA/D変換回路27へ供給されるA/D変換用サンプリングパルスの位相は自動的に調整され、したがってCCD21に対する駆動パルスの位相が変動したり低域通過フィルタ25およびアナログ処理回路26での遅延時間が変動した場合でも、CCDから読み出した信号を常に最適の位相位置でサンプリングしてデジタル画像信号を得ることができる。なお、図4に示す実施例においては、A/D変換回路27に対するA/D変換用サンプリングパルスの位相を調整したが、相関二重サンプリング回路24に対するサンプリングパルスの位相は調整していない。これは先に説明したように、相関二重サンプリング回路24の入力信号は遅延時間の変動要素を含む低域フィルタ25やアナログ処理回路26を通過せず、その時間的変動が小さいためである。しかし、この相関二重サンプリング回路24の入力信号の時間変動が無視できないような場合には、そのサンプリングパルスの位相を位相調整器41、42によって調整することもでき

る。

上述した実施例においては、CCDから読み出された試験信号を処理してA/D変換用サンプリングパルスの位相を自動的に調整するに際してハードウェアで処理を行うようにしたが、ソフトウェアで行うこともできる。すなわち、遅延回路28からデジタルコード変換回路37の出力側までの回路部分をコンピュータを以て構成することもできる。図6はこのようにコンピュータによって試験信号を処理してA/D変換用サンプリングパルスの位相を制御する場合のフローチャートの一例を示すものである。

スタート後、初期設定を行うか否かを判断し、初期設定を行う場合には、まずデジタル可変遅延回路38の遅延量が、最大遅延量のほぼ中間の値となるような制御コードをデジタルコード変換回路37が出力するように設定する。この初期設定値としては、このような値とする代わりに前回の値をそのまま使用することもできる。初期設定が終了したら、次にCCD21から試験信号の読み出しが行われる試験期間中であるか否かを判断し、試験期間中であると判定された場合には、A/D変換回路27の出力信号の順次のクロックパルスの周期での信号レベルの差の絶対値を求め、これを積算して行く。試験期間が終了したら、この積算値を第1の積算値S1として格納しておく。次の試

験期間中にも同様の積算値S2を求め、これを先の第1の積算値と比較する。この比較の結果、これらの差Dが予め決めた所定の限界値の範囲内 $\pm d$ にあるか否かを判定し、この範囲内であれば、ディジタル可変遅延回路38に供給するディジタルコードを変化させず、そのままの状態を維持する。すなわち、この場合にはA/D変換用サンプリングパルスの位相は最適値またはその極く近傍にあるので、その位相を調整する必要はない。

一方、比較の結果が所定の範囲を越える場合には、この比較が初期設定後、最初の比較であるか否かを判断し、最初であると判断された場合には、A/D変換用サンプリングパルスの位相を変化させる。この変化の方向は任意に決めることができ、本例ではA/D変換用サンプリングパルスの位相を進めるものとする。すなわち、最初の比較の結果が所定の範囲を越える場合には、A/D変換用サンプリングパルスの位相を所定の量だけ進めるような制御コードをディジタル可変遅延回路38に供給する。このようにA/D変換用サンプリングパルスの位相を進めた後、再び試験期間中のA/D変換回路27の出力信号の順次のクロックパルスの周期で交互にレベルが変化する信号の差の絶対値を求め、これを試験期間中積算して積算値S3を求める。このようにして求めた積算値を先に求めた積算値S2と比較する。この比較による差が所定の範囲を依然として越える場合にはさ

らに、この比較が初期設定後最初のものであるか否かを判断する。この場合には2回目の比較であるので、否と判断される。次に、この比較の結果としての差が減少するか否かを判断し、減少する場合にはA/D変換用サンプリングパルスの位相をさらに進めるように制御コードを変化させるが、差が減少しない場合には、A/D変換用サンプリングパルスの位相を遅らせるように制御コードを変化させる。このような操作を繰り返すことによって順次の水平ブランキング期間中に読み出された試験信号のピーク値の積算値の差は所定の範囲に入るようになり、A/D変換回路27のサンプル/ホールド回路27bに供給されるA/D変換用サンプリングパルスの位相は最適となる。

上述した実施例においては、試験信号を処理してA/D変換用サンプリングパルスの位相を自動的に調整するようにしたが、本発明においてはこのA/D変換用サンプリングパルスの位相を手動的に調整することもできる。このように構成した実施例を図7に示す。図7においては、基準発振器22からA/D変換回路27に供給されるサンプリングパルスの経路の中にパルス位相調整器45を設け、A/D変換回路から出力される信号をロジックアナライザ46に供給するか、またはD/A変換回路47でアナログ信号に変換した後、オシロスコープ48に供給し、ロジックアナライザまたはオシロスコープで表示される信号波形

から試験信号に相当する部分を読み取り、白レベルと黒レベルの差が最大となるようにパルス位相調整器45を手動で調整すれば良い。本例においては、このパルス位相調整器45は図1に示した従来例と同様に可変抵抗、コンデンサおよびバッファアンプで構成し、可変抵抗を加減することによってパルス位相を調整するようにしているが、他の方式のパルス位相調整器を使用することもできる。

さらに上述した実施例においては、試験信号を処理してA/D変換回路27に対するA/D変換用サンプリングパルスの位相を調整するように構成したが、このA/D変換用のサンプリングパルスの位相はCCD21の駆動パルスの位相との関係で調整されるものであるから、A/D変換回路に対するA/D変換用サンプリングパルスの位相を固定し、CCDに対する駆動パルスの位相を試験信号を処理して調整するようにしても良い。すなわち、デジタル可変遅延回路38を図4において破線で示すように基準クロック発振器22とCCD駆動ゲートアレイ23との間に配置することもできる。勿論、この場合にはA/D変換回路27にはデジタル可変遅延回路38を通さないクロックパルスをサンプリングパルスとして供給する。このように構成する場合には、相関二重サンプリング回路24に対するサンプリングパルスの位相が調整されることになるが、CCDから読み出され

た信号の位相と、相関二重サンプリング回路でのサンプリングタイミングとのずれが補正されるものではなく、相関二重サンプリング回路24でサンプリングして得られるアナログ画像信号の位相と、A/D変換回路27でのA/D変換用サンプリングパルスとの位相のずれが補正されるものである。

上述した実施例においては、順次の水平ブランキング期間中に挿入された試験信号のピーク・ツー・ピーク値の積分値を順次に比較し、この積分値が最大となるように、すなわち試験信号のレベルが最大となるようにA/D変換回路27に対するサンプリングパルスの位相を最適な値に設定するようにしたが、本発明の原理によればA/D変換後の出力信号の位相を検出し、これとA/D変換回路に入力されるアナログ画像信号の位相とを比較してA/D変換用サンプリングパルスの位相を補正するようにするのが理想的である。しかし、このようにA/D変換後の出力信号の位相を直接検出するようにすると回路構成が複雑となる恐れがある。以下説明する実施例においては、A/D変換回路の出力画像信号の位相を検出する代わりに、A/D変換回路に供給されるA/D変換用サンプリングパルスの位相を検出して入力アナログ試験信号の位相と比較してA/D変換用サンプリングパルスの位相を制御するもので、比較的簡易な回路構成で実現できるものである。

図 8 は本発明による固体撮像装置の第 4 の実施例の構成を示すものであるが、前例と同様の部分には同一の符号を付けて示し、その詳細な説明は省略する。本例においては、C C D 21 に対する駆動パルスや相関二重サンプリング回路 24 に対するサンプリングパルスを発生するパルス発生回路を符号 101 で示す。相関二重サンプリング回路 24 によってサンプリングされ、低域通過フィルタ 25 およびアナログ処理回路 26 を通った信号（図 9 A）をゲート回路 102 に供給する。このゲート回路 102 には、図 9 C に示すように C C D 21 の出力信号中に含まれている試験信号を抜き出すためのゲートパルスをパルス発生回路 101 から供給し、図 9 B に示すように試験信号を抽出する。図 9 E は図 9 B に示す試験信号の部分を時間軸を拡大して示すものである。この試験信号を次に波形成形回路 103 に供給して図 9 F に示すように順次のゼロクロスのタイミングで立ち上がり、立ち下がる信号を発生させ、これをディジタル位相比較回路 104 を構成する位相比較器 104a の一方の入力端子に供給する。このディジタル位相比較回路 104 は、例えば「MC4044」または「CX23065A」を以って構成することができる。

相関二重サンプリング回路 24 に供給される第 1 のサンプリングパルス（以下 S/H1 と称する）をアナログタイプの可変遅延線 105 にも供給し、この可変遅延線の出力パルスを第 2 のサンプ

リングパルス（以下S/H2と称する）として微調整用遅延回路107を介してA/D変換回路27のサンプル/ホールド回路27aに供給する。したがって、第2のサンプリングパルスは上述したA/D変換用サンプリングパルスの基になるパルスである。これから第1および第2のサンプリングパルスS/H1およびS/H2を図9GおよびHに示す。

可変遅延線105から出力される第2のサンプリングパルスS/H2を1/2分周器106にも供給し、この分周器から図9Iに示すように周波数が第1および第2サンプリングの1/2で、デューティ比が50%の信号を発生させ、これを位相比較器104aの他方の入力端子に供給する。したがって、この位相比較器104aは、図9Eに示す試験信号を波形成形して得られる図9Fに示す信号と、図9Iに示す信号との位相の差を比較し、その差に応じた信号（図9D）を可変遅延線105に供給して第2サンプリングパルスS/H2の位相を制御して図9Fに示す信号と、図9Iに示す信号との位相差がゼロとなるような一種のPLL（位相ロックループ）を構成する。なお、図面を明瞭とするために、図9Dに示す低域通過フィルタ104bの出力信号の振幅は大きく変動するように描いているが、実際にはその変動はきわめて小さいものである。

上述したように、図9Fに示す信号は図9Eに示す試験

信号のゼロクロスを基準として発生させたものであるから、図 9 H に示す第 2 サンプリングパルスの位相は、理想的な A/D 変換用サンプリングパルスの位相に対して 90 度ずれたものである。したがって、可変遅延線 105 から出力される位相が制御された第 2 サンプリングパルス S/H2 を、その位相を 90 度遅らせるとともに A/D 変換回路 27 において A/D 変換用サンプリングパルスが入力されてから実際にサンプルホールドされるまでの遅延時間を補償する微調整用遅延回路 107 に通して A/D 変換用サンプリングパルスを生成し、これを A/D 変換回路 27 のサンプル・ホールド回路 27a に供給する。

なお、パルス発生回路 101 から発生されるゲートパルスを位相比較器 104a にも供給し、CCD21 から読み出された画像信号中に試験信号が含まれている期間中だけ位相比較器を動作させるようにする。

図 10 は本発明による固体撮像装置の第 5 の実施例を示すものであり、図 8 に示した第 4 の実施例と類似したものである。本例においては、可変遅延線 105 から出力される第 2 サンプリングパルス S/H2 の周波数を 1/2 に分周して波形成形回路 103 から出力される波形成形された試験信号と位相比較する代わりに、試験信号の周波数を 2 通倍して第 2 サンプリングパルス S/H2 の位相と比較するように構成する。

すなわち、ゲート回路102 によって抽出された試験信号の周波数を周波数逡倍回路110 によって2 倍として波形成形回路103 に入力するようにする。また、可変遅延線105 から出力される第2 サンプリングパルスS/H2はそのまま位相比較器104aに供給する。

図11は周波数逡倍回路110 の一例の具体的構成を示す回路図である。入力端子111 に与えられる信号 $\sin \omega t$ を乗算回路112 の一方の入力端子に供給するとともに $1/4 \lambda$ (90 度) の位相遅延を与える遅延線113 に通して得られる信号 $\cos \omega t$ を乗算回路112 の他方の入力端子に供給する。このようにして乗算回路112 からは $\sin \omega t \cdot \cos \omega t = 1/2 \sin 2\omega t$ で表されるように周波数が2 逡倍された信号が得られることになる。

このような周波数逡倍回路は周知のものであり、上述したもの以外にも多種多様なものが知られており、本発明においては何れを用いても良い。

図12は上述した図8 および図10に示した本発明の第4 および第5 の実施例に用いられるアナログタイプの可変遅延線105 の一例の具体的構成を示す回路図である。本例では、コイルと可変容量ダイオードとの並列回路を多数縦続接続して構成したものであり、入力信号 V_{IN} の位相は制御電圧 V_{DL} の値に応じて調整されて出力信号 V_{OUT} が得られるように構成されている。ア

ナログタイプの可変遅延線105 はこのような構成に限定されるものではなく、他の既知の種々の型式のものを用いることができる。

図8および10の実施例においては、ディジタル位相比較回路104 の出力信号をアナログタイプの可変遅延線105 に制御信号として供給するようにしたが、このアナログタイプの可変遅延線の代わりにディジタルタイプの可変遅延回路を用いることも勿論可能であり、この場合にはディジタル位相比較回路104 とディジタル可変遅延回路との間にA/D変換器を設ける必要がある。

図13は本発明による固体撮像装置の第6の実施例の構成を示すものであり、図8に示す第4の実施例と類似のものである。本例においては、位相比較回路104 の出力側にVC0(Voltage Controlled Oscillator)を接続して位相が制御された第2のサンプリングパルスS/H2を発生させるように構成する。すなわち、ゲート回路102 で抽出した試験信号(図14A)を波形成形回路103 で波形成形して得られる信号(図14B)をディジタル位相比較回路104 の位相比較器104aの一方の入力端子に供給する。

ディジタル位相比較回路104 の出力信号をVC0115に供給し、このVC0 の出力パルス(図14D)を1/2 分周器106 に通して得られる信号(図14C)を位相比較器104aの他方の入力端子に供

給する。このようにして位相比較器104aに供給される2つの信号の位相差が零となるように制御することができる。

さらに、VC0115から出力される信号をモノステーブル・マルチバイブレータ116に供給して図14Eに示すような第2のサンプリングパルスS/H2を発生させ、これを微調整用遅延回路107に通してA/D変換用サンプリングパルスを発生させ、これをA/D変換回路27のサンプルホールド回路27aに供給する。

図15は本発明による固体撮像装置の第7実施例を示すものであり、図13に示した実施例を変形したものである。図13に示した実施例においては、VC0115に対する制御信号をディジタル位相比較回路で作成したが、本例においては乗算器を使用している。すなわち、ゲート回路102で抽出した試験信号を乗算器121の一方の入力端子に供給し、この乗算器の他方の入力端子にはVC0115の出力信号を1/2分周器106で分周した信号を供給する。さらに、乗算器121の出力信号を低域通過フィルタ122、クランプ回路123および直流増幅器124を経てVC0115に供給する。

図16は本例の動作を説明するために信号波形を示すものである。本例では、VC0115から出力され、1/2分周器106で分周された信号（図16A）と、試験信号（図16B）との位相差が90度のときに安定状態であり、乗算器121の出力信号は図15Cに示すように正極性と負極性とが対称に現れるようになり、したが

ってVC0115に印加される直流制御電圧は零となる。これに対して、これらの信号の位相が同相となると図16D～Fに示すように正極性の制御電圧がVC0115に印加されるようになり、この逆にこれらの信号が逆相となると図16G～Iに示すように負極性の制御電圧がVC0115に印加されるようになる。したがって、乗算器121の出力の平均値がゼロとなるようにVC0115を制御することにより、位相差は90度で安定する。

本例においてもVC0115の出力信号をモノステーブル・マルチバイブレータ116に供給して第2のサンプリングパルスS/H2を作成し、これを微調整用遅延回路107に通してA/D変換用サンプリングパルスを生成し、これをA/D変換回路27へ供給する。微調整用遅延回路107の遅延時間は、上述した実施例と同様にA/D変換回路27のサンプル・ホールド回路27aにおいて、A/D変換用サンプリングパルスが入力されてから実際にサンプル・ホールドされるまでの遅延時間を考慮して決定することができる。

次に、上述した実施例に用いるCCD21の数例の構成を説明する。

図17に示す実施例においては、CCDを構成する半導体チップ51に試験信号を発生する部分を一体的に形成したものである。すなわち、半導体チップ51には、図17Aに示すように撮像すべ

き被写体の像を受けて電気信号に変換する映像部52と、この映像部の右側に配置した試験信号発生部53と、水平転送用のシフトレジスタ54と、その出力側に配置され、一般にフローティング・ディフュージョン・アンプと呼ばれている読み出し用アンプ55とが一体的に形成されている。試験信号発生部53は図17Bの拡大図に示すように水平方向および垂直方向に見て映像部52と同様の画素ピッチで配列された画素を有し、垂直方向に見た交互の画素列を白画素56および黒画素57として形成する。このために、各白画素56には電荷注入アンプ58を接続し、白レベルに相当する電荷を注入できるように構成する。そして、試験信号発生部53には光を当てる必要がないため、光が当たらないようにマスクで被覆する。

図17に示す実施例のようにして、すなわちCCDの画素毎に電荷を注入して白の試験信号を作成し、CCDの画素をマスクして黒の試験信号を発生させる方法の他にも同様の試験信号を作成する方法が考えられる。

例えば、CCDの白キズは暗電流が異常に多い画素に発生する欠陥であるが、これを積極的に利用して試験信号の白の部分の信号とするために、白画素56の部分に故意に白キズを作成し、また黒キズと呼ばれる画素の欠陥を黒画素57の部分に作成する方法もある。すなわち、黒の信号を作成する画素については、

例えば光電変換機能を削除して、転送機能のみを持たせることにより実現できる。

図17に示す実施例においては、試験信号の白に対応する各白画素56に、それぞれ増幅器58を接続したが、1つの増幅器を設け、これを総ての白画素に並列に接続しても良い。

このように試験信号発生部53を一体的にCCD21から試験信号を読み出すには、映像部52および試験信号発生部53の或る水平走査ライン上の画素に蓄積された電荷を水平転送用シフトレジスタ54に転送し、このシフトレジスタの電荷を順次読み出し、読み出し用アンプ55で増幅して出力することによって図18に示すように水平ブランキング期間中に試験信号が付加された信号を得ることができる。なお、図18においては、水平方向に見て黒から白に連続的に変化する被写体を撮像した場合に得られる信号を示している。

本実施例においては、試験信号の黒の部分を利用してオプチカルブラックの黒として利用することもできる。このように構成することによって別にオプチカルブラックの領域を設ける必要がなくなり、CCDのチップサイズを小さくすることができる。

図19は本発明で用いるCCD21の他の実施例の構成を線図的に示すものである。本例においては、半導体チップ51に映像部

52と、水平転送用シフトレジスタ54とを一体的に形成し、さらにこの水平転送用シフトレジスタの端部に白画素および黒画素を交互に配列した試験信号発生部59およびその白画素に電荷を注入するための電荷注入用アンプ60を一体的に形成したものである。このように端部に試験信号発生部59を設けた水平転送用シフトレジスタ54を読み出すことによって各水平ブランキング期間中に試験信号が付加された信号を出力することができる。

図20は本発明で用いるCCD21のさらに他の実施例の構成を示す線図である。上述した実施例においては、試験信号を発生させる機能を映像部52を形成した半導体チップ51に一体的に形成したが、本例においては、半導体チップ51とは別個に、水平ブランキング期間中の所定の期間においてのみ読み出しクロックの周期の2倍のパルスが発生するパルス発生器61を設け、このパルス発生器から発生されるパルスを水平転送用シフトレジスタ54に接続された電荷注入用アンプ62に供給する。したがって、この電荷注入用アンプからは水平ブランキング期間中の所定の期間にCCD駆動パルスの周期で交互に白レベルおよび黒レベルに対応する電荷が水平転送用シフトレジスタ54に注入され、これらの電荷はシフトレジスタの内部を転送され、読み出し用アンプ55から水平ブランキング期間中に試験信号が付加された信号が読み出されることになる。

試験信号をどこで混入しようとも、水平転送用シフトレジスタから出力される信号に同期した試験信号ならば本発明を実施するためには十分である。

図21および図22は本発明による試験信号発生機能を有するCCD21のさらに他の実施例の構成を示すものである。上述した実施例においては、水平転送用シフトレジスタに交互に白レベルおよび黒レベルに対応する電荷を注入することによって試験信号を発生させるように構成したが、図21および図22に示した実施例においては光学的な手法によって試験信号を発生させるように構成したものである。すなわち、図21に示す実施例においては、映像信号を発生するCCD21を保持するパッケージ63内に試験信号発生用のCCD64を設け、この試験信号発生用CCDの1個置き画素には遮光性のマスク65を設け、ミラー66を有する光源67から放射される光をレンズ68によって光学ファイバ69の入射端に入射させ、その出射端に設けた光出射部材70によって試験信号発生用CCD64を一様に照明するように構成する。このような光出射部材70としては、例えば特開昭62-21313号公報に記載されているようなバイアスライトを照射するための光学部材を用いることができる。

図22に示す実施例においては、CCD21の映像信号発生部71に隣接してオプティカルブラック用CCD72と、試験信号発生用

ＣＣＤ 73とを設けたものである。試験信号発生用ＣＣＤ 73の黒画素に対応する部分は斜線で示すように遮光性のマスク 74で被覆するとともに試験信号発生用ＣＣＤ 73を図 21に示した照明手段と同様の照明手段によって一様に照明するように構成したものである。このような映像信号発生用ＣＣＤ 71、オプチカルブラック用ＣＣＤ 72および試験信号発生用ＣＣＤ 73を連続して読み出すことによって図 18に示すように水平ブランキング期間中の所定の部分に試験信号が付加された信号を読み出すことができる。

図 23は図 21に示した実施例の変形例を示すものである。図 21においては、試験信号発生用ＣＣＤ 64を映像信号発生用ＣＣＤ 21を保持するパッケージ 63と同一のパッケージ内に収納したが、本例においてはこれらを完全に別体に構成する。すなわち、試験信号発生用ＣＣＤ 64を専用のパッケージ 76に収納したものである。さらに、図 23にはこれらの画像信号発生用ＣＣＤ 21と、試験信号発生用ＣＣＤ 64の駆動回路部分およびそれらから読み出した信号の処理回路部分の構成をも示す。基準発振器 77から発生される基準クロックパルスを第 1 および第 2 のＣＣＤ 駆動ゲートアレイ 78および 79に供給し、これらのゲートアレイから画像信号発生用ＣＣＤ 21に対する駆動パルスと、試験信号発生用ＣＣＤ 64に対する駆動パルスとをそれぞれ発生させるととも

に画像信号発生用 C C D から読み出された信号をサンプリングする第 1 の相関二重サンプリング回路 80 に対するサンプリングパルスおよび試験信号発生用 C C D から読み出される信号をサンプリングする第 2 の相関二重サンプリング回路 81 に対するサンプリングパルスをそれぞれ発生させる。さらに、これら第 1 および第 2 の相関二重サンプリング回路 80 および 81 の出力信号を合成するミキシング回路 82 を設ける。このようにしてミキシング回路 82 からは図 18 に示すように水平ブランキング期間の所定の位置に試験信号が付加された信号を得ることができる。

図 24～図 27 は上述した本発明の固体撮像装置をカラーテレビジョンカメラに適用した場合の幾つかの実施例の構成を示す線図である。

図 24 の実施例においては、三色分解光学系 90 によって分解された被写体の赤、緑および青色像をそれぞれ撮像する C C D 91R, 91G および 91B から読み出された信号をそれぞれの A/D 変換回路 92R, 92G および 92B でサンプリングして赤、青および緑色信号を出力するように構成されている。実際にはこれらの C C D 91R, 91G および 91B と A/D 変換回路 92R, 92G および 92B との間には相関二重サンプリング回路、低域通過フィルタ、アナログ処理回路などが挿入されているが、図面を簡単とするために省略する。これらの A/D 変換回路 92R, 92G および 92B に

対してはサンプリングパルス発生器93から発生されるA/D変換用サンプリングパルスをそれぞれ可変遅延回路94R, 94Gおよび94Bを経て供給する。各CCD91R, 91Gおよび91Bは水平ブランキング期間中に試験信号が付加された信号を読み出すように構成されており、A/D変換回路92R, 92Gおよび92Bの出力側に現れるこの試験信号をそれぞれ位相制御回路95R, 95Gおよび95Bで抽出して上述したように処理して位相制御信号を発生させ、これらをそれぞれ可変遅延回路94R, 94Gおよび94Bに制御信号として供給してA/D変換用サンプリングパルスの位相を最適なサンプリングが行われるように自動的に制御する。このように本例においては、各色の画像信号に対して独立してサンプリングパルスの位相を調整することができるように構成されている。

図25はカラーテレビジョンカメラに適用した場合の第2の実施例の構成を示すものである。サンプリングパルスの位相の調整はそれほど迅速に行う必要がないので、本例においては、A/D変換回路92R, 92Gおよび92Bの出力信号を切換えスイッチ96によって選択し、この選択した信号を位相制御回路95に供給するようにしている。例えば、図25に示すように赤色信号を取り出すときは、この赤色信号に含まれる試験信号を抽出して位相制御信号を発生させ、これを赤色信号をサンプリングするA

／D変換回路92R に対するA／D変換用サンプリングパルスの位相を制御する可変遅延回路94R に供給して赤色信号が最適のタイミングでサンプリングされるようにA／D変換用サンプリングパルスのタイミングを制御する。次に、切換えスイッチ96を切換えて緑色信号について同様の処理を行い、緑色信号が最適のタイミングでサンプリングされるように可変遅延回路94Gを制御する。さらに、切換えスイッチ96を切換えて青色信号を抽出し、この青色信号が最適のタイミングでサンプリングが行われるように可変遅延回路94B を制御する。このようにして赤、緑および青色のすべてのチャンネルにおいて最適なタイミングでサンプリングが行なわれるようにA／D変換用サンプリングパルスの位相を制御することができる。

上述した切換えスイッチ96は自動的に切り換えても良いが、サンプリングパルスの位相制御には時間的な余裕があるので手動で切換えるようにする。自動で切換える場合には、図4について説明したように、試験信号のピーク・ツー・ピーク値の絶対値の積分値の差が所定の限界範囲内になったことを検知して切り換えたり、予め設定した時間が経過した後に切り換えるようにすれば良い。

図26は本発明の固体撮像装置をカラーテレビジョンカメラに適用した場合のさらに他の実施例を示すものである。本例にお

いては、A/D変換回路92Gから出力される緑色信号を位相制御回路95に供給して、その中に含まれている試験信号を抽出して位相制御信号を発生させ、これを総てのA/D変換回路92R、92Gおよび92Bに対するサンプリングパルスの位相を制御する可変遅延回路94R、94Gおよび94Bに共通に供給する。このように本例においては一つの色信号に含まれる試験信号を処理して得られる位相制御信号によって総ての色信号チャンネルでのサンプリングパルスの位相を共通に制御するようにしたため、構成が簡単となる。また、これらの色信号チャンネルの構成は同様であるのでこれらのチャンネルにおける遅延時間の変動量はほぼ等しくなるので、このように共通に制御しても誤差は少ない。また、本例では緑色信号から位相制御信号を作成するようにしているので、緑色用CCD91Gのみを試験信号を発生するように構成すれば良く、他のCCD91Rおよび91Bは通常のCCDを以て構成することができる。

図27は本発明の固体撮像装置をカラーテレビジョンカメラに適用した場合のさらに他の実施例の構成を示すものである。本例においては、赤、緑および青色信号を輝度マトリックス97に供給して所定の割合で混合して輝度信号を作成し、この輝度信号を位相制御回路95に供給する。本例ではこれらの色信号の中に試験信号を付加しており、これらの試験信号も所定の割合で

混合されることになる。位相制御回路95においては、このようにして得られる合成試験信号を抽出して位相制御信号を作成し、これを総てのA/D変換回路92R、92Gおよび92Bに対するA/D変換用サンプリングパルスの位相を制御する可変遅延回路94R、94Gおよび94Bに共通に供給する。

本発明は上述した実施例にのみ限定されるものではなく、幾多の変更や変形が可能である。

例えば、上述した実施例においては、試験信号は水平ブランキング期間中に挿入するようにしたが、画像に影響を与えない部分としては、例えば垂直ブランキング期間中に挿入することもできる。この場合には、1フィールドに1回しか試験信号が得られないので、A/D変換用のサンプリングパルスの位相調整に要する時間が上述した実施例の場合よりも長くなるが、この位相調整はそれ程迅速に行う必要がないので問題はない。さらに、本発明においては、試験信号をブランキング期間中に付加する必要はなく、画像信号期間中に発生させるようにすることもできる。例えば、1ライン分の試験信号発生用CCDを設け、試験モードにおいてはこのCCDを連続して読み出すように構成することもできる。

また、上述した実施例においては、遅延時間の変動要因をより多く含む回路で処理した後の画像信号をサンプリングするた

めのA/D変換用サンプリングパルスの位相を試験信号に基づいて調整するようにしたが、通常CCDの直後に配置される相関二重サンプリング回路に対するサンプリングパルスの位相を制御することもできる。特に、ハイビジョン方式では、極く僅かなサンプリングタイミングのずれも大きな影響を及ぼすので、相関二重サンプリング回路に対するサンプリングパルスの位相も制御するように構成するのが望ましい。

さらに、上述した実施例においては画像信号の水平ブランキング期間に付加された試験信号を画素ピッチで交互に白レベルおよび黒レベルとなるものとしたが、本発明においてはこれらのレベルは必ずしも白レベルおよび黒レベルと一致させる必要はなく、レベルの差が明確になるようなものであれば良い。また、このような試験信号が付加された信号を発生する固体撮像素子の構成としては上述した実施例以外にも種々のものが考えられる。

産業上の利用可能性

以上のように本発明によれば、画像信号のサンプリングタイミングを調整するための試験信号を画像信号に付加して発生させるようにしたので、従来のように特別のパターンを描いたテストチャートやそれを照明する照明装置やカメラを支持する三脚などを準備する必要がないとともにこれらをセッティングす

るための面倒な手間もなくなり、きわめて簡単にかつ熟練を要することなく正確にサンプリングタイミングを所望のタイミングに調整することができる。

また、このように画像信号に付加して発生させた試験信号を処理してサンプリングパルスの位相を自動的に調整するように構成した場合には、さらに調整は簡単かつ正確となる。

さらに、上述した実施例のように、試験信号を画像信号を出力するCCDから読み出すように構成する場合には、試験信号を発生させるための付加回路の構成が非常に簡単となり、従来のCCDを含む固体撮像装置を僅かに設計変更するだけで実施することができる。

また、本発明による固体撮像装置において発生させる試験信号は、CCDを用いたアナログのテレビジョンカメラにおいて、R、G、Bの各信号間の位相を合わせる際の基準信号として使用することもできる。

さらに、画素ずらしを行うテレビジョンカメラにおいても、CCD以降のアナログ処理系におけるエンコード入力でそれぞれの信号が適切な位相関係を以て入力されているか否かを本発明によって発生させた試験信号を用いて容易に判断することができる。

請 求 の 範 囲

1. 撮像すべき物体の像を受け、駆動パルスに同期して前記物体の像を表す画像信号を発生する固体撮像素子と、

この固体撮像素子に供給される駆動パルスを発生する駆動手段と、

前記固体撮像素子から読み出された画像信号を、前記駆動パルスと同期したサンプリングパルスによってサンプリングしてサンプリングされた画像信号を発生するサンプリング手段と、

このサンプリング手段に供給されるサンプリングパルスを発生する手段と、

前記サンプリングされた画像信号をA/D変換用サンプリングパルスによってデジタル画像信号に変換するA/D変換手段と、

このA/D変換手段に供給されるA/D変換用サンプリングパルスを発生する手段と、

前記駆動パルスと同期され、順次の画素の間でレベルが交互に変化する試験信号を発生する手段と、

この試験信号を処理して前記サンプリングパルスの位相と、前記A/D変換用サンプリングパルスの位相とを相対的に制

御する制御手段とを具える固体撮像装置。

2. 前記試験信号を固体撮像素子の出力信号の水平ブランキング期間中に発生するように前記試験信号発生手段を構成し、この試験信号を前記固体撮像素子から読み出された画像信号と同様に前記サンプリング手段によってサンプリングするように構成したことを特徴とする請求の範囲第1項記載の固体撮像装置。
3. 前記試験信号を固体撮像素子の出力信号の垂直ブランキング期間中に発生させるように前記試験信号発生手段を構成し、この試験信号を前記固体撮像素子から読み出された画像信号と同様に前記サンプリング手段によってサンプリングするように構成したことを特徴とする請求の範囲第1項記載の固体撮像装置。
4. 前記試験信号を前記A/D変換手段によって変換したディジタル試験信号を前記制御手段に供給し、この制御手段には、ディジタル試験信号を処理して前記A/D変換用サンプリングパルスの位相を自動的に調整する自動位相調整手段を設けたことを特徴とする請求の範囲第3項記載の固体撮像装置。

5. 前記自動位相調整手段を、前記デジタル試験信号の順次の差の絶対値を求め、この絶対値を試験信号の挿入期間中に積算して積算値を求め、順次の試験信号挿入期間中の積算値の差に基づいてサンプリングパルスの位相を自動的に制御するように構成したことを特徴とする請求の範囲第4項記載の固体撮像装置。
6. 前記自動位相調整手段を、前記積算値が最大となるように前記A/D変換用サンプリングパルスの位相を自動的に調整するように構成したことを特徴とする請求の範囲第5項記載の固体撮像装置。
7. 前記試験信号を前記A/D変換手段によって変換したデジタル試験信号を前記制御手段に供給し、この制御手段には、デジタル試験信号を演算処理するコンピュータを設けたことを特徴とする請求の範囲第4項記載の固体撮像装置。
8. 前記試験信号を前記A/D変換手段によって変換したデジタル試験信号を前記制御手段に供給し、この制御手段には、デジタル試験信号の波形を表示するロジックアナライザと、このロジックアナライザ上に表示される試験信号の波形を観

察しながら A/D 変換用サンプリングパルスの位相を手動的に調整する位相調整器とを設けたことを特徴とする請求の範囲第 3 項記載の固体撮像装置。

9. 前記試験信号を前記 A/D 変換手段によって変換したデジタル試験信号を前記制御手段に供給し、この制御手段には、デジタル試験信号をアナログ試験信号に変換する D/A 変換器と、この D/A 変換器によって変換されたアナログ試験信号の波形を表示するオシロスコープと、このオシロスコープ上に表示される試験信号の波形を観察しながら A/D 変換用サンプリングパルスの位相を手動的に調整する位相調整器とを設けたことを特徴とする請求の範囲第 3 項記載の固体撮像装置。

10. 前記自動位相調整手段を、前記試験信号をサンプリングするための A/D 変換回路に入力される試験信号の位相と、前記サンプリングパルスの位相とを比較し、この比較結果に基づいてサンプリングパルスの位相を自動的に制御するように構成したことを特徴とする請求の範囲第 3 項記載の固体撮像装置。

11. 前記自動位相制御手段に、前記 A/D 変換用サンプリングパルスの周波数を $1/2$ に分周する周波数分周器と、この周波数分周器によって分周された A/D 変換用サンプリングパルスの位相と、前記 A/D 変換手段に入力される試験信号の位相とを比較するデジタル位相比較器と、このデジタル位相比較器の出力信号によって前記サンプリングパルスの位相を調整して前記 A/D 変換用サンプリングパルス生成する可変遅延回路とを設けたことを特徴とする請求の範囲第 9 項記載の固体撮像装置。

12. 前記自動位相制御手段に、前記 A/D 変換手段に入力される試験信号の周波数を 2 倍する周波数通倍器と、この周波数通倍器によって通倍された試験信号の位相と、前記 A/D 変換用サンプリングパルスの位相とを比較するデジタル位相比較器と、このデジタル位相比較器の出力信号によって前記サンプリングパルスの位相を調整して前記 A/D 変換用サンプリングパルス生成する可変遅延回路とを設けたことを特徴とする請求の範囲第 9 項記載の固体撮像装置。

13. 前記自動位相制御手段に、前記 A/D 変換手段に入力される試験信号の位相と、前記 A/D 変換用サンプリングパルス

の位相とを比較するデジタル位相比較器と、このデジタル位相比較器の出力信号によって制御されて、前記 A/D 変換用サンプリングパルスを生成する電圧制御発振器とを設けたことを特徴とする請求の範囲第 9 項記載の固体撮像装置。

14. 前記自動位相制御手段に、前記 A/D 変換用サンプリングパルスの周波数を $1/2$ に分周する周波数分周器と、この周波数分周器から出力される信号と、前記 A/D 変換手段に入力される試験信号とを乗算する乗算器と、この乗算器の出力信号によって制御される電圧制御発振器とを設けたことを特徴とする請求の範囲第 9 項記載の固体撮像装置。

15. 前記自動位相制御手段に、前記 A/D 変換用サンプリングパルスが A/D 変換手段に与えられてから実際に A/D 変換が行われるまでの遅延時間を補償する微調整用遅延回路を設けたことを特徴とする請求の範囲第 10, 11, 12 および 13 の何れかに記載の固体撮像装置。

16. 前記試験信号発生手段を前記固体撮像素子内に組み込み、固体撮像素子を読み取ることによって前記試験信号を得るように構成したことを特徴とする請求の範囲第 1 項記載の固体

撮像装置。

17. 前記試験信号を発生する回路を前記固体撮像素子とは別個に設け、この試験信号発生回路を前記固体撮像素子の駆動信号に同期して駆動することによって試験信号を発生させるよう構成したことを特徴とする請求の範囲第1項記載の固体撮像装置。
18. 前記被写体像を複数の色の像に分解する色分解光学系を設け、これら複数の色の被写体像をそれぞれ受光する複数の固体撮像素子を設け、これら複数の固体撮像素子から画像信号をそれぞれサンプリングした後、A/D変換手段によってデジタル画像信号に変換する複数の信号処理チャンネルを設け、これらの信号処理チャンネルの各々に、前記サンプリングパルスに対するA/D変換用サンプリングパルスの位相を制御する位相制御手段を設けたことを特徴とする請求の範囲第1項記載の固体撮像装置。
19. 前記被写体像を複数の色の像に分解する色分解光学系を設け、これら複数の色の被写体像をそれぞれ受光する複数の固体撮像素子を設け、これら複数の固体撮像素子から画像信号

をそれぞれサンプリングした後、A/D変換手段によってデジタル画像信号に変換する複数の信号処理チャンネルを設け、これら複数の信号処理チャンネルに対して、前記サンプリングパルスに対するA/D変換用サンプリングパルスの位相を制御する位相制御手段を共通に設けたことを特徴とする請求の範囲第1項記載の固体撮像装置。

20. 固体撮像装置に使用される固体撮像素子において、被写体像を受けてその画像信号を発生する映像部と、この映像部で発生された電荷を転送して画像信号を出力する転送部と、前記画像信号と同期して画素毎にレベルが交互に変化し、画像信号のサンプリングタイミングを調整するための試験信号を発生する試験信号発生部とを同一の半導体チップに一体的に形成するか同一のパッケージ内に一体的に形成し、これら映像部、転送部および試験信号発生部を共通の駆動パルスによって読み出すように構成したことを特徴とする固体撮像素子。

21. 前記試験信号発生部を、前記映像部と隣接するように設けたことを特徴とする請求の範囲第18項記載の固体撮像素子。

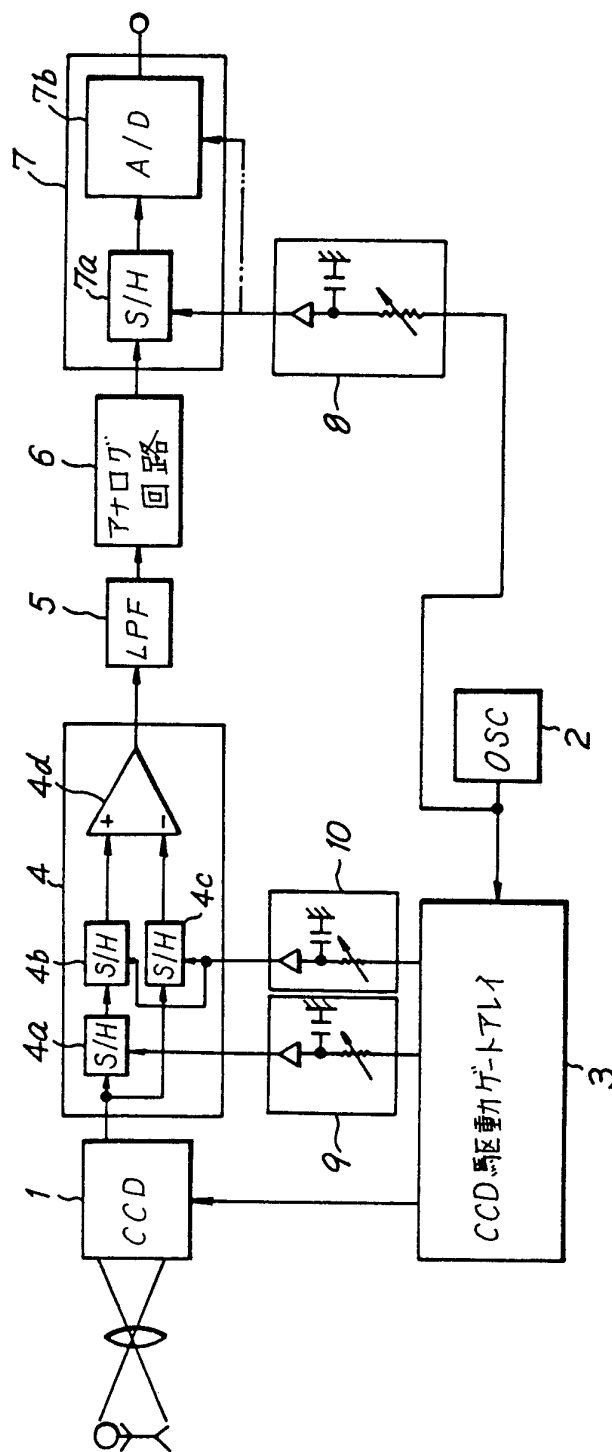
22. 前記試験信号発生部を、前記転送部と隣接するように設け

たことを特徴とする請求の範囲第18項記載の固体撮像素子。

23. 前記映像部および転送部を同一の半導体チップ内に設け、
前記試験信号発生部を他の半導体チップに形成し、これら第
1 および第 2 の半導体チップを同一のパッケージ内に収納し
たことを特徴とする請求の範囲第18項記載の固体撮像素子。

1/24

FIG. 1



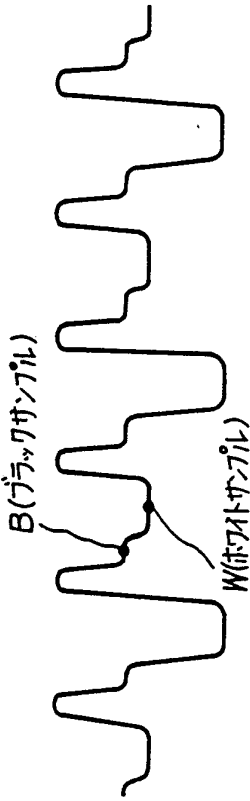


FIG. 2A



FIG. 2B

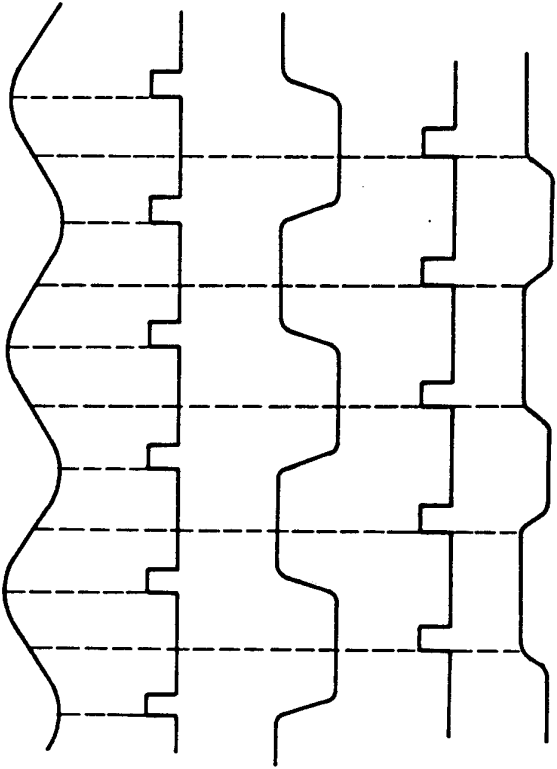


FIG. 2C

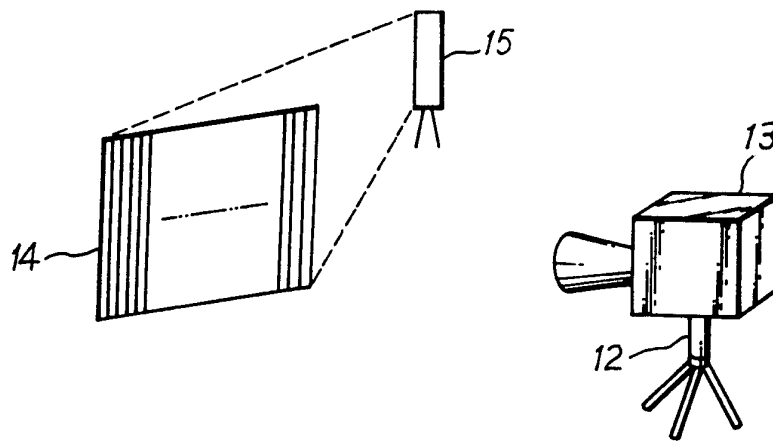
FIG. 2D

FIG. 2E

FIG. 2F

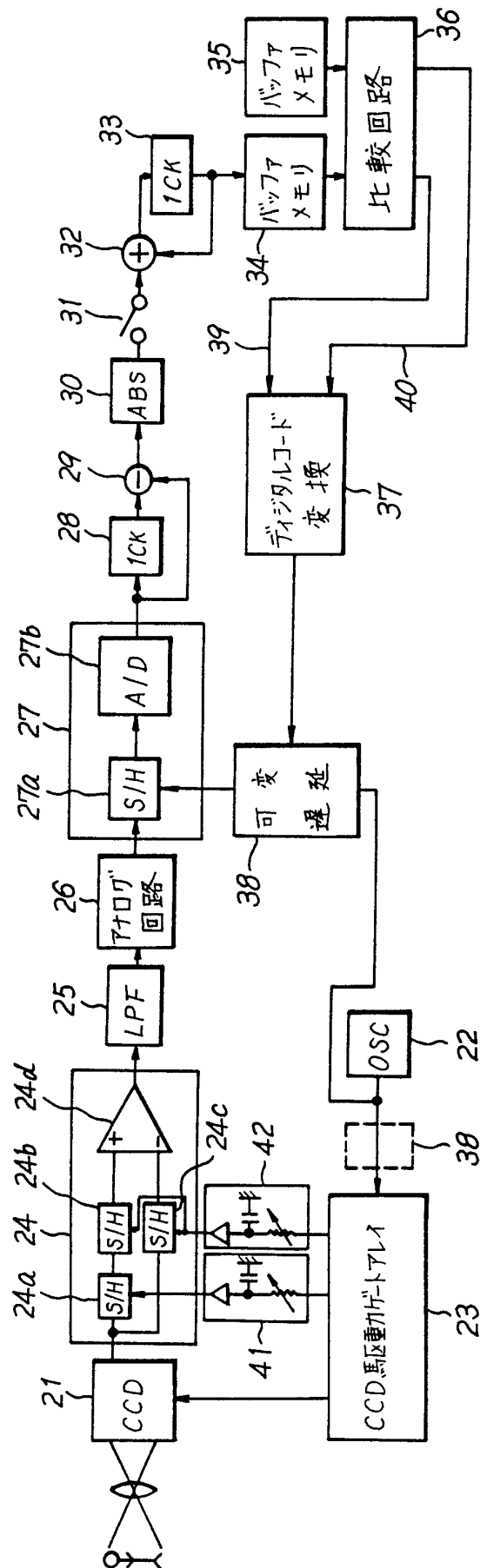
FIG. 2G

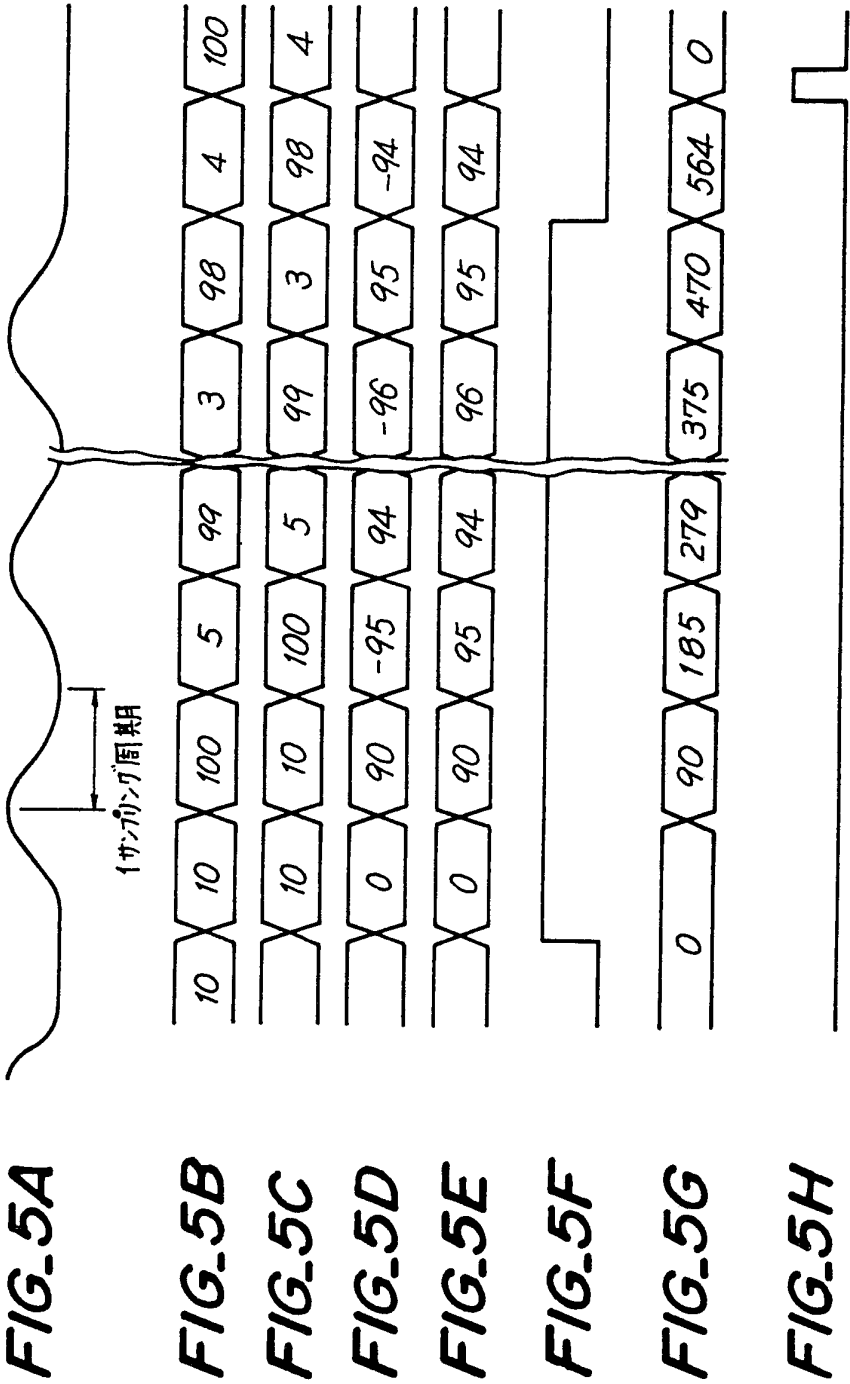
3/24

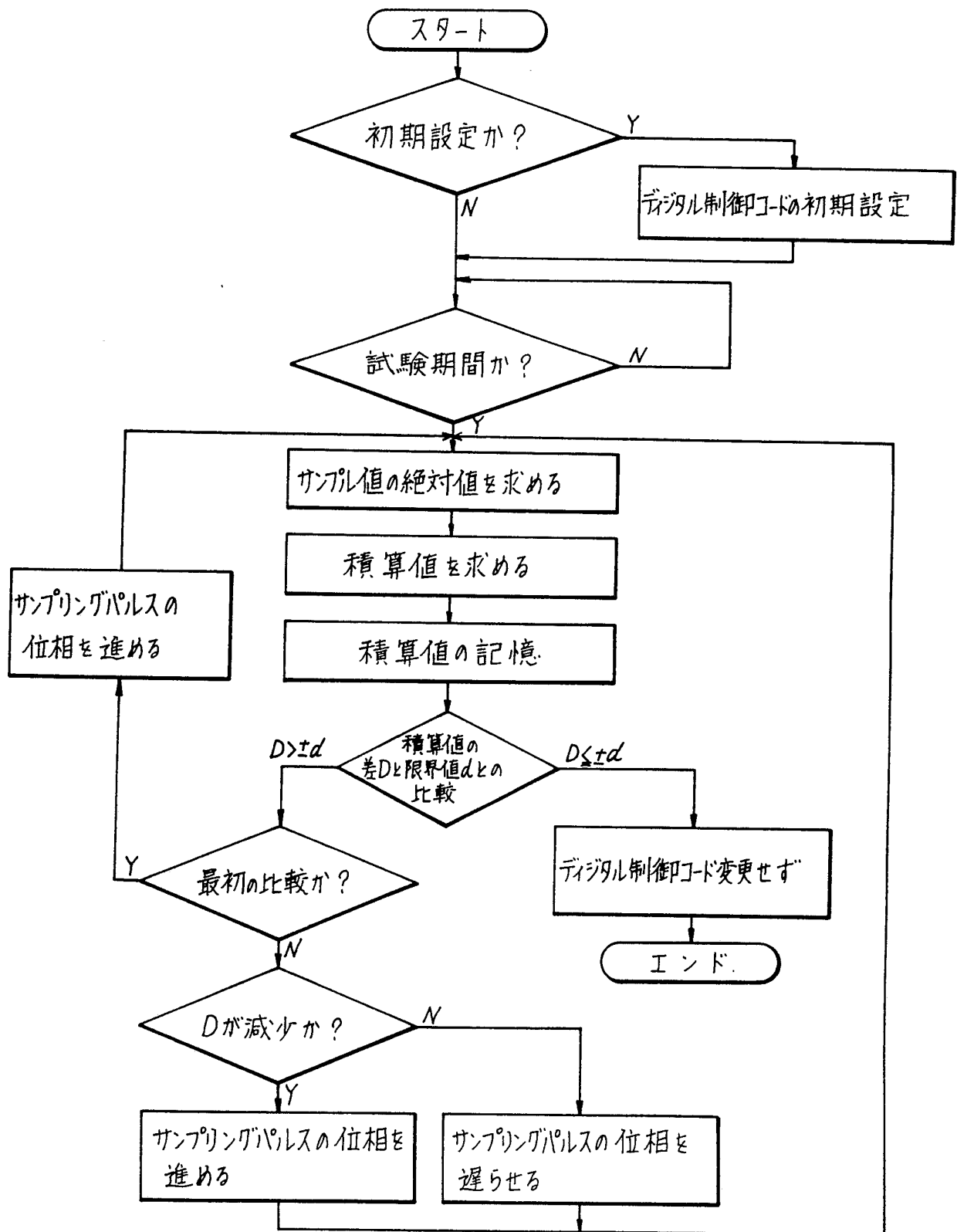
FIG. 3

4/24

FIG. 4

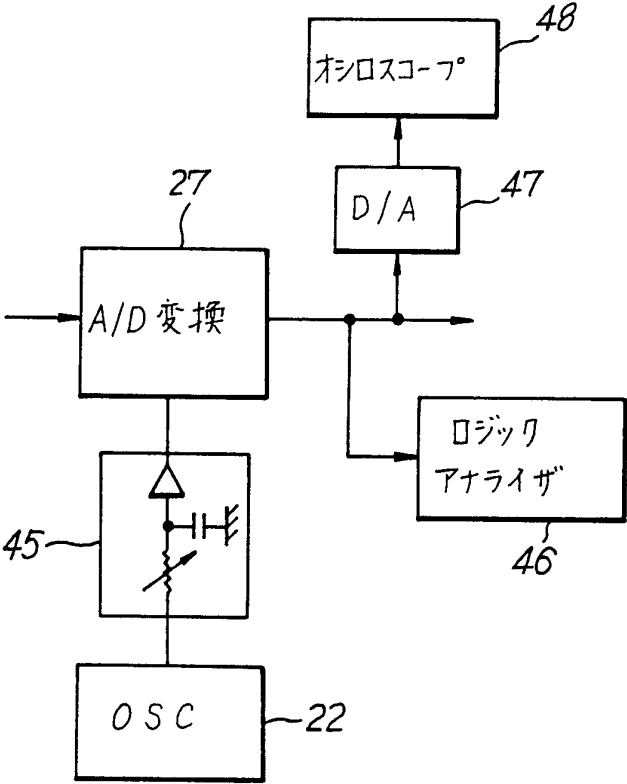




6/24
FIG. 6

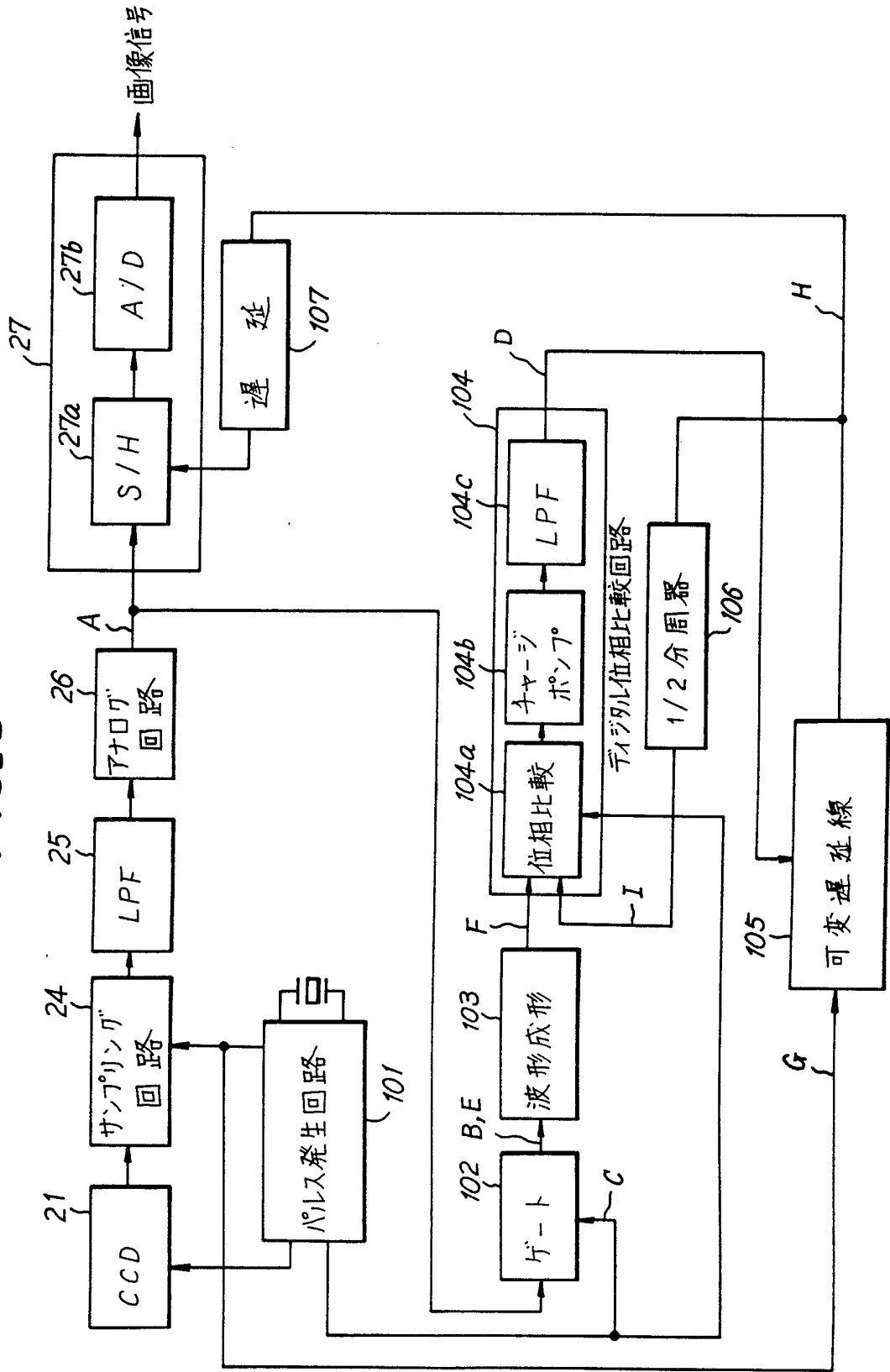
7/24

FIG. 7



8/24

FIG. 8



9/24

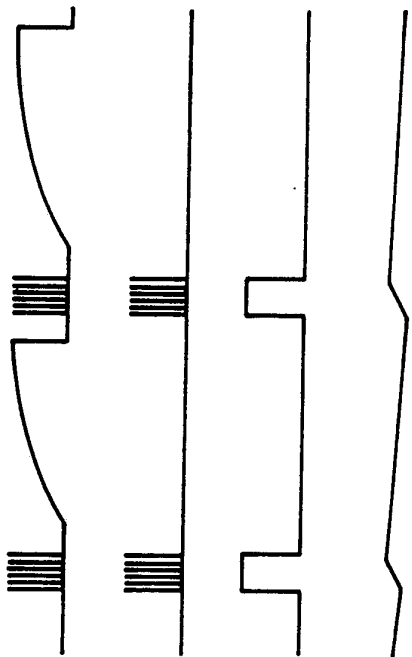


FIG. 9A
FIG. 9B
FIG. 9C
FIG. 9D

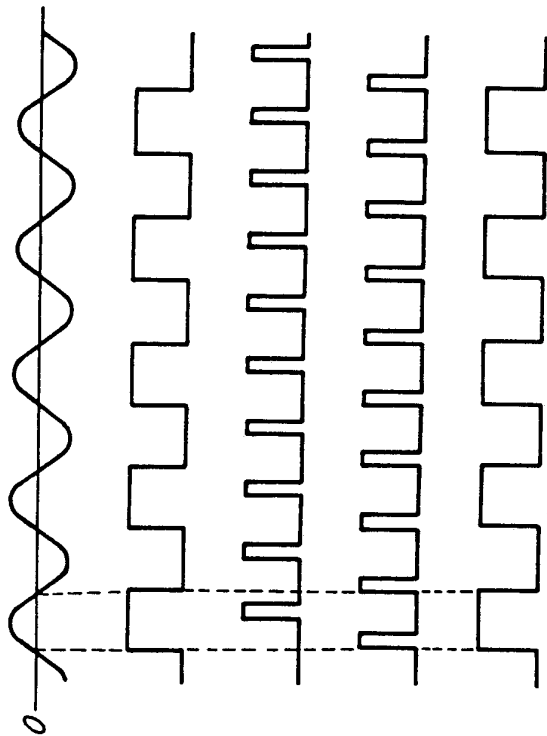
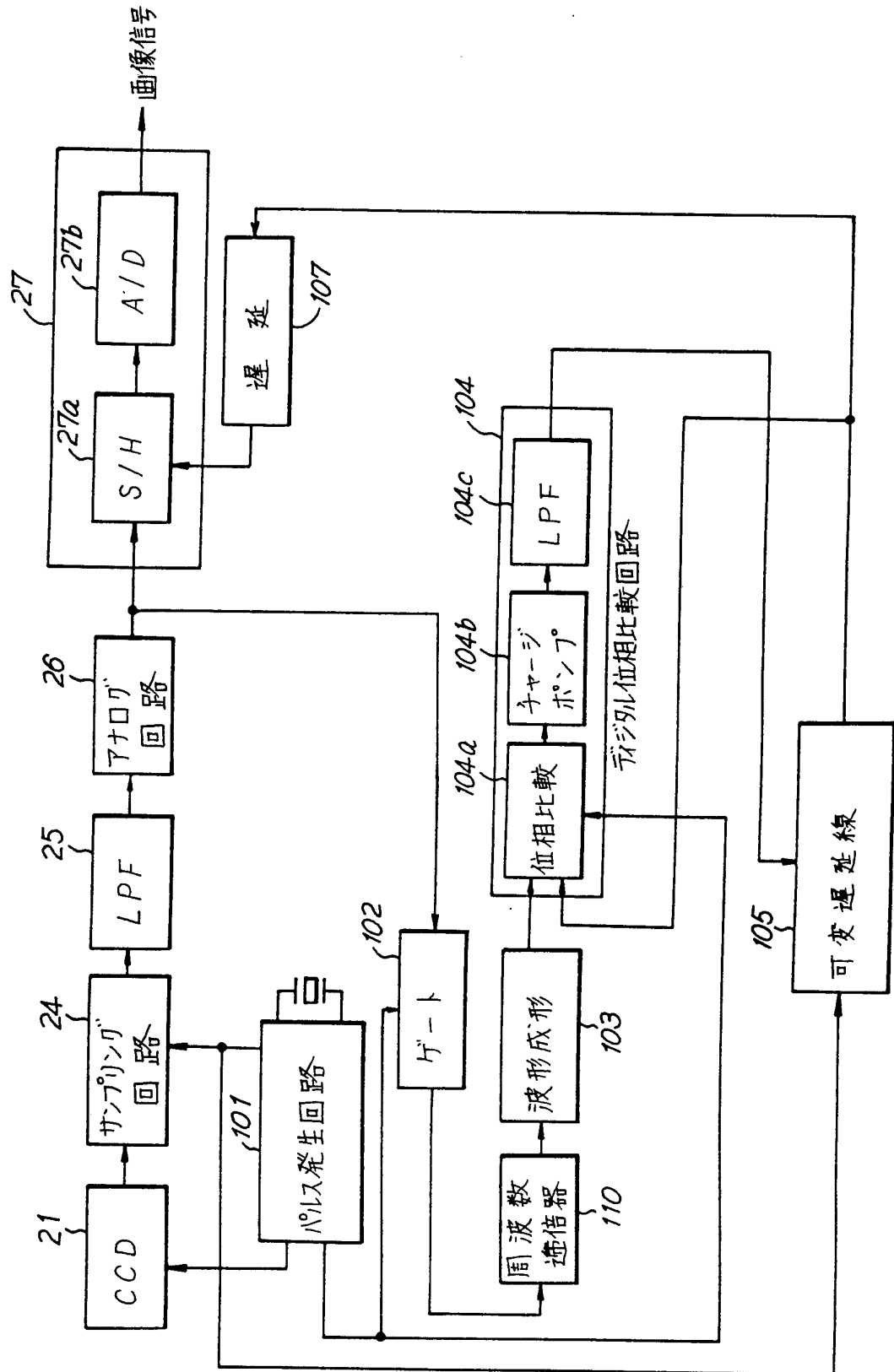


FIG. 9E
FIG. 9F
FIG. 9G
FIG. 9H
FIG. 9I

10/24

FIG. 10



11/24

FIG. 11

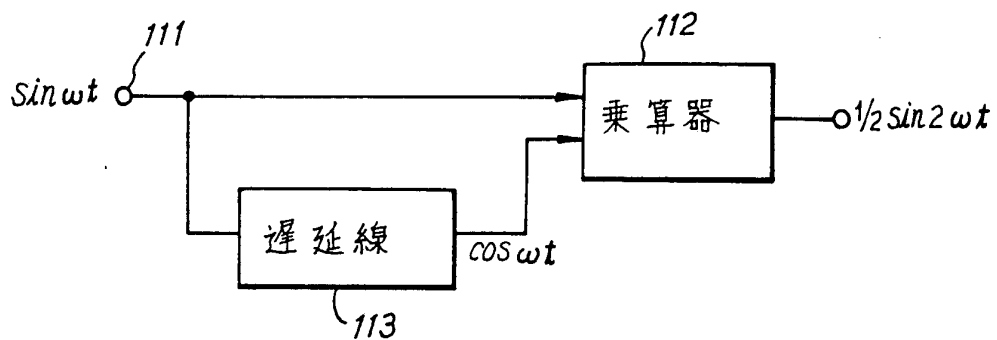
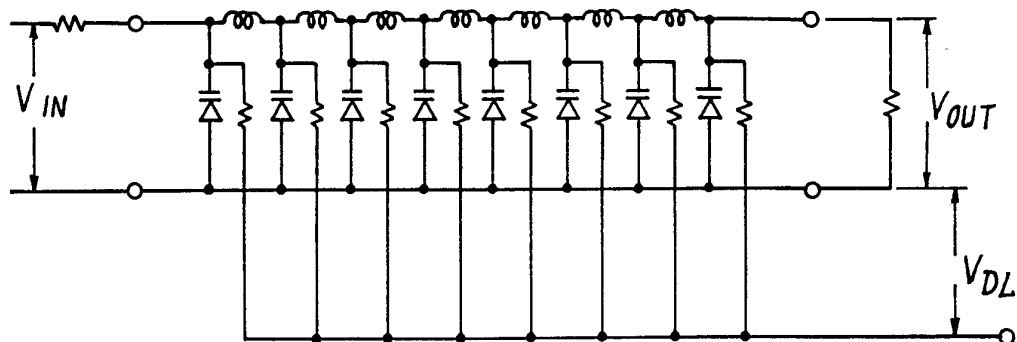
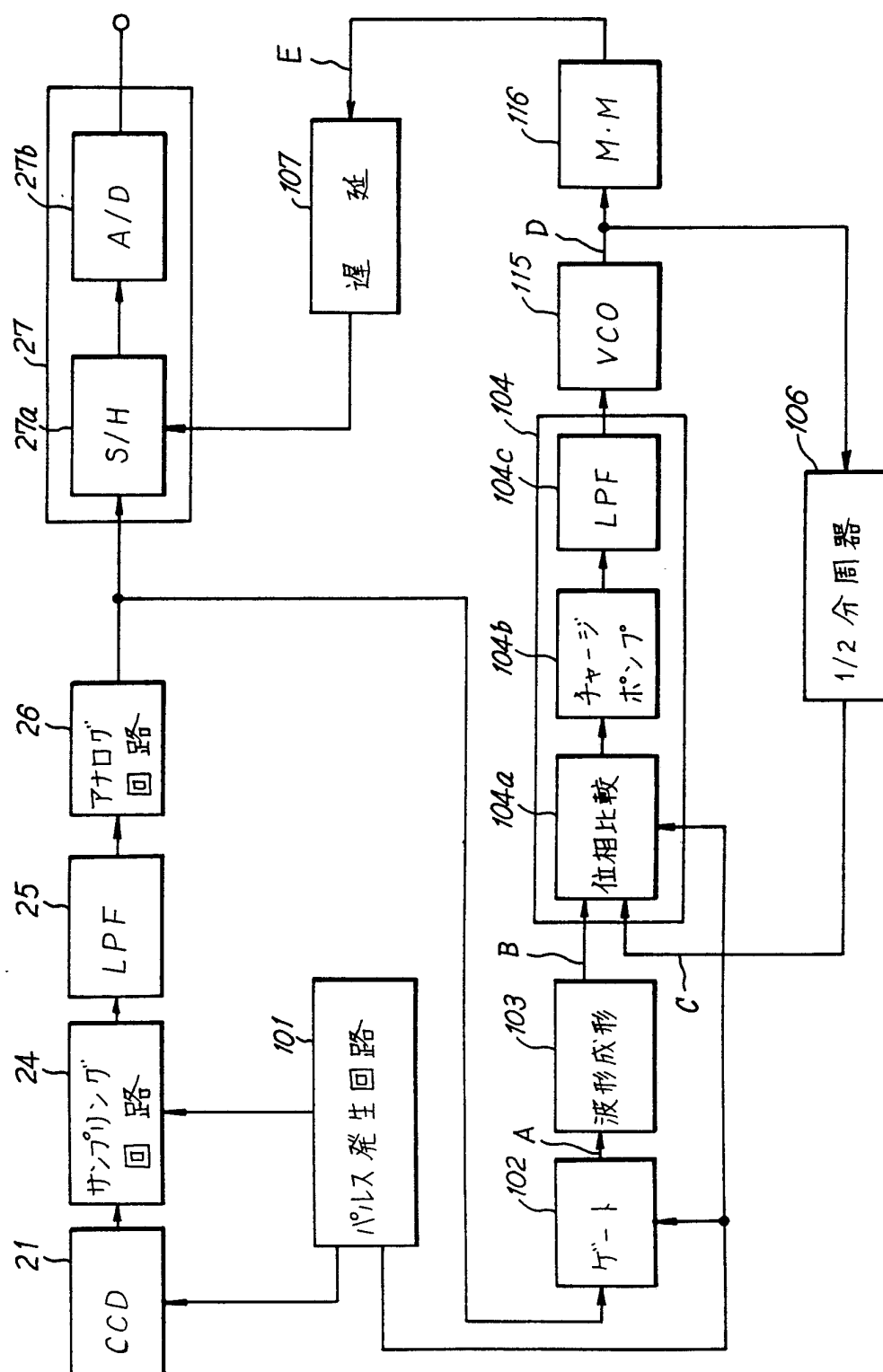


FIG. 12



12/24

FIG. 13



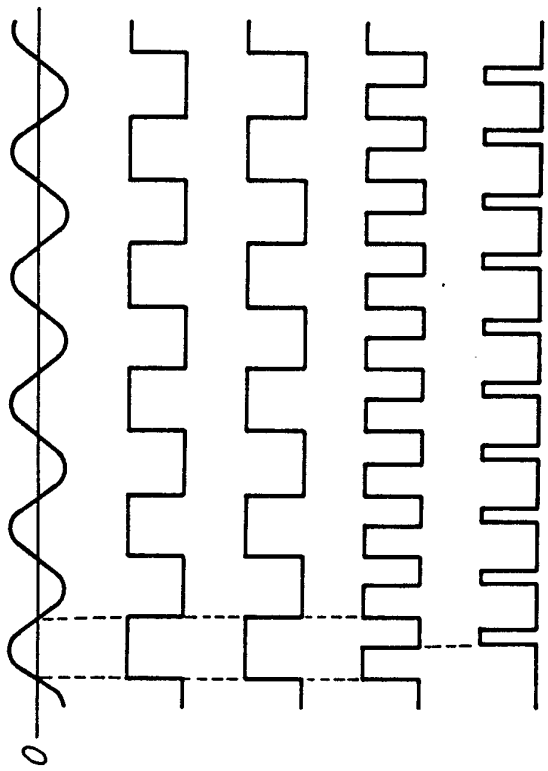


FIG. 14A

FIG. 14B

FIG. 14C

FIG. 14D

FIG. 14E

15/24

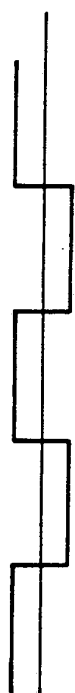


FIG. 16A



FIG. 16B



FIG. 16C

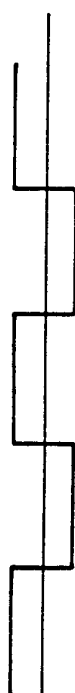


FIG. 16D



FIG. 16E



FIG. 16F

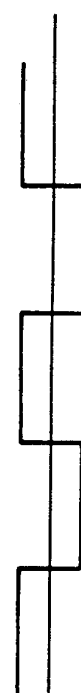


FIG. 16G



FIG. 16H



FIG. 16I

16/24

FIG. 17A

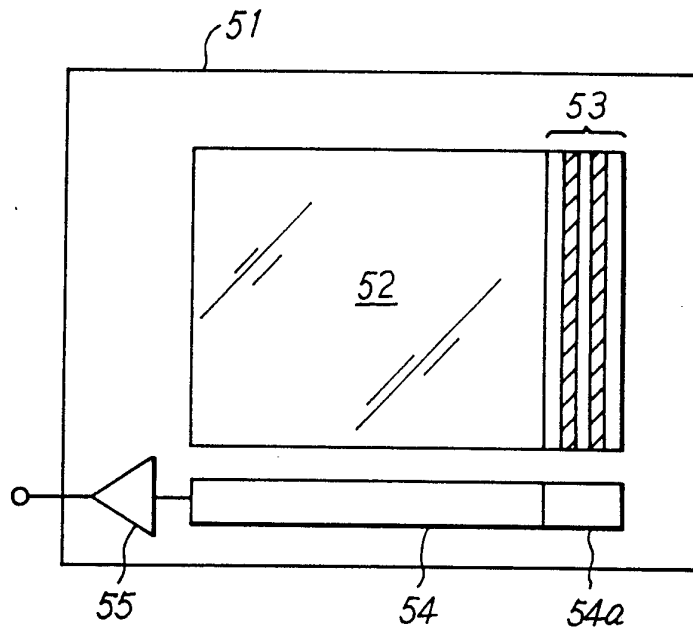
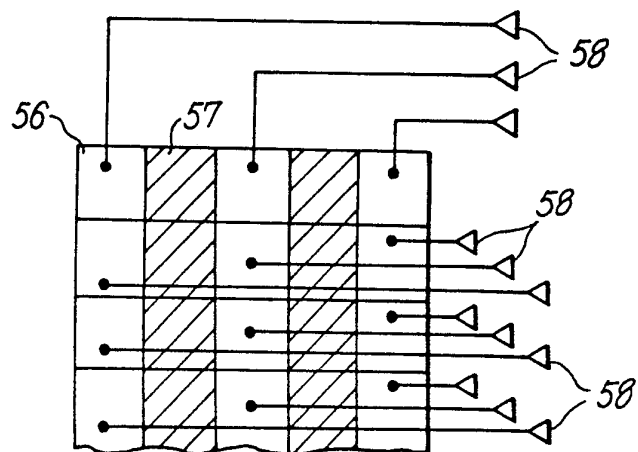


FIG. 17B



17/24

FIG. 18

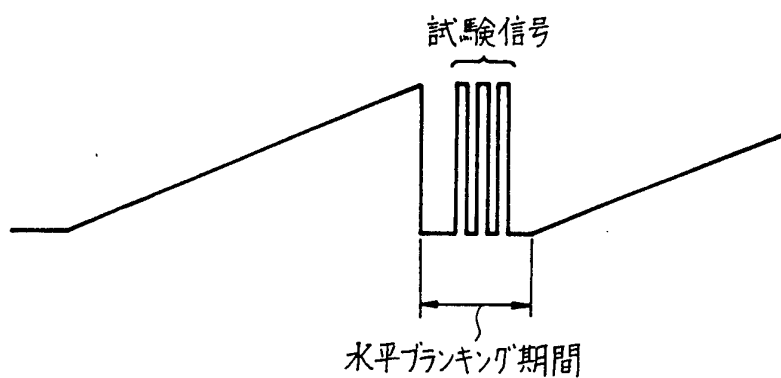
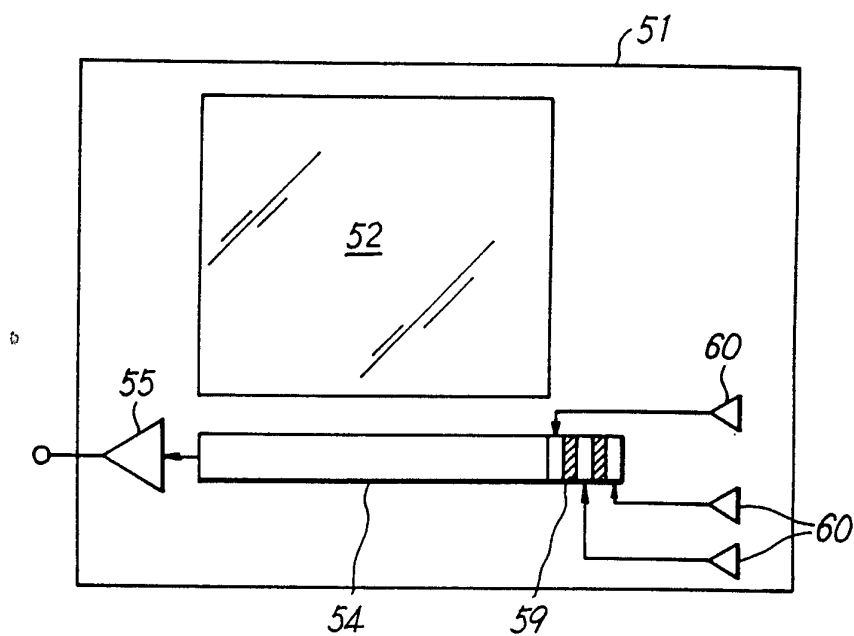
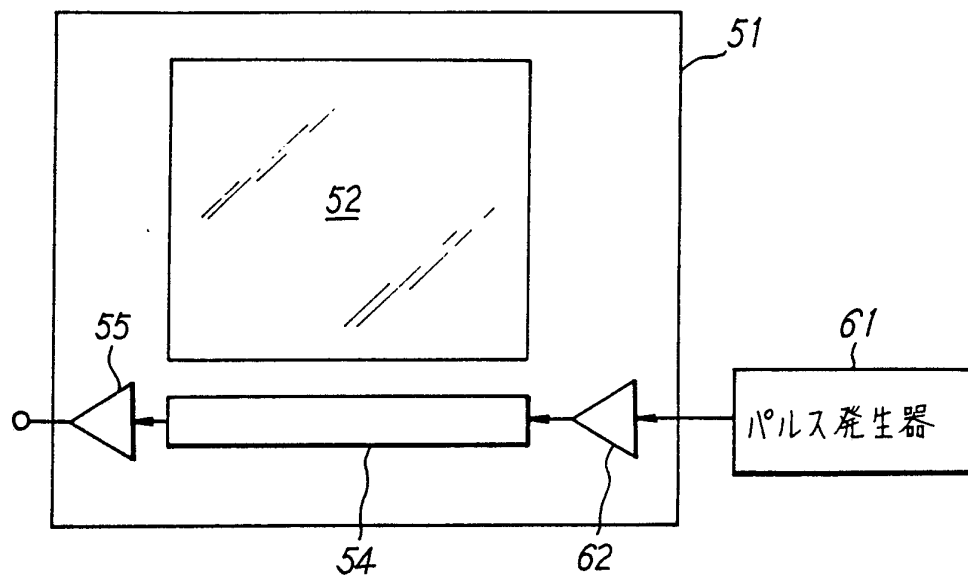
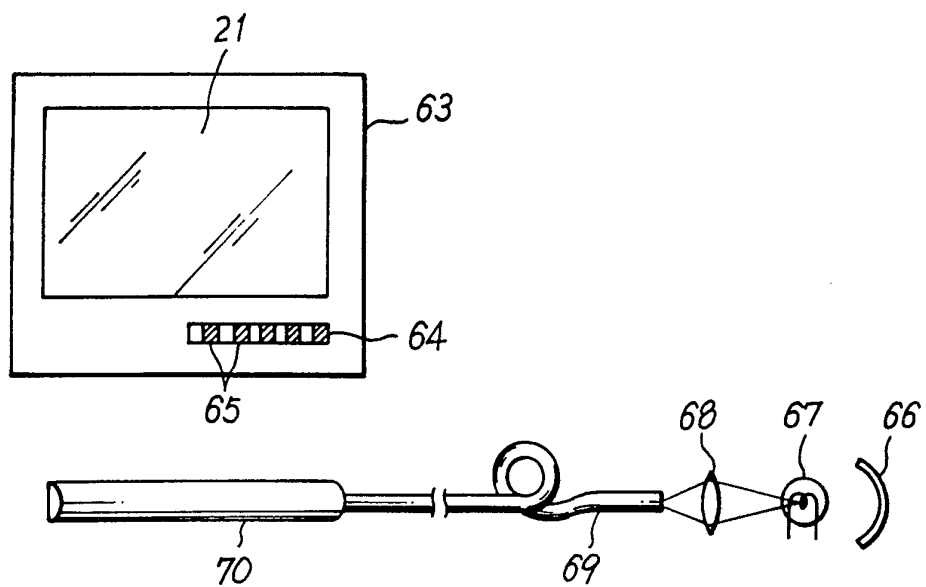


FIG. 19



18/24

FIG. 20**FIG. 21**

19/24

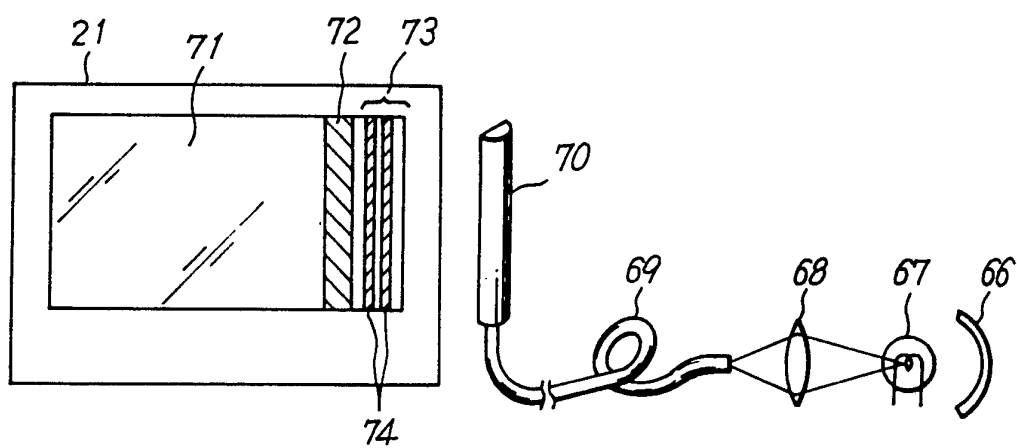
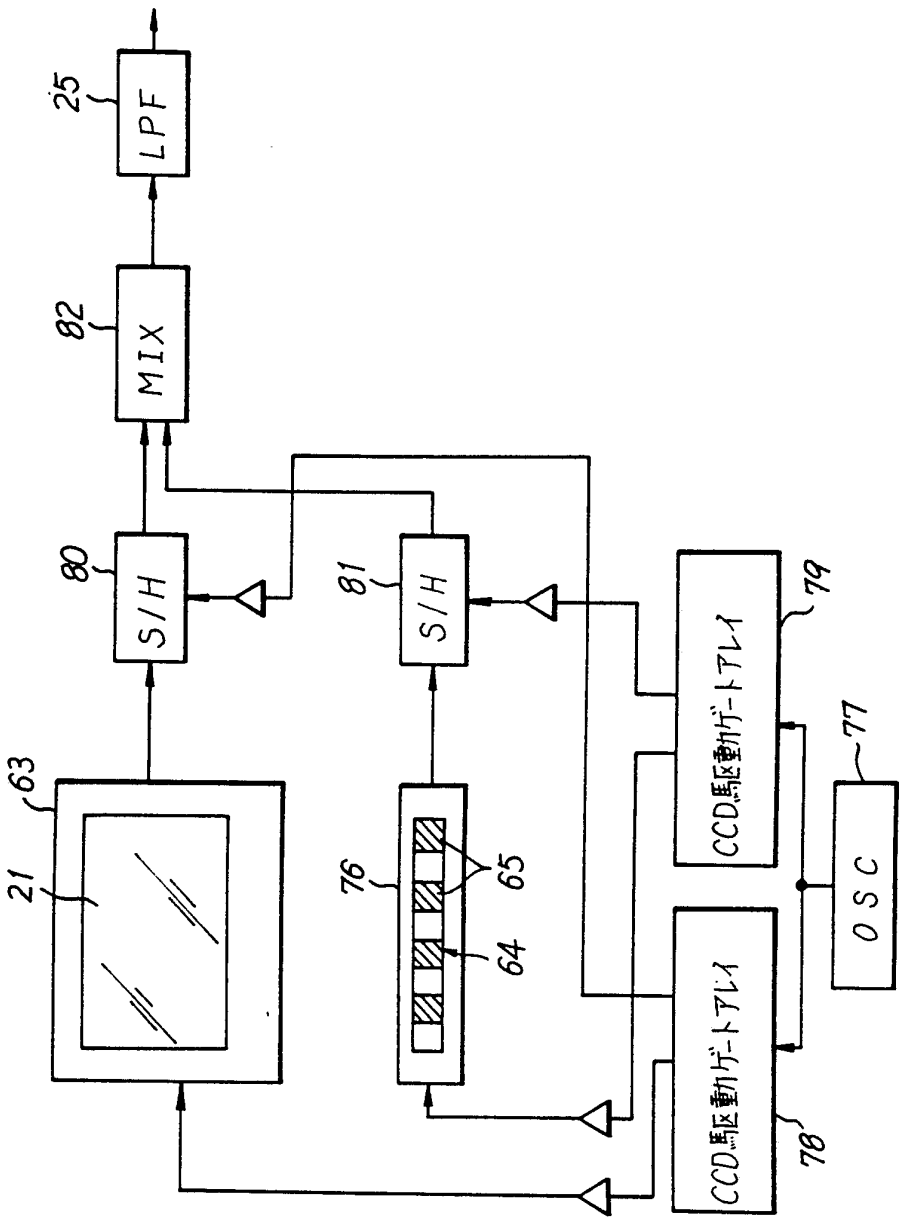
FIG. 22

FIG-23



21/24

FIG. 24

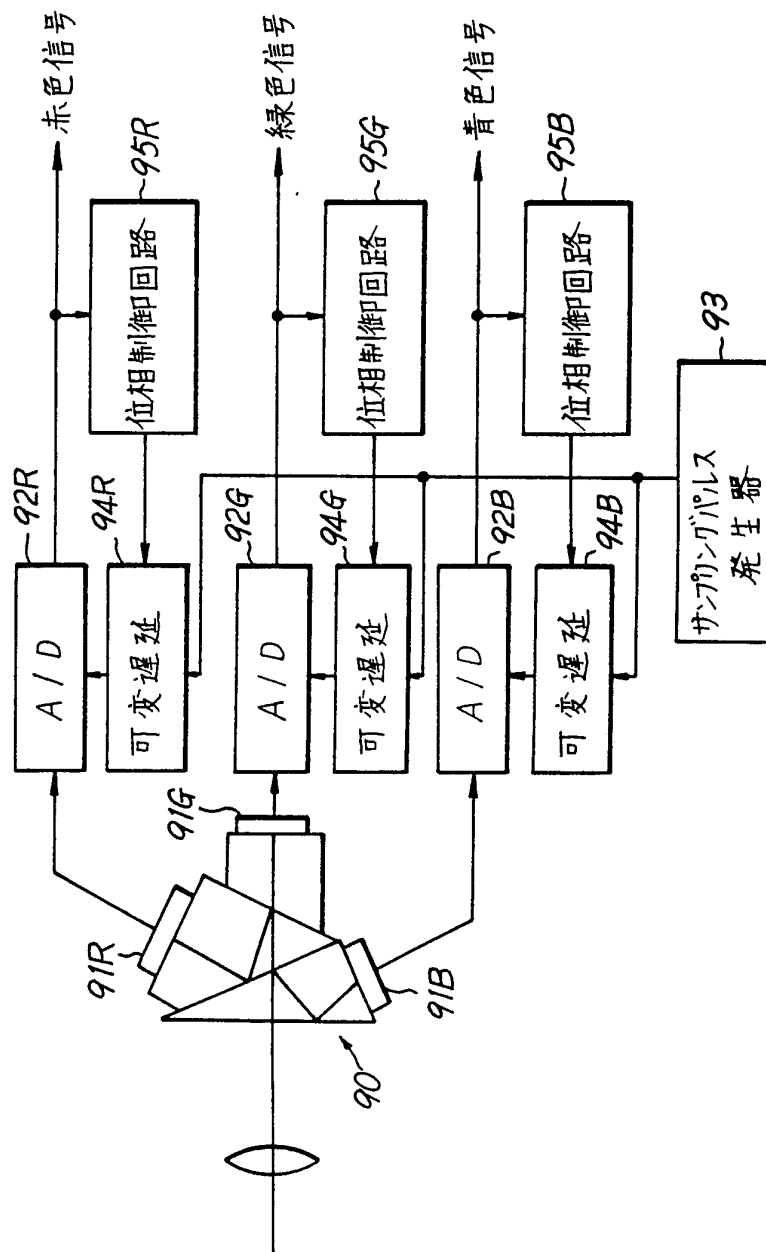
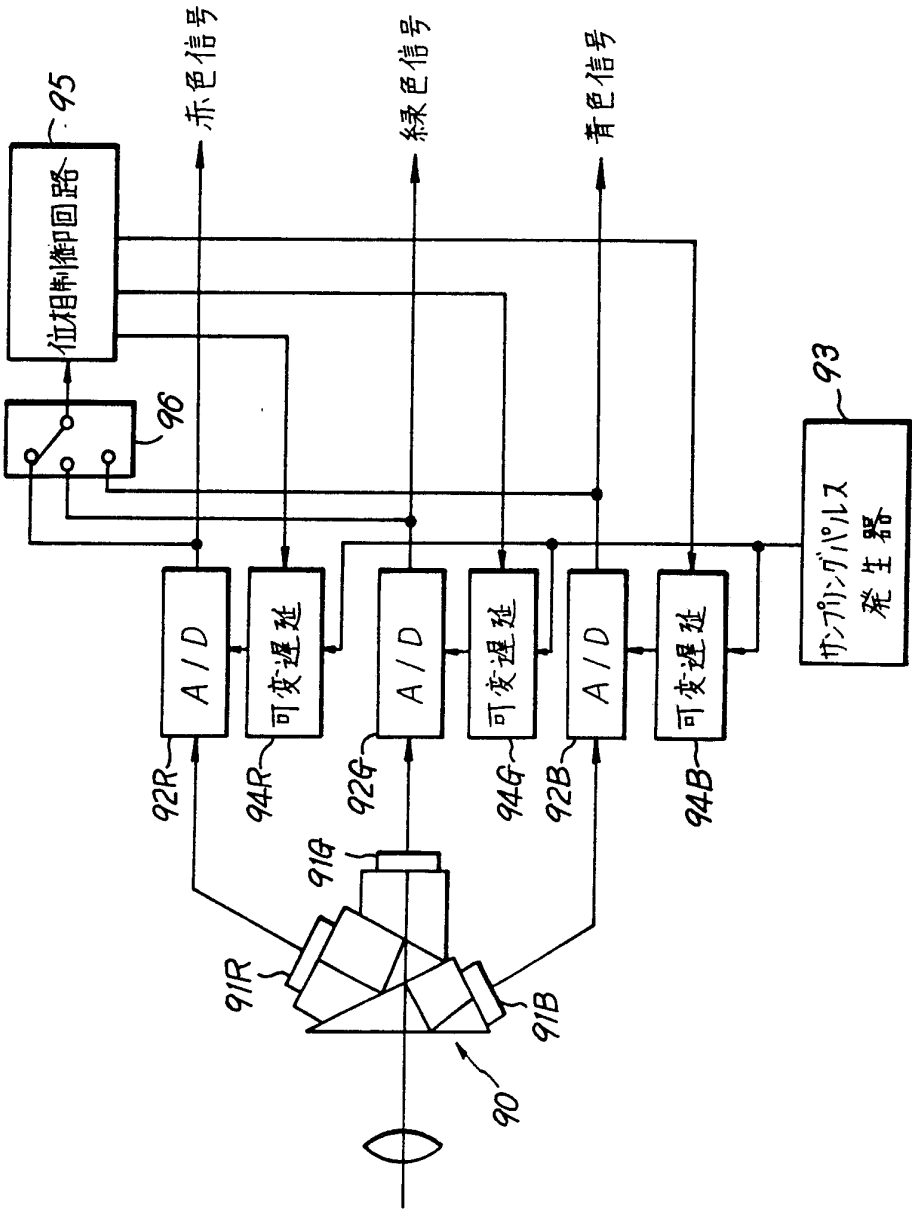
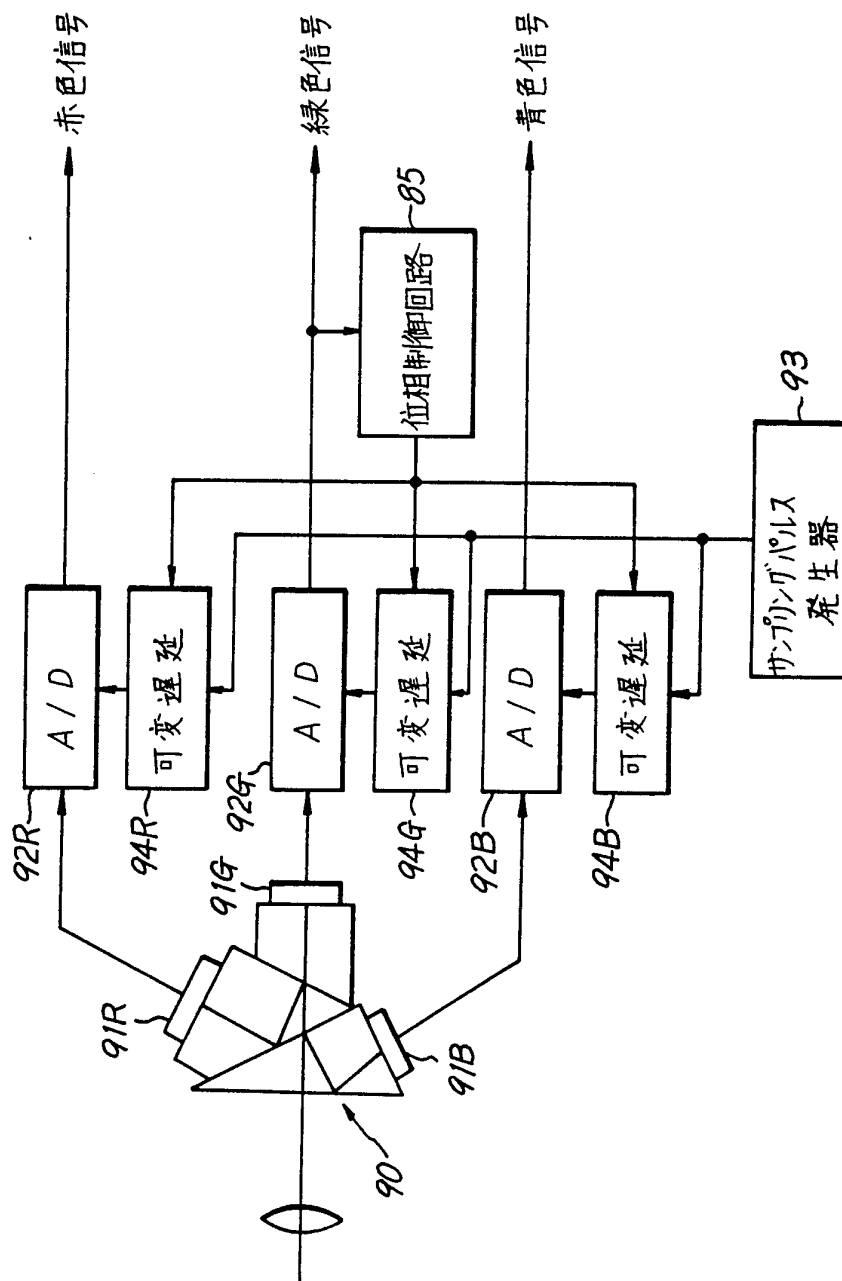


FIG. 25



23/24

FIG. 26



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP93/00007

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁵ H04N17/00, H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁵ H04N17/00, H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1992
Kokai Jitsuyo Shinan Koho	1971 - 1992

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, A, 61-187470 (NEC Corp.), August 21, 1986 (21. 08. 86), (Family: none)	1-19
A	US, A, 4,675,549 (Fairchild Camera and Instrument Corp.), June 23, 1987 (23. 06. 87), (Family: none)	20-23

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

March 2, 1993 (02. 03. 93)

Date of mailing of the international search report

March 23, 1993 (23. 03. 93)

Name and mailing address of the ISA/

Japanese Patent Office
Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類(国際特許分類(IPC))		
Int. Cl. ⁵ H04N17/00, H04N5/335		
B. 調査を行った分野		
調査を行った最小限資料(国際特許分類(IPC))		
Int. Cl. ⁵ H04N17/00, H04N5/335		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1926-1992年		
日本国公開実用新案公報 1971-1992年		
国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, A, 61-187470(日本電気株式会社), 21. 8月. 1986(21. 08. 86), (ファミリーなし)	1-19
A	US, A, 4,675,549(Fairchild Camera and Instrument Corp.), 23. 6月. 1987(23. 06. 87), (ファミリーなし)	20-23
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	国際調査報告の発送日	
02. 03. 93	23.03.93	
名称及びあて先 日本国特許庁(ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 伊 東 和 重	5 C 8 8 3 9
	電話番号 03-3581-1101 内線	3541