

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6361290号
(P6361290)

(45) 発行日 平成30年7月25日 (2018. 7. 25)

(24) 登録日 平成30年7月6日 (2018. 7. 6)

(51) Int. Cl.

F I

G 0 6 T 3 / 0 0 (2006. 01)

G 0 6 T 3 / 0 0 7 0 0

G 0 6 T 1 / 6 0 (2006. 01)

G 0 6 T 1 / 6 0 4 5 0 D

H 0 4 N 5 / 7 4 (2006. 01)

H 0 4 N 5 / 7 4 D

請求項の数 7 (全 25 頁)

(21) 出願番号 特願2014-112522 (P2014-112522)
 (22) 出願日 平成26年5月30日 (2014. 5. 30)
 (65) 公開番号 特開2015-228056 (P2015-228056A)
 (43) 公開日 平成27年12月17日 (2015. 12. 17)
 審査請求日 平成29年5月22日 (2017. 5. 22)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区新宿四丁目1番6号
 (74) 代理人 110000752
 特許業務法人朝日特許事務所
 (72) 発明者 林 禎
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内

審査官 大西 宏

最終頁に続く

(54) 【発明の名称】 画像処理装置、表示装置および画像処理方法

(57) 【特許請求の範囲】

【請求項 1】

r 行 c 列の画素を有する表示部に表示される画像を処理する画像処理装置であって、
 前記画像のうち k 1 行分のデータに相当する複数の記憶領域を有し、当該複数の記憶領域の各々に、隣り合う少なくとも 2 画素のデータを記憶する第 1 記憶部と、

前記画像のうち k 2 行分 (k 1 および k 2 は、 $0 \leq k 1 + k 2 < r$ を満たす自然数であり、 $0 \leq k 1$ は前記表示部に対してあらかじめ設定されたオフセット最大値である) のデータに相当する複数の記憶領域を有し、当該複数の記憶領域の各々に、前記第 1 記憶部にデータが記憶されている画素とは異なる行において隣り合う少なくとも 2 画素のデータを記憶する第 2 記憶部と、

前記 r 行 c 列の画素のうち処理対象となる対象画素のデータを、前記第 1 記憶部および前記第 2 記憶部において当該対象画素に対応するオフセットベクトルにより示される位置に対応する記憶領域に記憶されている複数の画素のデータを用いて補正を行う補正部と

を有し、

前記画像の少なくとも一部が 1 行おきに、互い違いに、前記第 1 記憶部および前記第 2 記憶部に分割されて記憶される

画像処理装置。

【請求項 2】

前記オフセットベクトルにより示される位置が前記第 1 記憶部の第 1 記憶領域に記憶されている画素および前記第 2 記憶部の第 2 記憶領域に記憶されている画素の間の位置だっ

た場合、前記補正部は、当該第 1 記憶領域および当該第 2 記憶領域に記憶されているデータを用いて、前記補正を行う

ことを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】

前記オフセットベクトルにより示される位置が前記第 1 記憶部の 2 つの記憶領域に記憶されている 2 つの画素の間に対応する位置だった場合、前記補正部は、当該 2 つの記憶領域から順次読み出されたデータを用いて、前記補正を行う

ことを特徴とする請求項 1 または 2 に記載の画像処理装置。

【請求項 4】

直近の単位期間において前記補正部が用いたデータを記憶するキャッシュ記憶部を有し

10

、
前記対象画素が、前記直近の単位期間から 1 画素分移動した場合、前記補正部は、前記キャッシュ記憶部に記憶されているデータ、並びに前記第 1 記憶部および前記第 2 記憶部のいずれかに記憶されているデータを用いて前記補正を行う

ことを特徴とする請求項 1 ないし 3 のいずれか一項に記載の画像処理装置。

【請求項 5】

前記第 1 記憶部にデータが記憶されている画素と同じ行において当該画素と隣り合う画素を含み、互いに隣り合う少なくとも 2 画素のデータを記憶する第 3 記憶部と、

前記第 2 記憶部にデータが記憶されている画素と同じ行において当該画素と隣り合う画素を含み、互いに隣り合う少なくとも 2 画素のデータを記憶する第 4 記憶部と

20

を有し、

前記画像の一部が 2 列おきに、互い違いに、前記第 1 記憶部および前記第 3 記憶部に分割されて記憶され、

前記画像の残りが 2 列おきに、互い違いに、前記第 2 記憶部および前記第 4 記憶部に分割されて記憶され、

前記補正部は、前記対象画素のデータを、前記第 1 記憶部、前記第 2 記憶部、前記第 3 記憶部、および前記第 4 記憶部において当該対象画素に対応するオフセットベクトルにより示される位置に対応する記憶領域に記憶されている複数の画素のデータを用いて前記補正を行う

ことを特徴とする請求項 1 ないし 4 のいずれか一項に記載の画像処理装置。

30

【請求項 6】

r 行 c 列の画素を有する表示部と、

前記表示部に表示される画像のうち k 1 行分のデータに相当する複数の記憶領域を有し、当該複数の記憶領域の各々に、隣り合う少なくとも 2 画素のデータを記憶する第 1 記憶部と、

前記画像のうち k 2 行分 (k 1 および k 2 は、 $0 \text{ max} < (k 1 + k 2) < r$ を満たす自然数であり、0 max は前記表示部に対してあらかじめ設定されたオフセット最大値である) のデータに相当する複数の記憶領域を有し、当該複数の記憶領域の各々に、前記第 1 記憶部にデータが記憶されている画素とは異なる行において隣り合う少なくとも 2 画素のデータを記憶する第 2 記憶部と、

40

前記 r 行 c 列の画素のうち処理対象となる対象画素のデータを、前記第 1 記憶部および前記第 2 記憶部において当該対象画素に対応するオフセットベクトルにより示される位置に対応する記憶領域に記憶されている複数の画素のデータを用いて補正を行う補正部と

を有し、

前記画像の少なくとも一部が 1 行おきに、互い違いに、前記第 1 記憶部および前記第 2 記憶部に分割されて記憶される

表示装置。

【請求項 7】

r 行 c 列の画素を有する表示部に表示される画像を処理する画像処理方法であって、

前記画像のうち k 1 行分のデータに相当する複数の記憶領域を有し、当該複数の記憶領

50

域の各々に、隣り合う少なくとも2画素のデータを第1記憶部に記憶するステップと、

前記画像のうち k_2 行分(k_1 および k_2 は、 $0 \leq k_1 + k_2 < r$ を満たす自然数であり、 $0 \leq k_1$ は前記表示部に対してあらかじめ設定されたオフセット最大値である)のデータに相当する複数の記憶領域を有し、当該複数の記憶領域の各々に、前記第1記憶部にデータが記憶されている画素とは異なる行において隣り合う少なくとも2画素のデータを第2記憶部に記憶するステップと、

前記 r 行 c 列の画素のうち処理対象となる対象画素のデータを、前記第1記憶部および前記第2記憶部において当該対象画素に対応するオフセットベクトルにより示される位置に対応する記憶領域に記憶されている複数の画素のデータを用いて補正を行うステップとを有し、

前記画像の少なくとも一部が1行おきに、互い違いに、前記第1記憶部および前記第2記憶部に分割されて記憶される

画像処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像を補正する技術に関する。

【背景技術】

【0002】

プロジェクターにおいては、スクリーンと投写系との位置関係が理想的な状態からずれると、スクリーンに投写される画像が歪む。この歪みを解消するため、入力映像に対してこれと逆の歪みを与える画像処理が用いられている。この画像処理は入力映像のうち処理対象の画素に対して、この画素に対応するオフセットベクトルで指定される位置にある他の画素のデータを参照して行われる。この場合において、オフセットベクトルの成分が整数でないときは、オフセットベクトルで指定される位置の周囲の4画素のデータを参照して、画像処理が行われる。

【0003】

4画素のデータを用いて画像処理を行うには、当然のことながら4画素分のデータをメモリーから読み出す必要がある。すなわち、1つのRAMに4回アクセスする必要がある。データの読み出しに4クロック分の時間がかかってしまう。例えば、オフセットベクトルの成分が整数である場合と比較すると、データの読み出しに4倍の時間がかかってしまい、その分、映像信号出力が遅くなってしまう。

【0004】

特許文献1は、垂直方向の2画素のデータを用いてズーム画像を生成するため、画像クロックの2倍のクロックレートでメモリーにアクセスする技術を開示している。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平10-336573号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献1に記載の技術においては、高速のクロックを生成する必要がある、画像処理回路が高コストになってしまうという問題があった。

【0007】

これに対し本発明は、メモリーアクセス用の高速クロックを用いずに、補正に用いられるデータを得る時間を短縮する技術を提供する。

【課題を解決するための手段】

【0008】

本発明は、 r 行 c 列の画素を有する表示部に表示される画像を処理する画像処理装置で

10

20

30

40

50

あって、前記画像のうち k_1 行分のデータに相当する複数の記憶領域を有し、当該複数の記憶領域の各々に、隣り合う少なくとも 2 画素のデータを記憶する第 1 記憶部と、前記画像のうち k_2 行分 (k_1 および k_2 は、 $0 \leq k_1 + k_2 < r$ を満たす自然数であり、 $0 \leq k_1$ は前記表示部に対してあらかじめ設定されたオフセット最大値である) のデータに相当する複数の記憶領域を有し、当該複数の記憶領域の各々に、前記第 1 記憶部にデータが記憶されている画素とは異なる行において隣り合う少なくとも 2 画素のデータを記憶する第 2 記憶部と、前記 r 行 c 列の画素のうち処理対象となる対象画素のデータを、前記第 1 記憶部および前記第 2 記憶部において当該対象画素に対応するオフセットベクトルにより示される位置に対応する記憶領域に記憶されている複数の画素のデータを用いて補正を行う補正部とを有する画像処理装置を提供する。

10

【0009】

この画像処理装置によれば、メモリアクセス用の高速クロックを用いずに、補正に用いられるデータを得る時間を短縮することができる。

【0010】

前記オフセットベクトルにより示される位置が前記第 1 記憶部の第 1 記憶領域に記憶されている画素および前記第 2 記憶部の第 2 記憶領域に記憶されている画素の間の位置だった場合、前記補正部は、当該第 1 記憶領域および当該第 2 記憶領域に記憶されているデータを用いて、前記補正を行ってもよい。

【0011】

この画像処理装置によれば、オフセットベクトルにより示される位置が第 1 記憶部の第 1 記憶領域に記憶されている画素および第 2 記憶部の第 2 記憶領域に記憶されている画素の間の位置であった場合も補正をすることができる。

20

【0012】

前記オフセットベクトルにより示される位置が前記第 1 記憶部の 2 つの記憶領域に記憶されている 2 つの画素の間に対応する位置だった場合、前記補正部は、当該 2 つの記憶領域から順次読み出されたデータを用いて、前記補正を行ってもよい。

【0013】

この画像処理装置によれば、オフセットベクトルにより示される位置が第 1 記憶部の 2 つの記憶領域に記憶されている 2 つの画素の間に対応する位置であった場合も補正をすることができる。

30

【0014】

この画像処理装置は、直近の単位期間において前記補正部が用いたデータを記憶するキャッシュ記憶部を有し、前記対象画素が、前記直近の単位期間から 1 画素分移動した場合、前記補正部は、前記キャッシュ記憶部に記憶されているデータ、並びに前記第 1 記憶部および前記第 2 記憶部のいずれかに記憶されているデータを用いて前記補正を行ってもよい。

【0015】

この画像処理装置によれば、キャッシュ記憶部を用いない場合と比較してよりデータ読み出しの時間を短縮することができる。

【0016】

40

この画像処理装置は、前記第 1 記憶部にデータが記憶されている画素と同じ行において当該画素と隣り合う画素を含み、互いに隣り合う少なくとも 2 画素のデータを記憶する第 3 記憶部と、前記第 2 記憶部にデータが記憶されている画素と同じ行において当該画素と隣り合う画素を含み、互いに隣り合う少なくとも 2 画素のデータを記憶する第 4 記憶部とを有し、前記補正部は、前記対象画素のデータを、前記第 1 記憶部、前記第 2 記憶部、前記第 3 記憶部、および前記第 4 記憶部において当該対象画素に対応するオフセットベクトルにより示される位置に対応する記憶領域に記憶されている複数の画素のデータを用いて補正を行ってもよい。

【0017】

この画像処理装置によれば、第 3 記憶部および第 4 記憶部を用いない場合と比較してよ

50

りデータ読み出しの時間を短縮することができる。

【0018】

また、本発明は、 r 行 c 列の画素を有する表示部と、前記表示部に表示される画像のうち k_1 行分のデータに相当する複数の記憶領域を有し、当該複数の記憶領域の各々に、隣り合う少なくとも2画素のデータを記憶する第1記憶部と、前記画像のうち k_2 行分（ k_1 および k_2 は、 $0 \leq k_1 + k_2 < r$ を満たす自然数であり、 $0 \leq k_1$ は前記表示部に対してあらかじめ設定されたオフセット最大値である）のデータに相当する複数の記憶領域を有し、当該複数の記憶領域の各々に、前記第1記憶部にデータが記憶されている画素とは異なる行において隣り合う少なくとも2画素のデータを記憶する第2記憶部と、前記 r 行 c 列の画素のうち処理対象となる対象画素のデータを、前記第1記憶部および前記第2記憶部において当該対象画素に対応するオフセットベクトルにより示される位置に対応する記憶領域に記憶されている複数の画素のデータを用いて補正を行う補正部とを有する表示装置を提供する。

10

【0019】

この表示装置によれば、メモリアクセス用の高速クロックを用いずに、補正に用いられるデータを得る時間を短縮することができる。

【0020】

さらに、本発明は、 r 行 c 列の画素を有する表示部に表示される画像を処理する画像処理方法であって、前記画像のうち k_1 行分のデータに相当する複数の記憶領域を有し、当該複数の記憶領域の各々に、隣り合う少なくとも2画素のデータを第1記憶部に記憶するステップと、前記画像のうち k_2 行分（ k_1 および k_2 は、 $0 \leq k_1 + k_2 < r$ を満たす自然数であり、 $0 \leq k_1$ は前記表示部に対してあらかじめ設定されたオフセット最大値である）のデータに相当する複数の記憶領域を有し、当該複数の記憶領域の各々に、前記第1記憶部にデータが記憶されている画素とは異なる行において隣り合う少なくとも2画素のデータを第2記憶部に記憶するステップと、前記 r 行 c 列の画素のうち処理対象となる対象画素のデータを、前記第1記憶部および前記第2記憶部において当該対象画素に対応するオフセットベクトルにより示される位置に対応する記憶領域に記憶されている複数の画素のデータを用いて補正を行うステップとを有する画像処理方法を提供する。

20

【0021】

この画像処理方法によれば、メモリアクセス用の高速クロックを用いずに、補正に用いられるデータを得る時間を短縮することができる。

30

【図面の簡単な説明】

【0022】

【図1】一実施形態に係る表示装置1の構成を示すブロック図。

【図2】コントローラ12の構成を示す図。

【図3】投写される画像の歪みを例示する図。

【図4】補正後の目標となる図形184を例示する図。

【図5】記憶領域の割り当てを例示する図。

【図6】記憶領域の割り当ての具体例を示す図。

40

【図7】オフセットベクトルが指す位置 P_d を例示する図。

【図8】表示装置1の動作を示すフローチャート。

【図9】ステップS104における読み出しアドレス生成処理の詳細を示す図。

【図10】キャッシュ1261の構成を例示する図。

【図11】補正に用いられる画素を例示する図。

【図12】動作例1を示す図。

【図13】動作例2を示す図。

【図14】動作例3を示す図。

【図15】動作例4を示す図。

【図16】 $C_r = 1$ および $C_w = 121$ の状態を示す図。

50

【図 17】 $C_r = 120$ および $C_w = 241$ の状態を示す図。

【図 18】 $C_r = 200$ および $C_w = 321$ の状態を示す図。

【図 19】2つのフレームバッファへの記憶領域の割り当てを例示する図。

【図 20】変形例 4 に係る位置 P_d の補正を例示する図。

【発明を実施するための形態】

【0023】

1. 構成

図 1 は、一実施形態に係る表示装置 1 の構成を示すブロック図である。表示装置 1 は、例えば、自動車、電車、または飛行機のフロントガラスに画像を投写する投写型の表示装置、いわゆる HUD (Head-Up Display) である。表示装置 1 が自動車に用いられる場合、投写される画像は、例えば、カーナビゲーションの画面または各種計器 (例えば速度計や回転計) の測定結果を示す画像である。

10

【0024】

表示装置 1 は、ホスト装置 11 と、コントローラ 12 と、投写ユニット 13 と、記憶部 14 と、I/F 部 15 と、操作パネル 16 とを有する。

【0025】

ホスト装置 11 は、表示装置 1 の他の構成要素を制御する。ホスト装置 11 は、CPU (Central Processing Unit) 111 と、ROM (Read Only Memory) 112 と、RAM (Random Access Memory) 113 とを有する。CPU 111 は、表示装置 1 の各部を制御する制御装置である。ROM 112 は、各種プログラムおよびデータを記憶した不揮発性の記憶装置である。RAM 113 は、データを記憶する揮発性の記憶装置であり、CPU 111 が処理を実行する際のワークエリアとして機能する。

20

【0026】

コントローラ 12 は、投写ユニット 13 を制御する装置である。この例で、コントローラ 12 は、入力された映像信号 (以下「入力映像信号」という) に所定の画像処理を施す画像処理装置として機能する。コントローラ 12 は、画像処理を施した映像信号を、投写ユニット 13 に出力する。

【0027】

投写ユニット 13 は、画像処理が施された映像信号に従って、スクリーンに画像を投写する。投写ユニット 13 は、光源、光変調器 131、および光学系、並びにこれらの駆動回路を有する (光変調器 131 以外は図示略)。光源は、高圧水銀ランプ、ハロゲンランプ、若しくはメタルハライドランプなどのランプ、または LED (Light Emitting Diode) 若しくはレーザーダイオードなどの固体光源である。光変調器 131 は、光源から照射された光を映像信号に応じて変調する装置であり、例えば液晶パネルまたは DMD (Digital Mirror Device) 等の表示部を有する。光変調器 131 は、 r 行 c 列のマトリクス状に配置された画素を有し、画素毎に光を変調する。光学系は、光変調器により変調された光をスクリーンに投写する素子であり、例えばレンズおよびプリズムを有する。

30

【0028】

記憶部 14 は、データおよびプログラムを記憶する不揮発性の記憶装置、例えば HDD (Hard Disk Drive) または SSD (Solid State Drive) である。記憶部 14 は、例えば、カーナビゲーションを実行するためのプログラムおよび地図データを記憶している。ホスト装置 11 は、記憶部 14 に記憶されているプログラムおよびデータを用いてカーナビゲーションの画像を生成し、後段の回路に出力する。

40

【0029】

I/F 部 15 は、外部装置 (例えば各種計器) と信号またはデータの送受信を仲介するインターフェースである。I/F 部 15 は、外部装置と信号またはデータの送受信をするための端子を有する。

【0030】

操作パネル 16 は、ユーザーが表示装置 1 に対し指示を入力するための入力装置であり、例えば、キーパッド、ボタン、またはタッチパネルを含む。

50

【 0 0 3 1 】

図 2 は、コントローラ 1 2 の構成を示す図である。コントローラ 1 2 は、V R A M (Video RAM) 1 2 1 と、アービター 1 2 2 と、映像入力部 1 2 3 と、書き込み I F 1 2 4 と、読み出しアドレス生成部 1 2 5 と、読み出し I F 1 2 6 と、補正部 1 2 7 と、映像出力部 1 2 8 と、オフセットテーブル 1 2 9 とを有する。

【 0 0 3 2 】

V R A M 1 2 1 は、全部で k 行分の画像データを記憶する記憶領域を有し、フレームバッファとして用いられるメモリー（記憶部）である。ここで、 k は、

$$0 \text{max} < k < r \quad \dots (1)$$

を満たす自然数である。 0max は、用いられる光変調器 1 3 1 に応じてあらかじめ設定されたオフセット最大値である。オフセット最大値については後述する。

10

【 0 0 3 3 】

V R A M 1 2 1 は、詳細には、V R A M 1 2 1 1、V R A M 1 2 1 2、V R A M 1 2 1 3、および V R A M 1 2 1 4 の 4 つのフレームバッファ（第 1 ～ 第 4 記憶部の一例）を有する。V R A M 1 2 1 1、V R A M 1 2 1 2、V R A M 1 2 1 3、および V R A M 1 2 1 4 を区別する必要が無いときは、V R A M 1 2 1 と記載する。V R A M 1 2 1 1、V R A M 1 2 1 2、V R A M 1 2 1 3、および V R A M 1 2 1 4 は、それぞれ、 k_1 、 k_2 、 k_3 、および k_4 行分のデータを記憶する記憶領域を有する。なお、 k_1 、 k_2 、 k_3 、および k_4 は、 $k_1 + k_2 + k_3 + k_4 = k$ を満たす自然数である。また、 $k_1 = k_2 = k_3 = k_4$ であることが好ましい。

20

【 0 0 3 4 】

V R A M 1 2 1 1 ～ 1 2 1 4 の各々は、複数の単位記憶領域に区分されている。各単位記憶領域は、アドレスにより特定される。各単位記憶領域には、行方向において隣り合う（一連の）少なくとも 2 つの画素のデータが記憶される。すなわち、あるアドレスで特定される記憶領域には、行方向において隣り合う一連の少なくとも 2 画素のデータがパッキングされて記憶されており、データの読み出しおよび書き込みはこれら複数の画素を単位として行われる。

【 0 0 3 5 】

本実施形態において、各単位記憶領域には、隣り合う 2 つの画素のデータが記憶されている。例えば、1 画素のデータが 2 4 ビットである場合には、単位記憶領域は 4 8 ビットの記憶容量を有する。上位 2 4 ビットには x 座標が小さい画素のデータが、下位 2 4 ビットには x 座標が大きい画素のデータが記憶されている。なお、V R A M 1 2 1 1 ～ 1 2 1 4 の記憶領域と画素との関係については後述する。

30

【 0 0 3 6 】

なお V R A M 1 2 1 は、必ずしも全体で k 行 c 列の記憶領域を有していなくてもよい。V R A M 1 2 1 は k 行 c 列よりもより多くの記憶領域を有していてもよい。この場合、V R A M 1 2 1 の一部の記憶領域をブロック分割して用いることができる。あるいは、ハードウェアとしては単一の R A M の記憶領域を 4 つに分割して、それぞれ V R A M 1 2 1 1 ～ 1 2 1 4 として用いてもよい。また、図 2 ではコントローラ 1 2 が V R A M 1 2 1 を内蔵している例を示したが、V R A M 1 2 1 はコントローラ 1 2 の外部に設けられていてもよい。

40

【 0 0 3 7 】

アービター 1 2 2 は、V R A M 1 2 1 へアクセスする権利を調停する回路である。

【 0 0 3 8 】

映像入力部 1 2 3 は、ホスト装置 1 1 から映像信号（「入力映像信号」という）を受け付ける。映像入力部 1 2 3 は、入力映像信号を、書き込み I F 1 2 4 に出力する。

【 0 0 3 9 】

書き込み I F 1 2 4 は、入力映像信号をデータとして V R A M 1 2 1 に書き込む。このとき、書き込み I F 1 2 4 は、V R A M 1 2 1 の記憶領域のうち、ライトカウンタで指定される行に対応する記憶領域にデータを書き込む。ライトカウンタは、データの書き

50

込みが行われる行を指定するパラメーターである。書き込み I F 1 2 4 は、ライトカウンタを記憶するためのレジスター（記憶部）を有している（図示略）。

【 0 0 4 0 】

読み出しアドレス生成部 1 2 5 は、処理対象画素のデータの補正に用いられるデータが記憶されている記憶領域を示すアドレス（以下「読み出しアドレス」という）を生成する。読み出しアドレス生成部 1 2 5 は、リードカウンタおよびオフセットベクトルを用いて読み出しアドレスを生成する。リードカウンタは、データ読み出しの基準となる行を指定するパラメーターである。読み出しアドレス生成部 1 2 5 は、リードカウンタを記憶するためのレジスター（記憶部）を有している（図示略）。オフセットベクトルは、オフセットテーブル 1 2 9 から得られる。オフセットテーブル 1 2 9 は、オフセットベクトルが記録されたテーブルを記憶したメモリーである。オフセットベクトルについては後述する。

【 0 0 4 1 】

読み出し I F 1 2 6 は、V R A M 1 2 1 からデータを読み出す。この例で、1つのアドレスで指定される記憶領域には、隣り合う2つの画素のデータが含まれている。読み出し I F 1 2 6 は、読み出したデータのうち、画像処理に用いるデータを、補正部 1 2 4 に出力する。

【 0 0 4 2 】

また、読み出し I F 1 2 6 は、キャッシュ 1 2 6 1 を有する。キャッシュ 1 2 6 1 は、既に V R A M 1 2 1 から読み出したデータを一時記憶するメモリー（キャッシュ記憶部の一例）である。

【 0 0 4 3 】

補正部 1 2 7 は、データの補正を行う。補正部 1 2 7 は、V R A M 1 2 1 に記憶されているデータのうち読み出しアドレス生成部 1 2 5 が生成したアドレスで指定される記憶領域に記憶されているデータを用いて補正する。補正の具体的方法については後述する。

【 0 0 4 4 】

映像出力部 1 2 8 は、補正部 1 2 7 により補正されたデータを、映像信号として、後段の投写ユニット 1 3 に出力する。

【 0 0 4 5 】

なお、図示は省略したが、コントローラ 1 2 はこれ以外にも、ホスト装置 1 1 との間でデータおよび命令の送受信をするインターフェースを有する。

【 0 0 4 6 】

2. 歪み補正の概要

図 3 は、投写される画像の歪みを例示する図である。図 3 (A) は光変調器 1 3 1 に表示される画像を、図 3 (B) はスクリーン S c に投写される画像を例示している。光変調器 1 3 1 は、表示領域 1 8 1 を有する。この例では、表示領域 1 8 1 に長方形 1 8 2 が表示されている。表示領域 1 8 1 に表示されている長方形 1 8 2 に応じて、スクリーン S c には図形 1 8 3 が投写されている。投写ユニット 1 3 の光学系とスクリーンとの位置関係が理想的であれば図形 1 8 3 は長方形になるはずであるが、この例では光学系とスクリーンとの位置関係が理想状態からずれており、図形 1 8 3 は長方形から歪んでいる。図形 1 8 3 は、長方形 1 8 2 の頂点に対応する点 1 8 3 1、1 8 3 2、1 8 3 3、および 1 8 3 4 を有する。以下、この歪みを解消する方法の概要を説明する。

【 0 0 4 7 】

図 4 は、補正後の目標となる図形 1 8 4 を例示する図である。図 4 (A) はスクリーン S c 上における図形 1 8 4 を示している。スクリーン S c 上において、図形 1 8 4 は、例えば、(i) 所定の向き（例えば、鉛直方向および水平方向）の辺を有し、(i i) 長方形 1 8 2 と同じ縦横比を有し、かつ (i i i) 図形 1 8 4 の基準位置と図形 1 8 3 の基準位置が所定の位置関係にある（例えば、図形 1 8 4 の重心と図形 1 8 3 の重心とが一致する）という条件を満たす図形である。図形 1 8 4 は、頂点 1 8 4 1、1 8 4 2、1 8 4 3、および 1 8 4 4 を有する。なお図形 1 8 4 は、補正後の画像の面積を最大にする観点か

10

20

30

40

50

ら、さらに (i v) 図形 1 8 3 に内接する、という条件を満たすことが好ましい。図 4 の例では、図形 1 8 3 および図形 1 8 4 を見やすくするため、条件 (i v) は満たしていない。

【 0 0 4 8 】

説明を簡単にするため、まず図形 1 8 3 の点 1 8 3 1、1 8 3 2、1 8 3 3、および 1 8 3 4 だけを考える。補正後の形状を図形 1 8 4 とするには、これらの点を、それぞれ、頂点 1 8 4 1、1 8 4 2、1 8 4 3、および 1 8 4 4 に移動すればよい。すなわち、補正後の頂点 1 8 4 1 のデータ (例えば階調値) は、点 1 8 3 1 のデータを参照すればよい。ここで、補正後の点 (例えば頂点 1 8 4 1) を基準としたときに、参照すべき補正前の点 (例えば点 1 8 3 1) を示すベクトルをオフセットベクトル (オフセットベクター) という。頂点 1 8 4 1、1 8 4 2、1 8 4 3、および 1 8 4 4 は、それぞれ異なる点 1 8 3 1、1 8 3 2、1 8 3 3、および 1 8 3 4 を参照するので、オフセットベクトルは各点で定義される。

10

【 0 0 4 9 】

この考え方は図形 1 8 4 の頂点だけでなく、表示領域 1 8 1 の全ての点 (すなわち全ての画素) について適用できる。例えば、単なる長方形ではなく格子状のパターンを投写すれば、各格子のずれを用いてオフセットベクトルを定義することができる。

【 0 0 5 0 】

オフセットベクトルは、投写ユニット 1 3 の光学系とスクリーンとの位置関係が決まれば一意に定まる。例えば、投写ユニット 1 3 に所定のテストパターンを投写させ、投写された画像をカメラで撮影して解析することにより、オフセットベクトルを決定することができる。例えば自動車の HUD として用いる場合のように、投写ユニット 1 3 を設置すればスクリーンとの位置関係がその後変わらないときは、決定されたオフセットベクトルをメモリーに記憶しておき、補正の時はこれを参照すればよい。

20

【 0 0 5 1 】

図 4 (B) は、光変調器 1 3 1 上における図形 1 8 5 を示している。このように、図形 1 8 3 と逆の歪みを与えた画像を表示すれば、歪みが補正された図形 1 8 4 がスクリーン S c に表示される。

【 0 0 5 2 】

ここで、表示領域 1 8 1 上の画素 P (x , y) におけるオフセットベクトルを V o s (x , y) と表す。なお、ここでは、図中の左上端の画素の座標を (0 , 0) と定義し、右方向および下方向を x 軸および y 軸の正方向と定義する。画素 P (x , y) の補正後のデータ D r (P) は、補正前のデータ D o を用いて以下のように表される。

30

$$D r (P (x , y)) = D o (P (x , y) + V o s (x , y)) \quad \dots (2)$$

【 0 0 5 3 】

オフセットベクトルの大きさをオフセット量という。x 方向および y 方向のそれぞれにおけるオフセットベクトルの大きさを、x 方向のオフセット量および y 方向のオフセット量という。オフセットベクトルの向きによって、オフセット量は正負いずれの値も取り得る。

【 0 0 5 4 】

40

オフセット量は光学系とスクリーンとの位置関係によって決まるが、例えば自動車向けのように用途が決められている場合、オフセット量の取り得る範囲はある程度限定される。想定されるオフセット量の最大値を、オフセット最大値という。オフセット最大値は正負両方向に対してそれぞれ個別に設定されてもよいし、単一のオフセット最大値が正負両方向に共通に設定されてもよい。

【 0 0 5 5 】

なおオフセット最大値がリードカウンターの進行方向に対して正方向および負方向の双方について個別に設定されていた場合、式 (1) における O m a x は、これら 2 つの値のうち大きい方の値を有する。

【 0 0 5 6 】

50

なお、画素 $P(x, y)$ は現実の画素なので x および y は整数であるが、オフセットベクトル Vos の成分は整数でなくてもよい。オフセットベクトル Vos の成分が整数でない場合、オフセットベクトル Vos が指す位置は画素そのものではなく、複数の画素の間の点である。このデータの処理に関し、まず、 $VRAM121$ へのデータの割り当てについて説明する。

【0057】

図5は、記憶領域の割り当てを例示する図である。破線の四角は画素を示している。この例で、入力映像のデータは、2行4列の8画素を単位として、 $VRAM121$ の単位記憶領域が割り当てられている。具体的には、これらの8画素は、行方向に隣り合う2画素（単位記憶領域の容量）を単位として、2行2列の4つの領域に分割される。このうち、
10
左上の領域のデータは $VRAM1211$ に、右上の領域のデータ $VRAM1212$ に、左下の領域のデータは $VRAM1213$ に、右下の領域のデータは $VRAM1214$ に、それぞれ記憶されている。

【0058】

$VRAM121$ の各々において、第 j 行第 i 列の単位記憶領域を $A(i, j)$ と表すと、 $VRAM1211$ の単位記憶領域 $A(s, t)$ には、画素 $P(4s, 2t)$ および画素 $P(4s+1, 2t)$ のデータが記憶される。 $VRAM1212$ の単位記憶領域 $A(s, t)$ には、画素 $P(4s+2, 2t)$ および画素 $P(4s+3, 2t)$ のデータが記憶される。 $VRAM1213$ の単位記憶領域 $A(s, t)$ には、画素 $P(4s, 2t+1)$ および画素 $P(4s+1, 2t+1)$ のデータが記憶される。 $VRAM1214$ の単位記憶領域 $A(s, t)$ には、画素 $P(4s+2, 2t+1)$ および画素 $P(4s+3, 2t+1)$ のデータが記憶される。
20

【0059】

図6は、記憶領域の割り当ての具体例を示す図である。例えば、 $VRAM1211$ の単位記憶領域 $A(0, 0)$ には、画素 $P(0, 0)$ および画素 $P(1, 0)$ のデータが、単位記憶領域 $A(1, 0)$ には、画素 $P(4, 0)$ および画素 $P(5, 0)$ のデータが、それぞれ記憶される。 $VRAM1212$ の単位記憶領域 $A(0, 0)$ には、画素 $P(2, 0)$ および画素 $P(3, 0)$ のデータが、単位記憶領域 $A(1, 0)$ には、画素 $P(6, 0)$ および画素 $P(7, 0)$ のデータが、それぞれ記憶される。例えば、 $VRAM1213$ の単位記憶領域 $A(0, 0)$ には、画素 $P(0, 1)$ および画素 $P(1, 1)$ のデータが、単位記憶領域 $A(1, 0)$ には、画素 $P(4, 1)$ および画素 $P(5, 1)$ のデータが、それぞれ記憶される。 $VRAM1214$ の単位記憶領域 $A(0, 0)$ には、画素 $P(2, 1)$ および画素 $P(3, 1)$ のデータが、単位記憶領域 $A(1, 0)$ には、画素 $P(6, 1)$ および画素 $P(7, 1)$ のデータが、それぞれ記憶される。
30

【0060】

図7は、オフセットベクトルが指す位置 Pd を例示する図である。位置 Pd の x 座標 x_d および y 座標 y_d がいずれも整数でない場合、位置 Pd の周囲には4つの画素が存在する。これら4つの画素を、参照画素 $P_1(x_1, y_1)$ 、 $P_2(x_2, y_2)$ 、 $P_3(x_3, y_3)$ 、および $P_4(x_4, y_4)$ という。なお、これらの座標は、
40

$$x_2 = x_1 + 1$$

$$y_2 = y_1$$

$$x_3 = x_1$$

$$y_3 = y_1 + 1$$

$$x_4 = x_2$$

$$y_4 = y_3$$

$$x_1 \leq x_d < x_2$$

$$y_1 \leq y_d < y_2 \quad \dots (3)$$

を満たす。

【0061】

再び図6を参照する。例えば、参照画素 $P_1 \sim P_4$ が、 $(0, 0)$ 、 $(1, 0)$ 、 $(0$
50

、1)、および(1, 1)であった場合、VRAM1211の単位記憶領域A(0, 0)に記憶されているデータ(P(0, 0)およびP(1, 0)のデータ)およびVRAM1213の単位記憶領域A(0, 0)に記憶されているデータ(P(0, 1)およびP(1, 1)のデータ)が読み出される。この場合は、メモリーへのアクセスは2回であり、1画素ずつのデータにアクセスする場合と比較してメモリーへのアクセス回数は半分で済む。

【0062】

例えば、参照画素P1~P4が、(3, 1)、(4, 1)、(3, 2)、および(4, 2)の間にあった場合、VRAM1211の単位記憶領域A(1, 1)に記憶されているデータ(P(4, 2)およびP(5, 2)のデータ)、VRAM1212の単位記憶領域A(0, 1)に記憶されているデータ(P(2, 2)およびP(3, 2)のデータ)、VRAM1213の単位記憶領域A(1, 0)に記憶されているデータ(P(4, 1)およびP(5, 1)のデータ)、およびVRAM1214の単位記憶領域A(0, 0)に記憶されているデータ(P(2, 1)およびP(3, 1)のデータ)が読み出される。この場合は、メモリーへのアクセスは4回である。

【0063】

なおこの場合、キャッシュ1261に記憶されているデータを用いることにより、VRAM121へのアクセス回数を減らすことができる。詳細は後述する。

【0064】

3. 動作

以下、表示装置1の動作例を説明する。ここでは、光変調器131が、WVGA相当の解像度を有する例を用いて説明する。すなわち、光変調器131は、480行800列の画素を有する($r = 480$ 、 $c = 800$)。オフセット最大値は120に設定されている($O_{max} = 120$)。VRAM121は、241行分のデータを記憶するための記憶領域を有する。なお、241行分とは、オフセット最大値(この例では120行)の2倍に、処理対象画素(この例では1行)の記憶領域を加算した値である。オフセットテーブル129は、各画素のオフセットベクトルを記憶している。

【0065】

3-1. 概要

図8は、表示装置1の動作を示すフローチャートである。

【0066】

ステップS101において、書き込みIF124は、画像データの一部を、VRAM121に書き込む。ここで書き込まれるデータは、オフセット最大値に相当する量のデータ、この例では、120行分のデータである。すなわち、書き込みIF124は、画像データのうち第1行から第120行までのデータを、VRAM121に書き込む。

【0067】

VRAM121は、第1~241行の記憶領域を有している。ステップS101においては、第1~120行の記憶領域に画像データが書き込まれる。

【0068】

ステップS102において、読み出しアドレス生成部125および書き込みIF124は、それぞれ、リードカウンタCrおよびライトカウンタCwを初期化する。この例では、 $Cr = 1$ 、 $Cw = O_{max} + Cr = 121$ に初期化される。リードカウンタCrおよびライトカウンタCwは、画像データ上の行の位置を示すカウンタであり、この例では、いずれも1~480の値をとる。なお、ライトカウンタCwとリードカウンタCrとの差は、少なくとも正方向側のオフセット最大値よりも大きい。

【0069】

ステップS103において、読み出しアドレス生成部125および補正部127はxカウンタCxを初期化する。xカウンタCxは、処理対象の画素を特定するためのパラメータである。読み出しアドレス生成部125および補正部127はそれぞれ個別にxカウンタCxを保持しているが、これらは同期信号で同期している。この例では、Cx

10

20

30

40

50

= 1 に初期化される。以下、補正対象の画素を画素 P_c と表す。画素 P_c の座標は、 (C_x, C_r) である。

【0070】

ステップ S_{104} において、読み出しアドレス生成部 125 は、読み出しアドレスを生成する。画素 P_c を基準としてオフセットベクトル Vos が指す位置を、位置 P_d と表す。位置 P_d の座標 (x_d, y_d) は、次式 (4) で表される。

$$(x_d, y_d) = P_c + Vos \quad \dots (4)$$

位置 $P_d (x_d, y_d)$ のデータは、VRAM 121 において、第 k_d 行の記憶領域に記憶されている。読み出しアドレス生成部 125 は、次式 (5) を用いて読み出しアドレス k_d を計算する。

$$k_d = y_d \pmod{k} \quad \dots (5)$$

例えば、 $k = 241$ の場合において $y_d = 1 \sim 241$ のときは、 $k_d = y_d$ である。 $y_d = 243$ の場合、 $k_d = 2$ である。

【0071】

図 9 は、ステップ S_{104} における読み出しアドレス生成処理の詳細を示す図である。

【0072】

ステップ S_{1401} において、読み出しアドレス生成部 125 は、参照画素を特定する。

【0073】

ステップ S_{1402} において、読み出しアドレス生成部 125 は、カウンタ u を初期化する。カウンタ u は、画素 $P_1 \sim P_4$ のうち対象となる画素を特定するカウンタである。ここでは $u = 1$ に初期化される。

【0074】

ステップ S_{1403} において、読み出しアドレス生成部 125 は、画素 P_u のデータがキャッシュ 1261 に記憶されているか判断する。キャッシュ 1261 には、前回の補正に用いられた画素のデータが、その画素の座標とともに記憶されている。画素 P_u のデータがキャッシュ 1261 に記憶されていると判断された場合 ($S_{1403} : YES$)、読み出しアドレス生成部 125 は、処理をステップ S_{1411} に移行する。画素 P_u のデータがキャッシュ 1261 に記憶されていないと判断された場合 ($S_{1403} : NO$)、読み出しアドレス生成部 125 は、処理をステップ S_{1404} に移行する。

【0075】

ステップ S_{1404} において、読み出しアドレス生成部 125 は、画素 P_u に対応する読み出しアドレスを生成する。読み出しアドレス生成部 125 は、次式 (6) および (7) を用いて読み出しアドレスの x 座標 x_r および y 座標 y_r を生成する。

$$x_r = \text{quotient}(4, x_u) - 1 \quad \dots (6)$$

$$y_r = \text{quotient}(2, y_u) - 1 \quad \dots (7)$$

なお、 $\text{quotient}(m, n)$ は、 n を m で除した商を示す。

【0076】

ステップ S_{1405} において、読み出しアドレス生成部 125 は、以下の条件 (8) ~ (11) を用いて、画素 P_u のデータが記憶されている VRAM を特定する。

$$\text{mod}(x_u, 4) = 0 \text{ or } 1 \text{ の場合、VRAM } 1211 \text{ or } 1213 \quad \dots (8)$$

$$\text{mod}(x_u, 4) = 2 \text{ or } 3 \text{ の場合、VRAM } 1212 \text{ or } 1214 \quad \dots (9)$$

$$\text{mod}(y_u, 2) = 0 \text{ の場合、VRAM } 1211 \text{ or } 1212 \quad \dots (10)$$

$$\text{mod}(y_u, 2) = 1 \text{ の場合、VRAM } 1213 \text{ or } 1214 \quad \dots (11)$$

【0077】

ステップ S_{1406} において、読み出しアドレス生成部 125 は、読み出しアドレスで指定される単位記憶領域に含まれる参照画素の数を判断する。カウンタ u が奇数の場合において $\text{mod}(x_u, 2) = 0$ のときは、読み出しアドレス生成部 125 は、読み出しアドレス (x_r, y_r) で指定される単位記憶領域に、画素 P_u および P_{u+1} の 2 つの参照画素のデータが含まれると判断する。カウンタ u が奇数の場合において $\text{mod}(x_u, 2)$

10

20

30

40

50

) = 1 のときは、読み出しアドレス生成部 125 は、読み出しアドレス (x_r, y_r) で指定される単位記憶領域に、1つの参照画素 (画素 P_u) のデータが含まれると判断する (残り1画素のデータは、補正には用いられない)。読み出しアドレス (x_r, y_r) で指定される単位記憶領域に含まれる参照画素の数が2つである場合 (S1406:2)、読み出しアドレス生成部 125 は、処理をステップ S1407 に移行する。読み出しアドレス (x_r, y_r) で指定される単位記憶領域に含まれる参照画素の数が1つである場合 (S1406:1)、読み出しアドレス生成部 125 は、処理をステップ S1409 に移行する。

【0078】

ステップ S1407 において、読み出しアドレス生成部 125 は、VRAM121 に対しデータの読み出し要求を出力する。読み出し要求は、ステップ S1405 で特定された VRAM に対して出力される。また、読み出し要求は、読み出しアドレスおよび画素 $P_1 \sim P_4$ のうちそのアドレスにデータが記憶されている2つの画素の識別子を含む。

10

【0079】

ステップ S1408 において、読み出しアドレス生成部 125 は、カウンタ u を更新する。ここでは、 $u = u + 2$ としてカウンタ u を更新する。

【0080】

ステップ S1409 において、読み出しアドレス生成部 125 は、VRAM121 に対しデータの読み出し要求を出力する。読み出し要求は、ステップ S1405 で特定された VRAM に対して出力される。また、読み出し要求は、読み出しアドレスおよび画素 $P_1 \sim P_4$ のうちそのアドレスにデータが記憶されている1つの画素の識別子を含む。

20

【0081】

ステップ S1410 において、読み出しアドレス生成部 125 は、カウンタ u を更新する。ここでは、 $u = u + 1$ としてカウンタ u を更新する。

【0082】

ステップ S1411 において、読み出しアドレス生成部 125 は、画素 P_u のデータがキャッシュ 1261 に記憶されている旨の情報を、読み出し IF126 に出力する。

【0083】

ステップ S1412 において、読み出しアドレス生成部 125 は、画素 $P_1 \sim P_4$ の全てについて処理が完了したか判断する。画素 $P_1 \sim P_4$ の全てについて処理が完了したと判断された場合 (S1412: YES)、読み出しアドレス生成部 125 は、ステップ S104 の処理を終了する。画素 $P_1 \sim P_4$ のうち処理されていない画素があると判断された場合 (S1412: NO)、読み出しアドレス生成部 125 は、処理をステップ S1403 に移行する。

30

【0084】

再び図8を参照する。ステップ S105 において、読み出し IF126 は、VRAM121 からデータを取得する。ステップ S1407 または S1409 で読み出しアドレス生成部 125 から出力された読み出し要求は、アービター 122 を介して VRAM121 に出力される。VRAM121 は、指定されたアドレスの記憶領域からデータを読み出し、アービター 122 を介して読み出し IF126 に出力する。

40

【0085】

図10は、キャッシュ 1261 の構成を例示する図である。この例で、キャッシュ 1261 は、記憶領域 1262 および記憶領域 1263 を有する。記憶領域 1262 および記憶領域 1263 は、それぞれ、2行2列の4画素分のデータを記憶する。記憶領域 1262 および記憶領域 1263 の一方には前回の補正に用いられたデータが、他方には今回の補正に用いられるデータが記憶される。ここでは説明を簡単にするため、記憶領域 1262 に前回のデータが、記憶領域 1263 に今回のデータが記憶される例を説明する。

【0086】

読み出し IF126 は、取得したデータから参照画素のデータを抽出する。VRAM121 から出力されるデータには、そのデータに含まれる参照画素の識別子が付加されてい

50

る。そのデータに参照画素 P_1 および P_2 のデータが含まれることが示されている場合、読み出し I F 1 2 6 は、上位 2 4 ビットのデータを P_1 のデータとして、下位 2 4 ビットを P_2 のデータとして抽出する。そのデータに参照画素 P_1 のみのデータが含まれることが示されている場合、読み出し I F 1 2 6 は、下位 2 4 ビットのデータを P_1 のデータとして抽出する。そのデータに参照画素 P_2 のみのデータが含まれることが示されている場合、読み出し I F 1 2 6 は、上位 2 4 ビットのデータを P_2 のデータとして抽出する。そのデータに参照画素 P_3 および P_4 のデータが含まれることが示されている場合、読み出し I F 1 2 6 は、上位 2 4 ビットのデータを P_3 のデータとして、下位 2 4 ビットを P_4 のデータとして抽出する。そのデータに参照画素 P_3 のみのデータが含まれることが示されている場合、読み出し I F 1 2 6 は、下位 2 4 ビットのデータを P_3 のデータとして抽出する。そのデータに参照画素 P_4 のみのデータが含まれることが示されている場合、読み出し I F 1 2 6 は、上位 2 4 ビットのデータを P_4 のデータとして抽出する。

10

【 0 0 8 7 】

読み出し I F 1 2 6 は、抽出した参照画素のデータを記憶領域 1 2 6 3 に書き込む。

【 0 0 8 8 】

なお、キャッシュ 1 2 6 1 に画素 P_u のデータが記憶されていることが読み出しアドレス生成部 1 2 5 から通知された場合、読み出し I F 1 2 6 は、記憶領域 1 2 6 2 から画素 P_u のデータを読み出し、読み出したデータを記憶領域 1 2 6 3 に書き込む。

【 0 0 8 9 】

図 9 のフローで参照画素 $P_1 \sim P_4$ について処理が完了すると、それに応じて、記憶領域 1 2 6 3 には参照画素 $P_1 \sim P_4$ のデータが書き込まれる。読み出し I F 1 2 6 は、記憶領域 1 2 6 3 に記憶されているデータを、補正部 1 2 7 に出力する。その後、読み出し I F 1 2 6 は、記憶領域 1 2 6 3 に記憶されているデータを、記憶領域 1 2 6 2 にコピーする。

20

【 0 0 9 0 】

ステップ S 1 0 6 において、補正部 1 2 7 は、式 (2) を用いて画素 P_c のデータを補正する。

【 0 0 9 1 】

図 1 1 は、補正に用いられる画素を例示する図である。この例では、 $P_c = P(14, 12)$ であり、 $Vos(14, 12) = (-8, -10)$ である。式 (4) から、

30

$$P_d = (6, 2) \dots (12)$$

である。式 (2) とあわせて、

$$D_r(14, 12) = D_o(6, 2) \dots (13)$$

が得られる。

【 0 0 9 2 】

再び図 8 を参照する。ステップ S 1 0 7 において、映像出力部 1 2 8 は、補正部 1 2 7 により補正された画素 P_c のデータを後段の回路 (例えば光変調器 1 3 1 の駆動回路) に出力する。

【 0 0 9 3 】

ステップ S 1 0 8 において、読み出しアドレス生成部 1 2 5 および補正部 1 2 7 は、x カウンター C_x をインクリメントする。

40

【 0 0 9 4 】

ステップ S 1 0 9 において、補正部 1 2 7 は、1 行分の処理が完了したか、すなわち、 $C_x = 801$ となったか判断する。まだ 1 行分の処理が完了していないと判断された場合 (S 1 0 9 : N O)、補正部 1 2 7 は、処理をステップ S 1 0 4 に移行する。1 行分の処理が完了したと判断された場合 (S 1 0 9 : Y E S)、補正部 1 2 7 は、処理をステップ S 1 1 0 に移行する。

【 0 0 9 5 】

ステップ S 1 1 0 において、書き込み I F 1 2 4 は、ライトカウンター C_w で指定される行のデータを、V R A M 1 2 1 に書き込む。ライトカウンター C_w で指定される行のデ

50

ータは、VRAM121において第 $k w$ 行の記憶領域に書き込まれる。 $k w$ は次式(14)により計算される。

$$k w = C w (\bmod k) \dots (14)$$

例えば、 $k = 241$ の場合において $C w = 1 \sim 241$ のときは、 $k w = C w$ である。 $C w = 243$ の場合、 $k w = 2$ である。

【0096】

ステップS111において、読み出しアドレス生成部125および書き込みIF124は、カウンタ $C r$ および $C w$ をインクリメントする。

【0097】

ステップS112において、読み出しアドレス生成部125は、全ての行について処理が完了したか、すなわち、 $C r = 480$ となったか判断する。まだ全ての行について処理が完了していないと判断された場合(S112:NO)、読み出しアドレス生成部125は、処理をステップS103に移行する。全ての行について処理が完了したと判断された場合(S112:YES)、コントローラ12は、図8の処理を終了する。

【0098】

なおここでは1枚(1フレーム)の画像のみを処理する例を説明したが、動画を処理する場合、複数フレームの画像を連続して処理してもよい。例えば、第 i フレームについて処理をしている場合において、 $C w > r$ となったときは、ライトカウンタ $C w$ を初期化し、第 $(i + 1)$ フレームのデータをVRAM121に書き込んでよい。この場合において、 $C r > r$ となったときは、リードカウンタ $C r$ を初期化し、第 $(i + 1)$ フレームのデータの処理を開始する。

【0099】

以上で説明したように、本実施形態によれば、補正に用いられる画素を含む行を選択してラインバッファに記憶する構成と比較して、処理の負荷を低減することができる。また、リードカウンタとライトカウンタとは同じスピードで行送りされるので、リードがライトを追い越す(書き込みが終わる前の画像データを誤って読み出してしまう)ことはない。

【0100】

また、本実施形態によれば、本発明を用いない構成(図1の例でコントローラ12を有さない構成)に対し、ホスト装置11と投写ユニット13(光変調器131)との間に本実施形態に係るコントローラ12を設ければよく、歪み補正に対応していないシステムに簡単に低コストで歪み補正の機能を導入することができる。

【0101】

3 - 2 . 動作例

以下、より具体的な動作例を説明する。

【0102】

3 - 2 - 1 . データ読み出しの例

ここでは、VRAM1211 ~ 1214からのデータの読み出しの例を説明する。

【0103】

3 - 2 - 1 - 1 . 動作例1

図12は動作例1を示す図である。この例では、参照画素 $P_1 \sim P_4$ が、 $(0, 0)$ 、 $(1, 0)$ 、 $(0, 1)$ 、および $(1, 1)$ である例を説明する。なおこの例では、キャッシュ1261に参照画素のデータは記憶されていない。この場合、VRAM1211の単位記憶領域 $A(0, 0)$ およびVRAM1213の単位記憶領域 $A(0, 0)$ から読み出したデータを用いて補正が行われる。図において、読み出されるデータには丸印が付されている。

【0104】

3 - 2 - 1 - 2 . 動作例2

図13は動作例2を示す図である。この例では、参照画素 $P_1 \sim P_4$ が、 $(1, 0)$ 、 $(2, 0)$ 、 $(1, 1)$ 、および $(2, 1)$ である例を説明する。なおこの例では、キャ

10

20

30

40

50

キャッシュ 1 2 6 1 に参照画素のデータは記憶されていない。この場合、VRAM 1 2 1 1 の単位記憶領域 A (0 , 0)、VRAM 1 2 1 2 の単位記憶領域 A (0 , 0)、VRAM 1 2 1 3 の単位記憶領域 A (0 , 0)、および VRAM 1 2 1 4 の単位記憶領域 A (0 , 0) から読み出したデータを用いて補正が行われる。

【 0 1 0 5 】

3 - 2 - 1 - 3 . 動作例 3

図 1 4 は動作例 3 を示す図である。この例では、参照画素 $P_1 \sim P_4$ が、(3 , 1)、(4 , 1)、(3 , 2)、および (4 , 2) である例を説明する。なおこの例では、キャッシュ 1 2 6 1 に参照画素のデータは記憶されていない。この場合、VRAM 1 2 1 1 の単位記憶領域 A (1 , 1)、VRAM 1 2 1 2 の単位記憶領域 A (0 , 1)、VRAM 1 2 1 3 の単位記憶領域 A (1 , 0)、および VRAM 1 2 1 4 の単位記憶領域 A (0 , 0) から読み出したデータを用いて補正が行われる。

【 0 1 0 6 】

3 - 2 - 1 - 4 . 動作例 4

図 1 5 は動作例 4 を示す図である。この例では、前回補正時の参照画素 $P_1 \sim P_4$ が、(0 , 0)、(1 , 0)、(0 , 1)、および (1 , 1) であり、かつ、今回補正時の参照画素 $P_1 \sim P_4$ が、(1 , 0)、(2 , 0)、(1 , 1)、(2 , 1) である。キャッシュ 1 2 6 1 には、画素 (0 , 0)、(1 , 0)、(0 , 1)、および (1 , 1) のデータが記憶されている。この場合、VRAM 1 2 1 2 の単位記憶領域 A (0 , 0) および VRAM 1 2 1 4 の単位記憶領域 A (0 , 0) から読み出したデータ、並びにキャッシュ 1 2 6 1 に記憶されているデータが用いられる。この場合、VRAM 1 2 1 へ 2 回アクセスすれば、補正に用いられるデータを得ることができる。

【 0 1 0 7 】

オフセットベクトルは画素毎に定義されるが、隣り合う画素でオフセットベクトルが大きく異なることは少ない。すなわち、今回補正時の参照画素は、前回補正時の参照画素から 1 画素分だけ移動しているケースがほとんどである。したがって、キャッシュ 1 2 6 1 を用いることにより、VRAM 1 2 1 へのアクセス回数を大幅に低減することができる。

【 0 1 0 8 】

3 - 2 - 1 - 5 . 動作例 5

この例では、参照画素 $P_1 \sim P_4$ が、(0 , - 1)、(1 , - 1)、(0 , 0)、および (1 , 0) である例を説明する。すなわち、参照画素 P_1 および P_2 は、元の画像データ（以下「元データ」という）の範囲外の画素である。元データの範囲外の画素のデータとしては、所定値のデータが用いられる。所定値のデータは、読み出し IF 1 2 6 内のレジスタ（図示略）に記憶されている。参照画素が元データの範囲外であった場合、読み出しアドレス生成部 1 2 5 は、その旨を読み出し IF 1 2 6 に通知する。

【 0 1 0 9 】

3 - 2 - 1 - 6 . 動作例 6

この例では、参照画素 $P_1 \sim P_4$ が、(0 , - 2)、(1 , - 2)、(0 , - 1)、および (1 , - 1) である例を説明する。すなわち、すべての参照画素が元データの範囲外の画素である。すべての参照画素が元データの範囲外であった場合、読み出しアドレス生成部 1 2 5 は、その旨を読み出し補正部 1 2 7 に通知する。この場合、補正部 1 2 7 は、補正（補間演算）を行わず、所定値をそのまま処理対象画素のデータとして出力する。

【 0 1 1 0 】

なお、動作例 4 ~ 6 のように、キャッシュ 1 2 6 1 またはレジスタからデータを読み出している期間はアービター 1 2 2 から VRAM 1 2 1 にアクセスしていないので、他の装置（例えばホスト装置 1 1）から VRAM 1 2 1 にアクセスすることができる。

【 0 1 1 1 】

3 - 2 - 2 . VRAM 1 2 1 へのデータ書き込み / 読み出しの例

ここでは、VRAM 1 2 1 に対するデータの書き込みおよび読み出しの例を説明する。ここでは説明の便宜上、VRAM 1 2 1 1 ~ 1 2 1 4 を区別せず、単一の VRAM 1 2 1

10

20

30

40

50

として説明する。

【0112】

図16は、 $C_r = 1$ および $C_w = 121$ の状態（ステップS107）を示す図である。図は、VRAM121の状態を示している。ハッチングされた部分は、第1～120行のデータが記憶されていることを示している。白抜きの部分は、データが記憶されていない（ヌル値が記憶されている）ことを示している。

【0113】

この例で、オフセットベクトル $Vos(Pc)$ のx成分およびy成分はともに負である。すなわち、参照画素は元データにおいて存在しない画素である。この場合、補正部127は、補正後のデータを所定の値（例えばヌル値または黒に相当する階調）にする。図16では便宜的に、 Vos および Pd を破線で示し、元データにおいて存在しない画素を参照していることを示している。

【0114】

図17は、 $C_r = 120$ および $C_w = 241$ の状態（ステップS107）を示す図である。このとき、VRAM121の第1～241行の記憶領域には、画像の第1～241行のデータが記憶されている。

【0115】

図18は、 $C_r = 200$ および $C_w = 321$ の状態（ステップS107）を示す図である。このとき、VRAM121の第1～80行の記憶領域には、画像の第242～321行のデータが記憶されている。VRAM121の第81～241行の記憶領域には、画像の第81～241行のデータが記憶されている。この例で、 $Pc = (300, 200)$ 、 $Vos(Pc) = (20, 100)$ である。これらを式(4)に代入して

$$Pd = (320, 300) \dots (15)$$

が得られる。式(5)から

$$kd = 59 \dots (16)$$

であるので、参照画素 P_u のデータは、VRAM121の第59行の記憶領域に記憶されている。

【0116】

VRAM121においては、リードカウンターの進行方向に対し正方向および負方向の双方において、オフセット最大値分の行数のデータが記憶されているので、補正に用いるデータを読み出すことができる。

【0117】

4. 変形例

本発明は上述の実施形態に限定されるものではなく、種々の変形実施が可能である。以下、変形例をいくつか説明する。以下の変形例のうち2つ以上のものが組み合わせて用いられてもよい。

【0118】

4-1. 変形例1

VRAM121に含まれるフレームバッファの数は4つに限定されない。例えば、VRAM121は、2つのフレームバッファを有していてもよい。

【0119】

図19は、2つのフレームバッファ（VRAM1211およびVRAM1212）を用いる場合の記憶領域の割り当てを例示する図である。VRAM1211の単位記憶領域 $A(s, t)$ には、画素 $P(2s, 2t)$ および画素 $P(2s+1, 2t)$ のデータが記憶される。VRAM1212の単位記憶領域 $A(s, t)$ には、画素 $P(2s, 2t+1)$ および画素 $P(2s+1, 2t+1)$ のデータが記憶される。

【0120】

この場合、参照画素 $P_1 \sim P_4$ が例えば、 $(1, 0)$ 、 $(2, 0)$ 、 $(1, 1)$ 、および $(2, 1)$ であった場合、単一のフレームバッファに順次2回アクセスする必要がある。すなわち、データの読み出しに2クロックを要する。しかし、フレームバッファの

10

20

30

40

50

分割数が少なくなるため、回路規模をより縮小できる。

【 0 1 2 1 】

また、V R A M 1 2 1 は複数のフレームバッファを含まず、単一のフレームバッファとして機能してもよい。

【 0 1 2 2 】

4 - 2 . 変形例 2

補正に用いられる参照画素の数は 4 つに限定されない。例えば、オフセットベクトルが指す位置 P d の周辺 m 行 n 列の (m × n) 個の画素が参照画素として用いられてもよい。例えば、オフセットベクトルが指す位置 P d の周辺 4 行 4 列の 1 6 個の画素が参照画素として用いられてもよい。

【 0 1 2 3 】

4 - 3 . 変形例 3

V R A M 1 2 1 の記憶容量は、k 行分に限定されない。1 フレームの全画素分、すなわち r 行分の記憶領域を有していてもよい。この場合、V R A M 1 2 1 の容量は大きくなるが、リードカウンタおよびライトカウンタによる読み出しおよび書き込みの制御は不要になる。

【 0 1 2 4 】

4 - 4 . 変形例 4

オフセットベクトルが指す位置 P d が、パッキングされていない 2 つの画素の間に入った場合、パッキングされた 2 つの画素の間に位置 P d をずらす補正が行われてもよい。この補正がなければ V R A M 1 2 1 に 4 回のアクセスが必要であるが、この補正をすれば V R A M 1 2 1 へのアクセスは 2 回で済む。

【 0 1 2 5 】

図 2 0 は、変形例 4 に係る位置 P d の補正を例示する図である。点 X が補正前の位置 P d を、点 Y が補正後の位置 P d を示している。

【 0 1 2 6 】

また、図 1 9 の例において、位置 P d が、パッキングされていない 2 つの画素の間に入った場合、パッキングされた 2 つの画素の間に位置 P d をずらす補正が行われてもよい。この補正をすれば、1 つのフレームバッファへのアクセスは 1 回で済むので 1 クロックでデータを読み出すことができる。

【 0 1 2 7 】

4 - 5 . 変形例 5

読み出し I F 1 2 6 はキャッシュ 1 2 6 1 を有していなくてもよい。

【 0 1 2 8 】

4 - 6 . 変形例 6

オフセットベクトル V o s は、理論的には全ての画素 P (x , y) について定義することが可能であるが全ての画素 P (x , y) についてオフセットベクトルを記憶すると多くのメモリー容量が必要になる場合には、記憶しておくオフセットベクトルを間引いてもよい。例えば、行方向および列方向ともに 2 画素毎にオフセットベクトルをオフセットテーブル 1 2 9 に記憶しておくこと、3 行 3 列の 9 個の画素のうち 4 隅の画素のみオフセットベクトルが記憶されていることになる。このとき、オフセットベクトルが記憶されていない画素に関しては、近接する、オフセットベクトルが記憶されている画素のオフセットベクトルを用いた補間により、その画素のオフセットベクトルを算出する。

【 0 1 2 9 】

例えば、V o s (1 , 1) = (p 1 , q 1) および V o s (1 , 3) = (p 2 , q 2) がオフセットテーブル 1 2 9 に記憶されており、V o s (1 , 2) がオフセットテーブル 1 2 9 に記憶されていないときは、

$$\begin{aligned} V o s (1 , 2) &= \{ V o s (1 , 1) + V o s (1 , 3) \} / 2 \\ &= [\{ (p 1 + p 2) / 2 \} , \{ (q 1 + q 2) / 2 \}] \quad \dots (1 7) \end{aligned}$$

)

10

20

30

40

50

により $Vos(1, 2)$ が算出される。

【0130】

4 - 7 . 変形例 7

VRAM121の記憶容量は、実施形態で説明したものに限定されない。例えば、オフセット最大値がリードカウンターの進行方向に対して正方向および負方向の双方について個別に設定されていた場合、正方向のオフセット最大値、負方向のオフセット最大値、および処理対象画素の記憶領域を加算した値に相当する行数の記憶領域を有していてもよい。具体的には、正方向のオフセット最大値 $O^+_{max} = 120$ 、負方向のオフセット最大値 $O^-_{max} = 80$ 、処理対象の画素数が1の場合、VRAM121は、 $201 (= 120 + 80 + 1)$ 行分の記憶領域を有していればよい。このとき、ライトカウンター Cw の値は、次式(18)のように、リードカウンター Cr に対して、負方向のオフセット最大値分ずらしておけばよい。

$$Cw = Cr + O^-_{max} \quad \dots (18)$$

【0131】

4 - 8 . 他の変形例

表示装置1はHUDに限定されない。表示装置1は、いわゆる通常のプロジェクターであってもよい。この場合において、プロジェクターのキーストーン補正に本発明が適用されてもよい。特に、いわゆるピコプロジェクターのような小型のプロジェクターにおいて有効である。

【0132】

表示装置1および表示装置1の各部の構成は、図1および図2で例示したものに限定されない。実施形態では、ハードウェア(コントローラ12)が図8のフローを実行する例を説明したが、ホスト装置11のCPU111が、プログラムに従って図8のフローを実行してもよい。この場合、コントローラ12は無くてもよい。また、実施形態においてはリードカウンターおよびライトカウンターが読み出しアドレス生成部125および書き込みIF124のレジスタに記憶される例を説明したが、これらのカウンターはVRAM121等、他の記憶装置に記憶されてもよい。

【0133】

CPU111が実行するプログラムは、磁気記録媒体(磁気テープ、磁気ディスク(HDD、FD(Flexible Disk))など)、光記録媒体(光ディスク(CD(Compact Disk)、DVD(Digital Versatile Disk))など)、光磁気記録媒体、半導体メモリ(フラッシュROMなど)などのコンピューター読取り可能な記録媒体に記憶した状態で提供されてもよい。また、このプログラムは、インターネットのようなネットワーク経由でダウンロードされてもよい。

【0134】

本発明は、表示装置以外の電子機器、例えば撮像装置に適用されてもよい。例えば、デジタルスチルカメラ、デジタルビデオカメラ、ドライブレコーダーにおける補正に、本発明が適用されてもよい。

【符号の説明】

【0135】

1...表示装置、11...ホスト装置、111...CPU、112...ROM、113...RAM、12...コントローラ、121...VRAM、1211...VRAM、1212...VRAM、1213...VRAM、1214...VRAM、122...アービター、123...映像入力部、124...書き込みIF、125...読み出しアドレス生成部、126...読み出しIF、1261...キャッシュ、127...補正部、128...映像出力部、129...オフセットテーブル、13...投写ユニット、131...光変調器、14...記憶部、15...IF部、16...操作パネル、181...表示領域、182...長方形、1821~1824...頂点、183...図形、1831~1834...点、184...図形、1841~1844...点、185...図形、1851~1854...点

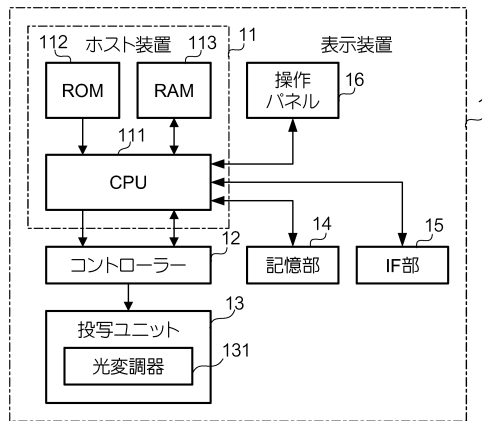
10

20

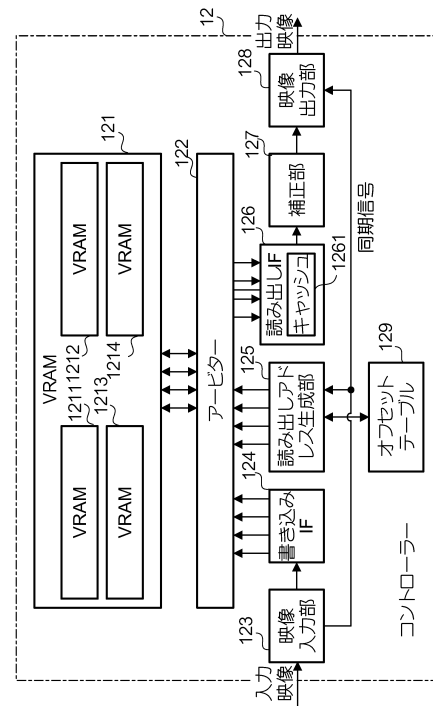
30

40

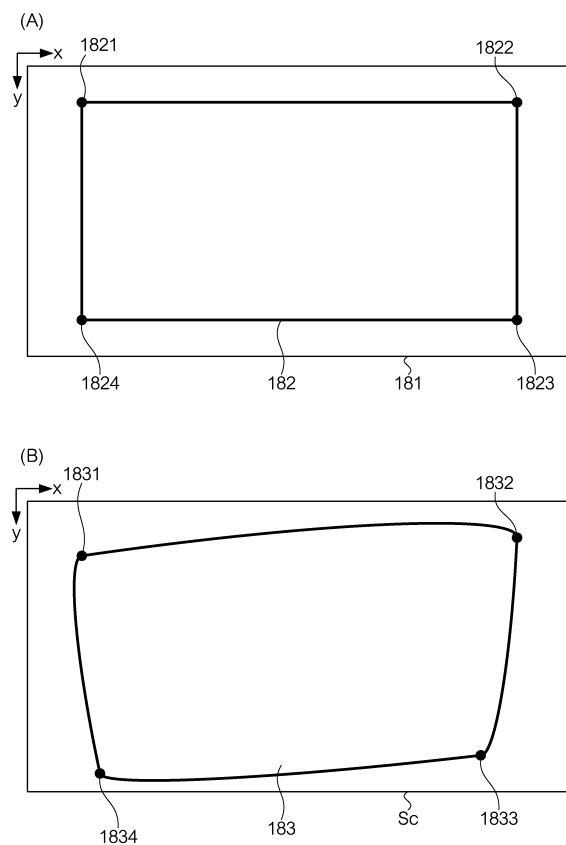
【図 1】



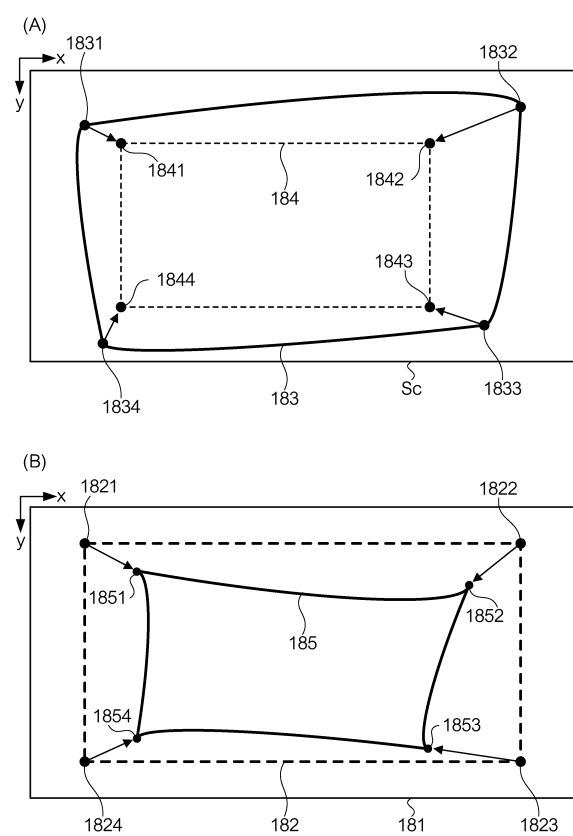
【図 2】



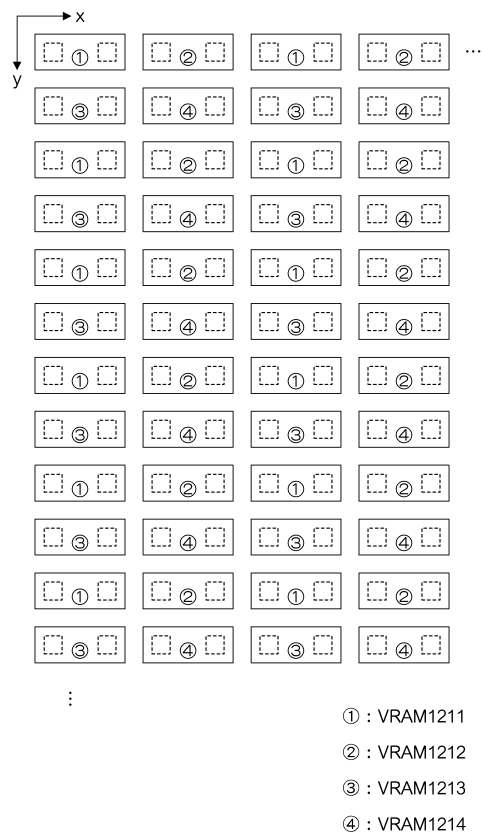
【図 3】



【図 4】



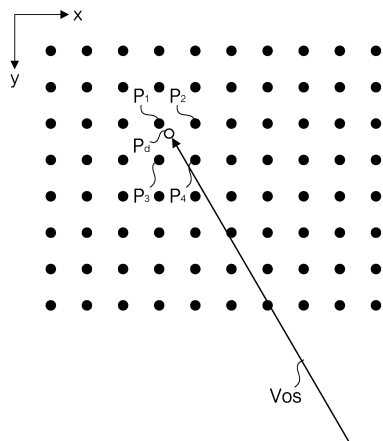
【図 5】



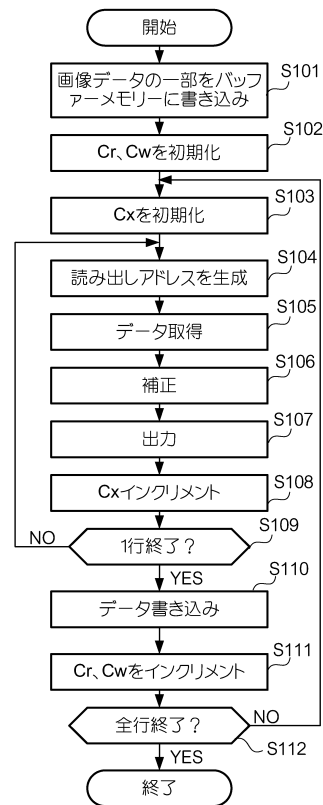
【図 6】

VRAM1211			
(0, 0) (1, 0)	(4, 0) (5, 0)	...	(796, 0) (797, 0)
(0, 2) (1, 2)	(4, 2) (5, 2)		
(0, 478) (1, 478)	(4, 478) (5, 478)		(796, 478) (797, 478)
VRAM1212			
(2, 0) (3, 0)	(6, 0) (7, 0)	...	(798, 0) (799, 0)
(2, 2) (3, 2)	(6, 2) (7, 2)		
(2, 478) (3, 478)	(6, 478) (7, 478)		(798, 478) (799, 478)
VRAM1213			
(0, 1) (1, 1)	(4, 1) (5, 1)	...	(796, 1) (797, 1)
(0, 3) (1, 3)	(4, 3) (5, 3)		
(0, 479) (1, 479)	(4, 479) (5, 479)		(796, 479) (797, 479)
VRAM1214			
(2, 1) (3, 1)	(6, 1) (7, 1)	...	(798, 1) (799, 1)
(2, 3) (3, 3)	(6, 3) (7, 3)		
(2, 479) (3, 479)	(6, 479) (7, 479)		(798, 479) (799, 479)

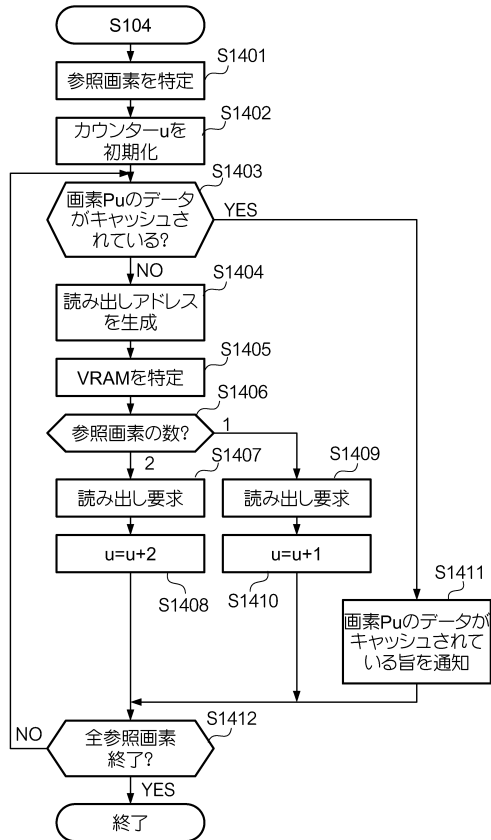
【図 7】



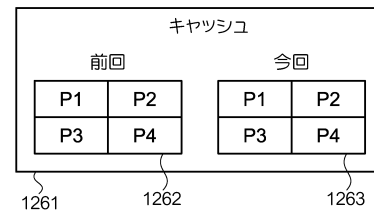
【図 8】



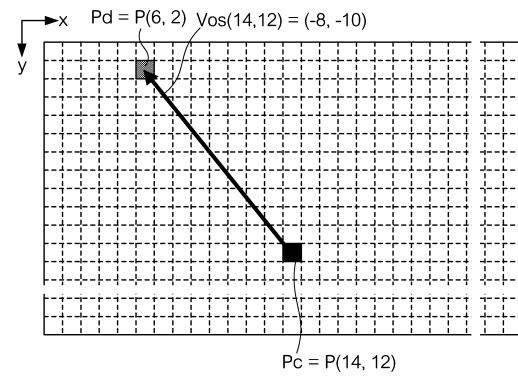
【図 9】



【図 10】



【図 11】



【図 12】

VRAM1211			
(0, 0) (1, 0)	(4, 0) (5, 0)	...	(796, 0) (797, 0)
(0, 2) (1, 2)	(4, 2) (5, 2)		
(0, 478) (1, 478)	(4, 478) (5, 478)		(796, 478) (797, 478)

VRAM1212			
(2, 0) (3, 0)	(6, 0) (7, 0)	...	(798, 0) (799, 0)
(2, 2) (3, 2)	(6, 2) (7, 2)		
(2, 478) (3, 478)	(6, 478) (7, 478)		(798, 478) (799, 478)

VRAM1213			
(0, 1) (1, 1)	(4, 1) (5, 1)	...	(796, 1) (797, 1)
(0, 3) (1, 3)	(4, 3) (5, 3)		
(0, 479) (1, 479)	(4, 479) (5, 479)		(796, 479) (797, 479)

VRAM1214			
(2, 1) (3, 1)	(6, 1) (7, 1)	...	(798, 1) (799, 1)
(2, 3) (3, 3)	(6, 3) (7, 3)		
(2, 479) (3, 479)	(6, 479) (7, 479)		(798, 479) (799, 479)

【図 13】

VRAM1211			
(0, 0) (1, 0)	(4, 0) (5, 0)	...	(796, 0) (797, 0)
(0, 2) (1, 2)	(4, 2) (5, 2)		
(0, 478) (1, 478)	(4, 478) (5, 478)		(796, 478) (797, 478)

VRAM1212			
(2, 0) (3, 0)	(6, 0) (7, 0)	...	(798, 0) (799, 0)
(2, 2) (3, 2)	(6, 2) (7, 2)		
(2, 478) (3, 478)	(6, 478) (7, 478)		(798, 478) (799, 478)

VRAM1213			
(0, 1) (1, 1)	(4, 1) (5, 1)	...	(796, 1) (797, 1)
(0, 3) (1, 3)	(4, 3) (5, 3)		
(0, 479) (1, 479)	(4, 479) (5, 479)		(796, 479) (797, 479)

VRAM1214			
(2, 1) (3, 1)	(6, 1) (7, 1)	...	(798, 1) (799, 1)
(2, 3) (3, 3)	(6, 3) (7, 3)		
(2, 479) (3, 479)	(6, 479) (7, 479)		(798, 479) (799, 479)

【図 14】

VRAM1211

(0, 0) (1, 0)	(4, 0) (5, 0)	...	(796, 0) (797, 0)
(0, 2) (1, 2)	(4, 2) (5, 2)		
(0, 478) (1, 478)	(4, 478) (5, 478)		(796, 478) (797, 478)

VRAM1212

(2, 0) (3, 0)	(6, 0) (7, 0)	...	(798, 0) (799, 0)
(2, 2) (3, 2)	(6, 2) (7, 2)		
(2, 478) (3, 478)	(6, 478) (7, 478)		(798, 478) (799, 478)

VRAM1213

(0, 1) (1, 1)	(4, 1) (5, 1)	...	(796, 1) (797, 1)
(0, 3) (1, 3)	(4, 3) (5, 3)		
(0, 479) (1, 479)	(4, 479) (5, 479)		(796, 479) (797, 479)

VRAM1214

(2, 1) (3, 1)	(6, 1) (7, 1)	...	(798, 1) (799, 1)
(2, 3) (3, 3)	(6, 3) (7, 3)		
(2, 479) (3, 479)	(6, 479) (7, 479)		(798, 479) (799, 479)

【図 15】

VRAM1211

(0, 0) (1, 0)	(4, 0) (5, 0)	...	(796, 0) (797, 0)
(0, 2) (1, 2)	(4, 2) (5, 2)		
(0, 478) (1, 478)	(4, 478) (5, 478)		(796, 478) (797, 478)

VRAM1212

(2, 0) (3, 0)	(6, 0) (7, 0)	...	(798, 0) (799, 0)
(2, 2) (3, 2)	(6, 2) (7, 2)		
(2, 478) (3, 478)	(6, 478) (7, 478)		(798, 478) (799, 478)

VRAM1213

(0, 1) (1, 1)	(4, 1) (5, 1)	...	(796, 1) (797, 1)
(0, 3) (1, 3)	(4, 3) (5, 3)		
(0, 479) (1, 479)	(4, 479) (5, 479)		(796, 479) (797, 479)

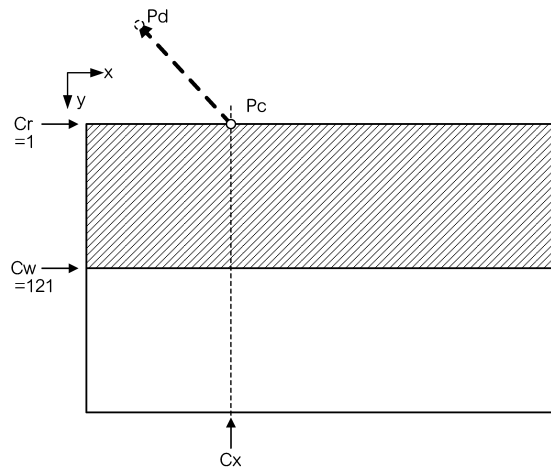
VRAM1214

(2, 1) (3, 1)	(6, 1) (7, 1)	...	(798, 1) (799, 1)
(2, 3) (3, 3)	(6, 3) (7, 3)		
(2, 479) (3, 479)	(6, 479) (7, 479)		(798, 479) (799, 479)

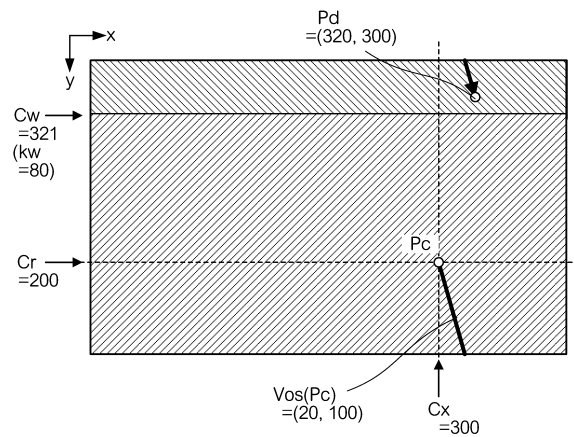
キャッシュ1261

(0, 0)	(1, 0)
(0, 1)	(1, 1)

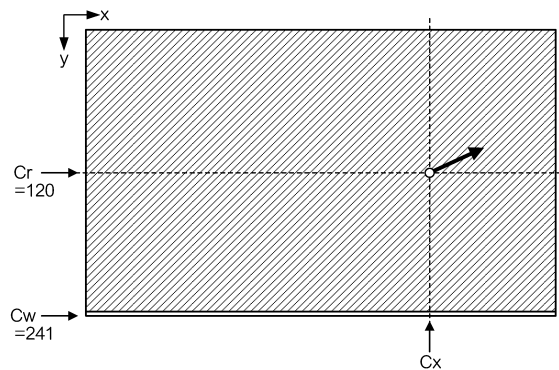
【図 16】



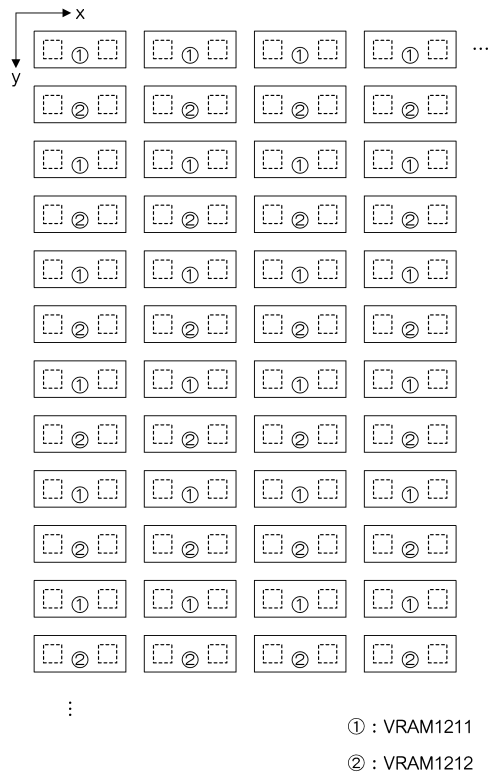
【図 18】



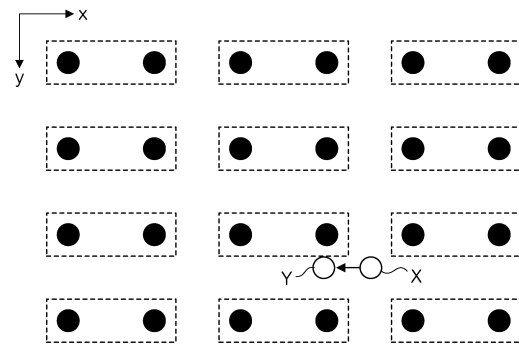
【図 17】



【図 19】



【図 20】



フロントページの続き

(56)参考文献 特開 2 0 1 1 - 2 4 4 2 2 0 (J P , A)
特開 2 0 1 3 - 2 4 3 6 1 6 (J P , A)
特開 2 0 0 4 - 0 4 8 3 6 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 6 T 1 / 0 0 - 1 / 4 0
G 0 6 T 1 / 6 0
G 0 6 T 3 / 0 0 - 5 / 5 0
G 0 6 T 9 / 0 0 - 9 / 4 0
H 0 4 N 5 / 6 6 - 5 / 7 4