



DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

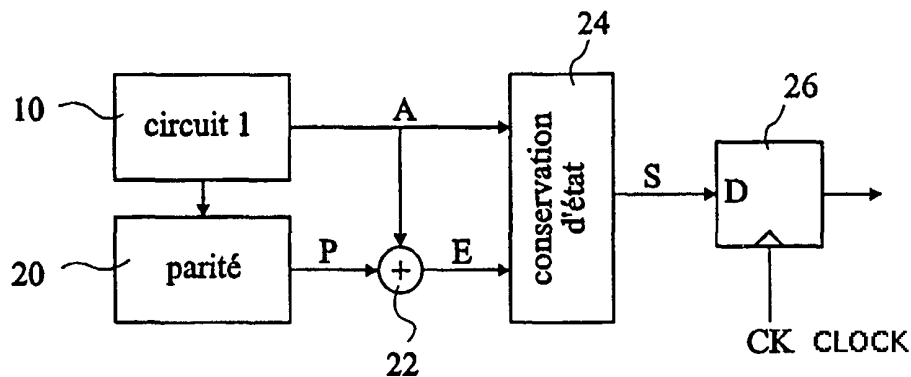
(51) Classification internationale des brevets ⁷ : H03K 19/003	A1	(11) Numéro de publication internationale: WO 00/54410 (43) Date de publication internationale: 14 septembre 2000 (14.09.00)
<p>(21) Numéro de la demande internationale: PCT/FR00/00573</p> <p>(22) Date de dépôt international: 8 mars 2000 (08.03.00)</p> <p>(30) Données relatives à la priorité: 99/03027 9 mars 1999 (09.03.99) FR</p> <p>(71) Déposants (pour tous les Etats désignés sauf US): UNIVERSITE JOSEPH FOURIER [FR/FR]; 621, avenue Centrale, Boîte postale 53, F-38041 Grenoble Cedex 9 (FR). CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE [FR/FR]; 3, rue Michel Ange, F-75794 Paris Cedex 16 (FR).</p> <p>(72) Inventeur; et (75) Inventeur/Déposant (US seulement): NICOLAIDIS, Michaël [FR/FR]; 15 bis, rue du Vercors, F-38120 Saint Egrève (FR).</p> <p>(74) Mandataire: DE BEAUMONT, Michel; Cabinet Conseil, 1, rue Champollion, F-38000 Grenoble (FR).</p>	<p>(81) Etats désignés: CA, JP, US, brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Publiée Avec rapport de recherche internationale.</p>	

(54) Title: LOGIC CIRCUIT PROTECTED AGAINST TRANSITORY PERTURBATIONS

(54) Titre: CIRCUIT LOGIQUE PROTEGE CONTRE DES PERTURBATIONS TRANSITOIRES

(57) Abstract

The invention concerns a circuit protected against transitory perturbations, comprising a combinatorial logic circuit (10) having at least an output (A); a circuit (20) generating an error control code for said output, and a storage element (24) provided at said output, controlled by the circuit generating a control code to be transparent when the control code is correct, and to maintain its status when the control is incorrect.



(57) Abrégé

L'invention concerne un circuit protégé contre des perturbations transitoires, comprenant un circuit logique combinatoire (10) ayant au moins une sortie (A); un circuit (20) de génération d'un code de contrôle d'erreurs pour ladite sortie; et un élément mémoire (24) disposé à ladite

- 10 ... COMBINATORIAL LOGIC CIRCUIT 1
20 ... VERIFICATION CIRCUIT GENERATING PARITY BITS
24 ... STORAGE ELEMENT (MAINTAINING STATUS)
26 ... DELAY
A ... LOGIC CIRCUIT OUTPUT
P ... PARITY BIT
E ... ERROR SIGNAL
S ... OUTPUT

sortie, commandé par le circuit de génération de code de contrôle pour être transparent lorsque le code de contrôle est correct, et pour conserver son état lorsque le code de contrôle est incorrect.

UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lituanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TM	Turkménistan
BF	Burkina Faso	GR	Grèce	ML	Mali	TR	Turquie
BG	Bulgarie	HU	Hongrie	MN	Mongolie	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MR	Mauritanie	UA	Ukraine
BR	Brésil	IL	Israël	MW	Malawi	UG	Ouganda
BY	Bélarus	IS	Islande	MX	Mexique	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	NE	Niger	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NL	Pays-Bas	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norvège	YU	Yougoslavie
CH	Suisse	KG	Kirghizistan	NZ	Nouvelle-Zélande	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	PL	Pologne		
CM	Cameroun	KR	République de Corée	PT	Portugal		
CN	Chine	KZ	Kazakstan	RO	Roumanie		
CU	Cuba	LC	Sainte-Lucie	RU	Fédération de Russie		
CZ	République tchèque	LI	Liechtenstein	SD	Soudan		
DE	Allemagne	LK	Sri Lanka	SE	Suède		
DK	Danemark	LR	Libéria	SG	Singapour		
EE	Estonie						

CIRCUIT LOGIQUE PROTEGE CONTRE DES PERTURBATIONS TRANSITOIRES

La présente invention concerne des circuits numériques insensibilisés à des perturbations externes, notamment des perturbations localisées provenant en particulier de bombardements d'ions lourds.

5 Une telle perturbation est susceptible de basculer in-
tempestivement l'état d'un point mémoire, et des structures
particulières de point mémoire doivent être adoptées pour pallier
cet inconvénient.

Avec les technologies passées de fabrication de cir-
10 cuits intégrés, un point mémoire était susceptible de basculer
seulement si la perturbation affectait directement ce point
mémoire. Il fallait, par exemple, qu'un ion lourd atteigne l'un
des transistors constituant le point mémoire. Des perturbations
survenant hors des points mémoire, c'est-à-dire dans des circuits
15 logiques combinatoires, avaient une très faible probabilité de
modifier les états de points mémoire. En effet, ces perturbations
se traduisaient par des impulsions très brèves qui étaient
filtrées pratiquement immédiatement par les capacités élevées des
conducteurs. Même si une telle perturbation provoquait une
20 impulsion parasite atteignant l'entrée d'une cellule mémoire,
cette impulsion avait une faible probabilité de modifier l'état
de la cellule mémoire.

Avec les technologies récentes, les capacités des conducteurs deviennent de plus en plus faibles et les circuits, notamment les cellules mémoire, réagissent de plus en plus rapidement, à tel point que des impulsions parasites provoquées par des perturbations sont de durée suffisante pour modifier l'état des cellules mémoire si elles surviennent au voisinage d'un front d'une horloge qui cadence les cellules mémoire.

Ainsi, si on veut insensibiliser un circuit numérique de technologie récente à des perturbations localisées, il ne suffit pas d'insensibiliser les points mémoire, mais il faut éviter que des impulsions parasites qu'elles pourraient générer hors des points mémoire n'atteignent les points mémoire.

La génération d'une impulsion parasite par un circuit logique combinatoire peut être considérée comme une erreur que l'on pourrait corriger par une solution classique.

La figure 1 illustre une solution classique que l'on pourrait employer pour corriger les erreurs produites par un circuit logique combinatoire. Il s'agit d'un système correcteur d'erreurs à redondance triple. Un même circuit logique combinatoire 10 est dupliqué deux fois, respectivement en 11 et en 12. Les sorties des circuits 10 à 12 sont fournies à un circuit de vote majoritaire 14 qui sélectionne pour sa sortie la valeur qui est fournie par au moins deux des circuits redondants 10 à 12. La sortie du circuit de vote majoritaire 14 est donc exempt d'erreur en cas de défaillance d'au plus un des circuits redondants 10 à 12, même si cette défaillance est permanente.

Bien entendu, cette solution triple la surface silicium du circuit intégré.

Il existe d'autres solutions qui consistent à générer des codes correcteurs d'erreur pour les sorties d'un circuit. Si l'on veut pouvoir corriger toutes les sorties d'un circuit, cette solution est équivalente, en termes d'occupation de surface, à la redondance triple de la figure 1.

Un objet de la présente invention est de prévoir une solution pour éliminer en sortie d'un circuit logique combi-

natoire toute impulsion parasite provoquée par une perturbation localisée, ceci en occupant une surface silicium relativement faible.

Pour atteindre cet objet, la présente invention prévoit
5 un circuit protégé contre des perturbations transitoires, comprenant un circuit logique combinatoire ayant au moins une sortie ; un circuit de génération d'un code de contrôle d'erreurs pour ladite sortie ; et un élément mémoire disposé à ladite sortie, commandé par le circuit de génération de code de contrôle
10 pour être transparent lorsque le code de contrôle est correct, et pour conserver son état lorsque le code de contrôle est incorrect.

Selon un mode de réalisation de la présente invention, le circuit de génération de code de contrôle d'erreurs comprend
15 un circuit de calcul d'un bit de parité pour ladite sortie et un circuit de vérification de la parité de la sortie et du bit de parité.

Selon un mode de réalisation de la présente invention, le circuit de génération de code de contrôle d'erreurs comprend
20 un circuit logique dupliqué, ledit élément mémoire étant prévu pour être transparent lorsque les sorties du circuit logique et du circuit dupliqué sont identiques, et, pendant que lesdites sorties sont distinctes, conserver son état.

Selon un mode de réalisation de la présente invention, le circuit de génération de code de contrôle d'erreurs comprend
25 un élément pour retarder ladite sortie d'une durée prédéterminée supérieure à la durée maximale des erreurs transitoires, ledit élément mémoire étant prévu pour être transparent lorsque les sorties du circuit logique et de l'élément de retard sont
30 identiques, et pour, pendant que lesdites sorties sont distinctes, conserver son état.

Selon un mode de réalisation de la présente invention, ledit élément mémoire est réalisé à partir d'une porte logique fournissant ladite sortie du circuit logique, cette porte logique
35 comprenant au moins deux premiers transistors commandés par un

signal du circuit logique et au moins deux seconds transistors commandés par le signal correspondant du circuit dupliqué, chacun des seconds transistors étant connecté en série avec l'un respectif des premiers transistors.

5 La présente invention vise également un circuit protégé contre des perturbations transitoires, comprenant un circuit logique combinatoire ayant au moins une sortie reliée à une première bascule de synchronisation cadencée par une horloge, une deuxième bascule reliée à ladite sortie et cadencée par l'horloge
10 retardée d'une durée prédéterminée, et un circuit d'analyse des sorties des bascules.

 Selon un mode de réalisation de la présente invention, le circuit d'analyse signale une erreur si les sorties des bascules sont différentes.

15 Selon un mode de réalisation de la présente invention, le circuit comprend une troisième bascule reliée à ladite sortie et cadencée par l'horloge retardée du double de la durée prédéterminée, le circuit d'analyse étant un circuit de vote majoritaire.

20 La présente invention vise en outre un circuit protégé contre des perturbations transitoires comprenant un circuit logique combinatoire ayant au moins une sortie reliée à une première bascule de synchronisation cadencée par une horloge, une deuxième bascule cadencée par l'horloge et recevant ladite sortie
25 retardée d'une durée prédéterminée, et un circuit d'analyse des sorties des bascules.

 Selon un mode de réalisation de la présente invention, le circuit d'analyse signale une erreur si les sorties des bascules sont différentes.

30 Selon un mode de réalisation de la présente invention, le circuit comprend une troisième bascule cadencée par l'horloge et recevant ladite sortie retardée du double de la durée prédéterminée, le circuit d'analyse étant un circuit de vote majoritaire.

La présente invention vise par ailleurs un circuit protégé contre des perturbations transitoires, comprenant trois circuits logiques identiques. Chacun des circuits logiques est précédé d'un élément mémoire à deux entrées recevant respecti-
5 vement les sorties des deux autres circuits logiques, chaque élément mémoire étant prévu pour être transparent lorsque ses deux entrées sont identiques, et pour conserver son état lorsque les deux entrées sont différentes.

Selon un mode de réalisation de la présente invention,
10 les circuits logiques sont des inverseurs et les éléments mémoire comprennent, en série, deux transistors MOS à canal P et deux transistors MOS à canal N, une première des entrées de l'élément mémoire étant reliée aux grilles d'un premier des transistors MOS à canal P et d'un premier des transistors MOS à canal N, et la
15 deuxième entrée de l'élément mémoire étant reliée aux grilles des deux autres transistors.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers
20 faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1, précédemment décrite, illustre une solution classique de correction d'erreurs produites par un circuit défaillant ;

25 la figure 2A représente schématiquement un premier mode de réalisation de circuit selon l'invention permettant de supprimer des impulsions parasites générées par des perturbations localisées dans un circuit logique combinatoire ;

la figure 2B représente un chronogramme illustrant le
30 fonctionnement du circuit de la figure 2A ;

les figures 3A et 3B représentent deux exemples d'éléments à conservation d'état utilisés dans le circuit de la figure 2A ;

la figure 4 représente schématiquement un deuxième mode de réalisation de circuit selon l'invention permettant de supprimer des impulsions parasites ;

la figure 5 représente un exemple d'élément à conservation d'état utilisé dans le circuit de la figure 4 ;

les figures 6A, 6B et 6C représentent d'autres exemples d'éléments à conservation d'état du type utilisé dans le circuit de la figure 4 ;

la figure 7A représente schématiquement un troisième mode de réalisation de circuit selon l'invention permettant de supprimer des impulsions parasites ;

la figure 7B représente un chronogramme illustrant le fonctionnement du circuit de la figure 7A ;

la figure 8A représente une variante du mode de réalisation de la figure 7A ;

la figure 8B représente un chronogramme illustrant le fonctionnement du circuit de la figure 8A ;

la figure 9A représente un quatrième mode de réalisation de circuit selon l'invention permettant de supprimer des impulsions parasites ;

la figure 9B représente un chronogramme illustrant le fonctionnement du circuit de la figure 9A ;

la figure 10A représente schématiquement un cinquième mode de réalisation de circuit selon l'invention permettant de supprimer des impulsions parasites ;

la figure 10B représente un chronogramme illustrant le fonctionnement du circuit de la figure 10A ;

la figure 11 représente une application du mode de réalisation de la figure 4 à une boucle asynchrone ;

la figure 12 représente une amélioration de la structure de la figure 11 ;

la figure 13 représente une simplification de la structure de la figure 12 ;

la figure 14 représente une application du principe de la figure 13 à une cellule mémoire statique ; et

la figure 15 représente un circuit de vote majoritaire réalisé à partir de la structure de la figure 14.

On propose, selon l'invention, plusieurs solutions permettant de supprimer des impulsions parasites générées par un circuit logique combinatoire à la suite d'une perturbation localisée, par exemple due à un bombardement d'ion lourd. Toutes ces solutions, pour arriver à des structures particulièrement simples, exploitent le fait que les impulsions parasites constituent des erreurs transitoires et non permanentes. Les modes de réalisation de l'invention évitent ainsi l'utilisation de solutions classiques, à redondance triple ou à codes correcteurs d'erreurs multiples, destinées à corriger une défaillance permanente d'un circuit.

La figure 2A représente schématiquement un premier mode de réalisation de l'invention exploitant cette caractéristique. Un circuit logique combinatoire 10 est associé à un circuit de vérification 20 qui fournit un code de contrôle d'erreur P pour la sortie A du circuit logique 10. Le circuit 20 est par exemple un circuit qui calcule de manière classique un bit de parité P pour la sortie A du circuit logique 10, cette sortie A pouvant bien sûr être multiple. En 22, le bit de parité P est combiné par OU-Exclusif avec la sortie A du circuit logique 10, ce qui fournit un signal d'erreur E qui est actif lorsque la parité est mauvaise, c'est-à-dire lorsque la sortie A ou le bit de parité P comporte une erreur.

Le signal d'erreur E et la sortie A sont fournis à un élément que l'on dira "à conservation d'état" 24. Il s'agit en fait d'un élément mémoire semblable à une bascule à transparence commandée, c'est-à-dire ayant un premier mode, sélectionné lorsque le signal d'erreur E est inactif, où la sortie A est transmise telle quelle à la sortie S de l'élément 24. Dans un deuxième mode, sélectionné lorsque le signal d'erreur E est actif, l'élément 24 conserve l'état de la sortie A, tel qu'il était avant l'activation du signal d'erreur E.

Une bascule 26, prévue classiquement pour verrouiller la sortie du circuit logique 10, reçoit la sortie S de l'élément à conservation d'état 24 au lieu de recevoir directement la sortie A du circuit 10. Cette bascule 26 est cadencée par une horloge CK destinée à rendre la sortie du circuit 10 synchrone aux sorties d'autres circuits. La bascule 26 est un registre dans le cas où la sortie A est multiple. Cette bascule ou ce registre sont, de préférence, de structure insensible aux perturbations localisées.

La figure 2B représente un chronogramme illustrant le fonctionnement du circuit de la figure 2A. A un instant t_0 , lorsque survient un premier front actif de l'horloge CK, la sortie A du circuit logique 10 est à un état quelconque X. Le signal d'erreur E, étant inactif, l'élément 24 est en mode "transparent" et transmet l'état X sur sa sortie S. Cet état X est verrouillé dans la bascule 26. La sortie de la bascule 26, étant éventuellement réalimentée au circuit logique 10, ce circuit logique génère une nouvelle sortie A après un délai t_c correspondant au temps de propagation dans le "chemin critique" du circuit 10.

A un instant t_1 , la sortie A du circuit 10 change d'état, par exemple, passe à 0. Il en est de même pour la sortie S de l'élément 24 qui est toujours mis en mode "transparent" par le signal E.

A un instant t_2 , débute une impulsion parasite sur la sortie A, qui se termine à un instant t_3 . La figure 2B illustre un cas défavorable où l'impulsion parasite sur le signal A risque d'entraîner une modification intempestive de l'état de la bascule 26. Dans cet exemple, la fin de l'impulsion parasite coïncide avec le front actif suivant de l'horloge CK, lequel front provoque la mémorisation dans la bascule 26 de l'état de la sortie S précédant immédiatement l'instant t_3 . Or, le signal d'erreur E devient actif pendant la durée t_p de l'impulsion parasite, rendant l'élément 24 "opaque" à l'évolution du signal A entre les instants t_2 et t_3 . En conséquence, le signal S ne change pas

d'état pendant l'impulsion parasite et la bascule 26 mémorise une valeur correcte.

Une bascule ne change d'état que si le nouvel état lui a été présenté suffisamment longtemps avant le front actif d'horloge correspondant, pendant une durée dite d'initialisation. En fait, un risque de mémorisation de valeur erronée par la bascule 26 se présente dans une plage de variation de la position de l'impulsion parasite, cette plage allant d'une position où la fin de l'impulsion précède le front actif de l'horloge CK de la durée d'initialisation, à une position où le début de l'impulsion survient au moment du front actif de l'horloge CK.

Par ailleurs, étant donné que l'élément de conservation d'état 24 est également une cellule de mémorisation, l'état qu'il doit mémoriser doit avoir été présenté au moins pendant un temps d'initialisation avant l'ordre de mémorisation (l'activation du signal E). Ainsi, il est nécessaire que la durée séparant les instants t_1 et t_2 soit supérieure à ce temps d'initialisation. En outre, on doit également garantir qu'un temps d'initialisation complet de l'élément 24 se soit écoulé avant ou après l'impulsion parasite entre les instants t_1 et t_3 , ceci pour être sûr que l'élément 24 prend en compte le niveau hors de l'impulsion.

Ces contraintes imposent le choix d'une durée minimale de la période de l'horloge CK, égale à $t_c + 2t_{h24} + t_p + t_{h26}$, où t_c est le temps de propagation dans le chemin critique du circuit logique 10, t_{h24} le temps d'initialisation de l'élément 24, t_p la durée maximale d'une impulsion parasite, et t_{h26} le temps d'initialisation de la bascule 26. Dans certains cas, notamment si l'élément 24 a un effet de mémorisation capacitif, cette période peut être réduite de t_{h24} .

Cette solution requiert donc, par rapport à un circuit logique normal, une augmentation de la période d'horloge. En effet, dans un circuit normal, la période d'horloge doit être supérieure seulement à $t_c + t_{h26}$. Par contre, grâce à cette redondance temporelle, le circuit offre le même niveau de sécu-

rité qu'un circuit classique à redondance triple (figure 1) avec un coût matériel sensiblement inférieur.

Un élément de conservation d'état 24 sera en règle générale réalisé à partir de portes logiques fournissant les 5 sorties du circuit logique combinatoire 10 à des bascules 26.

Les figures 3A et 3B représentent deux exemples d'éléments à conservation d'état réalisant une fonction NON-ET à deux entrées. Les deux entrées a et b sont fournies à une porte ET 30 dont la sortie est connectée à une première entrée d'une porte 10 NON-OU 32. Une porte OU-Exclusif 22', équivalente à la porte OU-Exclusif 22 de la figure 2A, reçoit les entrées a et b, ainsi que le bit de parité P. La sortie E de la porte 22' est fournie à une deuxième entrée de la porte NON-OU 32 et à une première entrée d'une porte ET 34. Les sorties des portes 32 et 34 sont fournies 15 à une porte OU 36 qui fournit la sortie S de l'élément à conservation d'état, laquelle sortie est rebouclée sur une deuxième entrée de la porte ET 34.

Lorsqu'il n'y a pas d'erreur de parité, le signal E est à zéro. Alors, la sortie de la porte ET 30 est inversée par la 20 porte NON OU 32 et transmise sur la sortie S par la porte OU 36.

En cas d'erreur de parité, le signal E est à 1, provoquant une mémorisation de l'état de la sortie S dans un point mémoire constitué des portes 34 et 36.

Le circuit de la figure 3A nécessite quatre portes pour 25 réaliser la fonction d'une seule porte.

La figure 3B représente une solution moins coûteuse en matériel pour réaliser un élément à conservation d'état réalisant une fonction NON-ET. Les signaux d'entrée a et b sont fournis aux deux entrées d'une porte NON-ET 38 dont la sortie est reliée à un 30 condensateur C par l'intermédiaire d'un interrupteur K. L'interrupteur K est commandé par le signal d'erreur E fourni par la porte OU-Exclusif 22'.

Lorsque le signal d'erreur E est inactif, l'interrupteur K est fermé et le condensateur C se charge au niveau 35 fourni par la porte 38. Lorsque le signal d'erreur E est activé,

l'interrupteur K est ouvert, mais l'état de la sortie S de l'élément est conservé par le condensateur C pendant la durée de l'impulsion parasite. On remarquera que le condensateur C peut être constitué par la simple capacité de la ligne de sortie S.

5 Des éléments de conservation d'état réalisant d'autres fonctions logiques pourront être réalisés par l'homme du métier. Par exemple, pour réaliser la fonction identité en utilisant la solution de la figure 3B, le signal d'entrée, unique, est directement fourni à l'interrupteur K.

10 Le mode de réalisation de la figure 2A présente l'inconvénient, notamment si le nombre de sorties A du circuit logique 10 est important, que la porte OU-Exclusif 22, à plusieurs entrées, réagit avec un retard important pour activer le signal d'erreur E. Il en résulte qu'une partie du début de l'impulsion parasite est transmise sur la sortie S. Toutefois, dans
15 la plupart des cas, la durée de cette partie d'impulsion sera inférieure au temps d'initialisation de la bascule 26 et n'affectera donc pas son état.

La figure 4 représente un mode de réalisation permettant d'éviter cet inconvénient.

Le circuit logique combinatoire 10 est dupliqué une fois en 11. La sortie A du circuit 10 et la sortie dupliquée A* du circuit 11 sont fournies à un élément de conservation d'état 24' qui transmet sur sa sortie S l'état de son entrée A ou A*
25 lorsque les entrées A et A* sont identiques et qui conserve son état lorsque les entrées A et A* deviennent différentes.

Le fonctionnement de ce circuit est similaire à celui de la figure 2A en considérant qu'une condition où les entrées A et A* sont différentes correspond à l'activation du signal d'erreur E à la figure 2B.
30

La figure 5 représente un élément à conservation d'état 24' du circuit de la figure 4 réalisant une fonction ET à deux entrées. Les entrées a et b sont fournies à une porte ET 50 dont la sortie est fournie à une première entrée d'une porte ET 52 et
35 à une première entrée d'une porte OU 54. Les entrées dupliquées

a* et b* sont fournies à une porte ET 56 dont la sortie est connectée à la deuxième entrée de la porte 52 et à la deuxième entrée de la porte 54. Les sorties des portes 52 et 54 sont connectées respectivement à des portes 36 et 34 similaires aux
5 portes 36 et 34 de la figure 3A.

On remarquera que les portes 34, 36, 52, et 54 constituent un élément à conservation d'état ayant la fonction logique "identité". Pour créer une fonction logique quelconque, il suffit de relier deux portes, réalisant chacune cette fonction
10 de manière classique, aux portes 52 et 54.

Selon un autre mode de réalisation, on réalise les éléments à conservation d'état à partir de la structure interne de portes logiques classiques. On prévoit pour cela deux transistors connectés en série pour chaque transistor requis
15 normalement dans la porte classique. Les deux transistors sont commandés pour être ouverts en même temps, de sorte que, si l'un d'eux se ferme du fait d'une perturbation, le deuxième, restant ouvert, empêche toute circulation de courant intempestive. Une telle configuration se prête particulièrement bien à une
20 structure du type de la figure 4 comprenant deux circuits logiques redondants. En effet, les deux transistors de l'association série sont alors commandés respectivement par un signal et son signal dupliqué.

La figure 6A représente un élément à conservation
25 d'état selon ce principe ayant une fonction d'inverseur. La sortie S du circuit est reliée à un potentiel haut par l'intermédiaire de deux transistors MOS à canal P en série MP1 et MP2. La sortie S est également reliée à un potentiel bas par deux transistors MOS à canal N en série MN1 et MN2. Un premier des
30 deux transistors MOS à canal P et un premier des deux transistors MOS à canal N sont commandés par un signal normal a tandis que les transistors restants sont commandés par le signal dupliqué a*.

Si les signaux a et a* sont égaux, correspondant à un
35 fonctionnement normal, les deux transistors MP ou les deux tran-

sistors MN sont conducteurs et forcent la sortie S vers le potentiel correspondant pour remplir la fonction d'inverseur.

Si les signaux a et a* sont différents, au moins un des transistors MP et au moins un des transistors MN est bloqué, d'où
5 il résulte que la sortie S est flottante et conserve son niveau précédent par effet capacitif.

La figure 6B représente un élément à conservation d'état réalisant une fonction NON-OU. Sa sortie S est reliée à un potentiel haut par l'intermédiaire de quatre transistors MOS à
10 canal P en série, commandés respectivement par les signaux d'entrée normaux a et b et leurs signaux dupliqués a* et b*. La sortie S est également reliée à un potentiel bas par l'intermédiaire de deux associations série de transistors MOS à canal N, l'une comportant deux transistors commandés respectivement par
15 les signaux a et a*, l'autre comportant deux transistors commandés respectivement par les signaux b et b*.

La figure 6C représente un élément de conservation d'état réalisant une fonction NON-ET. La sortie S est reliée au potentiel bas par l'intermédiaire de quatre transistors MOS à
20 canal N en série commandés respectivement par les signaux a et b et leurs signaux dupliqués a* et b*. La sortie S est également reliée au potentiel haut par l'intermédiaire de deux associations série de transistors MOS à canal P, la première comprenant deux transistors commandés respectivement par les signaux a et a*, et
25 la deuxième comprenant deux transistors commandés respectivement par les signaux b et b*.

Les éléments des figures 6B et 6C fonctionnent selon le principe décrit en relation avec la figure 6A. Plus généralement, ce principe de mise en série de transistors dupliqués s'applique
30 à toute porte logique.

Le circuit de la figure 6A peut être utilisé en tant que cellule mémoire dynamique insensible aux perturbations. Pour cela, l'état de la cellule est stocké de manière redondante sur les deux entrées a et a* par effet capacitif. Si l'une des
35 entrées est perturbée, la sortie S conserve son état précédent

par effet capacitif, jusqu'au rafraîchissement de la cellule rétablissant l'état correct de l'entrée perturbée. Ce principe s'applique aussi à tout élément de conservation d'état (figures 3A, 3B, 5, 6B, 6C). Pour cela, il suffit d'utiliser un élément de
5 mémorisation (capacité, mémoire statique) sur les entrées de l'élément à conservation d'état, et de verrouiller les valeurs fournies par la sortie A du circuit 10 et par la sortie du circuit de vérification d'erreur (20, 11).

On pourra également utiliser d'autres éléments à
10 conservation d'état, tels qu'un élément de mémorisation spécifique décrit dans "Upset Hardened Memory Design for Submicron CMOS Technology", 33rd International Nuclear and Space Radiation Effects Conference, Juillet 1996, Indian Wells, Californie, T. Calin, M. Nicolaidis, R. Velazco.

15 La figure 7A représente un troisième mode de réalisation de circuit combinatoire selon l'invention insensible à des perturbations localisées. Il comprend un seul circuit logique combinatoire 10. La suppression des impulsions parasites est obtenue exclusivement grâce à une redondance temporelle, contrairement aux modes de réalisation précédents combinant les
20 redondances temporelle et matérielle. La sortie A du circuit 10 est fournie à trois bascules 70, 71 et 72 cadencées respectivement par l'horloge CK, l'horloge CK retardée d'une durée δ et l'horloge CK retardée d'une durée 2δ . Les sorties S1, 25 S2 et S3 de ces bascules sont fournies à un circuit de vote majoritaire 74 qui fournit la sortie S corrigée.

La figure 7B représente un chronogramme illustrant le fonctionnement du circuit de la figure 7A. Ce chronogramme représente, sous forme de barres verticales, les fronts actifs des
30 signaux d'horloge CK, CK+ δ et CK+ 2δ . On suppose que le signal A présente une impulsion parasite à cheval sur le premier front de l'horloge CK, survenant à un instant t_0 . La bascule 70, activée à l'instant t_0 , stocke de manière erronée l'état de l'impulsion parasite.

A un instant t_2 le signal A passe à 1 de manière normale. Cette transition survient un intervalle de temps t_c après un instant t_1 où est survenu le dernier front de l'horloge $CK+2\delta$. Le temps t_c est le temps de propagation à travers le circuit de vote 74 et le circuit logique 10.

A des instants t_3 , t_4 et t_5 , l'état 1 du signal A est échantillonné par les fronts respectifs suivants des horloges CK, $CK+\delta$ et $CK+2\delta$. Le signal S1 reste à 1 tandis que les signaux S2 et S3 passent à 1, respectivement aux instants t_3 , t_4 et t_5 .

Un intervalle de temps t_c après l'instant t_5 , le signal A passe à 0. Il en résulte qu'aux fronts suivants des horloges CK, $CK+\delta$ et $CK+2\delta$, les signaux S1, S2, et S3 passent successivement à 0.

La sortie S du circuit de vote 74 est à 1 lorsqu'au moins deux des signaux S1, S2 et S3 sont à 1. C'est le cas qui se produit à partir de l'instant t_4 , pendant que le signal S2 est à 1.

On remarque que le circuit de la figure 7A ne passe pas à 1 à l'instant t_0 où survient l'impulsion parasite, mais passe correctement à 1 à l'instant t_4 en réponse à un passage normal à 1 du signal A.

Pour que ce mode de réalisation fonctionne correctement, l'impulsion parasite doit être échantillonnée par une seule des horloges CK, $CK+\delta$ et $CK+2\delta$. La durée maximale t_p des impulsions parasites peut pour cela atteindre la valeur $\delta - t_h$, où t_h est le temps d'initialisation des bascules 70 à 72. Ainsi, on choisit $\delta = t_p + t_h$. Par ailleurs, la période des horloges doit être choisie au moins égale à $t_c + 2\delta + t_h$, lequel temps correspond au temps de propagation maximal des entrées du circuit 10 vers la sortie S.

La figure 8A représente une variante du mode de réalisation de la figure 7A. Dans cette figure, des mêmes éléments qu'à la figure 7A sont désignés par des mêmes références. Au lieu de cadencer les bascules 70 à 72 par des horloges retardées les unes par rapport aux autres, ces bascules sont cadencées par la

même horloge CK. Par contre, le signal A est fourni à deux lignes à retard en cascade 80 et 81 introduisant chacune un retard δ . Le signal A est directement fourni à la bascule 70, la sortie A2 de la ligne à retard 80 est fournie à la bascule 71 et la sortie A3 de la ligne à retard 81 est fournie à la bascule 72.

La figure 8B représente un chronogramme illustrant le fonctionnement du circuit de la figure 8A. A un instant t_0 survient le premier front de l'horloge CK. On suppose que le signal A présente une impulsion parasite à cheval sur ce front. Il en résulte que le signal S1 passe à un à cet instant t_0 . Les signaux A2 et A3 présentent la même impulsion parasite mais décalée respectivement de δ et de 2δ par rapport à l'instant t_0 .

Le retard δ est choisi supérieur à la durée $t_p + t_h$, où t_p est la durée maximale d'une impulsion parasite et t_h le temps d'initialisation des bascules 70 à 72. On assure ainsi, dans l'exemple de la figure 8B, que l'impulsion parasite du signal A2 ne soit pas échantillonnée à l'instant t_0 . Il en résulte que la valeur du signal S2, et a fortiori du signal S3, reste correcte (ici égale à 0).

A l'instant t_1 , survient le front suivant de l'horloge CK. Les signaux A à A3 sont échantillonnés alors qu'ils sont à 0. Il en résulte que le signal S1 passe à 0 et que les signaux S2 et S3 restent à 0.

A un instant t_2 , entre l'instant t_1 et le front suivant de l'horloge CK survenant à un instant t_3 , le signal A passe à 1 de manière normale pendant une période d'horloge. La durée séparant les instants t_1 et t_2 correspond au temps t_c de propagation dans le chemin critique du circuit 10 et dans le circuit de vote 74. Dans l'exemple représenté, le retard t_c est tel que le front montant correspondant des signaux A2 et A3 survienne encore avant l'instant t_3 .

Ainsi, à l'instant t_3 , les signaux A, A2 et A3 sont échantillonnés alors qu'ils sont à 1. Les signaux S1, S2 et S3 passent à 1. Les signaux S1, S2 et S3 restent à 1 jusqu'au front suivant du signal d'horloge survenant à un instant t_4 . A cet

instant t_4 , les signaux A, A2 et A3 sont passés à 0. Il en résulte que les signaux S1, S2 et S3 passent à 0.

Le signal S présente une allure correcte en restant à 0 entre les instants t_0 et t_1 et en passant à 1 entre les instants t_3 et t_4 , pendant que les signaux S1, S2 et S3 sont tous trois à 1.

Le fonctionnement correct illustré à la figure 8B est obtenu pourvu que la valeur minimale de la période d'horloge soit égale à $t_c + 2\delta + t_h$.

La figure 9A représente schématiquement un quatrième mode de réalisation de circuit selon l'invention permettant de supprimer des impulsions parasites. On utilise ici un élément de conservation d'état 24' du type de celui de la figure 4, prévu pour fonctionner avec des signaux dupliqués. Cet élément reçoit la sortie A du circuit logique 10 et cette même sortie est retardée par une ligne à retard 90 introduisant un retard δ . Le signal fourni par cette ligne à retard 90 constitue le signal dupliqué A*. La sortie S de l'élément 24' est fournie à une bascule 26.

La figure 9B représente un chronogramme illustrant le fonctionnement du circuit de la figure 9A. Comme dans les exemples précédents, le signal A présente une impulsion parasite à cheval sur un premier front de l'horloge CK survenant à un instant t_0 .

A un instant t_1 , avant le front montant suivant de l'horloge CK survenant à un instant t_3 , le signal A passe à 1. Les instants t_0 et t_1 sont distants du temps de propagation t_c dans le chemin critique du circuit 10.

A un instant t_2 , survenant également avant l'instant t_3 , le signal retardé A* passe à 1.

Les signaux A et A* restent à 1 pendant une période d'horloge et passent à 0 à des instants respectifs t_4 et t_5 avant le front d'horloge suivant survenant à l'instant t_6 .

Le signal S fourni par le circuit à conservation d'état 24' ne change d'état qu'au moment où les signaux A et A* deviennent égaux. Ceci se produit seulement à l'instant t_2 où le signal

A* passe à 1 alors que le signal A est déjà à 1, et à l'instant t_5 où le signal A* passe à 0 alors que le signal A est déjà à 0 (le temps de propagation de l'élément 24' est ici négligé pour des raisons de clarté).

5 Ainsi, le signal S est à 1 entre les instants t_2 et t_5 . Cet état 1 est échantillonné par la bascule 26 à l'instant t_3 , et correspond à l'état qu'il faut effectivement échantillonner dans le signal A.

10 Le fonctionnement du circuit est correct si la période d'horloge est au moins égale à $t_c + \delta + 2t_{24'} + t_p + t_h$, où $t_{24'}$ est le temps de propagation dans l'élément 24' et t_h le temps d'initialisation de la bascule 26. La valeur δ doit être choisie supérieure à $t_p - t_{24'}$.

15 La figure 10A représente schématiquement un cinquième mode de réalisation de circuit selon l'invention, permettant de détecter de manière simple une erreur liée à une impulsion parasite. La sortie A du circuit logique 10 est fournie à deux bascules 92 et 93, l'une cadencée par l'horloge CK et l'autre par l'horloge retardée d'une durée δ . A titre de variante, la bascule 20 92 peut être commandée par un front ou un niveau d'un premier type (montant ou descendant - haut ou bas) d'une horloge CK, tandis que la bascule 93 est commandée par un front ou un niveau de type opposé de la même horloge (front descendant ou montant - bas ou haut). Les sorties S1 et S2 de ces bascules sont fournies 25 à un comparateur 95 dont la sortie est fournie à une bascule 97. La bascule 97 est cadencée par une horloge $CK+\delta+\epsilon$, légèrement retardée par rapport au signal $CK+d$. La bascule 93 est utilisée ici pour synchroniser le signal A, et sa sortie S2 est éventuellement rebouclée sur les entrées du circuit logique 10.

30 La figure 10B représente un chronogramme illustrant le fonctionnement du circuit de la figure 10A. Comme dans l'exemple précédent, une impulsion parasite survient dans le signal A à cheval sur un front du signal CK survenant à un instant t_0 . Il en résulte que le signal S1 passe à 1. Par contre, la bascule 93 35 n'échantillonne pas encore le signal A et sa sortie S2 reste

inchangée (à 0). Le comparateur 95 n'indique pas encore une inégalité des signaux S1 et S2, et le signal ERR indique une absence d'erreur par un état 0.

5 A un instant t_1 , survient le front suivant de l'horloge CK+ δ , après l'impulsion parasite dans le signal A. Le signal S2 reste inchangé.

10 A un instant t_2 , une durée ε après le premier front du signal CK+ δ , survient le front suivant de l'horloge CK+ δ + ε , lequel front provoque l'échantillonnage de la sortie du comparateur par la bascule 97. Les signaux S1 et S2 étant différents, le signal d'erreur ERR est activé

15 A un instant t_3 , un intervalle t_c après l'instant t_1 , le signal A passe à 1 de manière normale. Cet état 1 est échantillonné par l'horloge CK à un instant t_4 . Le signal S1 reste à 1.

A un instant t_5 survient le front suivant de l'horloge CK+ δ , qui échantillonne le signal A alors que celui-ci est encore à 1. Le signal S2 passe à 1. Le signal A passera à 0 après l'intervalle de propagation t_c .

20 A un instant t_6 survient le front suivant de l'horloge CK+ δ + ε , qui échantillonne la sortie du comparateur 95. Les signaux S1 et S2 étant au même état, le signal d'erreur ERR est désactivé.

25 A un instant t_7 survient le front suivant de l'horloge CK, qui échantillonne le signal A alors que celui-ci est à 0. Le signal S1 passe à 0.

A un instant t_8 survient le front suivant de l'horloge CK+ δ qui échantillonne le signal A alors que celui-ci est à 0. Il en résulte que le signal S2 passe à 0.

30 La période de l'horloge doit être choisie au moins égale à $t_c + t_h + \delta$, la durée δ étant au moins égale à la durée $t_p + t_h$.

35 Selon une variante, non représentée, du circuit de la figure 10A, c'est la sortie S1 qui est exploitée. Alors, on doit veiller à ce qu'une transition de la sortie S1 ne soit pas

propagée vers la sortie A avant le front suivant de l'horloge CK+ δ . En d'autres termes, il faut que le temps de propagation t_c soit supérieur à δ . Dans ce cas, la période d'horloge sera égale à $t_c + t_h$, c'est-à-dire égale à la période d'horloge du circuit classique sans protection contre les erreurs transitoires.

Le signal d'erreur fourni par le circuit de la figure 10A peut être exploité de diverses manières pour corriger l'erreur détectée. On peut envisager, par exemple, que ce signal d'erreur déclenche une reprise d'opération, par exemple la répétition d'une dernière "instruction" exécutée par le système.

Il peut également être utilisé pour corriger une erreur de synchronisation due à l'utilisation d'une horloge trop rapide. En cas d'erreur, on déclenche une reprise et on réduit la fréquence de l'horloge pendant la reprise. Ceci est particulièrement intéressant dans le cas de la variante exploitant la sortie S1, dans laquelle le circuit fonctionne à la vitesse du circuit classique.

Selon une autre variante, non représentée, du circuit de la figure 10A, les bascules 92 et 93 sont cadencées par la même horloge CK et l'une d'entre elles reçoit le signal A retardé de la durée δ .

De nombreux circuits numériques forment des boucles asynchrones, c'est-à-dire que leurs sorties sont directement rebouclées sur leurs entrées, sans passer par une bascule de synchronisation. Les cellules mémoire statiques en sont un exemple. De tels circuits sont susceptibles de mémoriser un état et sont donc sensibles aux perturbations risquant de basculer cet état.

La figure 11 représente un agencement selon l'invention pour protéger un tel circuit, utilisant le principe de duplication de la figure 4. La sortie d'un circuit logique 10 et la sortie d'un circuit logique dupliqué 11 sont reliées respectivement aux deux entrées d'un premier élément à conservation d'état 24a et d'un deuxième élément à conservation d'état 24b, tous deux du type de celui de la figure 4. La sortie

de l'élément 24a est rebouclée sur le circuit 10, tandis que la sortie de l'élément 24b est rebouclée sur le circuit 11. Il est nécessaire d'utiliser deux éléments à conservation d'état, car si on en utilisait un seul dont la sortie serait rebouclée sur les deux circuits 10 et 11, une perturbation dans l'élément serait transmise aux deux circuits dupliqués, provoquant la même erreur dans les deux circuits. Cette condition d'erreur ne serait pas corrigée.

La structure de la figure 11 est toutefois sensible à une perturbation survenant sur la sortie de l'un des éléments à conservation d'état. Si le temps de propagation dans le circuit 10 ou 11 concerné est inférieur à la durée de la perturbation, la perturbation retardée arrive à l'entrée de l'élément à conservation d'état avant même que la perturbation n'ait disparu sur sa sortie. Il en résulte que l'élément tend à conserver l'état erroné affecté par la perturbation.

La figure 12 représente une structure évitant ce problème. Le circuit 10 et son dupliqué 11 sont chacun scindés en deux parties, 10a et 10b pour le circuit 10, et 11a et 11b pour le circuit 11. Entre les deux parties de chaque circuit, on insère un élément à conservation d'état supplémentaire, 24c entre les parties 10a et 10b, et 24d entre les parties 11a et 11b, les éléments 24c et 24d étant connectés de la même manière que les éléments 24a et 24b.

La figure 13 représente une simplification de la structure de la figure 12, rendue possible si les parties 10a, 10b et leurs parties dupliquées ont la même fonction logique et reçoivent les mêmes entrées. Par rapport à la figure 12, le circuit 11b et l'élément 24d ont été omis. Les éléments à conservation d'état 24a et 24b reçoivent respectivement la sortie du circuit 11a et la sortie du circuit 10a à la place de la sortie du circuit 11b de la figure 12.

La figure 14 représente une application du principe de la figure 13 pour réaliser une cellule mémoire statique. Les éléments à conservation d'état 24a, 24b et 24c sont des

inverseurs à conservation d'état du type de la figure 6A. Les parties de circuit 10a, 11a et 10b sont des inverseurs classiques. Un inverseur à conservation d'état suivi d'un inverseur classique ont une fonction identité. Ceci assure que
5 les éléments 24a, 24b et 24c reçoivent des valeurs d'entrée identiques, ce qui est aussi valable pour les inverseurs 10a, 11a et 10b.

La cellule mémoire ainsi obtenue est insensible aux perturbations aussi bien en fonctionnement statique qu'en
10 fonctionnement dynamique.

La figure 15 représente une variante de la cellule de la figure 14. En série avec chacun des couples de transistors MOS à canal P, on a inséré un transistor MOS à canal P commandé par un signal d'horloge CK. En série avec chacun des couples de
15 transistors MOS à canal N, on a inséré un transistor MOS à canal N commandé par le complément du signal d'horloge CK. Ces transistors suppriment des appels de courant de commutation de la cellule.

Par ailleurs, la figure 15 représente une application
20 de la structure de la figure 14 à un circuit de vote utilisable dans les circuits des figures 7A et 8A. Pour cela, par rapport à la figure 14, on a omis les transistors d'accès. Les trois signaux d'entrée S1, S2, S3 du circuit de vote sont appliqués aux entrées des inverseurs.

On obtient ainsi un circuit de vote qui sert à
25 mémoriser le résultat du vote de manière insensible aux perturbations. Si on utilise ce circuit de vote dans les figures 7A et 8A, les bascules 70 à 72 qui précèdent le circuit de vote sont de simples bascules à transparence commandée.

On peut par ailleurs connecter une cellule mémoire
30 classique à chacune des entrées S1, S2 et S3, commandée par un signal d'horloge. On forme ainsi une bascule maître-esclave.

Dans la description qui précède, on a considéré le cas où on utilise des bascules sensibles à des transitions pour
35 verrouiller les états de sortie d'un circuit logique. La présente

invention s'applique également à des bascules sensibles à des états (à transparence commandée).

REVENDICATIONS

1. Circuit protégé contre des perturbations transitoires, comprenant un circuit logique combinatoire (10) ayant au moins une sortie (A), caractérisé en ce qu'il comprend :
- 5 un circuit (20, 11) de génération d'un code de contrôle d'erreurs pour ladite sortie ; et
- un élément mémoire (24, 24') disposé à ladite sortie, commandé par le circuit de génération de code de contrôle pour être transparent lorsque le code de contrôle est correct, et pour conserver son état lorsque le code de contrôle est incorrect.
- 10 2. Circuit protégé selon la revendication 1, caractérisé en ce que le circuit de génération de code de contrôle d'erreurs comprend un circuit (20) de calcul d'un bit de parité (P) pour ladite sortie (A) et un circuit (22) de vérification de la parité de la sortie et du bit de parité.
- 15 3. Circuit protégé selon la revendication 1, caractérisé en ce que le circuit de génération de code de contrôle d'erreurs comprend un circuit logique dupliqué (11), ledit élément mémoire (24') étant prévu pour être transparent lorsque les sorties du circuit logique (10) et du circuit dupliqué (11)
- 20 sont identiques, et, pendant que lesdites sorties sont distinctes, conserver son état.
4. Circuit protégé selon la revendication 1, caractérisé en ce que le circuit de génération de code de contrôle d'erreurs comprend un élément (90) pour retarder ladite sortie
- 25 d'une durée prédéterminée supérieure à la durée maximale des erreurs transitoires, ledit élément mémoire (24') étant prévu pour être transparent lorsque les sorties du circuit logique et de l'élément de retard sont identiques, et pour, pendant que lesdites sorties sont distinctes, conserver son état.
- 30 5. Circuit protégé selon la revendication 3, caractérisé en ce que ledit élément mémoire (24') est réalisé à partir d'une porte logique fournissant ladite sortie du circuit logique, cette porte logique comprenant au moins deux premiers transistors (MN1, MP2) commandés par un signal (a) du circuit logique et au

moins deux seconds transistors (MP1, MN2) commandés par le signal correspondant (a*) du circuit dupliqué, chacun des seconds transistors étant connecté en série avec l'un respectif des premiers transistors.

5 6. Circuit protégé contre des perturbations transitoires comprenant un circuit logique combinatoire (10) ayant au moins une sortie (A) reliée à une première bascule (70, 92) de synchronisation cadencée par une horloge (CK), caractérisé en ce qu'il comprend une deuxième bascule (71, 93) reliée à
10 ladite sortie et cadencée par l'horloge retardée d'une durée prédéterminée (δ), et un circuit (74, 95) d'analyse des sorties des bascules.

7. Circuit protégé selon la revendication 6 caractérisé en ce que la deuxième bascule (93) est commandée par la même
15 horloge que la première bascule, mais par un front ou un niveau distinct de cette horloge.

8. Circuit protégé selon la revendication 6, caractérisé en ce que le circuit d'analyse (95) signale une erreur si les sorties des bascules sont différentes.

20 9. Circuit protégé selon la revendication 6, caractérisé en ce qu'il comprend une troisième bascule (72) reliée à ladite sortie et cadencée par l'horloge retardée du double (2δ) de la durée prédéterminée, le circuit d'analyse étant un circuit de vote majoritaire (74).

25 10. Circuit protégé contre des perturbations transitoires comprenant un circuit logique combinatoire (10) ayant au moins une sortie (A) reliée à une première bascule (70) de synchronisation cadencée par une horloge (CK), caractérisé en ce qu'il comprend une deuxième bascule (71) cadencée par
30 l'horloge et recevant ladite sortie retardée d'une durée prédéterminée (δ), et un circuit (74) d'analyse des sorties des bascules.

11. Circuit protégé selon la revendication 10, caractérisé en ce que le circuit d'analyse signale une erreur si les
35 sorties des bascules sont différentes.

12. Circuit protégé selon la revendication 10, caractérisé en ce qu'il comprend une troisième bascule (72) cadencée par l'horloge et recevant ladite sortie retardée du double (2δ) de la durée prédéterminée, le circuit d'analyse étant un circuit
5 de vote majoritaire (74).

13. Circuit protégé contre des perturbations transitoires, comprenant trois circuits logiques identiques (10a, 11a, 10b), caractérisé en ce que chacun des circuits logiques est précédé d'un élément mémoire (24a, 24b, 24c) à deux entrées
10 recevant respectivement les sorties des deux autres circuits logiques, chaque élément mémoire étant prévu pour être transparent lorsque ses deux entrées sont identiques, et pour conserver son état lorsque les deux entrées sont différentes.

14. Circuit protégé selon la revendication 13,
15 caractérisé en ce que les circuits logiques sont des inverseurs et les éléments mémoire comprennent, en série, deux transistors MOS à canal P et deux transistors MOS à canal N, une première des entrées de l'élément mémoire étant reliée aux grilles d'un premier des transistors MOS à canal P et d'un premier des
20 transistors MOS à canal N, et la deuxième entrée de l'élément mémoire étant reliée aux grilles des deux autres transistors.

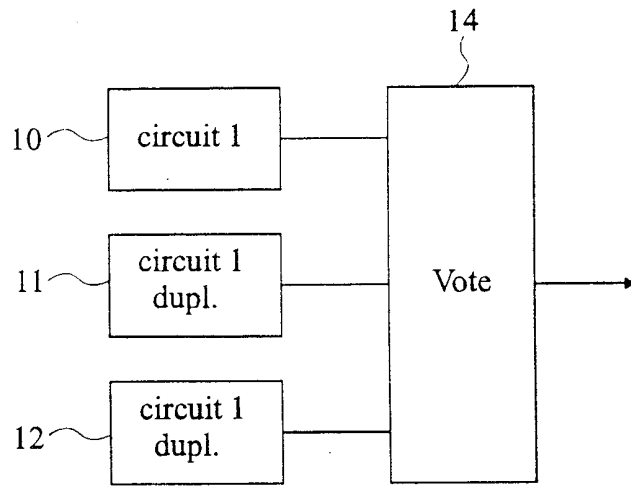


Fig 1

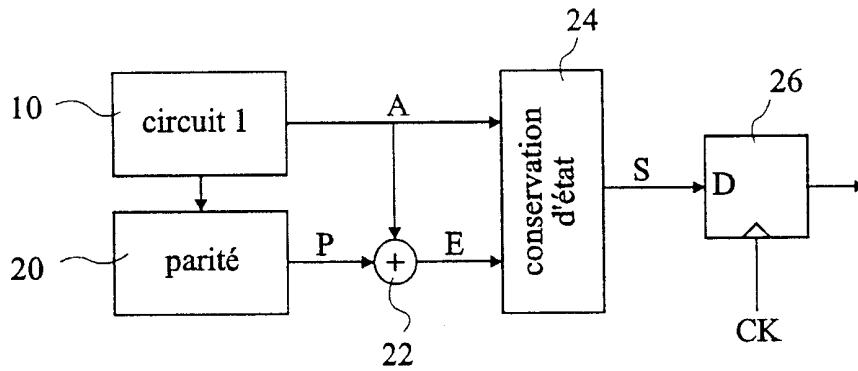


Fig 2A

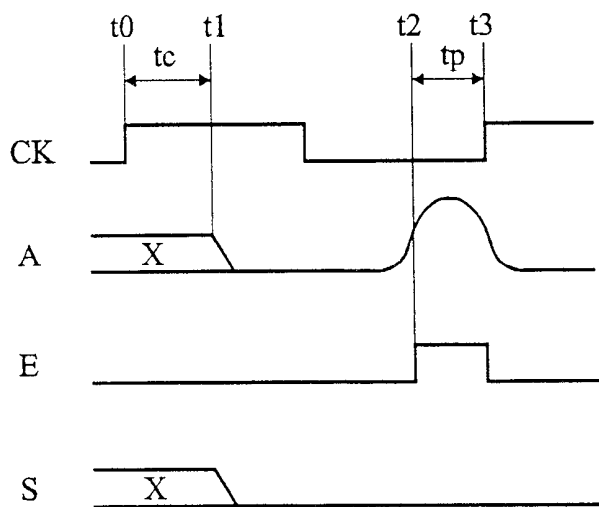


Fig 2B

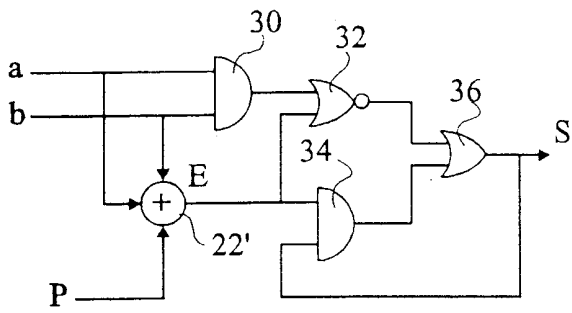


Fig 3A

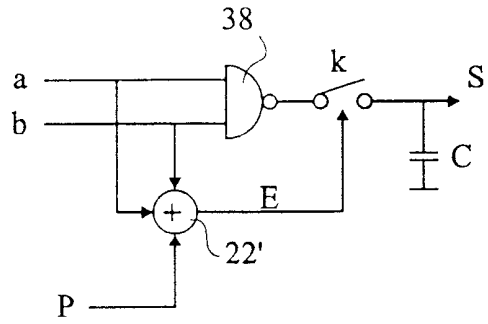


Fig 3B

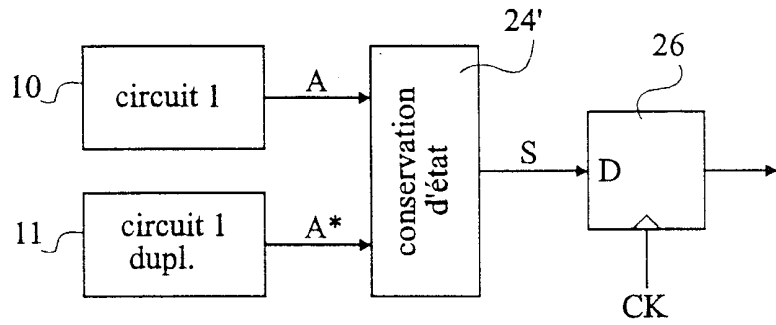


Fig 4

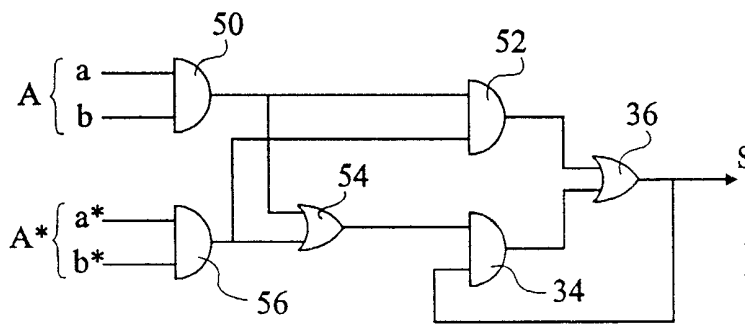


Fig 5

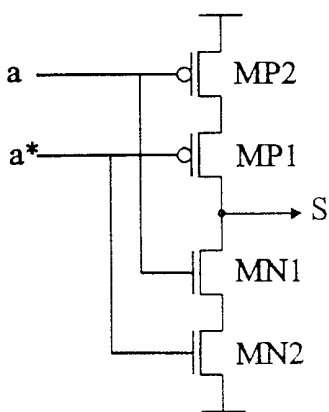


Fig 6A

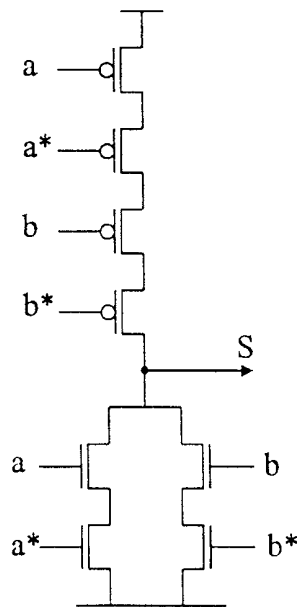


Fig 6B

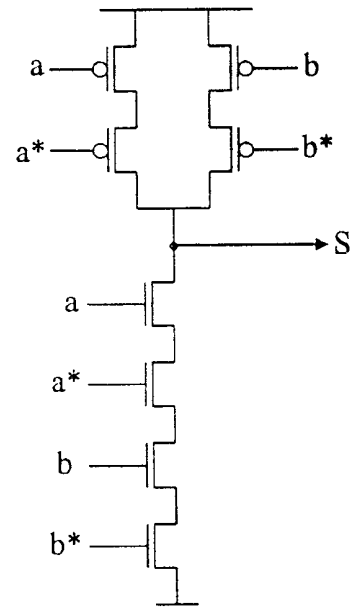


Fig 6C

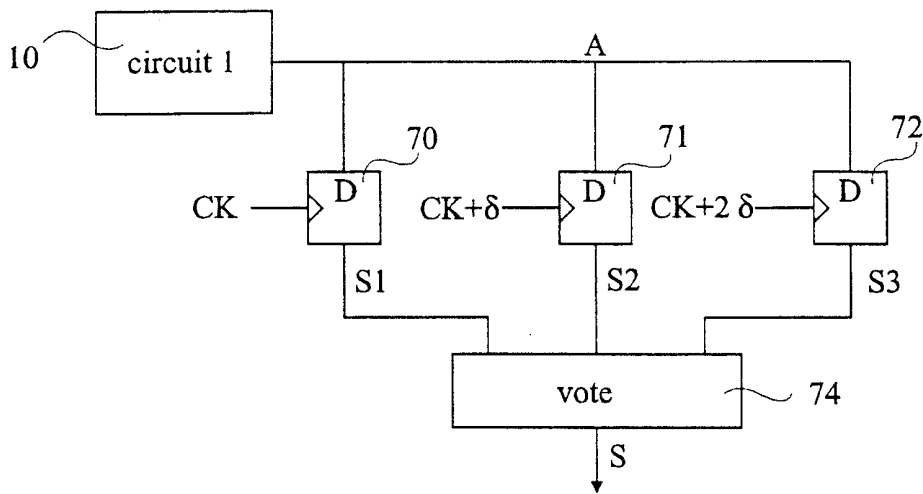


Fig 7A

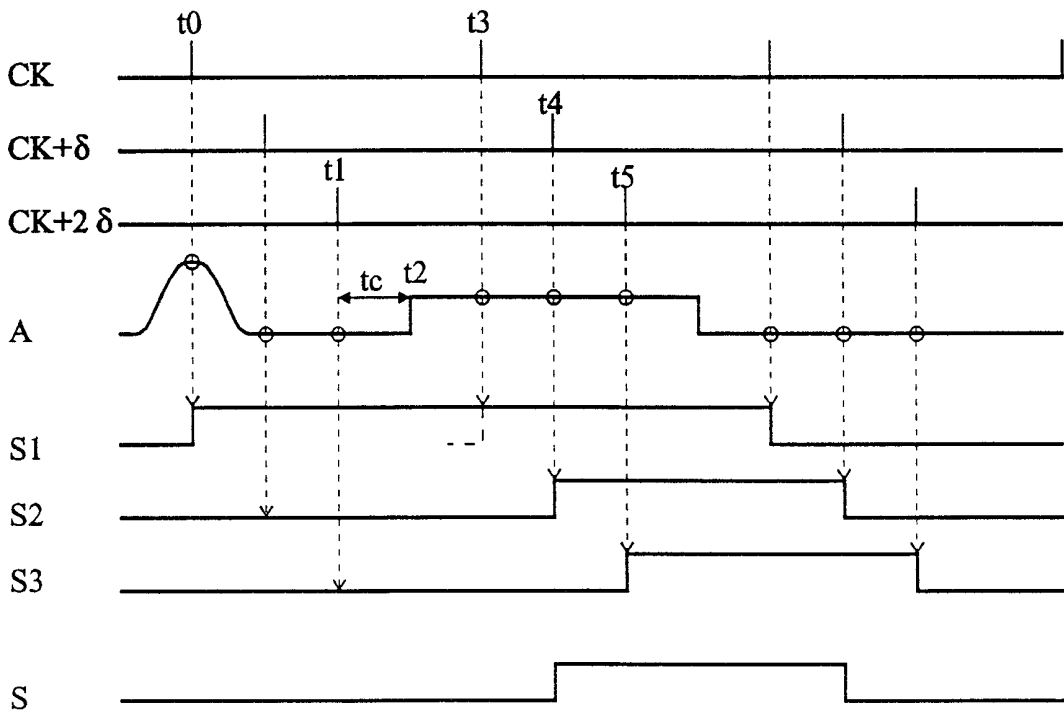


Fig 7B

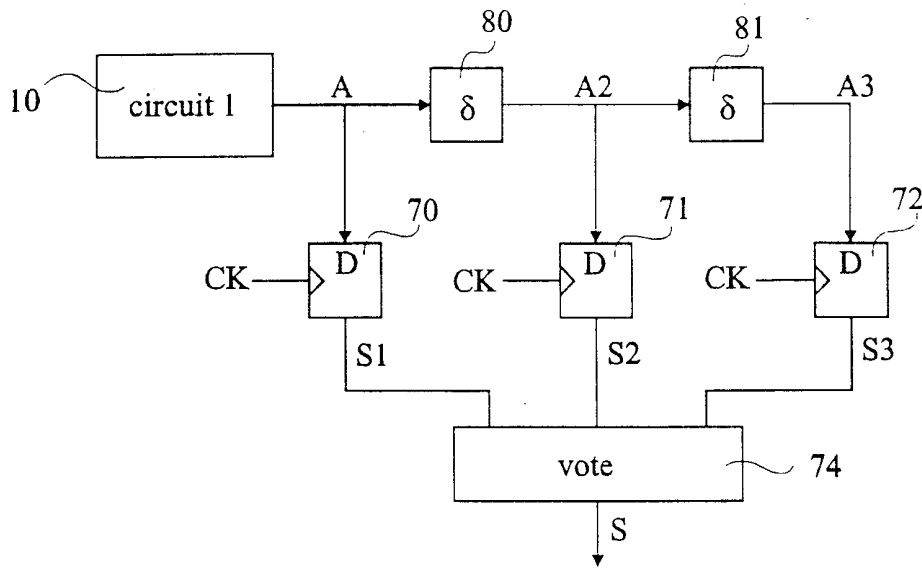


Fig 8A

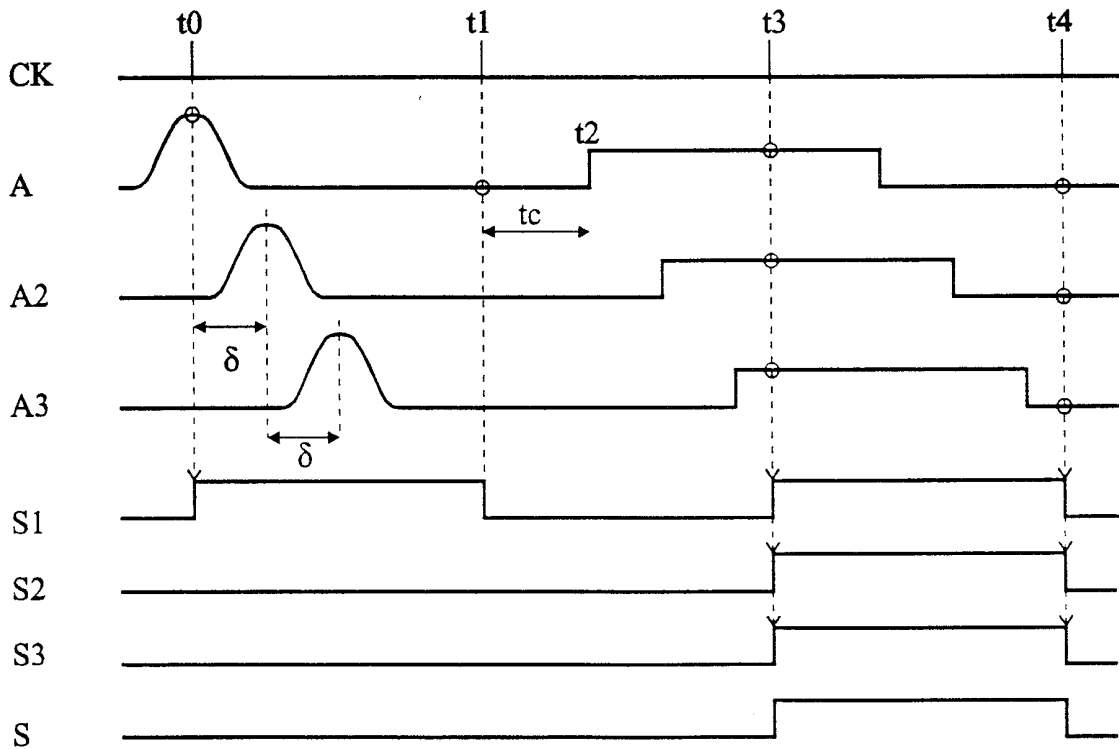


Fig 8B

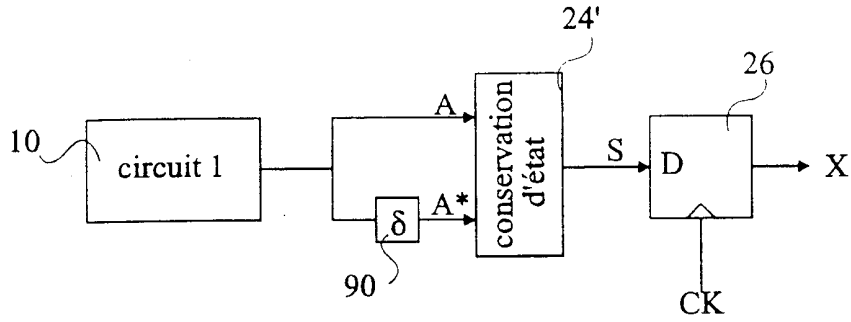


Fig 9A

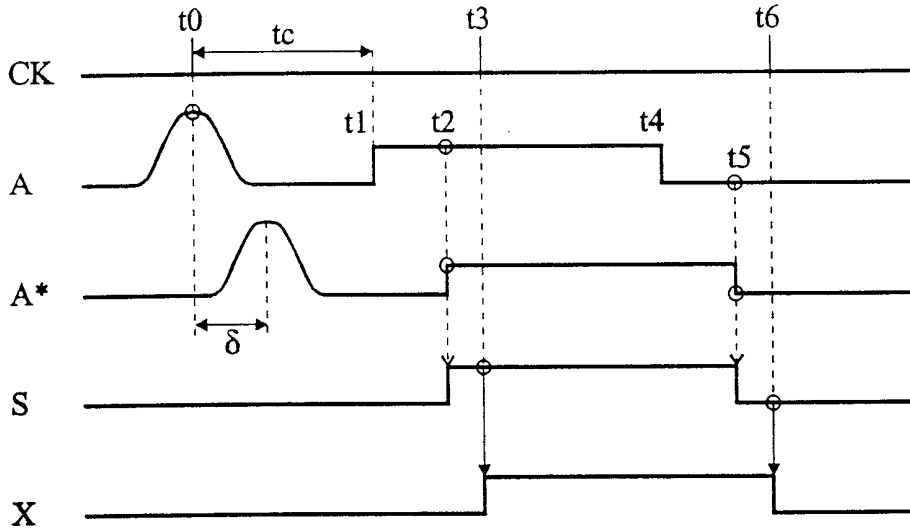


Fig 9B

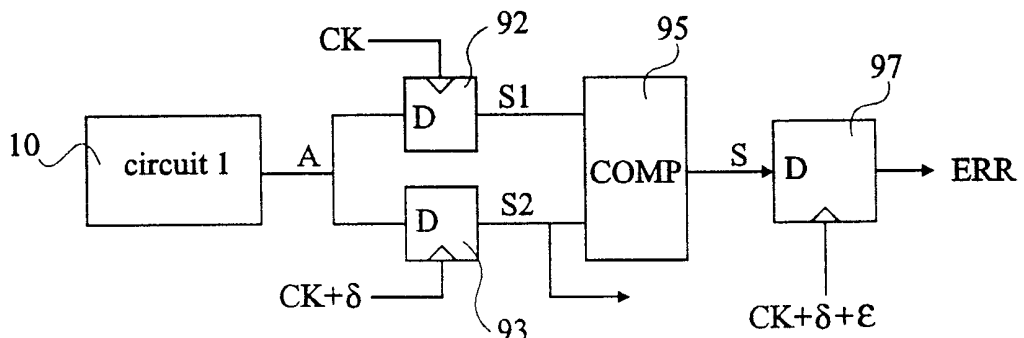


Fig 10A

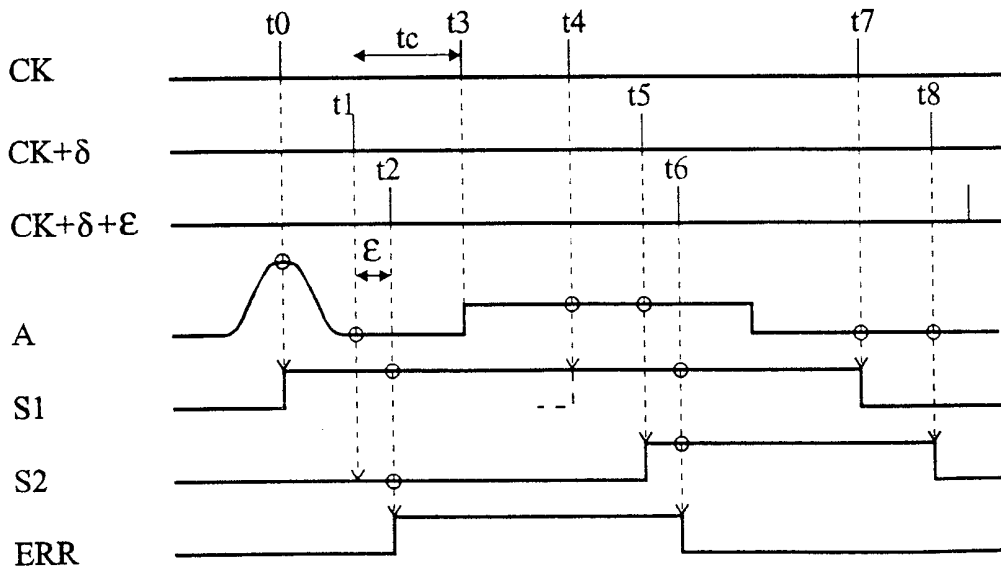


Fig 10B

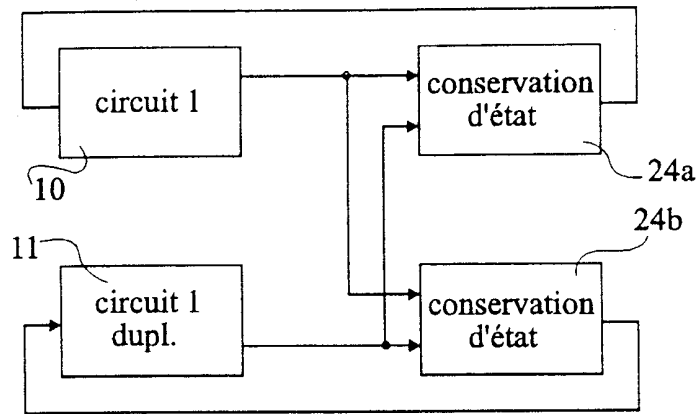


Fig 11

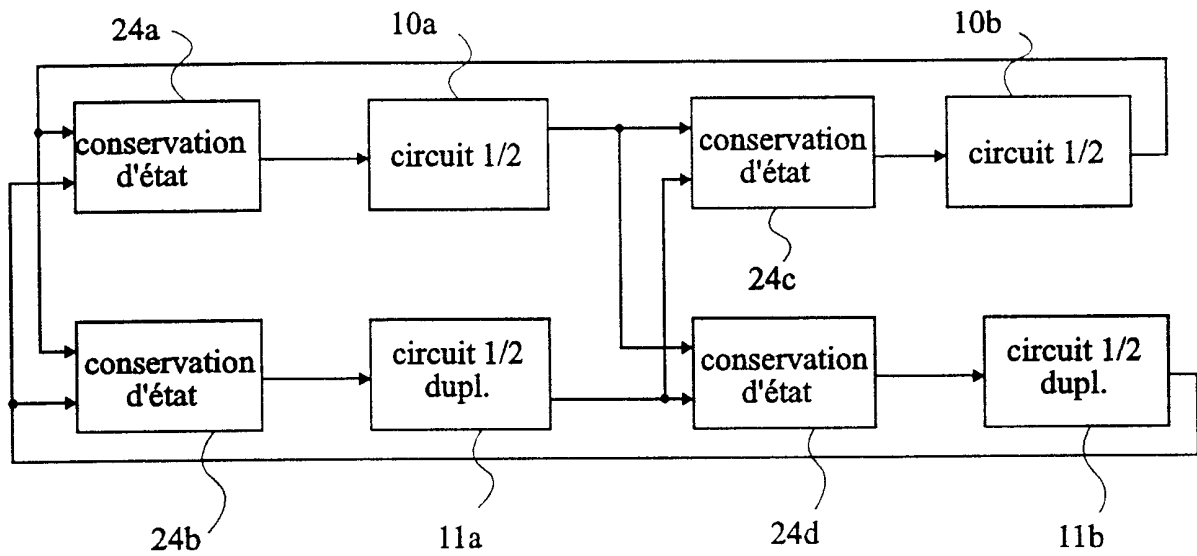


Fig 12

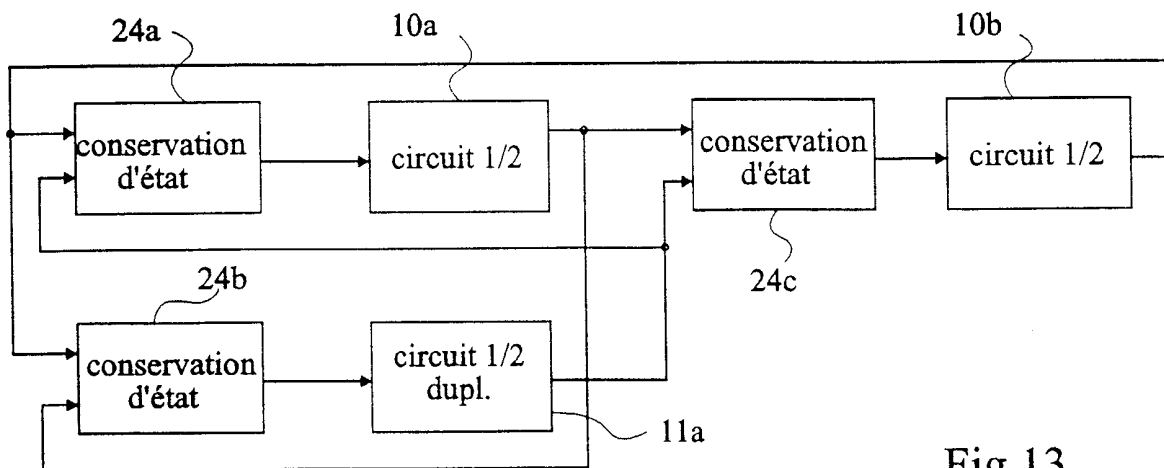


Fig 13

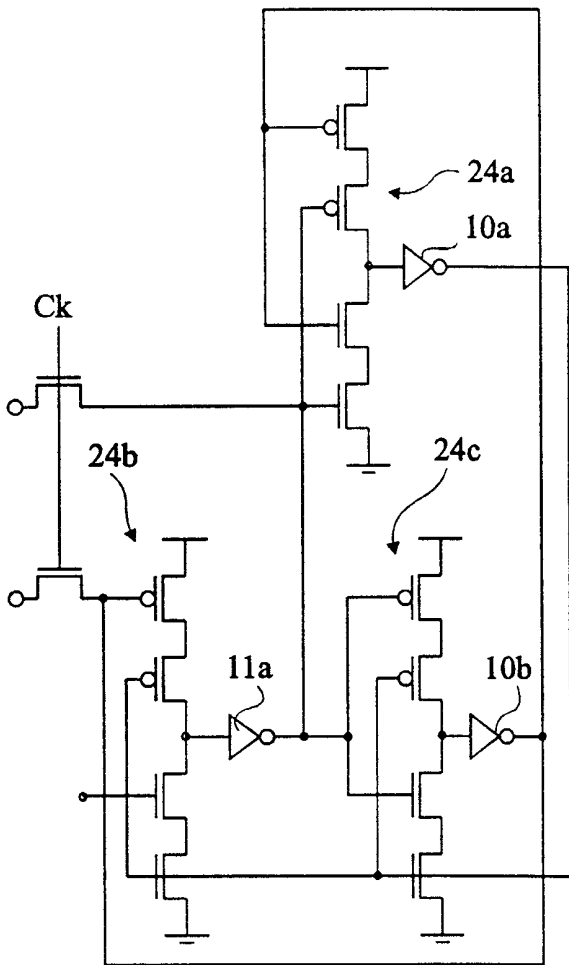


Fig 14

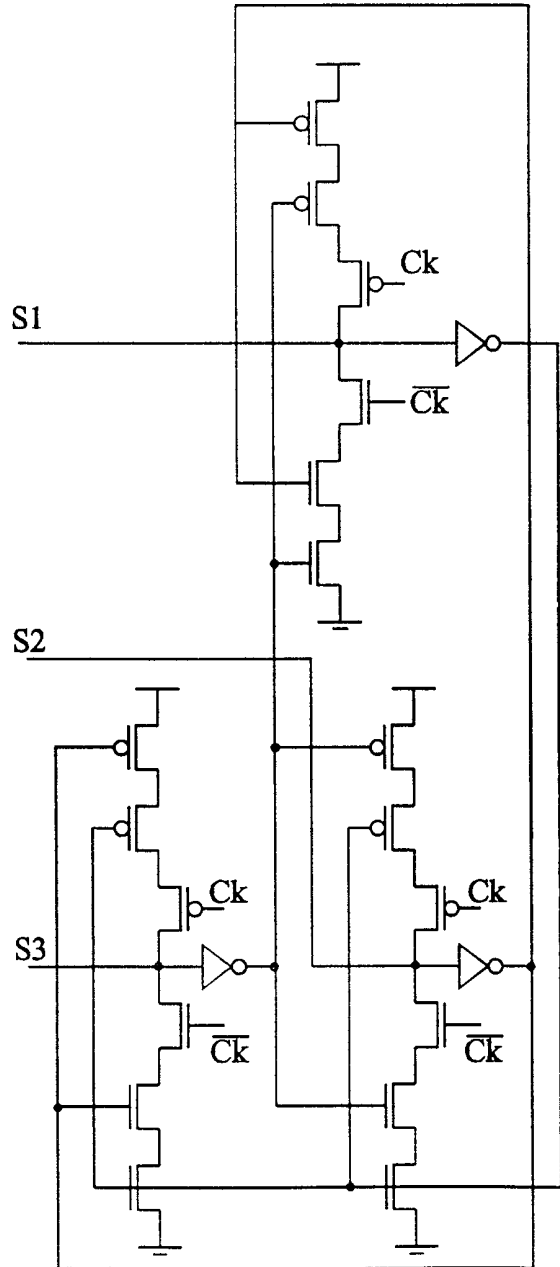


Fig 15

INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 00/00573

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H03K19/003		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 H03K H03M G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 464 754 A (STEWART ET AL.) 7 August 1984 (1984-08-07) column 3, line 10 -column 6, line 4; figure 2B	1,2
A	WO 97 40579 A (UNITED TECHNOLOGIES CORP) 30 October 1997 (1997-10-30) abstract; figure 2	1
<input type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
° Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed	*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family	
Date of the actual completion of the international search <p style="text-align: center; font-size: 1.2em;">15 May 2000</p>	Date of mailing of the international search report <p style="text-align: center; font-size: 1.2em;">22/05/2000</p>	
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer <p style="text-align: center; font-size: 1.2em;">Foglia, P</p>	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 00/00573

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 4464754	A	07-08-1984	NONE	
WO 9740579	A	30-10-1997	NONE	

RAPPORT DE RECHERCHE INTERNATIONALE

Des. No Internationale No
PCT/FR 00/00573

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 H03K19/003

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
CIB 7 H03K H03M G06F

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 4 464 754 A (STEWART ET AL.) 7 août 1984 (1984-08-07) colonne 3, ligne 10 - colonne 6, ligne 4; figure 2B	1,2
A	WO 97 40579 A (UNITED TECHNOLOGIES CORP) 30 octobre 1997 (1997-10-30) abrégé; figure 2	1

Voir la suite du cadre C pour la fin de la liste des documents Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- "E" document antérieur, mais publié à la date de dépôt international ou après cette date
- "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée
- "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- "&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée 15 mai 2000	Date d'expédition du présent rapport de recherche internationale 22/05/2000
---	---

Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Fonctionnaire autorisé Foglia, P
---	--

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Den o internationale No

PCT/FR 00/00573

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 4464754 A	07-08-1984	AUCUN	
WO 9740579 A	30-10-1997	AUCUN	