



(12) 发明专利申请

(10) 申请公布号 CN 102844859 A

(43) 申请公布日 2012. 12. 26

(21) 申请号 201080065830. 2

(22) 申请日 2010. 12. 17

(30) 优先权数据

12/694, 012 2010. 01. 26 US

(85) PCT申请进入国家阶段日

2012. 09. 26

(86) PCT申请的申请数据

PCT/US2010/060927 2010. 12. 17

(87) PCT申请的公布数据

W02011/093955 EN 2011. 08. 04

(71) 申请人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72) 发明人 Y · 高桥 M · 穆尔图萨 R · 邓恩

S · S · 肖汉

(74) 专利代理机构 北京纪凯知识产权代理有限公司 11245

代理人 赵蓉民

(51) Int. Cl.

H01L 23/48 (2006. 01)

H01L 21/60 (2006. 01)

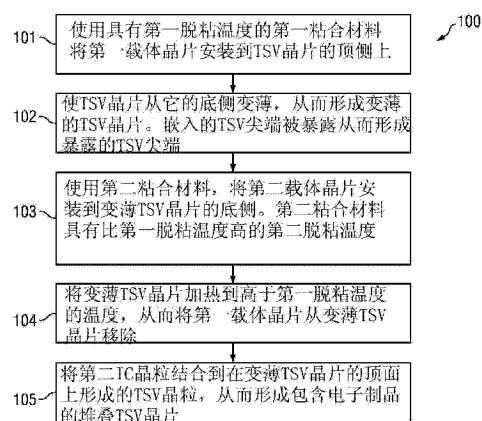
权利要求书 2 页 说明书 6 页 附图 10 页

(54) 发明名称

用于将 IC 晶粒或晶片接合到 TSV 晶片的双载体

(57) 摘要

本发明涉及一种使用贯穿衬底通孔(TSV)晶片形成堆叠电子制品的方法,该方法包括使用具有第一脱粘温度的第一粘合材料(206)将第一载体晶片(205)安装到 TSV 晶片(202)的顶侧。TSV 晶片从 TSV 晶片的底侧变薄,从而形成变薄的 TSV 晶片(202')。使用具有高于第一脱粘温度的第二脱粘温度的第二粘合材料(207),将第二载体晶片(215)安装到 TSV 晶片(202')的底侧。变薄的 TSV 晶片(202')被加热到高于第一脱粘温度的温度,从而从变薄的 TSV 晶片(202')移除第一载体晶片(205)。至少一个单个化的 IC 晶粒被结合到在变薄的 TSV 晶片的顶面上形成的 TSV 晶粒,从而形成堆叠电子制品。



1. 一种形成堆叠电子制品的方法,包含:

使用具有第一脱粘温度的第一粘合材料,将第一载体晶片安装到贯穿衬底通孔(TSV)晶片的顶侧,所述 TSV 晶片包括 TSV 晶粒;

使所述 TSV 晶片从所述 TSV 晶片的底侧变薄,从而形成变薄 TSV 晶片,其中所述变薄包括在所述 TSV 晶片上暴露嵌入的 TSV 尖端,从而形成暴露的 TSV 尖端;

使用第二粘合材料将第二载体晶片安装到所述底侧,其中所述第二粘合材料具有高于所述第一脱粘温度的第二脱粘温度;

将所述变薄 TSV 晶片加热到高于所述第一脱粘温度的温度,从而从所述变薄 TSV 晶片移除所述第一载体晶片;以及

将至少一个第二 IC 晶粒结合到在所述变薄 TSV 晶片的所述顶侧上的所述 TSV 晶粒,从而形成包含电子制品的堆叠 TSV 晶片。

2. 根据权利要求 1 所述的方法,其中所述第一粘合材料和所述第二粘合材料都包含热塑性塑料。

3. 根据权利要求 1 所述的方法,其中所述暴露的 TSV 尖端是从所述变薄 TSV 晶片的底侧突出至少 $5\mu\text{m}$ 的突出 TSV 尖端。

4. 根据权利要求 1 所述的方法,进一步包含在所述第二 IC 晶粒和所述 TSV 晶片的所述顶侧之间提供可固化介电膜即 CDF;并且其中所述结合所述第二 IC 晶粒包含热压工艺,所述热压工艺在单个工艺步骤中提供压缩模塑从而从所述 CDF 形成底部填充,并提供接合以结合所述第二 IC 晶粒从而形成所述包含电子制品的堆叠 TSV 晶片。

5. 根据权利要求 1 所述的方法,其中所述形成所述包含电子制品的堆叠 TSV 晶片进一步包含在所述第二 IC 晶粒的所述结合之后,用底部填充材料或不导电胶进行底部填充。

6. 根据权利要求 4 所述的方法,其中所述结合所述第二 IC 晶粒包含倒装结合。

7. 根据权利要求 4 所述的方法,其中所述第二 IC 晶粒包含多个 TSV,并且其中所述结合所述第二 IC 晶粒包含所述第二 IC 晶粒的面向上结合。

8. 根据权利要求 1 所述的方法,进一步包含:

从所述包含电子制品的堆叠 TSV 晶片移除所述第二载体晶片;以及

将所述包含电子制品的堆叠 TSV 晶片锯切,从而形成多个单个化的堆叠 IC 晶粒。

9. 根据权利要求 8 所述的方法,进一步包含:

将所述多个单个化的堆叠 IC 晶粒的至少一个结合到在其上具有平面焊盘的封装衬底,以及

用底部填充材料或不导电胶进行毛细管底部填充。

10. 根据权利要求 8 所述的方法,其中所述暴露的 TSV 尖端是从所述变薄 TSV 晶片的所述底侧突出至少 $5\mu\text{m}$ 的突出 TSV 尖端,所述方法进一步包含:

在所述锯切之前在所述突出 TSV 尖端上提供可固化介电膜即 CDF,

在其上具有平面焊盘的封装衬底上放置所述多个单个化的堆叠 IC 晶粒的至少一个,以及

包含热压工艺的结合,所述热压工艺在单个工艺步骤中提供压缩模塑从而从所述 CDF 形成底部填充,并提供接合从而将所述单个化的堆叠 IC 晶粒的所述突出 TSV 尖端结合到所述封装衬底的所述平面焊盘。

11. 根据权利要求 1 所述的方法,进一步包含:

形成模具层,包含在所述结合所述第二 IC 晶粒之后将模具材料二次模塑,从而覆盖所述第二 IC 晶粒;

从所述包含电子制品的堆叠 TSV 晶片移除所述第二载体晶片,以及

将所述包含电子制品的堆叠 TSV 晶片锯切,从而形成多个单个化的堆叠 IC 晶粒。

12. 根据权利要求 11 所述的方法,进一步包含将所述多个单个化的堆叠 IC 晶粒的至少一个结合到在其上具有平面焊盘的封装衬底,以及然后用底部填充材料或不导电胶进行毛细管底部填充。

13. 根据权利要求 11 所述的方法,其中所述暴露的 TSV 尖端是从所述变薄 TSV 晶片的所述底侧突出至少 $5\mu\text{m}$ 的突出 TSV 尖端,所述方法进一步包含:

在所述晶片锯切之前在所述突出 TSV 尖端上提供可固化介电膜即 CDF,

在其上具有平面焊盘的封装衬底上放置所述多个单个化的堆叠 IC 晶粒的至少一个,以及

包含热压工艺的第二结合,所述热压工艺在单个工艺步骤中提供压缩模塑从而从所述 CDF 形成底部填充,并提供接合从而将所述突出 TSV 尖端结合到封装衬底的所述平面焊盘。

用于将 IC 晶粒或晶片接合到 TSV 晶片的双载体

技术领域

[0001] 公开的实施例涉及集成电路(IC)组装工艺,并更具体涉及将晶粒或晶片结合/键合到包含 TSV 的晶片。

背景技术

[0002] 为了使用标准倒装组装技术以面对面方式堆叠 IC 晶粒,通过将第一变薄 IC 晶粒然后将第二变薄 IC 晶粒(例如,25 到 150 μm 厚的变薄晶粒)结合到封装衬底(例如 PCB)上,组装以连续方式常规执行。在典型的装配中,第一 IC 晶粒可以是包含 TSV 的晶粒,该晶粒面向上(即,有源电路/顶侧)安装在封装衬底的表面上,其中 TSV 形成与封装衬底表面上焊盘的接合点。然后一般执行毛细管底部填充。第二 IC 晶粒然后一般倒装(FC)安装到第一 IC 晶粒的顶侧。

[0003] 伴随该常规顺序堆叠晶粒组装技术的问题包括伴随经凸点的晶粒到晶粒接合的困难,因为安装在封装衬底上的第一 IC 晶粒可以具有显著的翘曲/弓形。另外,由于两个 IC 晶粒都变薄并且顶侧在组装期间暴露,因此 IC 晶粒处理一般是困难的,并可以由于破裂的 IC 晶粒或 IC 晶粒的刮擦导致收得率损失。

[0004] 堆叠晶粒也可以由晶粒到晶片方法(D2W)形成。在一个已知的 D2W 方法中,晶粒-晶片堆叠通过使用结合到 TSV 晶片顶侧的载体晶片使 TSV 晶片变薄(例如,到 $<100\mu\text{m}$ 厚),从而在 TSV 晶片的底侧上暴露 TSV 尖端。然后移除载体晶片,并然后将 IC 晶粒结合到变薄 TSV 晶片的顶侧。然而,变薄 TSV 晶片的翘曲可以使与 IC 晶粒的接合/结合复杂化。例如,如在本领域中已知,翘曲导致不重合/未对准的接合,这些接合减少触点面积,这提高接合点的触点电阻,特别是对于细距焊盘,并可以甚至导致开路触点。

[0005] 此外,常规的薄晶粒-晶片堆叠难以处理,这可以导致刮擦和破裂的可能性。在第二已知 D2W 方法中,变薄的 IC 晶粒结合到 TSV 晶片的顶部,并且然后使 TSV 从它的底侧变薄,从而在 TSV 晶片的底侧上暴露 TSV。由于在 TSV 晶片尖端暴露期间 TSV 晶片的翘曲/弯曲(其随着晶片变薄开始而增加),因此该第二已知 D2W 方法可以导致显著的 TSV 尖端高度变化,包括跨个体 IC 晶粒的显著高度变化,这可以在晶粒堆叠的 TSV 尖端到封装衬底的随后结合期间导致结合问题。

[0006] 晶片到 TSV 晶片(W2W)的结合分担上面关于 D2W 方法描述的相同挑战中的一些。因此,需要将晶粒或晶片结合到包含 TSV 的晶片的新组装工艺。

发明内容

[0007] 公开的实施例提供针对如下问题的解决方案:即将晶粒或晶片结合到包含 TSV 的晶片从而形成包含电子制品的堆叠 TSV 晶片时的上述翘曲/弓形和刮擦,这些电子制品可以被切成单个从而形成包括至少一个 TSV 晶粒的薄晶粒堆叠。使用具有第一脱粘温度的第一粘合材料,将第一载体晶片安装到包含多个 IC 晶粒的 TSV 晶片的顶面。然后使 TSV 晶片从它的底侧变薄以形成变薄的 TSV 晶片,从而暴露嵌入的 TSV 尖端。由于平坦载体晶片在

变薄期间支撑 TSV 晶片,因此导致的 TSV 尖端高度变化与上面描述的第二 D2W 方法相比显著减少。

[0008] 由于第一载体晶片仍结合到 TSV 晶片的顶部,所以然后使用第二粘合材料将第二载体晶片安装到 TSV 晶片的底侧,从而将 TSV 晶片夹在中间。第二粘合材料具有比第一粘合材料的脱粘温度高的第二脱粘温度。然后通过加热到高于第一脱粘温度但低于第二脱粘温度的温度,将第一载体晶片从 TSV 晶片的顶侧选择性移除,因此第二载体晶片保持附着到 TSV 晶片。

[0009] 可以包含单个化的 IC 晶粒或晶片的至少一个第二 IC 晶粒然后在变薄 TSV 晶片的顶侧上结合到多个 TSV 晶粒,从而形成包含电子制品的堆叠 TSV 晶片。由于在单个化的 IC 晶粒或晶片的结合期间 TSV 晶片由第二载体晶片支撑,因此翘曲/弓形显著减少,这降低接合点的接点电阻,并且导致改善通过包含电子制品的堆叠 TSV 晶片的单个化切割(例如锯切)生成的单个化的堆叠 IC 晶粒的电路性能和可靠性。

附图说明

[0010] 公开的实施例参考附图描述,其中:

[0011] 图 1 是根据公开实施例的流程图,示出示例方法中的步骤,该方法用于从包括多个 TSV 晶粒的 TSV 晶片形成包含电子制品的堆叠 TSV 晶片,该多个 TSV 晶粒中每个都包括具有嵌入的 TSV 尖端和至少一个第二 IC 晶粒的 TSV 前体。

[0012] 图 2A-G 根据公开实施例示出与示例双载体 FC 方法关联的连续剖面图,该示例双载体 FC 方法用于形成晶粒-TSV 晶片堆叠或晶片-TSV 晶片堆叠。

[0013] 图 3A-H 根据公开实施例示出与示例无模具组装流程关联的连续剖面图,该示例无模具组装流程用于从晶粒-晶片堆叠形成单个化的晶粒堆叠,并然后将单个化的晶粒堆叠结合到封装衬底。

[0014] 图 4A-I 根据公开实施例示出与示例含模具组装流程关联的连续剖面图,该示例含模具组装流程用于从晶粒-晶片堆叠形成单个化的晶粒堆叠,并然后将单个化的晶粒堆叠结合到封装衬底。

[0015] 图 5 是示例的粘度对温度图表,示出可以与公开实施例一起使用的提供不同脱粘温度的一些粘合材料。

具体实施方式

[0016] 公开的实施例包括双载体晶片方法,该方法用于紧接着单个化提供多个单个化的堆叠 IC 晶粒,形成包含电子制品的堆叠 TSV 晶片。如在此使用的,“TSV 晶片”包括顶侧和底侧,该顶侧包括在其上形成的多个 TSV 晶粒,该多个 TSV 晶粒包含有源电路和包括嵌入的 TSV 尖端的“TSV 前体”。术语“TSV 前体”指代在从 TSV 晶片的底侧变薄之后足以提供到 TSV 尖端的电气接入的结构,因此 TSV 前体提供贯穿衬底的导电性。如在本领域中已知的,有源电路一般包含电路元件,该电路元件包括晶体管、二极管、电容器和电阻器,以及将这些各种电路元件互连的信号线和其它导体。

[0017] 图 1 是根据公开的实施例示出示例双载体方法 100 中的步骤的流程图,该示例双载体方法 100 用于从 TSV 晶片形成包含电子制品的堆叠 TSV 晶片。步骤 101 包含使用具有

第一脱粘温度的第一粘合材料将第一载体晶片安装到 TSV 晶片的顶侧上。载体晶片例如可以包括石英和硅。TSV 晶片一般是在此定义的厚晶片,从而具有至少 $100\text{ }\mu\text{m}$ 的厚度,即通常至少 $200\text{ }\mu\text{m}$ (例如, 500 到 $800\text{ }\mu\text{m}$) 厚。

[0018] 在步骤 102 中,使 TSV 晶片从它的底侧变薄,从而形成变薄的 TSV 晶片。TSV 晶片一般变薄到至少 $25\text{ }\mu\text{m}$,通常从 $25\text{ }\mu\text{m}$ 到 $150\text{ }\mu\text{m}$ 的厚度。变薄包括将嵌入的 TSV 尖端从变薄的 TSV 晶片的底侧暴露,从而形成暴露的 TSV 尖端。在一个实施例中,暴露的 TSV 尖端从 TSV 晶片的底侧突出至少 $5\text{ }\mu\text{m}$,例如 5 到 $50\text{ }\mu\text{m}$ 。在另一实施例中,TSV 尖端不从 TSV 晶片的底侧突出,并且在该晶片底侧上的重分配层(RDL)提供到暴露的 TSV 尖端的接触。

[0019] 步骤 103 包含使用第二粘合材料,将第二载体晶片安装到变薄的 TSV 晶片的底侧。第二粘合材料具有比第一脱粘温度高的第二脱粘温度,因此在第一粘合剂脱粘从而允许第一载体晶片移除时,第二粘合剂维持其载体晶片的附着。脱粘温度的差一般至少 10°C ,并且更典型是至少 20°C ,例如 50°C 或更高。

[0020] 相应的粘合剂可以在每个情况下从热塑塑料、热固塑料、用光(例如 UV)可固化聚合物的选项中选择。

[0021] 步骤 104 包含加热变薄的 TSV 晶片到高于第一脱粘温度的温度,从而将第一载体晶片从变薄的 TSV 晶片移除。步骤 104 中的温度低到足以保持第二粘合剂在适当位置使得第二载体晶片仍然附着。例如,在一个实施例中,例如通过加热到约 250°C ,一旦第一粘合剂的粘度降至约 $100\text{Pa}\cdot\text{s}$ (或更低),而选择的第二粘合剂在所选脱粘温度稳定,可以发生第一粘合剂的选择性脱粘。溶剂处理可以应用于移除残余的第一粘合剂。

[0022] 步骤 105 包含将第二 IC 晶粒结合到在变薄的 TSV 晶片的顶面上形成的 TSV 晶粒,从而形成包含电子制品的堆叠 TSV 晶片。第二 IC 晶粒可以包含一个或更多单个化的第二 IC 晶粒。在该实施例中,包含电子制品的堆叠 TSV 晶片包含晶粒-TSV 晶片堆叠。第二 IC 晶粒也可以包含晶片,该晶片包含多个第二 IC 晶粒。在该实施例中,包含电子制品的堆叠 TSV 晶片包含晶片-TSV 晶片堆叠。

[0023] 结合可以是 FC 结合。在其它实施例中,例如在第二 IC 晶粒包括 TSV 时,第二 IC 晶粒可以将顶侧(即有源电路侧)在 TSV 晶片的顶面上结合。尽管在此一般描述的其中第二 IC 晶粒结合到变薄的 TSV 晶片,但本领域技术人员会认识到包括多个堆叠的第二 IC 晶粒的晶粒或晶片堆叠(例如,2、3 个或更多晶粒和 / 或晶片的堆叠)可以基于在此公开的方法学结合到变薄的 TSV 晶片。

[0024] 第二载体晶片可以然后从包含电子制品的堆叠 TSV 晶片移除。第二粘合剂可以用各种方式移除,包括热和非热方式(例如激光移除)。在第二载体晶片移除之后,包含电子制品的 TSV 晶片可以被切割成单个(例如锯切)从而形成多个堆叠的 IC 晶粒,这些多个堆叠的 IC 晶粒可以然后安装到封装衬底(例如有机衬底)上,如下面关于若干例子实施例描述的。

[0025] 图 2A-G 根据公开的实施例示出与示例双载体 FC 方法关联的连续剖面图,该示例双载体 FC 方法用于形成包含电子制品的 TSV 晶片。为简单,常规介电衬里和针对具有金属填充物例如铜的 TSV 存在的金属扩散势垒层都没有在这里提供的图中示出。此外,如上面提到,尽管公开的实施例可以一般被描述为 FC 组装方法,但在安装到变薄 TSV 晶片上的第二 IC 晶粒或包括第二 IC 晶粒的晶片自身包括 TSV 时,该第二晶粒可以顶侧 / 面向上安装。

[0026] 在完成晶片工厂加工(例如钝化加工)之后,具有嵌入的 TSV 203 和多个 TSV 晶粒

的 TSV 晶片 202 在图 2A 中示出。在图中的“FS”对应晶粒或晶片的前 / 顶侧,而“BS”对应晶粒或晶片的后 / 底侧。如在图 2B 中示出的,使用具有第一脱粘温度的第一粘合材料 206 将第一载体晶片 205 安装到 TSV 晶片 202 的顶侧。图 2C 示出在 TSV 晶片变薄(例如背磨)从而形成包含 TSV 203 的变薄 TSV 晶片 202' 之后的图示,TSV 203 具有暴露的 TSV 尖端 203 (a)。

[0027] 图 2D 示出在使用第二粘合材料 207 将第二载体晶片 215 安装到变薄的 TSV 晶片 202' 的底侧之后的剖面图。如上面描述,第二粘合材料 207 具有比第一脱粘温度高的第二脱粘温度。图 2E 示出在允许第一载体晶片 205 从变薄 TSV 晶片 202' 移除的加热之后的剖面图。第二载体晶片 215 由第二粘合剂 207 保持附着到变薄的 TSV 晶片 202'。

[0028] 如上面描述,第二 IC 晶粒可以包含一个或更多单个化的 IC 晶粒。在该实施例中,包含形成的电子制品的堆叠 TSV 晶片包含晶粒 -TSV 晶片堆叠。图 2F 示出在将示作晶粒 2218 的已单个化第二 IC 晶粒结合到在变薄 TSV 晶片 202' 的顶侧上形成的多个 TSV 晶粒的前侧,从而形成晶粒 - 晶片堆叠之后的剖面图。晶粒 2218 被示出具有用于 FC 接合的多个结合导体(凸起) 210。晶粒 2 可以是半导体 IC、MEMS 器件或包含 MEMS 的 IC,或无源器件。

[0029] 如上面描述,第二 IC 晶粒也可以包含晶片,该晶片包含多个第二 IC 晶粒。在该实施例中,包含形成的电子制品的堆叠 TSV 晶片包含晶片 -TSV 晶片堆叠。图 2G 示出在将包含示作晶粒 2218 的多个第二 IC 晶粒的晶片 261 结合到在变薄 TSV 晶片 202' 的顶侧上形成的多个 TSV 晶粒的前侧,从而形成晶片 -TSV 晶片堆叠之后的剖面图。晶粒 2218 被示出为具有用于 FC 接合的多个结合导体(凸起) 210。如上面提到的,晶粒 2218 可以是半导体 IC、MEMS 器件或包含 MEMS 的 IC,或无源器件。可固化的介电膜(CDF)213 在图 2F 中的晶粒 2218 和变薄 TSV 晶片 202' 的 FS 之间示出,并在图 2G 中的晶片 261 和变薄 TSV 晶片 202' 的 FS 之间示出。CDF 213 允许压合,从而使用挤压力(压力)来同时形成接合点以及形成底部填充材料,该压力足以导致用于晶粒 2218 上 FC 接合的凸起 210 穿透进入 CDF 层 213,从而在凸起 210 和变薄 TSV 晶片 202' 顶侧上 TSV 晶粒的 FS 上的结合特征之间形成金属接合点,其中的热足以导致 CDF 213 形成底部填充层(例如交联)。

[0030] 在压合期间典型的热压条件可以包含 150-180°C 的温度、35-133Kgf/cm² 挤压期间的力 / 面积(压强),以及在 100-180 秒(sec)之间的挤压时间。因此,在该实施例中,常规底部填充工艺,例如毛细管底部填充或不导电胶(NCP)工艺不是必需的。

[0031] CDF 213 可以被施加(例如层压)到晶粒 2218 的顶 / 前侧(FS)。CDF 材料在固化之前一般提供低熔化粘度,例如低于 500 到 1,000 帕·秒(Pa·s),以及快速可固化性,例如针对在至少 180°C 温度的 30 秒固化时间。CDF 213 可以包括可选的填料,其中填料的重量(wt.)% 在一个实施例中基于将 CDF 的热膨胀系数(CTE)与层压区表面的 CTE 匹配。CDF 213 的厚度一般经计算以用额外的厚度量填充标称的底部填充缝隙区,从而反映可制造性裕度。例如,如果底部填充缝隙是 10 μm,那么 CDF 的厚度可以从 15 到 20 μm。CDF 材料可以包括焊剂。如在本领域中已知,焊剂指代能够清除氧化物并使金属(例如铜)能够与焊料一起润湿的化学或物理有效的配方。在结合导体包括高度可氧化的金属例如铜的时候,焊剂一般包括在 CDF 中。金属接合点不在该步骤形成。如下面描述的,CDF 使热压成为可能,从而形成底部填充层并在单个组装步骤中提供结合。

[0032] 图 3A-H 根据公开的实施例示出与示例无模具组装流程关联的连续剖面图,该示

例无模具组装流程用于从晶粒-晶片堆叠形成单个化的晶粒堆叠,并然后将单个化的晶粒堆叠结合到封装衬底。封装衬底可以包含例如有机或陶瓷印刷电路板(PCB)。图 3A 示出剖面图,该剖面图示出第二载体晶片 215 从图 2F 中示出的晶粒-晶片堆叠移除。图 3B 示出剖面图,该剖面图示出载体无晶片的晶粒-晶片堆叠安装到切片膜 315 上。

[0033] 图 3C-E 示出无模具毛细管底部填充流程组装选项。图 3C 示出在将图 3B 中示出的晶粒-晶片堆叠进行晶片锯切,从而提供多个单个化堆叠晶粒之后的结果。图 3D 示出使用包含 TC 结合或质量回流的工艺,将单个化的堆叠晶粒安装到包括焊盘 302 的封装衬底 301 上。图 3E 示出在毛细管底部填充之后导致的结构,从而在单个化的堆叠晶粒的底部和衬底 301 的表面之间缝隙区中布置底部填充 313。

[0034] 图 3F-H 示出无模具预施加的底部填充组装选项。图 3F 示出在图 2F 中示出的晶粒-晶片堆叠和切片膜 315 之间放置 CDF 膜 321。图 3G 示出在锯切图 3F 中示出的晶粒-晶片堆叠之后提供的单个化堆叠晶粒。图 3H 示出将单个化堆叠晶粒放置在封装衬底上之后导致的结构,以及导致单个化堆叠晶粒结合到封装衬底上焊盘的压合,并也示出单个化堆叠晶粒和封装衬底之间源自 CDF 321 的底部填充材料的形成。

[0035] 图 4A-I 根据公开的实施例示出与示例含模具组装流程关联的连续剖面图,该示例含模具组装流程用于从晶粒-晶片堆叠形成单个化的晶粒堆叠,并然后将单个化的晶粒堆叠结合到封装衬底。图 4A 示出在模具材料 410 施加到图 2F 中示出的晶粒-晶片堆叠之后的图示。图 4B 示出剖面图,该剖面图示出第二载体晶片 215 从晶粒-晶片堆叠移除。图 4C 示出将模塑的晶粒-晶片堆叠 TSV 尖端 203 (a) 侧面向上安装在切片膜 315 上。

[0036] 图 4D-E 示出包含模具的毛细管底部填充流程的组装选项。图 4D 示出在将图 4C 中示出的模塑晶粒-晶片堆叠晶片锯切,从而提供包含切割堆叠晶粒的多个模具之后的结果。图 4E 示出使用包含 TC 结合或质量回流的工艺,将包含切割堆叠晶粒的模具安装到包括焊盘 302 的封装衬底 301 上。图 4F 示出在毛细管底部填充之后导致的结构,从而公开切割堆叠晶粒的底部和衬底 301 的表面之间缝隙区中的底部填充 313。

[0037] 图 4G-I 示出无模具预施加的底部填充组装选项。图 4G 示出将 CDF 膜 321 放置在模塑晶粒-晶片堆叠的 TSV 尖端侧上,并将模塑晶片堆叠 TSV 尖端侧面向上安装在切片膜 315 上之后的结构。图 4H 示出在锯切图 4G 中示出的切片膜 315 上的模塑晶粒-晶片堆叠之后提供的模塑单个化堆叠晶粒。图 4I 示出将模塑的单个化堆叠晶粒放置在封装衬底上之后导致的结构,以及导致单个化堆叠晶粒结合到封装衬底 301 上焊盘 302 的压合,并也示出模塑的单个化堆叠晶粒和封装衬底 301 之间源自 CDF 321 的底部填充材料的形成。

[0038] 如上面描述,尽管突出的 TSV 尖端 203 (a)在上面示出,但在本发明的其它实施例中,TSV 209 可从 TSV 晶片的底侧电气接入,但不从晶片的底侧突出,例如在包括 RDL 时。

[0039] 例子

[0040] 本发明的实施例由下面具体的例子进一步说明,这些具体例子不应解释为以任何方式限制本发明实施例的范围或内容。

[0041] 图 5 是可以一般用作在此描述的结合粘合剂的三种不同示例粘合材料的粘度对温度(°C)的图。粘合剂 A 可以用于较低脱粘温度粘合剂,并且粘合剂 B 或 C 用于较高脱粘温度粘合剂。如在此使用的软化温度指代这样的温度:在该温度的粘度是抵抗脱粘需要的最小粘度,例如至少 200Pa·S。曲线 A 是由 M0,斯普林菲尔德(Springeld)的 Brewer Science

公司制造的 Brewer Science WaferBOND™ HT-10.10 涂层的粘度曲线。曲线 B 和 C 为其它材料提供粘度曲线,这些其它材料提供比曲线 A 中示出的脱粘温度高的脱粘温度。

[0042] 一种示例较高脱粘温度粘合剂源自 Sumitomo 3M,该粘合剂是 UV 固化粘合剂。UV 固化液体粘合剂可以类似于 HT10.10 那样使用,用于载体晶片附加。由于这样,通过激光曝光从而在到玻璃的边界上形成小泡,继之以通过移除带从晶片移除,UV 固化粘合剂可能从玻璃或其它载体移除。Sumitomo 3M 由 Sumitomo 3M Ltd. 公司制造,具有抗约 250℃ 的脱粘的耐热能力,如在图 5 中为曲线 B 和 C 示出的。

[0043] 在示例顺序中,较高脱粘温度的第二粘合剂被添加到 TSV 晶片,TSV 晶片在另一侧面上具有较低结合温度粘合剂,类似于图 2D 中示出的。第二粘合剂然后 UV 固化。第一粘合剂然后被选择性移除,例如为第一粘合剂 HT10.10 在 200℃ 左右移除,同时留下由第二粘合剂附着的第一载体晶片。在晶粒附着到 TSV 晶片从而形成晶粒-晶片堆叠之后,激光曝光可以用于形成气泡,从而在晶粒-晶片堆叠的单个化之前从晶粒-晶片堆叠移除玻璃载体和 UV 固化的材料,以形成单个化的堆叠晶粒。

[0044] 本发明的实施例可以整合到各种工艺流程中,从而形成各种器件和相关产品。半导体衬底可以在其中和/或其上的层包括各种元件。这些可以包括势垒层、其它介电层、器件结构、包括源区、漏区、位线、基极、发射极、集电极、导线、导电通孔的有源元件和无源元件等。此外,本发明的实施例可以用于包括双极、CMOS、BiCMOS 和 MEMS 的各种工艺。

[0045] 因此意图覆盖具有在示例实施例背景下描述的特征或步骤的一个或更多的不同组合的实施例,示例实施例具有这样的特征或步骤的全部或仅一些。本领域技术人员意识到许多其它实施例和变化在要求保护的本发明范围内也是可能的。

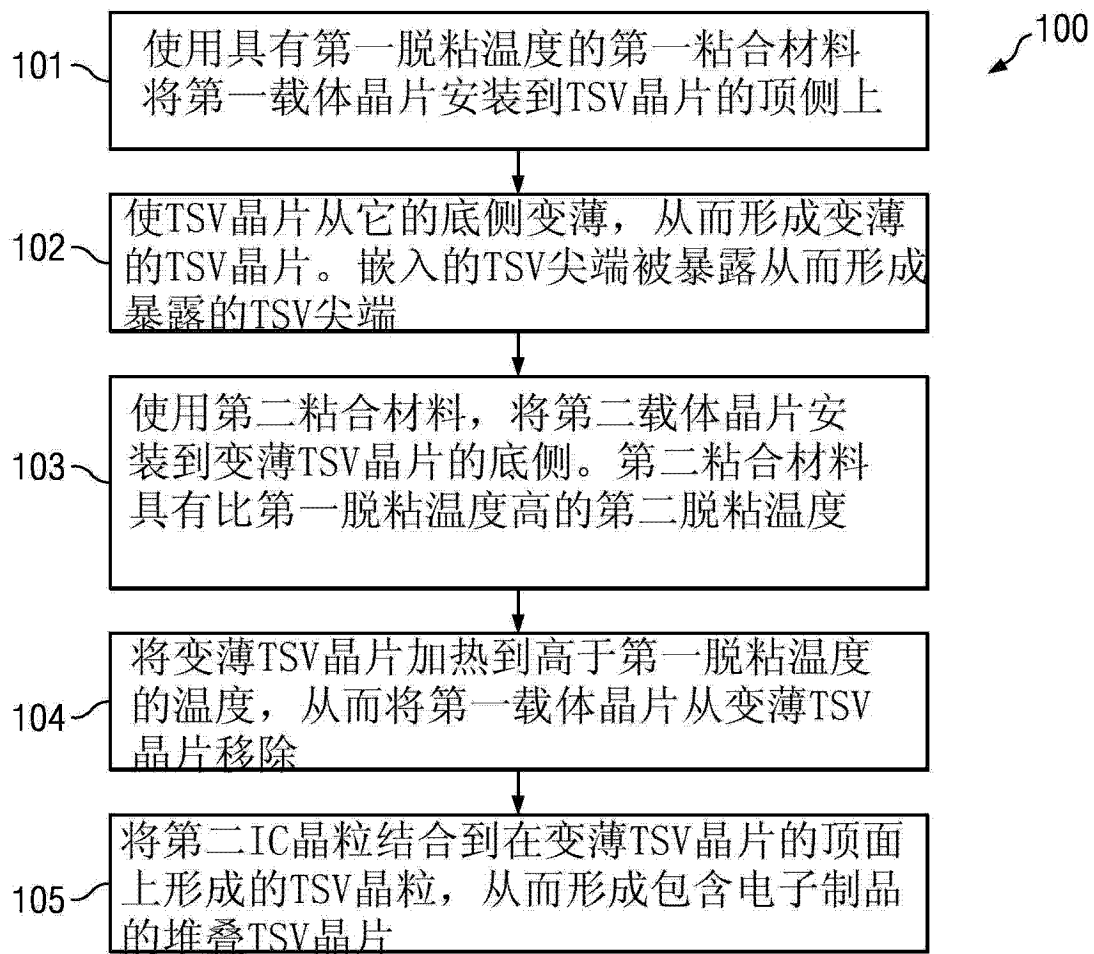


图 1

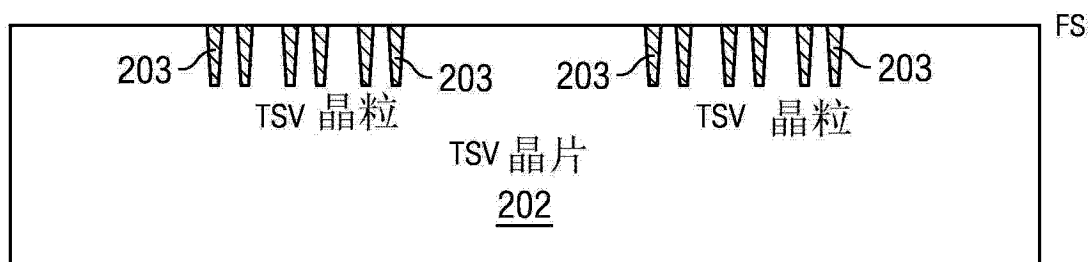


图 2A

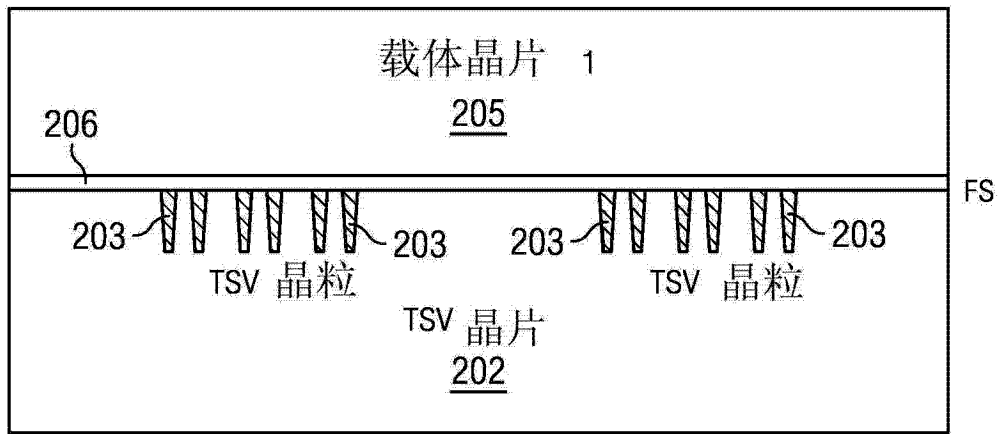


图 2B

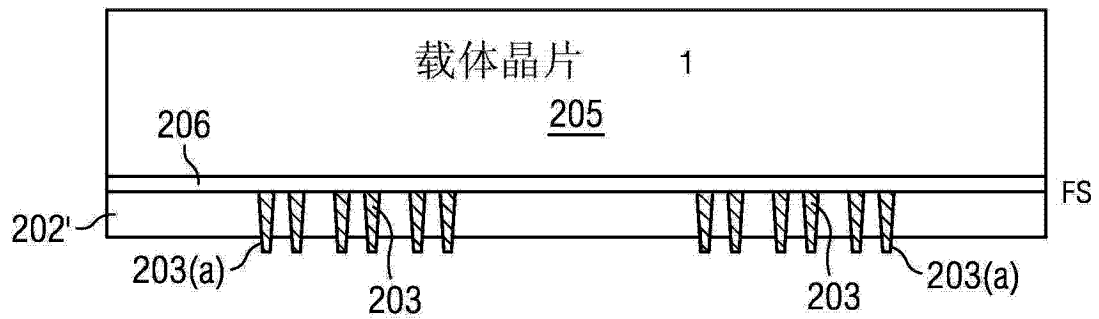


图 2C

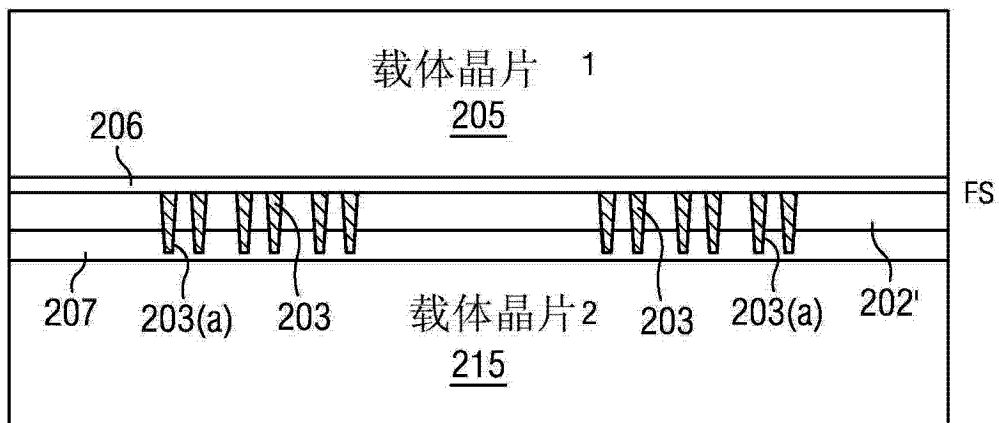


图 2D

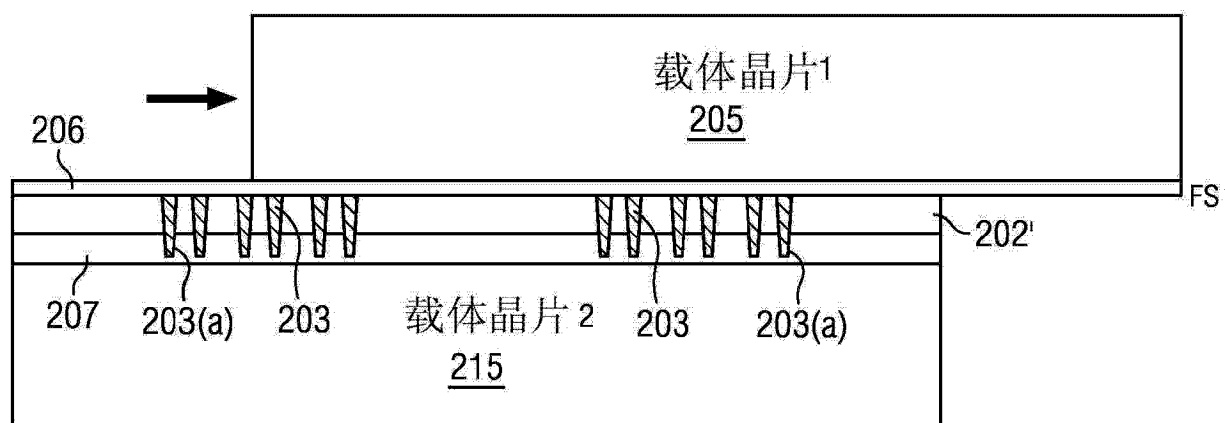


图 2E

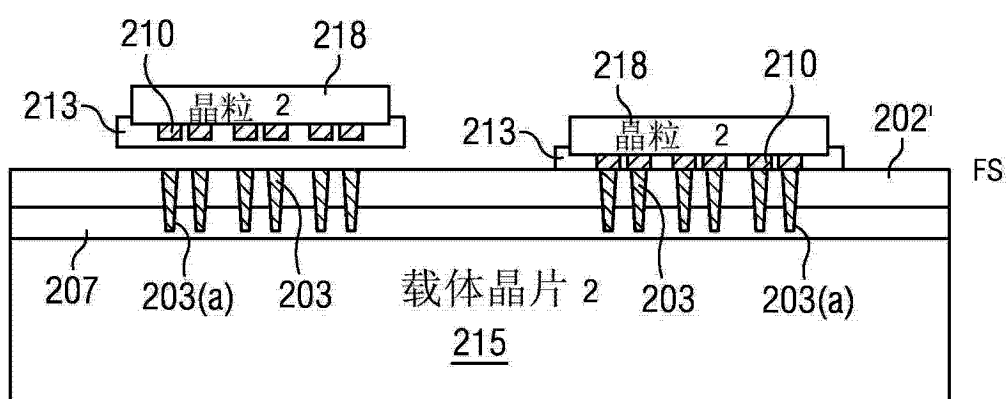


图 2F

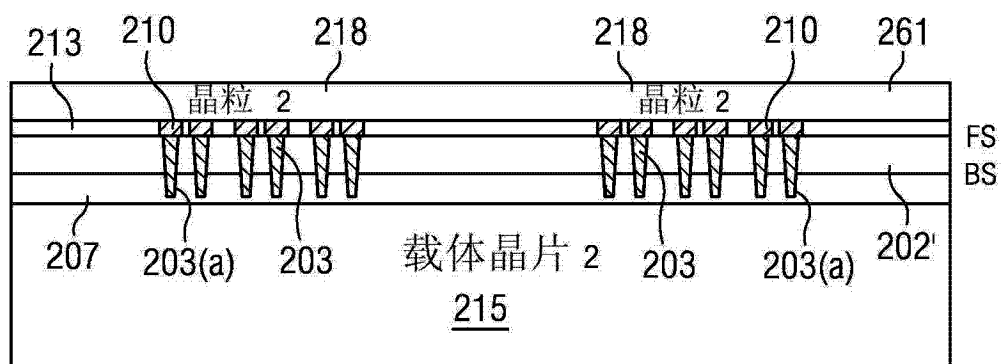


图 2G

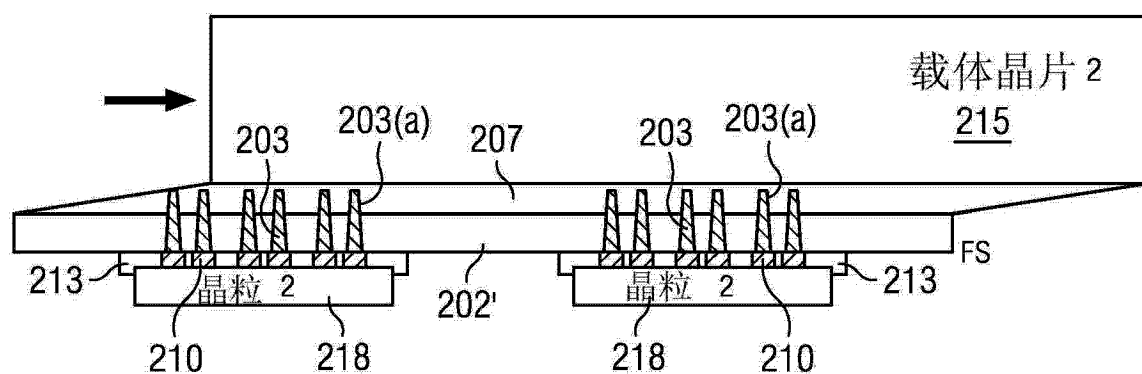


图 3A

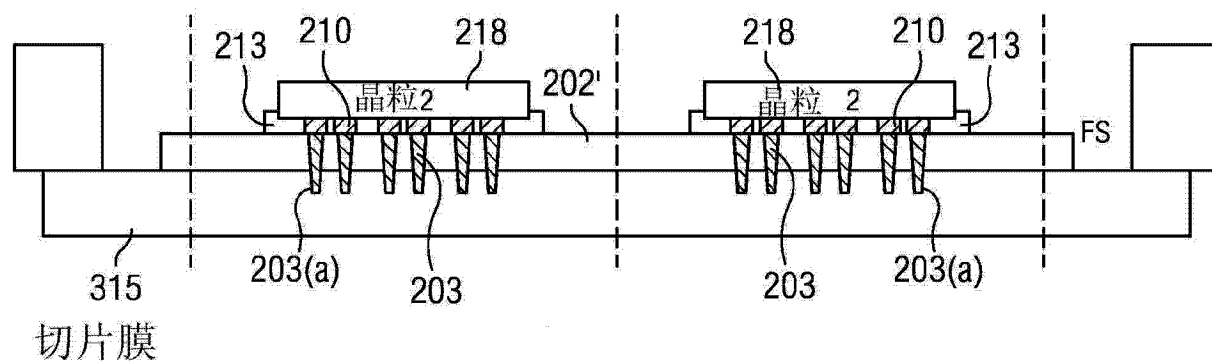


图 3B

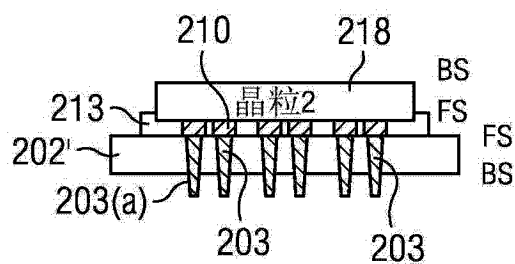


图 3C

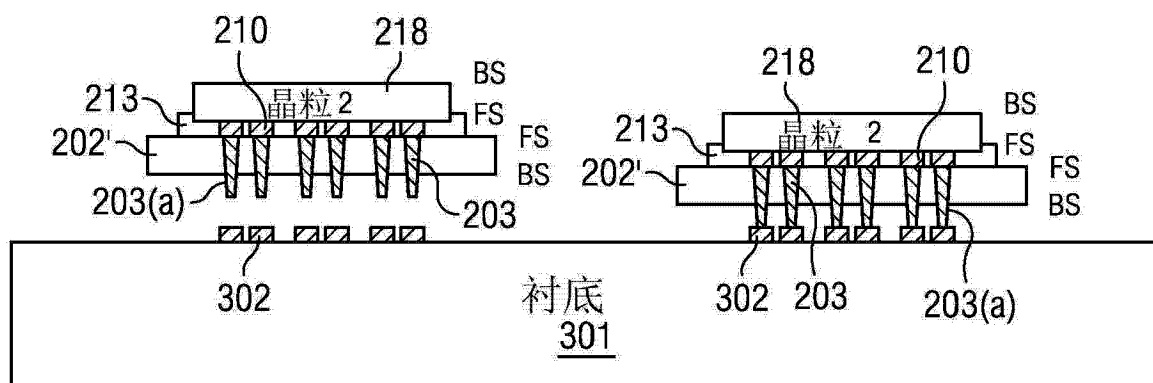


图 3D

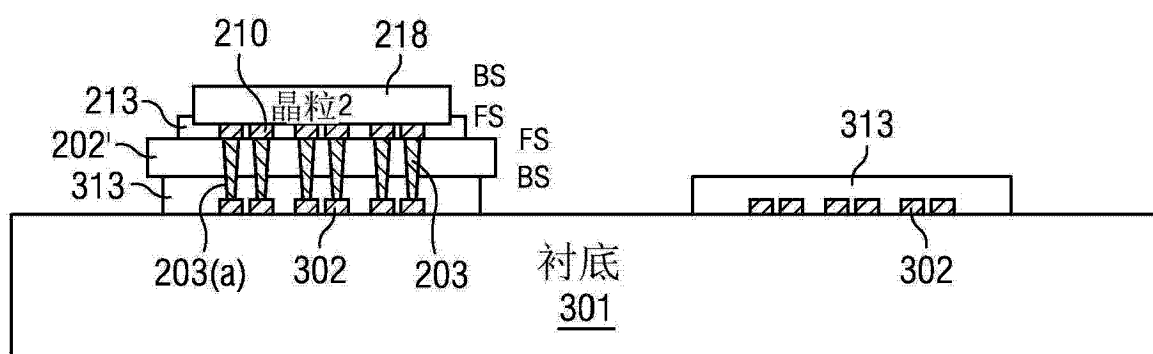


图 3E

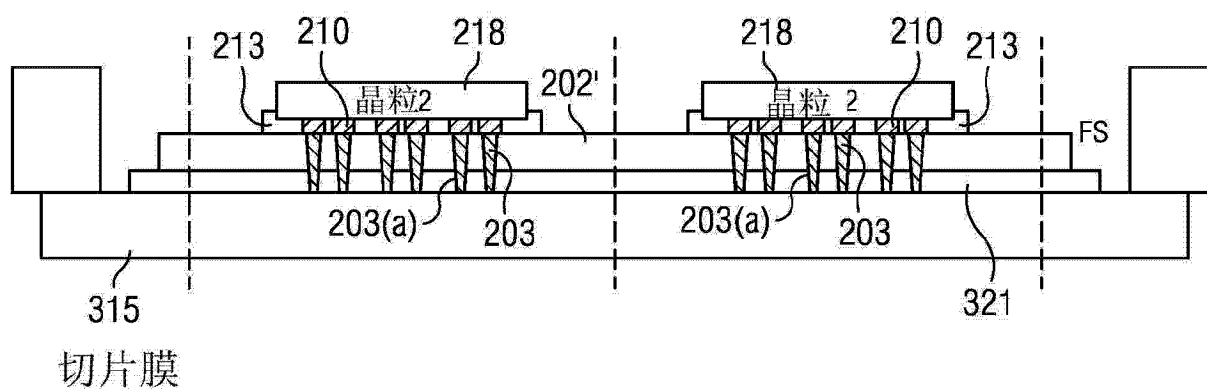


图 3F

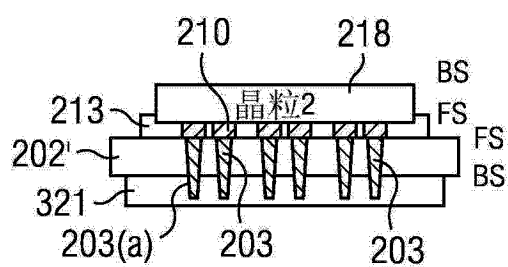


图 3G

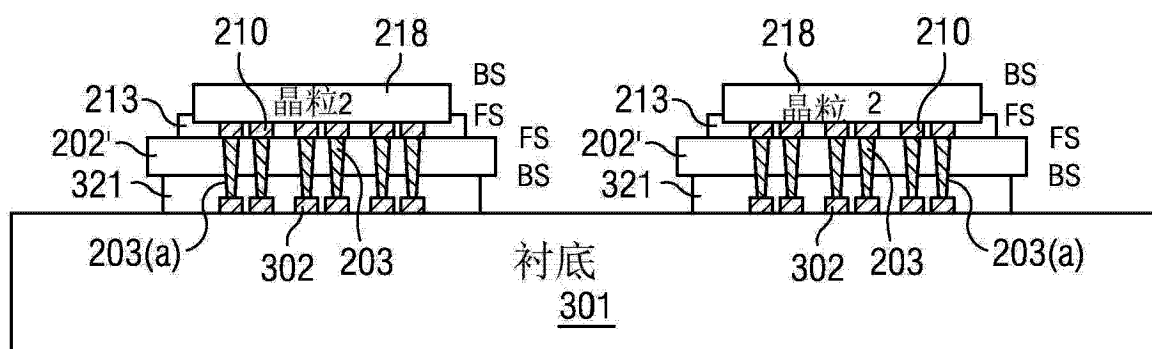


图 3H

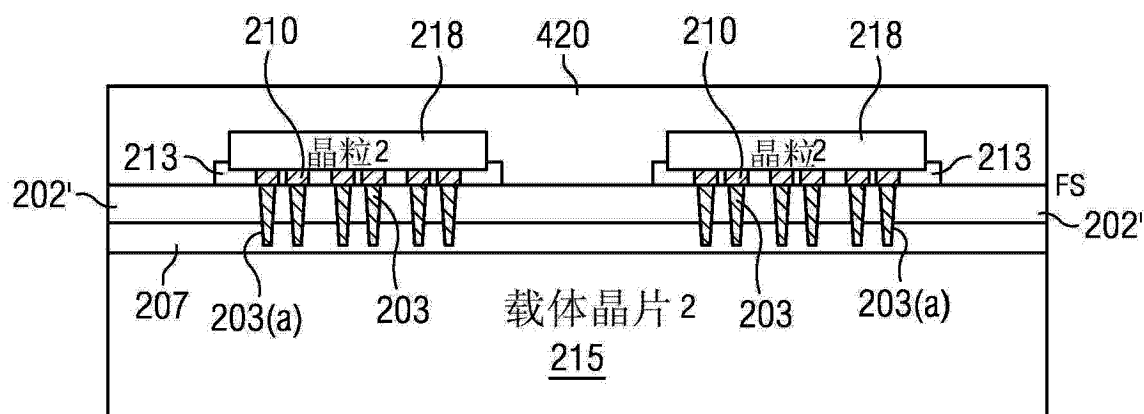


图 4A

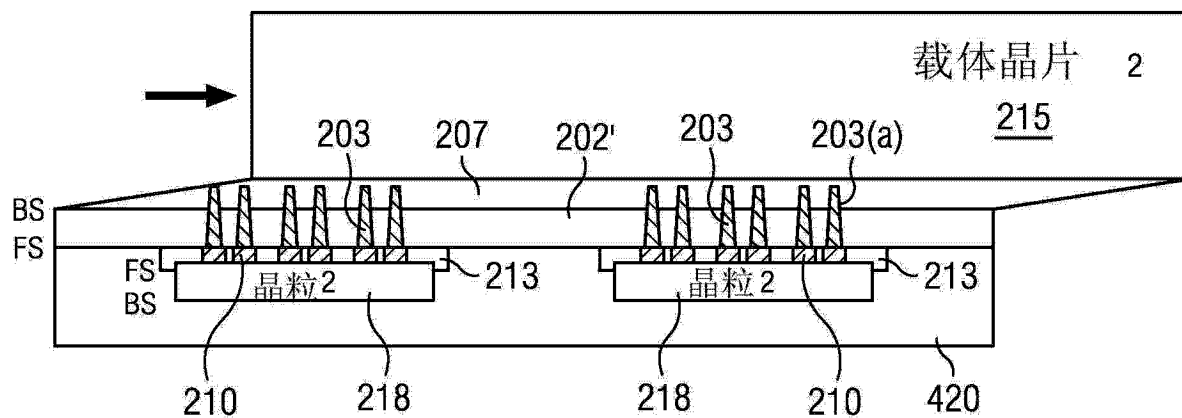


图 4B

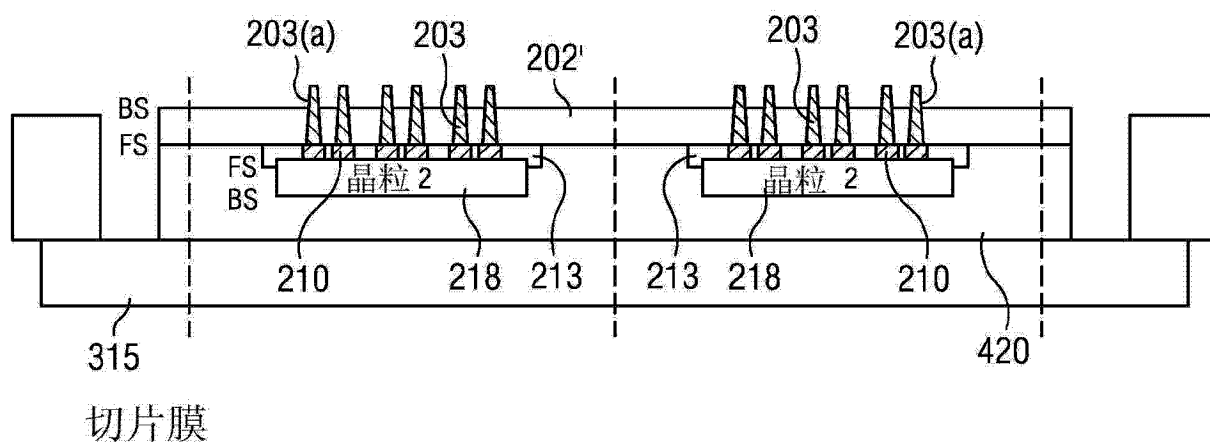


图 4C

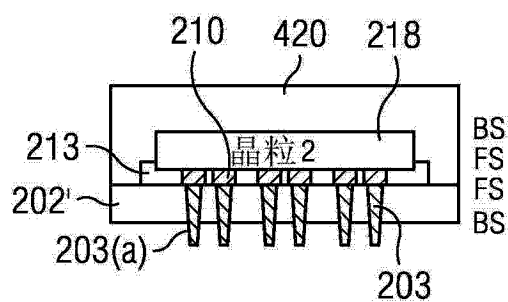


图 4D

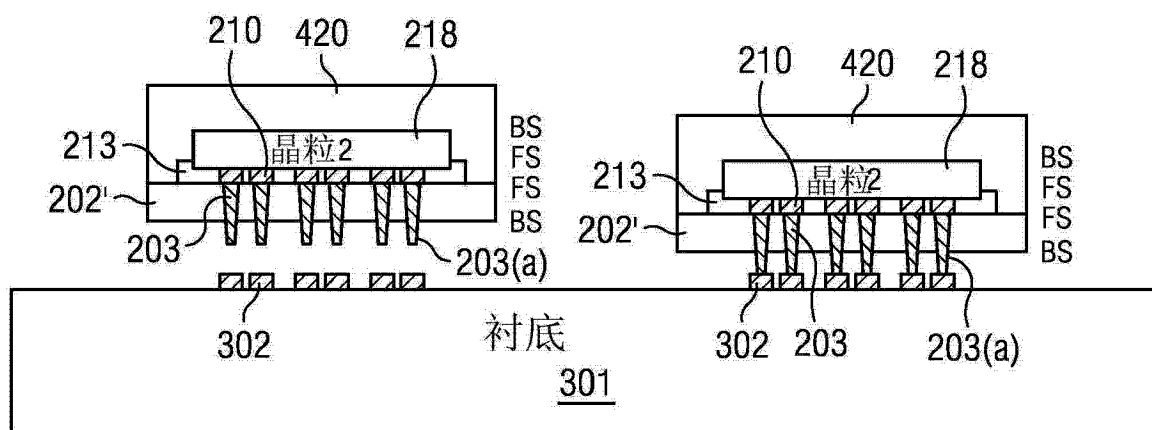


图 4E

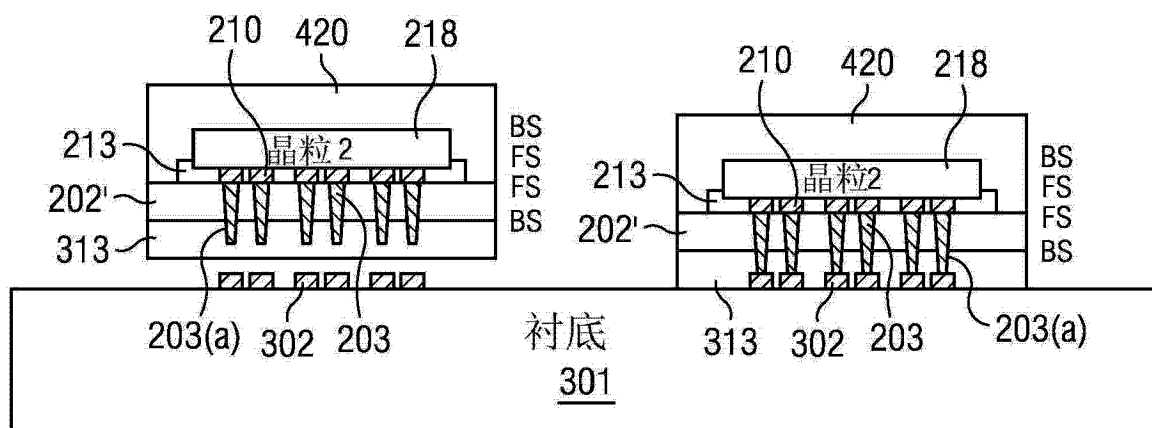


图 4F

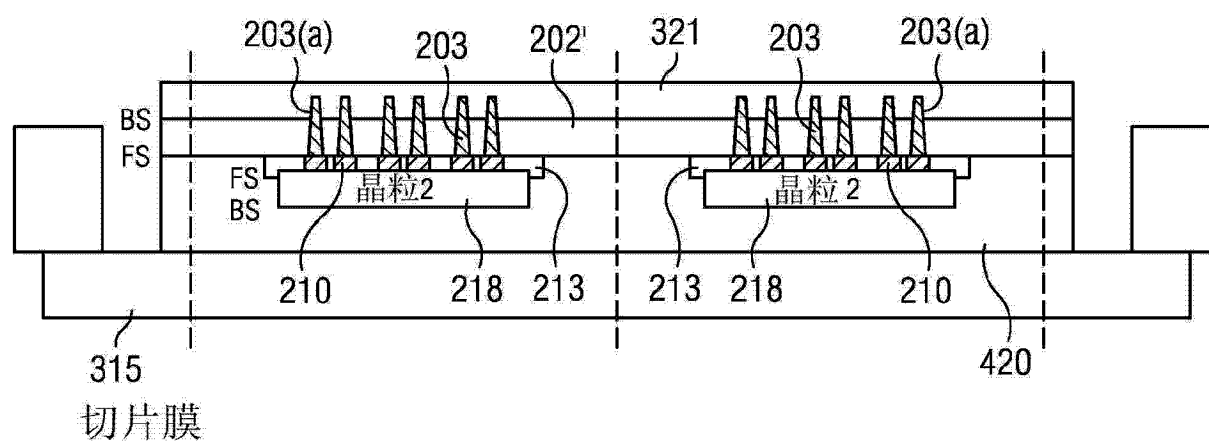


图 4G

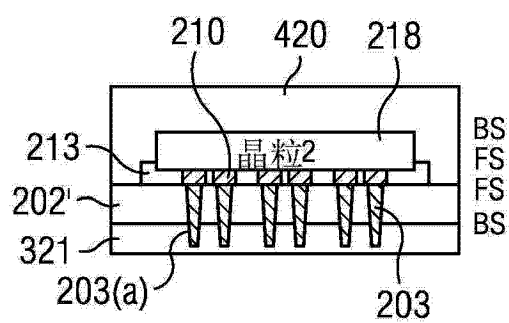


图 4H

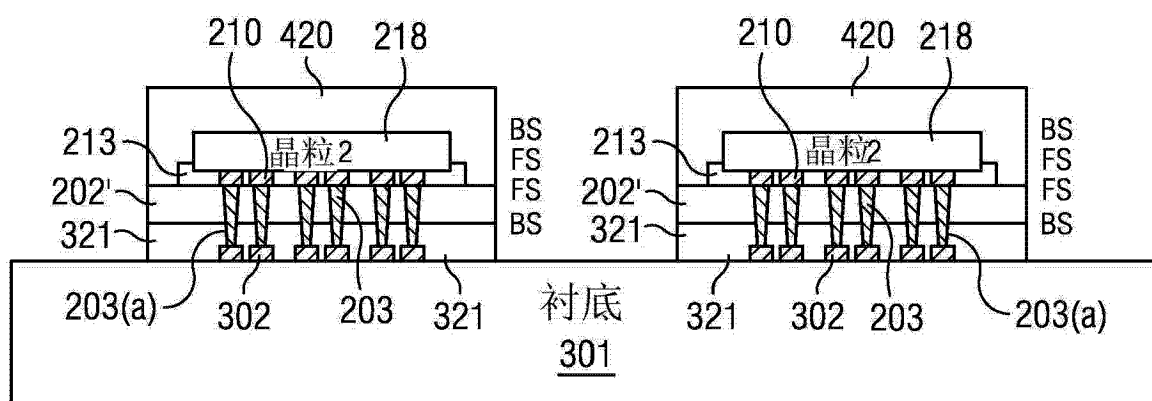


图 4I

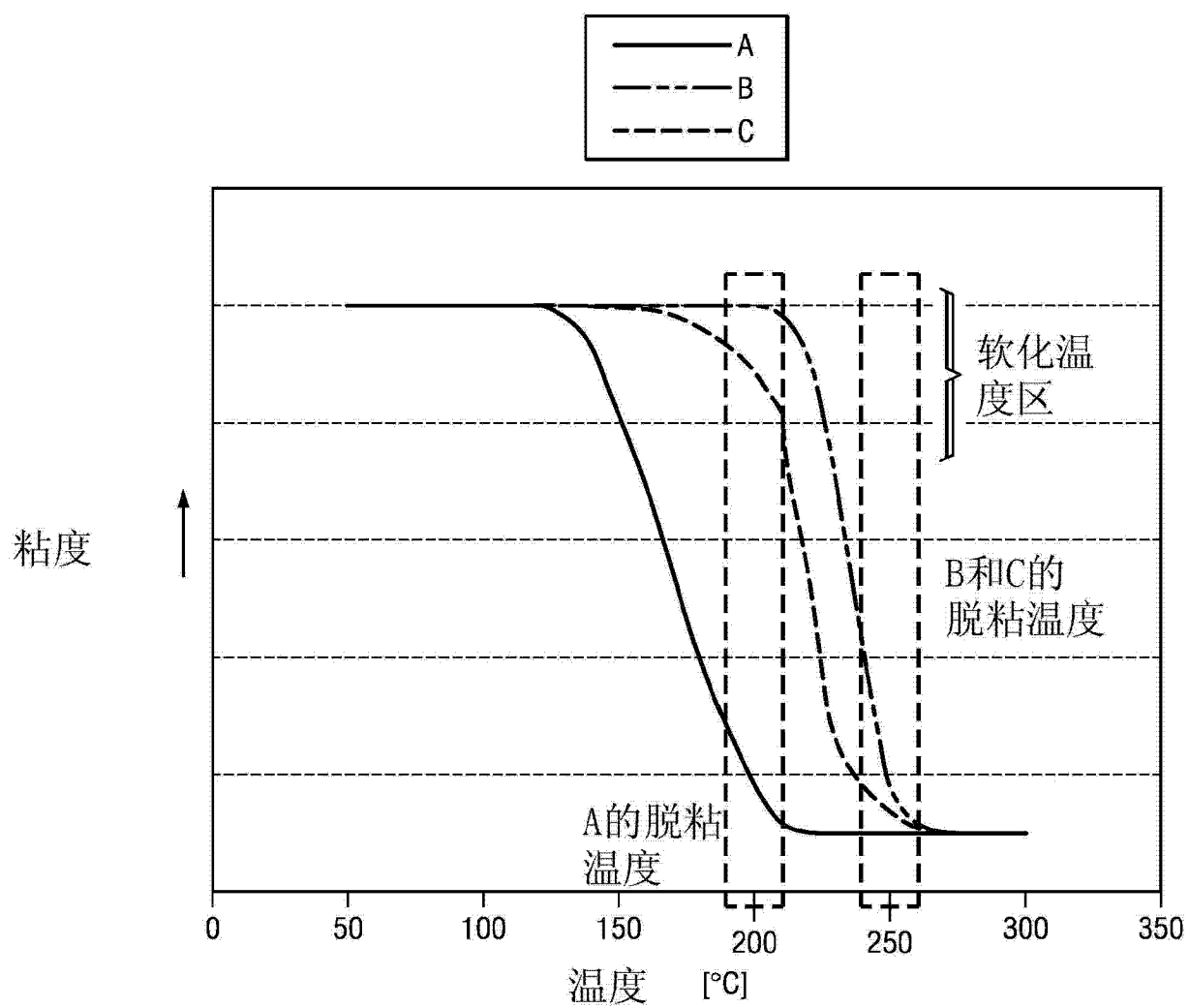


图 5