

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-187167

(P2008-187167A)

(43) 公開日 平成20年8月14日 (2008.8.14)

(51) Int.Cl.	F I	テーマコード (参考)
H01L 21/8232 (2006.01)	H01L 27/06 F	5F038
H01L 27/06 (2006.01)	H01L 27/04 A	5F102
H01L 21/822 (2006.01)	H02M 3/155 E	5H730
H01L 27/04 (2006.01)	H01L 29/80 H	
H02M 3/155 (2006.01)	H01L 29/80 E	

審査請求 有 請求項の数 29 O L 外国語出願 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2007-317912 (P2007-317912)
 (22) 出願日 平成19年12月10日 (2007.12.10)
 (31) 優先権主張番号 60/874, 411
 (32) 優先日 平成18年12月11日 (2006.12.11)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 11/999, 552
 (32) 優先日 平成19年12月4日 (2007.12.4)
 (33) 優先権主張国 米国 (US)

(71) 出願人 504392083
 インターナショナル レクティファイアー
 コーポレーション
 アメリカ合衆国 カリフォルニア州 90
 245 エル・セグンド カンザス スト
 リート 233
 (74) 代理人 100060759
 弁理士 竹沢 莊一
 (74) 代理人 100087893
 弁理士 中馬 典嗣
 (74) 代理人 100086726
 弁理士 森 浩之

最終頁に続く

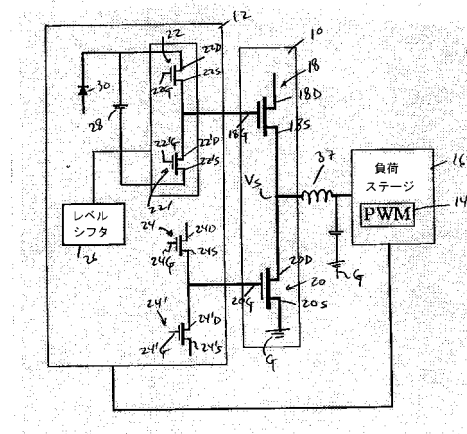
(54) 【発明の名称】 パワー管理装置

(57) 【要約】

【課題】 本発明の目的は、III族窒化物からなるパ
 ワーステージを、負荷に集積し、負荷とパワーステージ
 の間の距離を最小化することにある。

【解決手段】 負荷は、パワーステージを直接制御す
 るためのPWMステージを備える。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

III族窒化物パワースイッチを有するパワーステージと、
このパワーステージの動作を制御するドライバステージと、
前記ドライバステージの動作制御のための信号を送信するドライバステージ制御回路を有し、前記パワーステージの動作のための電力を入力するべく前記パワーステージに接続された負荷ステージとを備えるパワー管理装置。

【請求項 2】

前記パワースイッチがハーフブリッジ接続された、請求項 1 記載のパワー管理装置。

【請求項 3】

前記パワースイッチがデプレッション型デバイスである、請求項 2 記載のパワー管理装置。

【請求項 4】

前記ドライバステージが、前記パワースイッチの 1 つを駆動するためにハーフブリッジ接続されたIII族窒化物の第 1 対スイッチと、
前記パワースイッチのもう 1 つを駆動するためにハーフブリッジ接続されたIII族窒化物の第 2 対スイッチとを備えている、請求項 2 記載のパワー管理装置。

【請求項 5】

前記第 1 対スイッチ並びに前記第 2 対スイッチがエンハンスメント型スイッチである、請求項 4 記載のパワー管理装置。

【請求項 6】

前記第 1 対スイッチ並びに前記第 2 対スイッチがデプレッション型スイッチである、請求項 4 記載のパワー管理装置。

【請求項 7】

前記ドライバステージ制御回路がパルス幅変調信号を発信する、請求項 5 記載のパワー管理装置。

【請求項 8】

前記ドライバステージ制御回路がパルス幅変調信号を発信する、請求項 6 記載のパワー管理装置。

【請求項 9】

前記ドライバステージ制御回路がパルス幅変調信号を発信する、請求項 1 記載のパワー管理装置。

【請求項 10】

前記パワーステージ及び前記ドライバステージが共通のダイに形成される、請求項 1 記載のパワー管理装置。

【請求項 11】

前記パワーステージの出力電圧が設定範囲外になる時、前記信号が発信される、請求項 1 記載のパワー管理装置。

【請求項 12】

前記信号が負荷特定条件により発信される、請求項 1 記載のパワー管理装置。

【請求項 13】

前記負荷特定条件が前記負荷の瞬時温度を備えている、請求項 12 記載のパワー管理装置。

【請求項 14】

前記負荷特定条件が前記負荷の速度を備えている、請求項 12 記載のパワー管理装置。

【請求項 15】

前記負荷ステージがマイクロプロセッサを備えている、請求項 1 記載のパワー管理装置。

【請求項 16】

前記負荷ステージがメモリデバイスを備えている、請求項 1 記載のパワー管理装置。

10

20

30

40

50

【請求項 17】

モノリシック半導体ダイと、

III族窒化物の第1パワー半導体デバイス、及び、この第1パワー半導体デバイスに出力接点を有しながらハーフブリッジ接続された、III族窒化物の第2パワー半導体デバイスと、

前記第1パワー半導体デバイスに動作的に接続された、第1ドライバハーフブリッジと、前記第2パワー半導体デバイスに動作的に接続された、第2ドライバハーフブリッジとを備えるパワー管理装置。

【請求項 18】

前記第1ドライバハーフブリッジ並びに前記第2ドライバハーフブリッジが、それぞれ1対のエンハンスメント型III族窒化物スイッチを備えている、請求項17記載のパワー管理装置。

【請求項 19】

前記第1ドライバハーフブリッジ並びに前記第2ドライバハーフブリッジが、それぞれ1対のデプレッション型III族窒化物スイッチを備えている、請求項17記載のパワー管理装置。

【請求項 20】

前記第1ドライバハーフブリッジが、レベルシフトキャパシタを備えているレベルシフトに接続され、前記キャパシタが前記モノリシック半導体ダイの表面に形成された、請求項17記載のパワー管理装置。

【請求項 21】

前記出力接点が、前記第1ドライバハーフブリッジ及び前記第2ドライバハーフブリッジの動作のために、信号を送信するドライバ制御回路を備えている負荷ステージに接続された、請求項17記載のパワー管理装置。

【請求項 22】

前記ドライバステージ制御回路がパルス幅変調信号を発信する、請求項21記載のパワー管理装置。

【請求項 23】

前記パワーステージの出力電圧が設定範囲外になる時、前記信号が発信される、請求項21記載のパワー管理装置。

【請求項 24】

前記信号が負荷特定条件により発信される、請求項21記載のパワー管理装置。

【請求項 25】

前記負荷特定条件が前記負荷の瞬時温度を備えている、請求項24記載のパワー管理装置。

【請求項 26】

前記負荷特定条件が前記負荷の速度を備えている、請求項24記載のパワー管理装置。

【請求項 27】

さらに負荷ステージを備え、この負荷ステージ及び前記モノリシック半導体ダイが集積されている、請求項17記載のパワー管理装置。

【請求項 28】

前記負荷ステージがマイクロプロセッサを備えている、請求項27記載のパワー管理装置。

【請求項 29】

前記負荷ステージがメモリデバイスを備えている、請求項27記載のパワー管理装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パワー管理装置、特にIII族窒化物モノリシック集積パワーコンバータに関する。

10

20

30

40

50

【 0 0 0 2 】

III族窒化物パワーデバイスを含むIII族窒化物デバイスとは、2次元電子ガスよりなる伝導チャネルを有する、III族窒化物ヘテロ接合を備えている半導体デバイスに関する。III族窒化物ヘテロ接合は、それぞれがInAlGaN半導体合金からなっている2つのヘテロ接合体を備えている。

【 0 0 0 3 】

本発明は、半導体ドライバ、特に、複数のIII族窒化物パワーデバイス及びドライバを用いる、新規な集積回路に関する。

【 背景技術 】

【 0 0 0 4 】

集積回路（IC）は、複数のシリコンデバイスが共通のチップ若しくはダイに形成されることでよく知られている。例えば、同期整流パワーMOSFETと、制御パワーMOSFETと、これらのパワーMOSFETのためのドライバとを用いている、バック（降圧）コンバータのような、ある種の回路を集積することは困難である。特に、シリコンでは、デバイスサイズと、相互接続と、高電圧デバイス及び低電圧デバイス及びこれらのドライバを単一シリコンダイに集積する必要性とがあるために困難である。レイアウトに限界があるために、パワーデバイスとそのブレドライバの間の接続は、相対的に長く、直線ではなく、所望としない寄生素子を導く。

【 0 0 0 5 】

特にAC-DC若しくはDC-DCコンバータ用の、パワー半導体、そのドライバ及び受動回路部品から構成される、基板の面積が小さくかつ低コストの集積回路を提供することは強く望まれている。寄生インピーダンス、特にデバイスレイアウト及び相互接続が原因の寄生インダクタンスを低減することによって、このようなデバイスの性能を改良することも望まれている。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

本発明によれば、パワーステージはIII族窒化物からなっている半導体に形成し、直接負荷に取り付けるか若しくは負荷にできるだけ近づけて実装するかして、好適に負荷に集積し、負荷とパワーステージの間の距離を最小化にする。

【 課題を解決するための手段 】

【 0 0 0 7 】

III族窒化物パワーステージと負荷が近くにあると、従来技術に見られる、長いリード線及び配線による寄生インダクタンスが低減し、従って、回路の全性能が改善する。III族窒化物パワーステージに、フリップチップ実装のための銅バンプのようなバンプを使用すると、ワイヤボンドを低減若しくは排除し、さらには、寄生抵抗及びインダクタンスを低減する。例えば、パワーステージは、負荷用のパッド上、あるいは、負荷に実装されたプリント基板のパッド上に、フリップチップ実装されるとよい。

【 0 0 0 8 】

本発明によれば、負荷は、パワーステージを動作させるべく固有の回路を備えるよう変更するとよい。従って、負荷は、PWMドライバ等の回路の必要性を排除したパワーステージを動作させるとよい。例えば、プロセッサのような負荷は、PWMステージに負荷必要条件を送る代わりに、パワーステージを直接制御するためのPWMドライバを備えているとよい。

【 0 0 0 9 】

他の変形例では、パワーステージは物理的に負荷を集積され、外部のPWMドライバ等のドライバから駆動されるとよい。

【 0 0 1 0 】

本発明には、次の理由による利点がある。シリコンデバイスのような電導が垂直方向のPN接合型デバイスは、負荷の電力必要条件を効率的に満足させることができるが、電導

10

20

30

40

50

が垂直方向のデバイスは、プロセッサのような負荷と集積させることが困難である。電導が水平方向のPN接合型パワーデバイスは、集積させることができるが、水平方向の電流密度が限られているため、プロセッサのような負荷の電力必要条件を効率的に満足させることができない。さらには、従来のデバイスは、動作時にかなり大量の発熱があり、負荷に熱負荷をかけるので、好ましくない。

【0011】

III族窒化物パワーデバイスは、高温で動作でき、水平方向であり、従って、プロセッサと集積させることができ、プロセッサの電力必要条件を満足させることもできる。さらには、III族窒化物パワーデバイスは出力容量に対して面積を取らず、その結果、プロセッサのような負荷上に直接若しくは大変近くに、例えばプロセッサ用に使用される同じ基板上に、容易に実装した、III族窒化物パワーデバイスを得ることが可能である。さらには、III族窒化物パワーデバイスは、高周波で動作させることができる。そこで、出力ステージのインダクタ及びキャパシタのような、パワーステージに使用される受動素子のサイズを小さくでき、パワーステージ及び負荷とともに受動素子を集積できる。さらに、III族窒化物デバイスはあまり帯電しない。以上の理由により、従来のプロセッサにIII族窒化物パワーステージを集積すれば、従来技術には見られない大きな利点を提供する。

【0012】

本発明によれば、横方向のICは基板に形成され、複数の、III族窒化物パワースイッチングデバイス、そのブレドライバ、及び所望に応じて、ゲートドライバキャパシタのような受動素子を備えているパワーステージを、短い直線のコンダクタによってデバイス表面上に相互接続され、平行に離隔され、細長く配置されたソース、ゲート、ドレインを有する、III族窒化物のシングルヘテロ接合構造体上に形成する。III族窒化物の横方向デバイスを使用すると、III族窒化物パワースイッチと、単純な絶縁井戸構造等により離れて配置された、そのドライバスイッチのレイアウトを効率的にする。

【0013】

目的の構造は、例えば、携帯電話や他の電子装置に使用される、DC-DCコンバータ、特に、入力バッテリー電圧を入力し、他の回路に供給する電力として、調整され降圧された出力電圧を出力する、バックコンバータのような、どんな所望する回路も形成するべくモノリシックに集積される。

【0014】

本発明によれば、従来どおり、相互接続され、間の接点は出力インダクタ及びキャパシタに接続された、制御スイッチ及び同期スイッチを備えているバックコンバータが形成されるが、制御スイッチ及び同期スイッチにゲート制御信号を供給する、そのドライバ即ちブレドライバは、それぞれ1個のチップに、パワーデバイスに使用される、同じソース、ゲート、ドレイン領域の延長上に形成される。ブレドライバ用のレベルシフタも、モノリシックチップに集積されるとよい。以上により、ブレドライバとパワースイッチの間の寄生素子を完全に低減するデバイスのためのシンプルなレイアウトは可能となる。

【0015】

本発明によるデバイスは、コストを低減するとともに、回路基板の面積を小さくする。制御スイッチ、同期スイッチ及びそのドライバを集積すると、個別に形成した極小パーツにかかる実装及び処理コストに比べ、実装及び処理コストを低減することが可能になる。

【0016】

さらに、制御スイッチ、同期スイッチ及びそれらのドライバの間を適切に接続して、寄生インダクタンスを実質的に排除することにより、デバイスの性能は改善される。

【0017】

ブレドライバ側の利点として、デバイスは高速で、電力損失に関する低熱損失係数Q及び低抵抗Rのまま、コストは大変小さく、性能は改善される。さらには、ブレドライバとその各パワースイッチの間の寄生インピーダンスを大きく低減する。

【0018】

パワースイッチとともにブレドライバが製造される間、同じオープン温度下で、ブレド

10

20

30

40

50

ライバ特性はよく整合され、デッドタイムは最適化されるという利点も得られる。さらに、デバイスの微調整は同じオープン温度で行われる。

【 0 0 1 9 】

通常、集積チップはヒートシンク等にパッケージされ、実装されるとよい。ドライバを駆動するマイクロプロセッサチップは同じパッケージ若しくは近くに配置されるとよい。

【 0 0 2 0 】

本発明の他の特徴及び利点については、添付の図面に基づき以下に説明する。

【発明を実施するための最良の形態】

【 0 0 2 1 】

図 1 に示す、従来のパワー管理装置は、パワーステージ 1 0 と、このパワーステージ 1 0 の動作を制御するべくパワーステージ 1 0 に接続されたドライバステージ 1 2 と、ドライバステージ 1 2 の動作を制御するべくドライバステージ 1 2 に接続されたパルス幅変調 (P W M) ステージ 1 4 と、パワーステージ 1 0 から電力を入力するべくパワーステージ 1 0 に接続された負荷ステージ 1 6 とを備えている。

【 0 0 2 2 】

従来の装置においては、負荷ステージ 1 6 への適当な電力供給を維持するべく、 P W M ステージ 1 4 はドライバステージ 1 2 を動作させるために所定の条件を使用する。例えば、パワーステージ 1 0 の出力における所定電圧レベルは、負荷ステージ 1 6 へより多くの電力を供給するべく、ドライバステージ 1 2 が、パワーステージ 1 0 を動作させるべきか否かを決定づけるように使用される。 P W M ステージ 1 4 の動作のために使われる所定値は、設定された所定値を超える負荷ステージ 1 6 の瞬時過渡必要条件に対応してはいない。例えば、負荷ステージ 1 6 は、所定値を超えるより多くの電力のための過渡必要条件を満たすプロセッサであるとよい。そこで、プロセッサの動作は、 P W M ステージ 1 4 の動作を限定する所定値によって限定されるとよい。

【 0 0 2 3 】

さらに、従来の装置においては、 P W M ステージ 1 4 は、負荷ステージ 1 6 の外側に配置され、配線のような同様な方法で接続される必要がある。そこで、例えば、所定値の変化に基づいて、負荷による一瞬の電力必要性、例えばパワーステージ 1 0 の出力における突然の電圧損失による瞬間的な電力欠損に応答時間を限定できる、寄生インダクタンスのような寄生素子が発生する。

【 0 0 2 4 】

図 2 において、 P W M ステージ 1 4 と負荷ステージ 1 6 は、配線若しくは他のパッケージ要素による、寄生インダクタンスのような寄生素子を低減するために集積される。それによって、パワー管理装置の動作スピードは改善される。

【 0 0 2 5 】

本発明によれば、 P W M ステージ 1 4 は、例えばパワーステージ 1 0 の出力の所定値に応答できるだけでなく、負荷ステージ 1 6 からの電力への過渡要求に応答することもできる。例えば、負荷ステージ 1 6 は、過熱を回避するパワーステージ 1 0 の出力における低電圧にもかかわらず、 P W M ステージ 1 4 がドライバステージ 1 2 へ信号を送ることを停止するよう指令を出するとよい。反対に、負荷ステージ 1 6 は、所定値を満たす、パワーステージ 1 0 の出力における電圧を得ているにもかかわらず、 P W M ステージ 1 4 がドライバステージ 1 2 へ信号を送るよう指令を出し動作させるとよい。例えば、負荷ステージ 1 6 がプロセッサの場合、予期される過渡の「処理中の仕事」に対する十分な電力供給を確実なものにするために、パワーステージ 1 0 の出力において必要な電圧を得ているにもかかわらず、負荷ステージ 1 6 は P W M ステージ 1 4 へ、 P W M ステージ 1 4 はドライバステージ 1 2 へ、信号を送る。従って、負荷ステージ 1 6 の速度は増加する。

【 0 0 2 6 】

図 3 に示す、本発明によるパワー管理装置は、負荷ステージ 1 6 への電力供給を制御するためのパワースイッチを含むパワーステージ 1 0 を備えている。本発明によれば、パワーステージ 1 0 は、ハーフブリッジ接続され、 D C - D C バックコンバータにおいて動作す

10

20

30

40

50

るべく好適にそれぞれが選択される、２つのIII族窒化物のパワースイッチ１８及び２０を備えている。従って、高圧側 $V+$ とハーフブリッジの出力接点 V_s の間に直列接続されているIII族窒化物のパワースイッチ１８は制御スイッチであり、出力接点 V_s とグラウンド G の間に直列接続されているIII族窒化物のパワースイッチ２０は同期スイッチである。

【００２７】

ドライバステージ１２は、ドライブ信号を送るべく制御スイッチ１８のゲートに接続されている高圧側ドライバと、ドライブ信号を送るべく同期スイッチ２０のゲートに接続されている低圧側ドライバとを備えている。高圧側ドライバは、ハーフブリッジ接続された１対の高圧側ドライバスイッチ２２及び２２'を備え、この１対のスイッチの出力は、ドライブ信号を送るべく制御スイッチ１８のゲートに接続されている。低圧側ドライバは、ハーフブリッジ接続された１対の低圧側ドライバスイッチ２４及び２４'を備え、この１対のスイッチの出力は、ドライブ信号を送るべく同期スイッチ２０のゲートに接続されている。高圧側のドライバスイッチ２２'は、ハーフブリッジ接続した高圧側ドライバにおける低圧側スイッチであり、低圧側のドライバスイッチ２４'は、ハーフブリッジ接続した低圧側ドライバにおける低圧側スイッチである。高圧側ドライバは、レベルシフタ２６を用いてレベルシフトされる。従って、本発明の好適実施例によれば、ブートストラップキャパシタ２８は、制御スイッチ１８に必要なゲートチャージを供給するべく供給される。従来の装置のように、ブートストラップダイオード３０は、制御スイッチ１８がオフで、出力接点 V_s がグラウンド G と同等であるとき、ブートストラップキャパシタ２８を充電する。

10

20

【００２８】

制御スイッチ１８、同期スイッチ２０、ドライバスイッチ２２、２２'、２４、２４'は、それぞれ、ドレイン電極、ソース電極、ゲート電極を備えている。表１には、各スイッチと、ドレイン電極、ソース電極、ゲート電極との対応関係が示されている。

【表 1】

スイッチ	ソース電極	ドレイン電極	ゲート電極
1 8	1 8 S	1 8 D	1 8 G
2 0	2 0 S	2 0 D	2 0 G
2 2	2 2 S	2 2 D	2 2 G
2 2 ′	2 2 ′ S	2 2 ′ D	2 2 ′ G
2 4	2 4 S	2 4 D	2 4 G
2 4 ′	2 4 ′ S	2 4 ′ D	2 4 ′ G

10

20

30

40

50

【 0 0 2 9 】

図 3 に示すように、負荷ステージ 1 6 は、ドライバステージ 1 2 に制御信号を送るべくドライバステージ 1 2 に接続された P W M ステージ 1 4 を備えている。

【 0 0 3 0 】

本発明によれば、高圧側のドライバスイッチ 2 2 及び 2 2 ′ と、低圧側のドライバスイッチ 2 4 及び 2 4 ′ は、ともに III 族窒化物よりなるスイッチである。制御スイッチ 1 8、同期スイッチ 2 0、ドライバスイッチ 2 2、2 2 ′、2 4、2 4 ′ の各スイッチは、エンハンスメント型デバイス若しくはデプレッション型デバイスでのどちらでもよいが、好適実施例では、パワーステージ 1 0 の制御スイッチ 1 8 及び同期スイッチ 2 0 はデプレッション

型デバイスであり、ドライバスイッチ 22、22'、24、24' はエンハンスメント型デバイスである。ドライバスイッチ 22、22'、24、24' はデプレッション型デバイスであってもよい。

【0031】

本発明による装置は、バックコンバータ回路について説明しているが、DC-DC 若しくは AC-DC、バック若しくはブーストコンバータ回路であってもよい。

【0032】

本発明の、代表的な実施例における出力接点 Vs は、従来どおり、出力接点 Vs と直列接続された出力インダクタ 35 と、出力インダクタ 35 とグラウンド G の間に接続された出力キャパシタ 37 とを備えている出力回路に接続されているとよい。従って、代表的な実施例においては、出力電力は、出力インダクタ 35 と出力キャパシタ 37 の間の接点を介して負荷ステージ 16 に供給される。

10

【0033】

従来、高圧側ドライバ及び低圧側ドライバは、別々にパッケージ及び実装され、長い接続線を介して、それぞれ対応するパワースwitchに接続される。

【0034】

本発明によれば、高圧側ドライバ、低圧側ドライバ、制御スイッチ 18 及び同期スイッチ 20 は、共通のモノリシック半導体ダイに集積される。所望に応じて、レベルシフト 26、ブートストラップキャパシタ 28 及びブートストラップダイオード 30 のような受動素子は、共通のダイに集積される。図 4、図 5 A 及び図 5 B は、本発明によるモノリシック半導体ダイの実施例を示す。

20

【0035】

図 4 及び図 5 A において、図 3 における符号と同じ符号は、同じ回路構成素子を示す。図 5 A に示すように、基本的なチップは、シリコンよりなる基板 40 を備えている。従来の AlN のような遷移層 41 は、シリコンの基板 40 の上に配置され、窒化ガリウム (GaN) 層 42 を形成する。AlGaN 層 43 は 42 の上に形成され、2 次元電子ガス (2DEG) 44 よりなるキャリア高伝導域を有するヘテロ接合部を形成する。ダイは、他の技術により、他の材料からなってもよく、III 族窒化物デバイスの異なるデバイスを形成する。

【0036】

図 4 及び図 5 B に示すように、絶縁体即ちバリア 50 は、ダイに形成され、少なくとも GaN 層 42 の深さまで延び、絶縁体 50 の左側に制御デバイス「井戸」を、右側にパワーデバイス表面を形成する。特に、トレンチが AlGaN 層 43 に形成され、2DEG 44 を不連続にすることによって制御デバイス井戸を電氣的に絶縁にさせる絶縁体 50 で満たされるとよい。好適には、トレンチは GaN 層 42 にまで延びる。図 4 に示すように、複数の等間隔で並列に配置された電極は、チップの表面を横断して形成され、絶縁体 50 によって不連続となるとよい。さらには、同様の概念を用いて、制御スイッチ 18、同期スイッチ 20、ドライバスイッチ 22、22'、24、24' は、互いに絶縁状態にあるとよい。特に、好適に AlGaN 層 43 を貫通して延び絶縁体 50 で満たされたトレンチは、2DEG 44 を不連続にし、従って、制御スイッチ 18、同期スイッチ 20、ドライバスイッチ 22、22'、24、24' のスイッチを電氣的に絶縁にさせるべく、図示されるこれらのスイッチ間に供給されるとよい。

30

40

【0037】

次に、図 4 に示すように、図 3 の所望する回路を形成するべく、短いワイヤボンダ 39 が用いられる。あるいは、フリップチップ実装のための導電性ビア及びバンプ接続を用いることも可能である。

【0038】

図 5 A に示すように、共通のダイにブートストラップキャパシタ 28 を集積させることも可能である。従って、シリコンよりなる基板 40 の底部にある電導層 60、61、絶縁層 62、63 及び最下電導層 64、65 は、電導層 60、絶縁層 62 及び最下電導層 64 がブートストラップキャパシタ 28 を形成するように用いられる。

50

【 0 0 3 9 】

ブートストラップキャパシタ 2 8 は、図 4 における共通のダイ表面若しくはデバイスの外部パッケージ上にも集積することができる。

【 0 0 4 0 】

図 4 及び図 5 A における様々な相互接続が、共通のダイ本体を介して少なくとも部分的にビアによって形成されるとよい。

【 0 0 4 1 】

図 4 及び図 5 A の構造は、本発明による、ドライバステージ 1 2 及びパワーステージ 1 0 を備えるパワーブロックを定義する。例えば負荷ステージ 1 6 として機能するマイクロプロセッサは、ドライバスイッチ 2 2、2 2'、2 4、2 4' のゲートを動作させるために、適切に P W M ステージ等を制御するべく接続される。パワーブロックは、できるだけチップに近づけるか若しくはチップに並べて、プロセッサチップ若しくはプロセッサモジュール上に実装されるとよい。このようにして、これまで説明してきた利点が実現される。

【 0 0 4 2 】

III 族窒化物のパワースwitch である、制御スイッチ 1 8、同期スイッチ 2 0、ドライバスイッチ 2 2、2 2'、2 4、2 4' がモノリシックに形成されたことによる利点は、その製造法が簡単なことである。特に、III 族窒化物のヘテロ接合パワー半導体デバイスは、2 D E G を介して電導性を持つ利点があるために、III 族窒化物のシングルヘテロ接合は、制御スイッチ 1 8、同期スイッチ 2 0、ドライバスイッチ 2 2、2 2'、2 4、2 4' の全スイッチの活性域の基礎として使われるとよい。これらのスイッチの絶縁は比較的単純でもある。さらに、各スイッチの出力容量、スイッチング周波数及び降伏特性は、デバイスの、ドレイン電極、ソース電極、ゲート電極間の関係を用いることでシンプルな設計が可能である。従って、例えば、同期スイッチ 2 0 のような、大きい送電容量を要求するスイッチはより多くの能動セルを有することができるが、ドライバスイッチ 2 2、2 2'、2 4、2 4' のような、小さい送電容量を要求するスイッチはより少ない能動セルしか有することができない。能動セル数は比較的簡単に設計できるので、本発明によるモノリシックデバイスを得るためには、III 族窒化物のスイッチの集積は、複雑にしない方が有利である。

【 0 0 4 3 】

図 6 に示すように、従来のパワー管理装置において、パワーステージ 1 0 0 と、例えば P C における C P U のようなプロセッサでもよい、負荷 1 1 0 の間には、装置の速度及び効率性を低減させる寄生素子を導く、複数のループを備えている。装置は、寄生抵抗及び寄生インダクタンスをそれぞれ有している、出力キャパシタループ 1 3 0、セラミックバルクキャパシタループ 1 4 0、C P U ソケット下部ループ 1 5 0 を備えているかもしれない。さらに、装置は、ワイヤボンディング、P C B トレース、半田等パッケージングによる P C B 寄生素子 1 7 0 を備えているかもしれない。従って、例えば、約 3 0 0 K H z のスイッチング周波数において、出力インダクタであるといふ出力インダクタンスループ 1 2 0 は、 di/dt を 3 5 0 A / μs 未満に低減でき、電解キャパシタであるといふ出力キャパシタループ 1 3 0 は、 di/dt を 1 0 0 A / μs 未満に低減でき、セラミックバルクキャパシタループ 1 4 0 は、 di/dt を 4 0 0 A / μs 未満に低減でき、セラミックキャパシタを有する、C P U ソケット下部ループ 1 5 0 は、 di/dt を 1 2 0 0 A / μs に低減できる。さらに、装置は、C P U ソケット等の、さらに装置に寄生素子を導くかもしれない、負荷 1 1 0 のコネクタによる寄生ループ 1 6 0 を備えている。

【 0 0 4 4 】

図 7 A に示すように、本発明によるパワーステージ 1 0 0 は、スイッチング周波数を約 7 5 M H z に増加させることができ、代わりに出力インダクタンスループ 1 2 0 のインダクタンスを低減することができる、それによって di/dt を約 1 5 0 0 A / μs に増加させることができる。あるいは、図 7 B に示すように、スイッチング周波数を約 2 0 M H z に増加させることができ、出力インダクタンスループ 1 2 0 のインダクタンスを低減することができる、それによって di/dt を 6 0 0 0 A / μs に増加させることができる。特

に、図 7 C に示すように、間の距離を短くするべく、負荷 1 1 0 のできるだけ近くにパワーステージ 1 0 0 を配置することによって、寄生素子における、さらなる低減を達成することができる。例えば、寄生素子を低減し、スイッチング周波数を増加させるべく、パワーステージ 1 0 0 は負荷 1 1 0 とともに集積でき、その結果、受動素子サイズの縮小及び効率性の増大が起こる。

【 0 0 4 5 】

本発明は、実施例に基づき説明してきたが、特許請求の範囲を逸脱しない限り、当業者により、他の変形例も可能である。本発明は、明細書における実施例に限定されるものではない。

【 図面の簡単な説明 】

10

【 0 0 4 6 】

【 図 1 】 従来のパワー管理装置のブロック図である。

【 図 2 】 本発明によるパワー管理装置のブロック図である。

【 図 3 】 本発明によるパワー管理装置の 1 実施例の回路図である。

【 図 4 】 本発明による、パワーステージ及びドライバステージを備えている III 族窒化物の集積半導体デバイスの概略平面図である。

【 図 5 A 】 図 4 における 5 A - 5 A 線による横断面図である。

【 図 5 B 】 図 4 における 5 B - 5 B 線による横断面図である。

【 図 6 】 パワーステージとプロセッサを伴う従来の装置の図である。

【 図 7 A 】 本発明による、寄生インダクタンスのような寄生素子を取り除いた図である。

20

【 図 7 B 】 本発明による、寄生インダクタンスのような寄生素子を取り除いた図である。

【 図 7 C 】 本発明による、寄生インダクタンスのような寄生素子を取り除いた図である。

【 符号の説明 】

【 0 0 4 7 】

- 1 0 : パワーステージ
- 1 2 : ドライバステージ
- 1 4 : パルス幅変調 (P W M) ステージ
- 1 6 : 負荷ステージ
- 1 8 : 制御スイッチ
- 2 0 : 同期スイッチ
- 2 2 : 高圧側のドライバスイッチ
- 2 2 ' : 高圧側のドライバスイッチ
- 2 4 : 低圧側のドライバスイッチ
- 2 4 ' : 低圧側のドライバスイッチ
- 2 6 : レベルシフタ
- 2 8 : ブートストラップキャパシタ
- 3 0 : ブートストラップダイオード
- 3 5 : 出力インダクタ
- 3 7 : 出力キャパシタ
- 3 9 : ワイヤボンド
- 4 0 : 基板
- 4 1 : 遷移層
- 4 2 : GaN 層
- 4 3 : AlGaIn 層
- 4 4 : 2 次元電子ガス
- 5 0 : 絶縁体
- 6 0 : 電導層
- 6 1 : 電導層
- 6 2 : 絶縁層
- 6 3 : 絶縁層

30

40

50

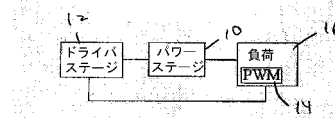
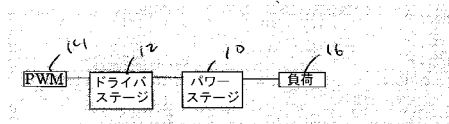
6 4 : 最下電導層
6 5 : 最下電導層
1 0 0 : パワーステージ
1 1 0 : 負荷
1 2 0 : 出力インダクタンスループ
1 3 0 : 電解キャパシタループ
1 4 0 : セラミックバルクキャパシタループ
1 5 0 : C P U ソケット下部ループ
1 6 0 : 寄生ループ
1 7 0 : P C B 寄生素子
V s : 出力接点

10

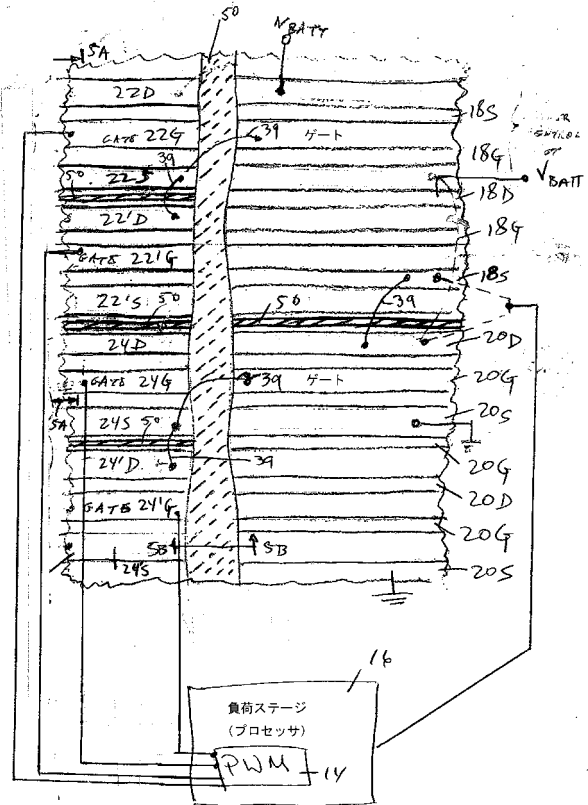
【図 1】

【図 2】

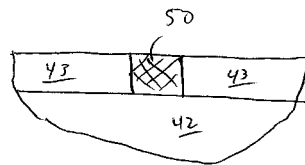
従来技術



【 図 4 】

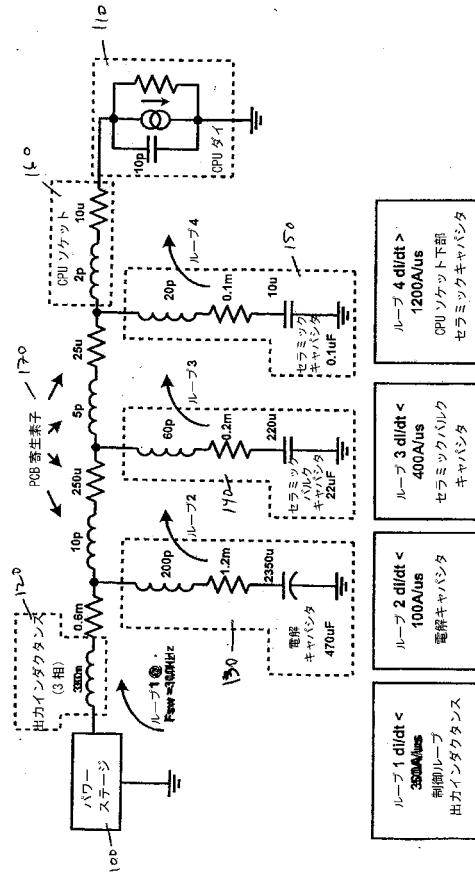


【 ㄨ 5 B 】

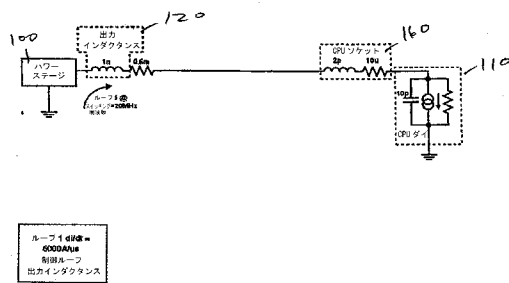


【図 6】

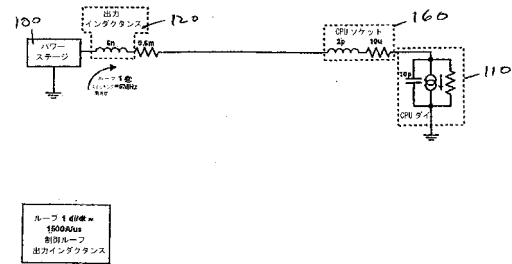
過渡現象、降伏



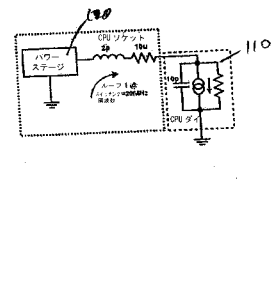
【図 7 B】



【図 7 A】



【図 7 C】



【手続補正書】

【提出日】平成20年2月7日(2008.2.7)

【手続補正1】

【補正対象書類名】図面

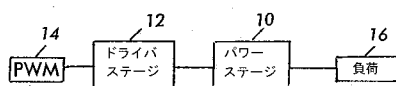
【補正対象項目名】全図

【補正方法】変更

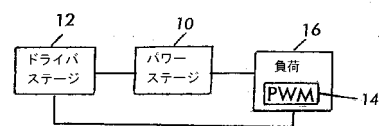
【補正の内容】

【図1】

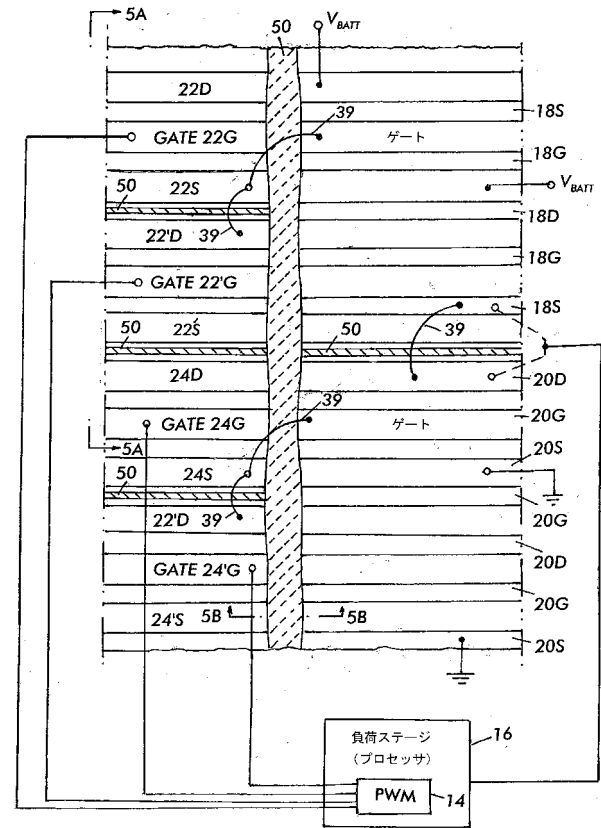
従来技術



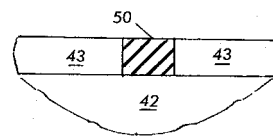
【図2】



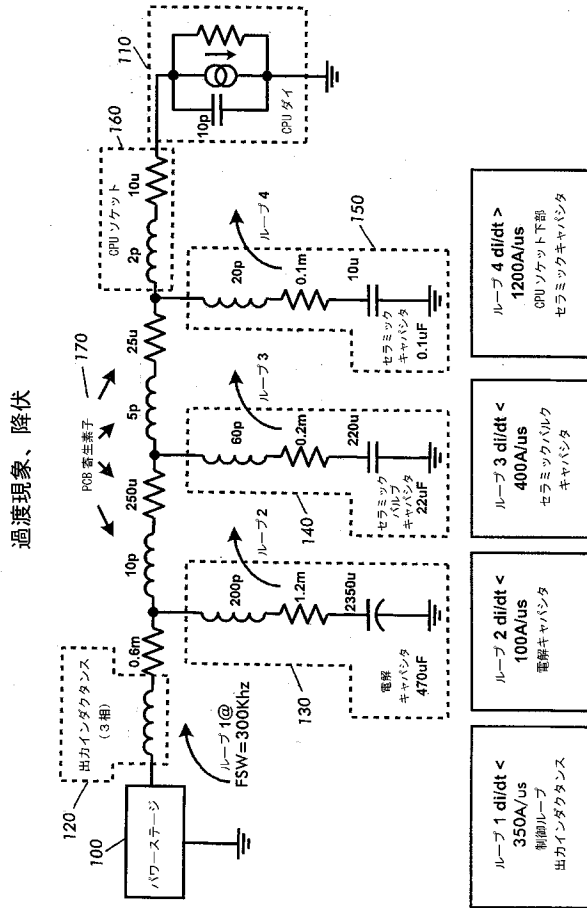
【 図 4 】



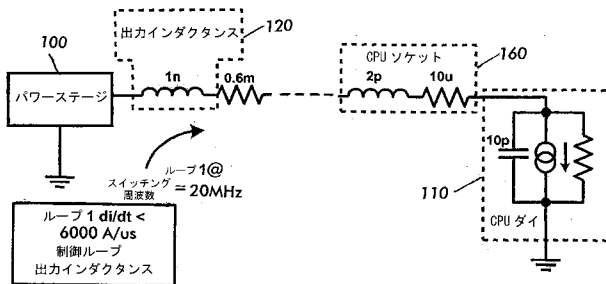
【 図 5 B 】



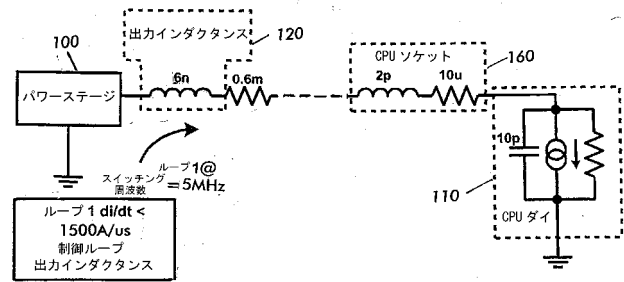
【図 6】



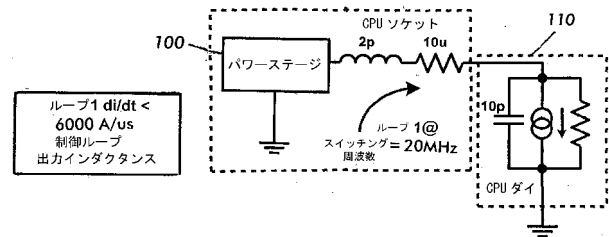
【図 7 B】



【図 7 A】



【図 7 C】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

H 0 1 L 21/338 (2006.01)

H 0 1 L 29/778 (2006.01)

H 0 1 L 29/812 (2006.01)

H 0 1 L 27/095 (2006.01)

(72)発明者 マイケル エー ブリエール

アメリカ合衆国 カリフォルニア州 9 0 2 6 6 マンハッタン ビーチ ザ ストランド 3 9
0 2

F ターム(参考) 5F038 AC05 AZ06 BB06 BB08 CA02 CA12 EZ01 EZ02 EZ20

5F102 GA16 GB01 GC01 GD01 GJ03 GK04 GL04 GM04 GR09

5H730 AA02 AA15 AS01 BB13 DD03 DD16 FD03 FG05 ZZ15

【外国語明細書】
2008187167000001.pdf