

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3621667号  
(P3621667)

(45) 発行日 平成17年2月16日(2005.2.16)

(24) 登録日 平成16年11月26日(2004.11.26)

(51) Int. Cl.<sup>7</sup>

H01L 29/78

F I

H01L 29/78 301X

H01L 29/78 652L

請求項の数 11 (全 11 頁)

(21) 出願番号	特願2001-283974 (P2001-283974)	(73) 特許権者	000003078
(22) 出願日	平成13年9月18日 (2001.9.18)		株式会社東芝
(65) 公開番号	特開2003-92402 (P2003-92402A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成15年3月28日 (2003.3.28)	(74) 代理人	100058479
審査請求日	平成15年12月4日 (2003.12.4)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100068814
			弁理士 坪井 淳
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 半導体装置及びその実装方法

(57) 【特許請求の範囲】

【請求項1】

第1導電型の第1半導体領域と、

前記第1半導体領域上に形成された第1、第2MOSトランジスタと、

前記第1半導体領域の主表面上に形成され、前記第1、第2MOSトランジスタを被覆する層間絶縁膜と、

前記層間絶縁膜上に形成されたドレイン電極と、

前記第1半導体領域の裏面上に形成され、前記第1半導体領域よりも高不純物濃度の第1導電型の第2半導体領域と、

前記第2半導体領域の裏面上に形成されたソース電極と

を具備し、前記第1、第2MOSトランジスタの各々は、前記第1半導体領域の表面に、互いに離隔するようにして選択的に設けられた第2導電型のソース領域及びドレイン領域と、

前記第1半導体領域上に、前記ソース領域及びドレイン領域間に渡って、ゲート絶縁膜を介在して設けられたゲート電極と、

前記第1半導体領域の表面内に前記ソース領域と接するように形成され、前記第1半導体領域よりも高不純物濃度の第1導電型の第3半導体領域と、

前記第1半導体領域内に、前記第3半導体領域と前記第2半導体領域とを接続するように形成され、前記第1半導体領域よりも高不純物濃度の第4半導体領域と、

前記層間絶縁膜内において、前記ドレイン領域上に設けられ、且つ前記ドレイン電極と

10

20

接続された第 1 電極と、

前記層間絶縁膜内において、前記ソース領域上及び前記第 3 半導体領域上に設けられ、且つ前記ドレイン電極と電氣的に分離された第 2 電極と、

前記層間絶縁膜内において、前記ゲート電極の少なくとも一部及び前記ドレイン電極とオーバーラップするように前記ゲート電極上に設けられ、前記第 2 電極と同電位、または前記第 1、第 2 電極の間の一定電位を有する第 1 導電膜とを備え、

前記第 1、第 2 MOS トランジスタは前記ドレイン領域及び第 1 電極を共有し、前記ドレイン電極は、前記層間絶縁膜上において、ドレイン領域上から前記第 1、第 2 MOS トランジスタの前記ソース領域及び前記第 3 半導体領域上に渡る領域の全面に形成され、

前記ゲート電極に与えられる電位は、前記第 1 半導体領域の表面側から印加され、前記ドレイン領域に与えられる電位は、前記第 1 半導体領域の表面側から、前記ドレイン電極及び前記第 1 電極を介して印加され、

前記ソース領域に与えられる電位は、前記第 1 半導体領域の裏面側から、前記ソース電極、前記第 2、第 4、第 3 半導体領域、及び前記第 2 電極を介して印加されることを特徴とする半導体装置。

【請求項 2】

前記第 1 導電膜は、前記第 2 電極の一部であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記第 1、第 2 MOS トランジスタの前記ゲート電極と前記第 1 電極との間に設けられ、前記ゲート電極及び前記第 1 電極と電氣的に分離された第 2 導電膜を更に備え、該第 2 導電膜は、前記第 2 電極と同電位、または前記第 1、第 2 電極の間の一定電位を有することを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】

前記第 2 導電膜は、前記第 2 電極の一部であることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】

前記第 2 導電膜の材質は、前記ゲート電極と同一であることを特徴とする請求項 3 または 4 記載の半導体装置。

【請求項 6】

前記ゲート電極の上面上、及び側壁上に形成された第 1 絶縁膜と、  
前記第 1 半導体領域上に、上面が前記第 1 絶縁膜の上面と同一の高さとなるよう形成された第 2 絶縁膜とを更に備え、

前記第 1 電極は、第 2 絶縁膜の表面から前記第 2 半導体領域に達する第 1 コンタクトホールを埋め込むようにして設けられている  
ことを特徴とする請求項 1 乃至 5 いずれか 1 項記載の半導体装置。

【請求項 7】

前記第 1 電極は前記ドレイン電極の一部であり、前記層間絶縁膜の表面から前記ドレイン領域に達するようにして設けられた第 2 コンタクトホールを介して前記ドレイン領域に接続される  
ことを特徴とする請求項 1 乃至 5 いずれか 1 項記載の半導体装置。

【請求項 8】

前記ゲート電極の上面上、及び側壁上に形成された第 1 絶縁膜と、  
前記第 2 半導体領域上に、上面が前記第 1 絶縁膜の上面と同一の高さとなるよう形成された第 2 絶縁膜とを更に備え、

前記第 2 コンタクトホールは前記第 2 絶縁膜を貫通するようにして設けられている  
ことを特徴とする請求項 7 記載の半導体装置。

【請求項 9】

前記第 1 電極の材質は、前記ドレイン電極の材質と異なる

10

20

30

40

50

ことを特徴とする請求項 1 乃至 6 いずれか 1 項記載の半導体装置。

【請求項 10】

前記第 1 半導体領域表面内における、前記ソース領域から前記ドレイン領域に渡る領域内に設けられた第 1 導電型の第 5 半導体領域を更に備える

ことを特徴とする請求項 1 乃至 9 いずれか 1 項記載の半導体装置。

【請求項 11】

請求項 1 乃至 10 いずれか 1 項記載の半導体装置の実装方法であって、

前記ソース電極を実装基板のソース配線上に接着させることにより、前記半導体装置を前記実装基板に実装する

ことを特徴とする半導体装置の実装方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置及びその実装方法に関し、特に高周波動作を行う同期整流用の半導体装置に関する。

【0002】

【従来の技術】

従来、コンピュータ等に使用される電源には、同期整流方式の DC - DC コンバータが多用されている。DC - DC コンバータは、その高効率化のために低オン抵抗特性が重要視されており、DC - DC コンバータを構成する MOS トランジスタには、トレンチゲート型が広く使用されてきた。

20

【0003】

ところが近年の高周波化に伴い、DC - DC コンバータには低オン抵抗化と同時にスイッチング損失の低減が求められてきている。従って、MOS トランジスタにおいても低抵抗化及び低容量化が重要となっている。この観点においてトレンチゲート型の MOS トランジスタは、薄いゲート絶縁膜が直接ドレイン層と接する構造を有するが故に、ゲート・ドレイン間の寄生容量が大きく、好ましいものではない。

【0004】

そこで、トレンチゲート型に代わってオフセットゲート型の MOS トランジスタが用いられ始めている。従来のオフセットゲート型 MOS トランジスタの構造について、図 6 を用いて説明する。図 6 は MOS トランジスタの断面図である。

30

【0005】

図示するように、 $p^+$  型シリコン基板 100 上の  $p$  型エピタキシャル成長層 110 の表面領域内に、 $p$  型ベース層 120 が選択的に設けられている。ベース層 120 の表面領域内には、 $n^+$  型ソース層 130 が選択的に設けられ、更にソース層 130 に接するようにして  $p^+$  型コンタクト層 140 が設けられている。また、隣接するベース層 120 間の  $p$  型エピタキシャル層 110 の表面領域内には  $n^+$  型ドレイン層 150 が設けられ、この  $n^+$  型ドレイン層 150 からベース層 120 内に沿って且つソース層 130 と離隔するようにして  $n$  型ドレイン層 160 が設けられている。ソース層 130 と  $n$  型ドレイン層 160 との間のベース層 120 上には、ゲート絶縁膜 170 を介在してゲート電極 180 が設けられ、ゲート電極を絶縁膜 190 が取り囲んでいる。ソース層 130 及びコンタクト層 140 上には互いを電氣的に短絡するようにしてソース電極 200 が設けられ、 $n^+$  型ドレイン層 150 上にはドレイン電極 210 が設けられている。これらソース電極 200 及びドレイン電極 210 を被覆するようにして層間絶縁膜 220 が設けられており、層間絶縁膜 220 上にはコンタクトホール 230 を介してドレイン電極 210 と接続されるドレイン配線層 240 が設けられている。また、 $p$  型エピタキシャル層 110 内には、ソース電極 200 直下から  $p^+$  型シリコン基板に達する  $p^+$  型リーチスルー層 250 が設けられ、ソース層 130 が  $p^+$  型シリコン基板 100 に電氣的に接続されている。そして、 $p^+$  型シリコン基板 100 裏面上にソース電極 260 が設けられている。

40

【0006】

50

上記のような構成によれば、 $p^+$ 型シリコン基板裏面にもソース電極を設けることにより、MOSトランジスタの寄生容量や寄生インダクタンスを低減できる。

【0007】

【発明が解決しようとする課題】

しかしながら、上記従来のMOSトランジスタであると、ドレイン電極210及びドレイン配線層240とゲート電極180とが絶縁膜190及び層間絶縁膜220を介在して近接する。より具体的には、ゲート電極180は、横方向でドレイン電極210と隣接し、上方向でドレイン配線層240と隣接する。その結果、MOSトランジスタの帰還容量が増大し、高周波動作時に悪影響を及ぼすという問題があった。

【0008】

この発明は、上記事情に鑑みてなされたもので、その目的は、ゲート・ドレイン間の寄生容量を低減できる半導体装置及びその実装方法を提供することにある。

【0009】

【課題を解決するための手段】

上記目的を達成するために、この発明の一態様に係る半導体装置は、第1導電型の第1半導体領域と、前記第1半導体領域上に形成された第1、第2MOSトランジスタと、前記第1半導体領域の主表面上に形成され、前記第1、第2MOSトランジスタを被覆する層間絶縁膜と、前記層間絶縁膜上に形成されたドレイン電極と、前記第1半導体領域の裏面上に形成され、前記第1半導体領域よりも高不純物濃度の第1導電型の第2半導体領域と、前記第2半導体領域の裏面上に形成されたソース電極とを具備し、

前記第1、第2MOSトランジスタの各々は、前記第1半導体領域の表面に、互いに離隔するようにして選択的に設けられた第2導電型のソース領域及びドレイン領域と、前記第1半導体領域上に、前記ソース領域及びドレイン領域間に渡って、ゲート絶縁膜を介在して設けられたゲート電極と、前記第1半導体領域の表面内に前記ソース領域と接するように形成され、前記第1半導体領域よりも高不純物濃度の第1導電型の第3半導体領域と、前記第1半導体領域内に、前記第3半導体領域と前記第2半導体領域とを接続するように形成され、前記第1半導体領域よりも高不純物濃度の第4半導体領域と、前記層間絶縁膜内において、前記ドレイン領域上に設けられ、且つ前記ドレイン電極と接続された第1電極と、前記層間絶縁膜内において、前記ソース領域上及び前記第3半導体領域上に設けられ、且つ前記ドレイン電極と電気的に分離された第2電極と、前記層間絶縁膜内において、前記ゲート電極の少なくとも一部及び前記ドレイン電極とオーバーラップするように前記ゲート電極上に設けられ、前記第2電極と同電位、または前記第1、第2電極の間の一定電位を有する第1導電膜とを備え、

前記第1、第2MOSトランジスタは前記ドレイン領域及び第1電極を共有し、前記ドレイン電極は、前記層間絶縁膜上において、ドレイン領域上から前記第1、第2MOSトランジスタの前記ソース領域及び前記第3半導体領域上に渡る領域の全面に形成され、前記ゲート電極に与えられる電位は、前記第1半導体領域の表面側から印加され、前記ドレイン領域に与えられる電位は、前記第1半導体領域の表面側から、前記ドレイン電極及び前記第1電極を介して印加され、前記ソース領域に与えられる電位は、前記第1半導体領域の裏面側から、前記ソース電極、前記第2、第4、第3半導体領域、及び前記第2電極を介して印加される。

また、この発明の一態様に係る半導体装置の実装方法は、前記ソース領域を実装基板のソース配線上に接着させることにより、前記半導体装置を実装基板に実装する。

【0010】

上記のような半導体装置であると、ゲート電極と配線層との間に、絶縁膜及び層間絶縁膜を介在して第1導電膜が設けられている。そしてこの第1導電膜は第2電極と同じ電位、または第1、第2電極の間の一定電位が与えられている。従って、第1導電膜がシールドの役割を果たす結果、ゲート電極と配線層との間の寄生容量が低減され、帰還容量を削減できる。そのため、高速のスイッチング動作時等における半導体装置の動作信頼性を向上できる。

10

20

30

40

50

## 【 0 0 1 1 】

## 【 発明の実施の形態 】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

## 【 0 0 1 2 】

この発明の第 1 の実施形態に係る半導体装置について図 1 を用いて説明する。図 1 はオフセットゲート型の MOS トランジスタの断面図である。

## 【 0 0 1 3 】

図示するように、 $p^+$  型シリコン基板 10 上の  $p$  型エピタキシャル成長層 11 の表面領域内に、 $p$  型ベース層 12 が選択的に設けられている。ベース層 12 の表面領域内には、 $n^+$  型ソース層 13 が選択的に設けられ、更にソース層 13 に接するようにして  $p^+$  型コンタクト層 14 が設けられている。また、隣接するベース層 12 間の  $p$  型エピタキシャル層 11 の表面領域内には  $n^+$  型ドレイン層 15 が設けられ、この  $n^+$  型ドレイン層 15 からベース層 12 内に沿って且つソース層 13 と離隔するようにして  $n$  型ドレイン層 16 が設けられている。ソース層 13 と  $n$  型ドレイン層 16 との間のベース層 12 上には、ゲート絶縁膜 17 を介在してゲート電極 18 が設けられ、ゲート電極 18 の上面及び側面を絶縁膜 19 が取り囲んでいる。ソース層 13 及びコンタクト層 14 上には互いを電氣的に短絡するようにしてソース電極 20 が設けられている。このソース電極 20 は、ゲート電極 18 を被覆する絶縁膜 19 の上面及び側面を取り囲むようにして設けられており、ソース電極 20 とドレイン層 15、16 との間は絶縁膜 21 によって絶縁されている。すなわち、ゲート電極 18 の上面及び側面をソース電極 20 が取り囲む構造である。絶縁膜 21 は、絶縁膜 19 の一部であっても良い。そして、ソース電極 20 及び絶縁膜 21 を被覆するようにして、全面に層間絶縁膜 22 が設けられている。更に、層間絶縁膜 22 表面から絶縁膜 21 を貫通して  $n^+$  型ドレイン層 15 に達するコンタクトホール 23 が開口され、ドレイン電極（ドレイン配線層）24 が、このコンタクトホール 23 を埋め込み、且つ層間絶縁膜 22 上に延設されている。この層間絶縁膜 22 上のドレイン配線層 24 は、ゲート電極 18 及びソース電極 20 上にまで拡がって設けられている（ゲート電極 18、ソース電極 20 にオーバーラップしている）。また、 $p$  型エピタキシャル層 11 内には、ソース電極 20 直下から  $p^+$  型シリコン基板に達する  $p^+$  型リーチスルー層 25 が設けられることにより、ソース層 13 が  $p^+$  型シリコン基板 10 に電氣的に接続されている。そして、 $p^+$  型シリコン基板 10 裏面上にソース電極 26 が設けられている。

## 【 0 0 1 4 】

図示する MOS トランジスタにおいて、ソース・ドレイン間、及びゲートに順方向電圧が印加されると、ソース層 13・ドレイン層 16 間のベース層 12 表面にチャンネルが形成される。すると、ドレイン層 16 からチャンネルを通過してソース層 13 に達する電流は、ソース電極 20、コンタクト層 14、リーチスルー層 25、及び  $p^+$  型シリコン基板を通過してソース電極 26 へ流れ込む。

## 【 0 0 1 5 】

上記構成を有する MOS トランジスタであると、ゲート電極 18 直上に存在するドレイン配線層 24 及びゲート電極 18 側部に存在するドレイン配線層 24 と、ゲート電極 18 との間に、ソース電極 20 が介在している。このソース電極 20 は、通常接地電位に固定されている。その結果、ソース電極 20 がシールドとしての役割を果たすため、MOS トランジスタのゲート・ドレイン間の寄生容量を低減できる。寄生容量を低減できれば、高速スイッチング等、MOS トランジスタの高周波動作時における動作信頼性を向上できる。

## 【 0 0 1 6 】

また、本実施形態に係る MOS トランジスタでは、高不純物濃度のリーチスルー層 25 によって、ソース層 13 と  $p^+$  型シリコン基板 10 とを接続している。従って、MOS トランジスタの低抵抗化を図ることが出来る。更に図 1 の構成においては、実質的にソース電極として機能するのはソース電極 26 である。すると、実装工程は、ソース電極 26 の電極面が実装基板上に接するようにして行われる。すなわち、ソース電極 26 はソース電位

を供給する配線面にワイヤボンディングされるのではなく、ソース電極 26 面が直接配線面に接するようにして接着される。従って、ボンディングワイヤによって発生する寄生インダクタンス等の問題を解消できる上に、実装工程を簡略化することが出来る。

【0017】

なお、本実施形態に係る MOS トランジスタでは、コンタクトホール 23 は、ドレイン配線層ともなるドレイン電極 24 によって埋め込まれている。しかし、コンタクトホール 23 内を金属プラグ等により埋め込むことでドレイン電極 24 を形成し、その後、改めてドレイン配線層となる金属配線層を層間絶縁膜 22 上に形成しても良い。

【0018】

次にこの発明の第 2 の実施形態に係る半導体装置について、図 2 を用いて説明する。図 2 はオフセットゲート型の MOS トランジスタの断面図である。なお、p 型エピタキシャル成長層 11 内の構造は第 1 の実施形態と同様であるので説明は省略し、p 型エピタキシャル成長層 11 上の構造についてのみ説明する。

10

【0019】

すなわち、ソース層 13 と n 型ドレイン層 16 との間のベース層 12 上には、ゲート絶縁膜 17 を介在してゲート電極 18 が設けられ、ゲート電極 18 を絶縁膜 19 が取り囲んでいる。ソース層 13 及びコンタクト層 14 上には互いを電氣的に短絡するようにしてソース電極 20 が設けられている。このソース電極 20 は、絶縁膜 19 を介在してゲート電極 18 の直上まで延設されている。また、ドレイン層 15 上にはドレイン電極 24 が設けられている。そして、ソース電極 20、ドレイン電極 24、及び絶縁膜 19 を被覆するよう

20

【0020】

上記構成を有する MOS トランジスタであると、ゲート電極 18 直上に存在するドレイン配線層 27 とゲート電極 18 との間に、ソース電極 20 が介在している。そして、このソース電極 20 は、通常接地電位に固定されている。従って、上記第 1 の実施形態で説明したように、ソース電極 20 がシールドとしての役割を果たすため、MOS トランジスタのゲート・ドレイン間の寄生容量を低減できる。

【0021】

このように、本実施形態によれば上記第 1 の実施形態と同様の効果を得ることが出来る。また、第 1 の実施形態に比べて比較的容易に実施が可能である。なぜなら、絶縁膜 19 を用いたセルフラインによってドレイン電極 24 を形成出来るためであり、微細化に適した構造と言うことが出来る。勿論、図 1 に示すように、ドレイン電極 24 及びドレイン配線層 27 を一体のものとして形成しても構わない。

30

【0022】

次にこの発明の第 3 の実施形態に係る半導体装置について、図 3 を用いて説明する。図 3 は、オフセットゲート型の MOS トランジスタの断面図である。なお、p 型エピタキシャル成長層 11 内の構造は第 1 の実施形態と同様であるので説明は省略し、p 型エピタキシャル成長層 11 上の構造についてのみ説明する。

40

【0023】

すなわち、ソース層 13 と n 型ドレイン層 16 との間のベース層 12 上には、ゲート絶縁膜 17 を介在してゲート電極 18 が設けられ、ゲート電極を絶縁膜 19 が取り囲んでいる。また、隣接するゲート電極 18 間には絶縁膜 19 と同一の高さを有する絶縁膜 19-1 が、絶縁膜 19 から所定の間隔だけ離隔して設けられ、更に、隣接する絶縁膜 19、19-1 間のドレイン層 16 上にも、絶縁膜 19、19-1 よりも小さな膜厚を有する絶縁膜 19-2 が設けられている。そして、絶縁膜 19、19-1 間の絶縁膜 19-2 上には多結晶シリコン膜 28 が設けられている。ソース層 13 及びコンタクト層 14 上には互いを電氣的に短絡するようにしてソース電極 20 が設けられている。このソース電極 20 は、ゲート電極 18 を被覆する絶縁膜 19 の上面から多結晶シリコン膜 28 上まで延設されて

50

おり、多結晶シリコン膜 28 と電気的にも接続されている。そして、ソース電極 20 及び絶縁膜 19 - 1 を被覆するようにして、全面に層間絶縁膜 22 が設けられている。更に、層間絶縁膜 22 表面から絶縁膜 19 - 1 を貫通して  $n^+$  型ドレイン層 15 に達するコンタクトホール 23 が開口され、ドレイン電極（ドレイン配線層）24 が、このコンタクトホール 23 を埋め込み、且つ層間絶縁膜 22 上に延設されている。

#### 【0024】

上記構成を有する MOS トランジスタであると、ゲート電極 18 直上に存在するドレイン配線層 27 とゲート電極 18 との間に、ソース電極 20 が介在している。そして、このソース層 20 は、通常接地電位に固定されている。更に、ゲート電極 18 の側面には、ソース電極 20 に接続され、ソース電極 20 と同電位とされた多結晶シリコン膜 28 が設けられている。従って、上記第 1 の実施形態で説明したように、ソース電極 20 及び多結晶シリコン膜 28 がシールドとしての役割を果たすため、MOS トランジスタのゲート・ドレイン間の寄生容量を低減できる。

10

#### 【0025】

このように、本実施形態によれば上記第 1 の実施形態と同様の効果を得ることが出来る。また、第 1 の実施形態に比べて比較的容易に実施が可能である。なぜなら、多結晶シリコン膜 28 は、ゲート電極 18 材を流用できるからである。すなわち、ゲート電極の形成は、ゲート電極 18 を形成するための多結晶シリコン膜をゲート絶縁膜 17 上に形成した後、この多結晶シリコン膜をゲート電極パターンにパターニングすることで行う。この際、ゲート電極に隣接する部分に多結晶シリコン膜を残しておくことで、多結晶シリコン膜 28 が作成できる。

20

#### 【0026】

なお、上記第 2 の実施形態で説明した図 2 に示すように、コンタクトホール 23 内を金属プラグ等により埋め込むことでドレイン電極 24 を形成し、その後、改めて層間絶縁膜 22 上にドレイン配線層 27 を形成しても構わない。また、多結晶シリコン膜 28 は、ゲート電極とは別の工程で形成する金属配線層であっても良く、導電膜であり且つソース電極と同電位が与えられていれば限定されるものではない。

#### 【0027】

なお、上記実施形態のように、必ずしもソース電極 20 をゲート電極 18 直上まで引き出さなければならないものではない。このような場合について、上記実施形態の変形例として、図 4、図 5 を用いて説明する。

30

#### 【0028】

図 4 はこの発明の第 1 乃至第 3 の実施形態の第 1 の変形例に係る MOS トランジスタの断面図である。図示するように、本変形例に係る MOS トランジスタでは、ゲート電極 18 直上にソース電極 20 を設ける代わりに導電膜 29 - 1 を設けている。この導電膜 29 - 1 にはソース電極 20 と同電位が与えられている。

#### 【0029】

図 5 はこの発明の第 1 乃至第 3 の実施形態の第 2 の変形例に係る MOS トランジスタの断面図である。図示するように、本変形例に係る MOS トランジスタは、上記第 1 の変形例で説明した図 4 の構成において、ドレイン電極 24 とゲート電極 18 側壁との間にも導電膜 29 - 2 を設けたものである。導電膜 29 - 2 にも、ソース電極 20 電位と同電位が与えられている。

40

#### 【0030】

このように、ゲート電極 18 の周辺に、ソース電極と同電位の領域を設けることで、第 1 乃至第 3 の実施形態と同様の効果を得ることが出来る。なお、導電膜 29 - 1、29 - 2 は、必ずしもソース電極と同電位である必要はない。例えばソース電位とドレイン電位との間の電位であって且つ一定電位であれば上記効果が得られる。また、電流をドレイン層 15、16、ソース層 13、ソース電極 20、コンタクト層 14、リーチスルー層 25、及び  $p^+$  型シリコン基板に流すことで、実質的なソース電極はソース電極 26 であって、ソース電極 20 は単なる電流経路の一部に過ぎない場合を例に挙げて説明した。しかし、

50

勿論、ソース電極 20 を実質的にソース電極として機能するものとして用いても良い。すなわち、半導体装置を実装する際に、実装基板上においてソース電位を供給する配線層とソース電極 20 とを接続しても構わない。更に、上記実施形態及びその変形例ではオフセットゲート型の MOS トランジスタを例に挙げて説明したが、同一面上に 3 つの異なる電位の電極が存在し、そのうちの 2 者間でのオーバーラップによる寄生容量が問題になるような構成の半導体装置全般に適用できる。

#### 【0031】

上記のように、第 1 乃至第 3 の実施形態及びその第 1、第 2 の変形例によれば、ソース電極 20、またはソース電極 20 と導電膜 28、29-1、29-2 により、ゲート電極 18 を取り囲んでいる。そして導電膜 28、29-1、29-2 に、ソース電極 20 と同電位、またはソース電位とドレイン電位との間の一定電位を与えている。そのため、MOS トランジスタのゲート電極とドレイン電極及びドレイン配線層との間の寄生容量が低減され、帰還容量を削減できる。そのため、高速のスイッチング動作時における半導体装置の動作信頼性を向上できる。

10

#### 【0032】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

20

#### 【0033】

##### 【発明の効果】

以上説明したように、この発明によれば、ゲート・ドレイン間の寄生容量を低減できる半導体装置及びその実装方法を提供できる。

##### 【図面の簡単な説明】

【図 1】この発明の第 1 の実施形態に係る MOS トランジスタの断面図。

【図 2】この発明の第 2 の実施形態に係る MOS トランジスタの断面図。

【図 3】この発明の第 3 の実施形態に係る MOS トランジスタの断面図。

30

【図 4】この発明の第 1 乃至第 3 の実施形態の第 1 の変形例に係る MOS トランジスタの断面図。

【図 5】この発明の第 1 乃至第 3 の実施形態の第 2 の変形例に係る MOS トランジスタの断面図。

【図 6】従来の MOS トランジスタの断面図。

##### 【符号の説明】

10、100... p<sup>+</sup>型シリコン基板

11、110... p型エピタキシャル成長層

12、120... p型ベース層

13、130... n<sup>+</sup>型ソース層

40

14、140... p<sup>+</sup>型コンタクト層

15、150... n<sup>+</sup>型ドレイン層

16、160... n型ドレイン層

17、170... ゲート絶縁膜

18、180... ゲート電極

19、19-1、19-2、21、22、190、220... 絶縁膜

20、26、200、260... ソース電極

23、230... コンタクトホール

24、210... ドレイン電極（ドレイン配線層）

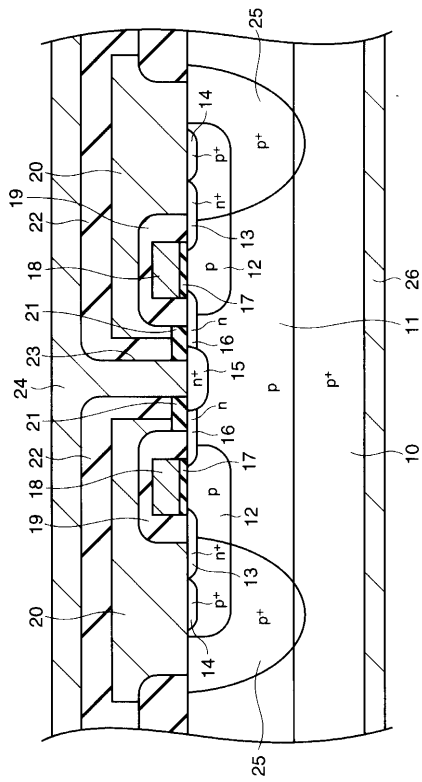
25、250... p<sup>+</sup>型リーチスルー層

50

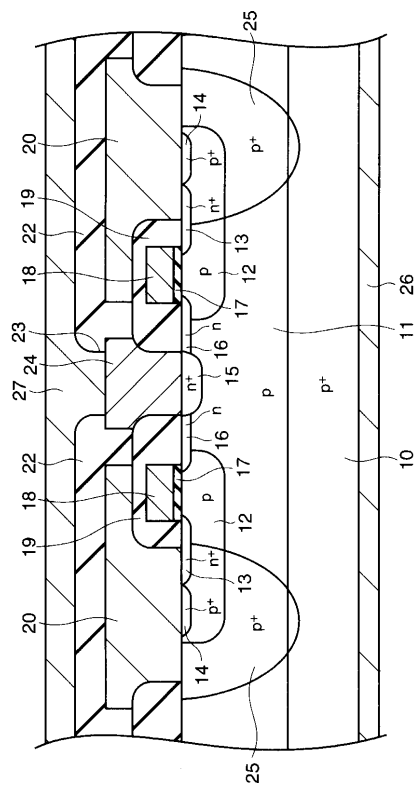


- 27、240...ドレイン配線層
- 28...多結晶シリコン膜
- 29-1、29-2...導電膜

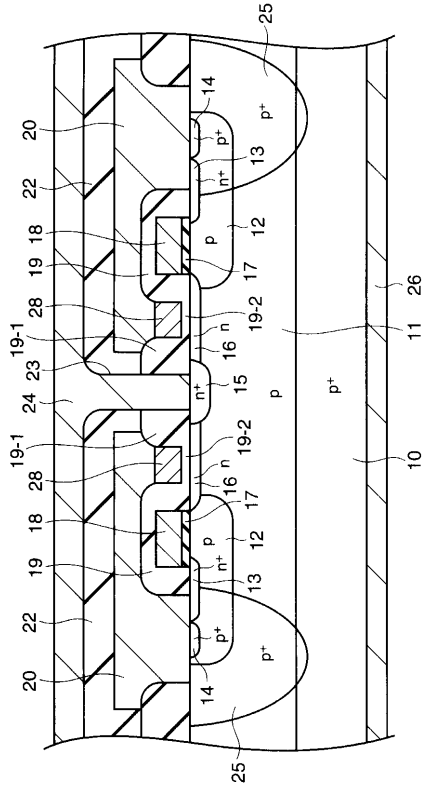
【図1】



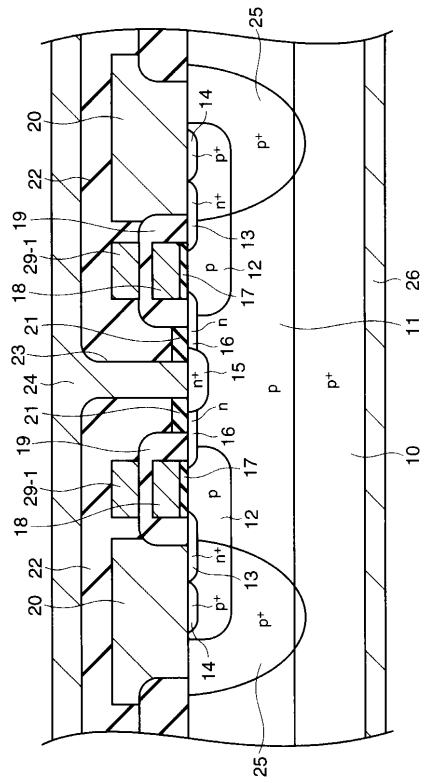
【図2】



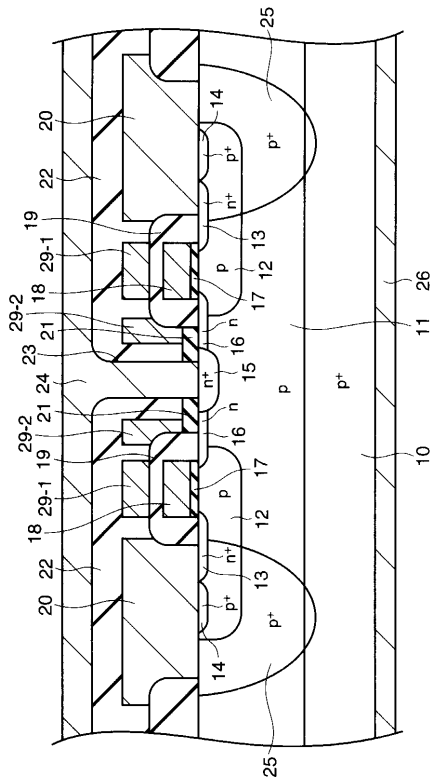
【 図 3 】



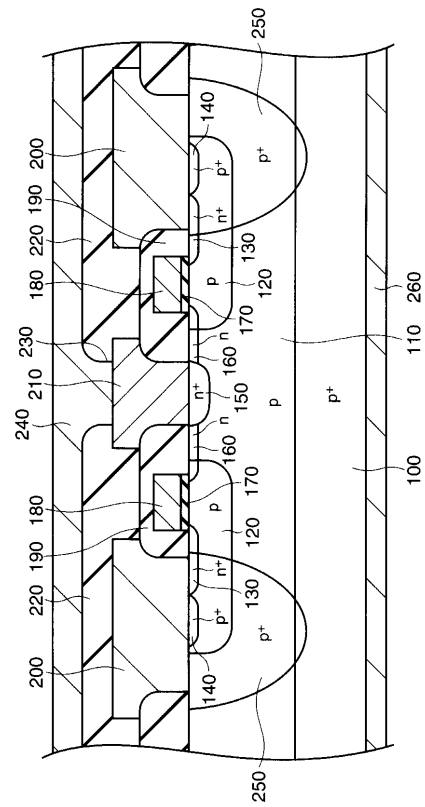
【 図 4 】



【 図 5 】



【 図 6 】



---

フロントページの続き

- (74)代理人 100070437  
弁理士 河井 将次
- (72)発明者 小野 昇太郎  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 安原 紀夫  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 川口 雄介  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 帆玉 信一  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
- (72)発明者 中川 明夫  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

審査官 松本 貢

- (56)参考文献 特開昭59-228765(JP,A)  
特開昭57-037875(JP,A)  
特開平06-097447(JP,A)  
特開昭55-132054(JP,A)

- (58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
H01L 29/78  
H01L 29/78 652