



(12)发明专利

(10)授权公告号 CN 103325664 B

(45)授权公告日 2016.12.21

(21)申请号 201210251905.7

(51)Int.Cl.

H01L 21/027(2006.01)

H01L 21/033(2006.01)

(22)申请日 2012.07.19

(65)同一申请的已公布的文献号
申请公布号 CN 103325664 A

(43)申请公布日 2013.09.25

(56)对比文件

US 2007/0026684 A1, 2007.02.01,

US 5328810 A, 1994.07.12,

CN 1385889 A, 2002.12.18,

CN 101465279 A, 2009.06.24,

(30)优先权数据

13/428,923 2012.03.23 US

审查员 刘恋恋

(73)专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72)发明人 林志翰 张铭庆 陈嘉仁 林益安
林志忠

(74)专利代理机构 北京德恒律治知识产权代理
有限公司 11409

代理人 章社呆 孙征

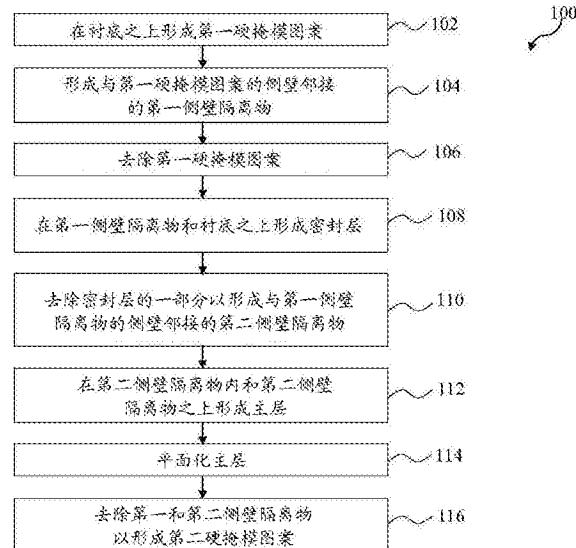
权利要求书2页 说明书7页 附图9页

(54)发明名称

半导体器件的形成方法

(57)摘要

本发明公开了一种半导体器件的形成方法，包括：在衬底之上提供第一掩模图案；形成与第一掩模图案的侧壁邻接的第一隔离物；去除第一掩模图案；形成与第一隔离物的侧壁邻接的第二隔离物；在衬底之上和第二隔离物之间形成填充层，以及在衬底之上形成第二掩模图案。



1.一种制造半导体器件的方法,包括:

在衬底之上形成包括至少三个第一掩模图案的第一掩模层,其中,不同的邻接第一掩模图案对之间的距离不同;

形成与所述第一掩模图案的侧壁邻接的第一隔离物;

去除所述第一掩模图案;

形成与所述第一隔离物的侧壁邻接的第二隔离物;

在所述衬底之上以及在所述第二隔离物之间形成填充层;以及

去除所述第一隔离物和所述第二隔离物而留下所述填充层,以形成第二掩模图案。

2.根据权利要求1所述的方法,其中,形成所述第二隔离物包括:

形成上覆所述第一隔离物和所述衬底的密封层;以及

去除所述密封层中位于所述第一隔离物的顶部区域和所述衬底之上的部分而留下所述密封层中与所述第一隔离物的侧壁邻接的其它部分,以限定所述第二隔离物。

3.根据权利要求1所述的方法,还包括:

去除所述填充层的一部分,以露出所述第一隔离物和所述第二隔离物的顶部区域。

4.根据权利要求3所述的方法,其中,通过化学机械抛光(CMP)工艺执行去除所述填充层的一部分的步骤。

5.根据权利要求1所述的方法,还包括:

在提供所述第一掩模图案之前,在所述衬底之上形成目标层。

6.根据权利要求5所述的方法,还包括:

使用所述第二掩模图案来对所述目标层进行图案化。

7.根据权利要求1所述的方法,其中,所述第一隔离物的材料不同于所述第二隔离物的材料。

8.根据权利要求1所述的方法,其中,所述填充层的材料不同于所述第一隔离物或所述第二隔离物的材料。

9.根据权利要求1所述的方法,其中,所述填充层包括从由氧化硅、氮化硅、SiON、旋涂玻璃(SOG)、抗反射涂层(ARC)、光刻胶、有机材料和它们的组合所组成的组中选择的材料。

10.根据权利要求1所述的方法,其中,所述第二掩模图案包括至少两条具有不同线宽的线。

11.根据权利要求1所述的方法,其中,所述第一隔离物或所述第二隔离物具有范围在2nm到30nm之间的宽度。

12.根据权利要求1所述的方法,其中,所述第二掩模图案包括从由氧化硅、氮化硅、碳化硅、氮氧化硅和它们的组合所组成的组中选择的材料。

13.一种制造半导体器件的方法,包括:

在衬底之上形成目标层;

在所述衬底之上形成包括至少三个掩模图案的第一掩模层,不同的邻接掩模图案对之间的距离不同;

形成与所述至少三个掩模图案中的每一个的侧壁邻接的第一隔离物;

去除所述至少三个掩模图案而留下所述第一隔离物;

在所述第一隔离物和所述衬底之上形成共形的密封层;

去除所述密封层中位于所述第一隔离物的顶部区域和所述衬底之上的部分而留下所述密封层中与所述第一隔离物的侧壁邻接的其它部分,以形成第二隔离物;

在所述第二隔离物之间和所述第二隔离物之上形成第二掩模层;

去除所述第二掩模层的一部分以露出所述第一隔离物和所述第二隔离物的顶部区域;以及

去除所述第一隔离物和所述第二隔离物而留下所述第二掩模层,以形成第二掩模图案。

14.根据权利要求13所述的方法,其中,至少两个第二掩模图案具有不同的宽度。

15.根据权利要求13所述的方法,其中,所述第一掩模层包括从由氧化硅所组成的组中选择的材料,而所述第一隔离物包括氮化硅、氮氧化硅、金属、TiN和它们的组合所组成的组中选择的材料。

16.根据权利要求13所述的方法,其中,所述第一掩模层包括氮化硅,而所述第一隔离物包括氮氧化物或氧化硅中的至少一种。

17.根据权利要求13所述的方法,其中,所述第一掩模层是光刻胶或有机材料,而所述第一隔离物包括氮化硅或氮氧化硅中的至少一种。

18.根据权利要求13所述的方法,还包括:

使用所述第二掩模图案对所述目标层进行图案化。

19.一种制造半导体器件的方法,包括:

在衬底之上形成目标层;

在所述衬底之上形成包括至少三个硬掩模图案的第一硬掩模层,其中,不同的邻接硬掩模图案对之间的距离不同;

形成与所述至少三个硬掩模图案中的每一个的侧壁邻接的第一隔离物;

去除所述至少三个硬掩模图案而留下所述第一隔离物;

在所述第一隔离物和所述衬底之上形成共形的密封层;

去除所述密封层中位于所述第一隔离物的顶部区域和所述衬底之上的部分而留下所述密封层中与所述第一隔离物的侧壁邻接的其它部分,以形成第二隔离物;

在所述第二隔离物之间和之上形成第二硬掩模层;

去除所述第二硬掩模层的一部分,以露出所述第一隔离物和所述第二隔离物的顶部区域;以及

去除所述第一隔离物和所述第二隔离物而留下所述第二硬掩模层,以形成第二硬掩模图案;

其中,至少两个硬掩模图案具有不同的宽度。

半导体器件的形成方法

技术领域

[0001] 本发明总的来说涉及半导体领域,更具体地,涉及一种半导体器件的形成方法。

背景技术

[0002] 半导体工业已经经历了指数式增长。光刻清晰度的持续发展也连续跑在了前面,以支持90nm~65nm、45nm、32nm、22nm、16nm及以下的临界尺寸(CD)。已经开发了光刻的新技术,诸如浸没式光刻、多重图案化、极紫外(EUV)光刻和电子束光刻。由新光刻技术提出的挑战不仅在于分辨率,还在于经济上(例如,升级成本和生产损耗)。许多发展集中于将现有光刻技术扩展至下一技术的产生。

发明内容

[0003] 根据本发明的一个方面,提供了一种方法,包括:在衬底之上形成第一掩模图案;形成与第一掩模图案的侧壁邻接的第一隔离物;去除第一掩模图案;形成与第一隔离物的侧壁邻接的第二隔离物;在衬底之上以及在第二隔离物之间形成填充层;以及去除第一隔离物和第二隔离物而留下填充层,以形成第二掩模图案。

[0004] 优选地,形成第二隔离物包括:形成上覆第一隔离物和衬底的密封层;以及去除密封层中位于第一隔离物的顶部区域和衬底之上的部分而留下密封层中与第一隔离物的侧壁邻接的其它部分,以限定第二隔离物。

[0005] 优选地,该方法还包括:去除填充层的一部分,以露出第一隔离物和第二隔离物的顶部区域。

[0006] 优选地,通过化学机械抛光(CMP)工艺执行去除填充层的一部分的步骤。

[0007] 优选地,该方法还包括:在提供第一掩模图案之前,在衬底之上形成目标层。

[0008] 优选地,该方法还包括:使用第二掩模图案来对目标层进行图案化。

[0009] 优选地,第一隔离物的材料不同于第二隔离物的材料。

[0010] 优选地,填充层的材料不同于第一隔离物或第二隔离物的材料。

[0011] 优选地,填充层包括从由氧化硅、氮化硅、SiON、氮氧化物、旋涂玻璃(SOG)、抗反射涂层(ARC)、光刻胶、有机材料和它们的组合所组成的组中选择的材料。

[0012] 优选地,第二掩模图案包括至少两条具有不同线宽的线。

[0013] 优选地,第一隔离物或第二隔离物具有范围在大约2nm到大约30nm之间的宽度。

[0014] 优选地,第二掩模图案包括从由氧化硅、氮化硅、碳化硅、氮氧化硅、氮氧化物和它们的组合所组成的组中选择的材料。

[0015] 根据本发明的第二方面,提供了一种方法,包括:在衬底之上形成目标层;在衬底之上形成包括至少三个掩模图案的第一掩模层;形成与至少三个掩模图案中的每一个的侧壁邻接的第一隔离物;去除至少三个掩模图案而留下第一隔离物;在第一隔离物和衬底之上形成共形的密封层;去除密封层中位于第一隔离物的顶部区域和衬底之上的部分而留下密封层中与第一隔离物的侧壁邻接的其它部分,以形成第二隔离物;在第二隔离物之间和

第二隔离物之上形成第二掩模层；去除第二掩模层的一部分以露出第一隔离物和第二隔离物的顶部区域；以及去除第一隔离物和第二隔离物而留下第二掩模层，以形成第二掩模图案。

- [0016] 优选地，不同的邻接掩模图案对之间的距离不同。
- [0017] 优选地，至少两个第二掩模图案具有不同的宽度。
- [0018] 优选地，第一掩模层包括从由氧化硅所组成的组中选择的材料，而第一隔离物包括氮化硅、氮氧化硅、氮氧化物、金属、TiN和它们的组合所组成的组中选择的材料。
- [0019] 优选地，第一掩模层包括氮化硅，而第一隔离物包括氮氧化物或氧化硅中的至少一种。
- [0020] 优选地，第一掩模层是光刻胶或有机材料，而第一隔离物包括氮化硅、氮氧化硅或氮氧化物中的至少一种。
- [0021] 优选地，该方法还包括：使用第二掩模图案对目标层进行图案化。
- [0022] 根据本发明的另一方面，提供了一种制造半导体器件的方法，包括：在衬底之上形成目标层；在衬底之上形成包括至少三个硬掩模图案的第一硬掩模层，其中，不同的邻接硬掩模图案对之间的距离不同；形成与至少三个硬掩模图案中的每一个的侧壁邻接的第一隔离物；去除至少三个硬掩模图案而留下第一隔离物；在第一隔离物和衬底之上形成共形的密封层；去除密封层中位于第一隔离物的顶部区域和衬底之上的部分而留下密封层中与第一隔离物的侧壁邻接的其它部分，以形成第二隔离物；在第二隔离物之间和之上形成第二硬掩模层；去除第二硬掩模层的一部分，以露出第一隔离物和第二隔离物的顶部区域；以及去除第一隔离物和第二隔离物而留下第二硬掩模层，以形成第二硬掩模图案；
- [0023] 优选地，至少两个硬掩模图案具有不同的宽度。

附图说明

- [0024] 参照附图根据以下详细描述最好理解本公开。需要强调的是，根据行业标准惯例，各个部件没有按比例绘制，并且仅用于示意的目的。事实上，为了讨论的清楚，可以任意增大或减小各个部件的尺寸。
- [0025] 图1是根据本公开各个实施例的半导体器件的形成方法的流程图。
- [0026] 图2至图9是根据图1方法处于各个制造阶段的半导体器件的一个实施例的示意性截面图。

具体实施方式

- [0027] 以下公开提供了用于实现不同特征的许多不同的实施例或实例。以下描述部件和配置的具体实例以简化本公开。当然，这些仅仅是实例而不用于限制。例如，以下描述中第一部件形成在第二部件之上或第二部件上可以包括第一部件与第二部件直接接触的实施例，并且还可以包括可在第一和第二部件之间形成附加部件以使第一部件与第二部件不直接接触的实施例。此外，本公开可以在各个实例中重复参考数字和/或字母。这种重复是为了简单和清楚的目的，其自身并不表明所讨论的各个实施例和/或配置之间的关系。应该理解，本领域的技术人员能够想象出尽管于此没有明确描述但在本公开的范围内的等同物。
- [0028] 可以从本发明的一个或多个实施例获益的器件实例是具有场效应晶体管(FET)的

半导体器件。例如,这种器件是互补金属氧化物半导体(CMOS)场效应晶体管。以下公开将以该实例来说明本发明的各个实施例。然而,应该理解,除非具体指明,否则本发明不应限于特定类型的器件。

[0029] 参照图1和图2至图9,下面共同描述根据一些实施例的方法100和半导体器件200。半导体器件200包括集成电路或其一部分,可以包括:有源器件,例如金属氧化物半导体场效应晶体管(MOSFETs)、互补金属氧化物半导体(CMOS)晶体管、高压晶体管和/或高频晶体管;其它适合的部件;和/或它们的组合。半导体器件200可以额外包括无源部件,例如电阻器、电容器、电感器和/或熔丝。应该理解,可以通过CMOS技术处理来形成半导体器件200,因此本文没有详细描述一些工艺。对于方法的其他实施例,可以在方法100之前、期间和之后提供附加步骤,并且可以替换或去除以下描述的一些步骤。还应理解,对于半导体器件200的其他实施例,可以在半导体器件200中添加额外的部件,并且可以替换或去除下面描述的一些部件。

[0030] 参照图1,根据本公开的各个实施例描述制造半导体器件的方法100。方法100开始于步骤102,其中提供衬底。衬底包括第一硬掩模图案。方法100继续至步骤104,其中,第一侧壁隔离物被形成为与第一硬掩模图案的侧壁邻接。方法100继续至步骤106,其中,去除第一硬掩模图案。方法100继续至步骤108,其中,在第一侧壁隔离物和衬底之上沉积密封层。方法100继续至步骤110,其中,去除部分密封层以形成与第一侧壁隔离物的侧壁邻接的第二侧壁隔离物。方法100继续至步骤112,其中,在第二侧壁隔离物内以及在第二侧壁隔离物之上填充主层(main layer)。方法100继续至步骤114,其中,对主层进行平面化。方法100继续至步骤116,其中,去除第一和第二侧壁隔离物以形成第二硬掩模图案。接下来的讨论描述处于根据图1的方法100的各个制造阶段期间的半导体器件200。

[0031] 图2至图9示出了处于根据图1的方法100的各个制造阶段的半导体器件200的一个实施例的示意性截面侧视图。参照图1和图2,方法100开始于步骤102,其中提供具有第一硬掩模图案221、222和223的衬底210。在一些实施例中,衬底210是包括硅的半导体衬底。可选地,衬底210包括:基本半导体,包括晶体硅和/或锗;化合物半导体,包括碳化硅、砷化镓、磷化镓、磷化铟、砷化铟和/或锑化铟;合金半导体,包括SiGe、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP和/或GaInAsP;或者它们的组合。在衬底210是合金半导体的情况下,合金半导体衬底具有梯度SiGe特征,其中,Si和Ge组分从梯度SiGe特征的一个位置的一个比率变为另一位置的另一比率。合金SiGe可形成在硅衬底之上,和/或SiGe衬底可以发生应变。在另一可选实施例中,半导体衬底可以是绝缘体上半导体(SOI)。

[0032] 在衬底210之上还包括目标层212。在一些实施例中,目标层212包括通过化学汽相沉积(CVD)技术形成的低k介电材料。从由含氟物、含碳物、含空气物和多孔结构组成的组中选择低k介电材料。其具有3以下的K常数(介电常数)。此外,在一个或多个实施例中,可以包含后沉积热工艺以提高低k电介质的机械特性。

[0033] 在目标层212之上形成第一硬掩模图案221、222和223,其中,如图2所示,第一硬掩模图案222位于第一硬掩模图案221和223之间。第一硬掩模图案221、222和223分别具有宽度W1、W2和W3。在一些实施例中,宽度W1、W2和W3基本相同。可选地,宽度W1、W2和W3不同。分别在第一硬掩模图案221/222之间和第一硬掩模图案222/223之间限定间距S1和S2。在一些实施例中,间距S1和S2不同。可选地,间距S1和S2基本相同。在一些实施例中,第一硬掩模图

案221、222和223包括SiO₂、Si₃N₄、SiON、TEOS、高k材料、BPSG、FSG、PSG、BSG、其它合适的材料或它们的组合。在一些实施例中，第一硬掩模图案221、222和223具有范围在大约100埃和大约5000埃之间的厚度。

[0034] 在一些实施例下，通过在目标层212之上沉积硬掩模层(未示出)、通过光刻技术对硬掩模层进行图案化并蚀刻硬掩模层来形成第一硬掩模图案221、222和223。例如，蚀刻工艺包括各向异性干蚀刻，其相对于目标层212具有充分的蚀刻选择性以在蚀刻工艺期间使目标层212的损耗最小化。在一些实施例中，利用CF₄和CHF₃气体通过等离子体蚀刻来蚀刻硬掩模层。在一些实施例中，通过CVD、高密度等离子体CVD、旋涂方法、溅射和/或其他合适的方法来形成硬掩模层。

[0035] 参照图1和图3，方法100进行至步骤104，其中，第一侧壁隔离物230被形成为与第一硬掩模图案221、222和223的侧壁邻接。在一些实施例中，第一侧壁隔离物230包括诸如二氧化硅(SiO₂)、氮化硅(Si₃N₄)、碳化硅(SiC)、氮氧化物(SiON)、高k电介质、低k电介质或它们的组合的介电材料。在一些实施例中，在随后的隔离物蚀刻工艺期间，相对于第一硬掩模图案221、222和223的图案更快地蚀刻第一侧壁隔离物230的材料。在一个实施例中，第一硬掩模图案221、222和223包括通过CVD形成的SiO₂，而第一侧壁隔离物230包括Si₃N₄、SiON、氧化氮化物(nigrided oxide)、金属或TiN。在另一实施例中，第一硬掩模图案221、222和223包括通过CVD形成的Si₃N₄，而第一侧壁隔离物230包括通过CVD形成的SiON或SiO₂。在另一实施例中，第一硬掩模图案221、222和223包括光刻胶材料或有机材料，而第一侧壁隔离物230包括CVD形成的Si₃N₄、SiON或氮氧化物。

[0036] 例如，通过沉积上覆目标层212、第一硬掩模图案221、222和223的隔离膜(未示出)来形成第一侧壁隔离物230。然后，可以对隔离膜施加一个或多个蚀刻(各向异性蚀刻技术)工艺。在一些实施例中，隔离膜具有大约5埃和大约3000埃之间的厚度。在一些实施例中，蚀刻工艺留下隔离膜中与第一硬掩模图案221、222和223的侧壁邻接的部分以形成第一侧壁隔离物230。在一些实施例中，蚀刻工艺去除部分隔离膜以露出第一硬掩模图案221、222和223的顶部区域。在一些实施例中，如图3所示，蚀刻工艺去除隔离膜的另一部分以露出部分目标层212，其被称作第一硬掩模图案221、222之间的凹槽236和第一硬掩模图案222、223之间的凹槽237。凹槽236、237分别具有间距S3、S4。

[0037] 隔离物蚀刻工艺可以包括各向异性干蚀刻工艺，其相对于目标层212、第一硬掩模图案221、222和223具有足够高的选择性。每个干蚀刻工艺的蚀刻机制都可以具有物理基础(例如，辉光放电溅射或离子研磨)或化学基础(例如，在纯等离子体蚀刻中)或二者的组合(例如，反应性离子蚀刻或RIE)。溅射依赖于入射高能离子的定向性来以高度各向异性的方式进行蚀刻。纯等离子体蚀刻或化学基础蚀刻可以相对于掩模材料以及下面的层实现非常高的选择性，并且通常以各向同性的方式进行蚀刻。物理和化学机制蚀刻的组合提供了具有足够选择性的可控各向异性蚀刻工艺。在一个或多个实施例中，隔离物蚀刻工艺包括含有CF₄、SF₆和CH₂F₂气体的等离子体蚀刻。

[0038] 继续参照图3，通过隔离物蚀刻工艺限定第一侧壁隔离物230的宽度W4。因此，间距S3和S4分别基本上等于(S1-2W4)和(S2-2W4)。如上所述，间距S1和S2在一些实施例中不相等。因此，在一些实施例中，间距S3和S4不同。第一侧壁隔离物230的宽度S4被用作一个参数以在将来的工艺中限定目标部件(未示出)的CD，稍后将对其进行描述。可以通过工艺条件

(诸如用于形成第一侧壁隔离物230的膜沉积厚度、侧壁隔离物蚀刻类型、蚀刻速率、蚀刻深度、蚀刻压力或它们的组合)来控制第一侧壁隔离物230的宽度S4。在一些实施例中,宽度W4在大约2nm到大约100nm的范围内。在一些实施例中,宽度W4在大约2nm到大约30nm的范围内。

[0039] 参照图1和图4,方法100进行至步骤106,其中,提供去除工艺以去除第一硬掩模图案221、222和223而留下第一侧壁隔离物230。去除工艺露出第一侧壁隔离物230之间的部分目标层212。去除工艺去除第一硬掩模图案221、222和223以分别形成凹槽231、232和233。凹槽231、232和233分别具有间距S5、S6和S7。间距S5、S6和S7基本上分别与宽度W1、W2和W3相同。第一侧壁隔离物230和目标层212在通过应用具有足够蚀刻选择性的蚀刻工艺去除第一硬掩模图案221、222和223期间保持完整。选择性蚀刻工艺可以包括湿蚀刻、干蚀刻或它们的组合。在一些实施例中,选择性蚀刻工艺包括具有诸如CF₄、CH₂F、SF₆或CHF₃的含氟气体的干蚀刻。

[0040] 参照图1和图5,方法100进行至步骤108,其中,在目标层212上的第一侧壁隔离物230之上和之间形成密封层240。沉积工艺被设计为将密封层240保持为共形层。在一些实施例中,密封层240具有大约5埃和大约3000埃之间的厚度。在一个实施例中,密封层240包括与第一侧壁隔离物230的材料不同的材料,因此,在随后的蚀刻工艺中,在密封层240与第一侧壁隔离物230之间存在蚀刻选择性。在可选实施例中,密封层240包括与第一侧壁隔离物230的材料相同的材料。在一些实施例中,密封层240包括SiO₂、Si₃N₄、碳化硅(SiC)、SiON、氮氧化物或它们的组合。可选地,密封层240可以包括多晶硅、光刻胶、共聚物、底部抗反射涂层(BARC)、金属以及其它合适的材料。通过诸如CVD、物理汽相沉积(PVD)、旋涂、热生长的技术或其它合适的沉积技术来执行密封层240的沉积。

[0041] 参照图1和图6,方法100进行至步骤110,其中,形成与第一侧壁隔离物230的侧壁邻接的第二侧壁隔离物240s。第二侧壁隔离物240s具有宽度W5。在一些实施例中,宽度W5在大约2nm到大约100nm的范围内。在一些实施例中,宽度W5在大约2nm到大约30nm的范围内。在一些实施例中,通过应用蚀刻工艺去除部分密封层240来形成第二侧壁隔离物240s。在一些实施例中,蚀刻工艺包括相对于目标层212和第一侧壁隔离物230具有足够高的蚀刻选择性的各向异性干蚀刻工艺。在一个或多个实施例中,蚀刻工艺包括利用CF₄和CH₂F₂气体的等离子体蚀刻工艺。

[0042] 蚀刻工艺露出第一侧壁隔离物230的顶部区域和部分目标层212。如图6所示,目标层212中没有被第一侧壁隔离物230或第二侧壁隔离物240s覆盖的部分被称作凹槽231'、236'、232'、237'和233'。凹槽231'、236'、232'、237'和233'分别具有间距S5'、S3'、S6'、S4'和S7'。与先前具有间距S5、S3、S6、S4和S7的凹槽231、236、232、237和233相比较,通过在目标层212之上添加第二侧壁隔离物240s,此刻的凹槽231'、236'、232'、237'和233'具有减小的间距S5'、S3'、S6'、S4'和S7'。在一些实施例中,间距S5'、S3'、S6'、S4'和S7'基本上分别与(S5-2W5)、(S3-2W5)、(S6-2W5)、(S4-2W5)以及(S7-2W5)相同。

[0043] 参照图1和图7,方法100进行至步骤112,其中,形成主层250以填充凹槽231'、236'、232'、237'和233'并且形成在第一、第二侧壁隔离物230、240s之上。在一些实施例中,主层250具有范围在大约10埃和大约3000埃之间的厚度。在一些实施例中,主层250包括包含氧化硅、氮化硅、SiON、氮氧化物、旋涂玻璃(SOG)、抗反射涂层(ARC)、光刻胶、有机材料或

它们的组合的材料。在一些实施例中，主层250的材料不同于第一侧壁隔离物230或第二侧壁隔离物240s的材料，因此，在随后的蚀刻工艺中存在蚀刻选择性。通过诸如CVD、PVD、旋涂、热生长的技术或其它合适的沉积技术来执行主层250的沉积。

[0044] 参考图1和图8，方法100进行至步骤114，其中，施加平面化工艺以去除第一侧壁隔离物230、第二侧壁隔离物240s之上的主层250的过量部分，并去除主层250在凹槽231'、236'、232'、237'和233'之外的部分。在一些实施例中，平面化工艺露出第一侧壁隔离物230、第二侧壁隔离物240s的顶面，并实现平面化的表面。在一些实施例中，平面化工艺是化学机械抛光(CMP)工艺。填充在凹槽231'、236'、232'、237'和233'中的主层250的剩余部分分别被称作图案251、252、253、254和255。

[0045] 参照图1和图9，方法100处理至步骤116，其中，施加去除工艺以去除第一侧壁隔离物230和第二侧壁隔离物240s而留下目标层212之上的图案251、252、253、254和255。图案251、252、253、254和255也可以被称作第二硬掩模图案。露出第二硬掩模图案251、252、253、254和255之间的目标层212部分。在一些实施例中，在随后的蚀刻处理中，利用第二硬掩模图案来对目标层212的露出部分进行图案化。

[0046] 在一些实施例中，用于形成第二硬掩模图案251、252、253、254和255的去除工艺是蚀刻工艺。例如，蚀刻工艺是各向异性干蚀刻，其相对于目标层212具有足够的蚀刻选择性以在蚀刻工艺期间使目标层212的损耗最小化。在一些实施例中，利用CF₄和CHF₃气体通过等离子体蚀刻来蚀刻第一侧壁隔离物230和第二侧壁隔离物240s。

[0047] 第二硬掩模图案251、252、253、254和255分别具有宽度W5'、W3'、W6'、W4'和W7'。在一些实施例中，宽度W5'、W3'、W6'、W4'和W7'基本上分别与间距S5'、S3'、S6'、S4'和S7'相同。如上所述，间距S5'、S3'、S6'、S4'和S7'基本上分别等于(S5-2W5)、(S3-2W5)、(S6-2W5)、(S4-2W5)以及(S7-2W5)。如上所述，间距S3和S4在一些实施例中不同。因此，宽度W3'和W4'在一些实施例中不同。即，通过使用第二掩模图案251、252、253、254和255对目标层212进行图案化可以制造具有不同宽度的线。

[0048] 通过反转方法(inverse approach)根据第一硬掩模图案得到第二硬掩模图案的一些实施例的优点包括形成宽度可能超出(即，小于)现有光刻工具的图案化限制的目标部件的可能性。根据一些实施例的方法还提供了以不同宽度形成诸如线或接触孔部件的目标部件的灵活性。根据一些实施例的方法还提供了利用减少的掩模以减少生产成本的制造工艺。

[0049] 半导体器件还可以经受CMOS或MOS技术处理以形成各种部件。例如，可以进行该方法以在图案化目标层中形成导线或插塞，从而形成双波形花纹(dual damascene)结构。铜、铜合金可以适合于填充在图案化目标层中以在集成电路器件中形成互连金属化层的导体。

[0050] 在一些实施例中，一种制造半导体器件的方法包括：在衬底之上形成第一掩模图案；形成与第一掩模图案的侧壁邻接的第一隔离物；去除第一掩模图案；形成与第一隔离物的侧壁邻接的第二隔离物；在衬底之上和第二隔离物内形成填充层；以及去除第一隔离物和第二隔离物而留下填充层，以形成第二掩模图案。

[0051] 在一些实施例中，一种制造半导体器件的方法包括：在衬底之上形成目标层；形成包括至少三个掩模图案的第一掩模层；形成与至少三个掩模图案中的每一个的侧壁邻接的第一隔离物；去除至少三个掩模图案而留下第一隔离物；在第一隔离物和衬底之上共形地

形成密封层；去除密封层中位于第一隔离物的顶部区域和衬底之上的部分而留下密封层中与第一隔离物的侧壁邻接的其他部分，以形成第二隔离物；在第二隔离物内和之上形成第二掩模层；去除部分第二掩模层以露出第一隔离物和第二隔离物的顶部区域；以及去除第一隔离物和第二隔离物而留下第二掩模层，以形成第二掩模图案。

[0052] 在一些实施例中，一种制造半导体器件的方法包括：在衬底之上形成目标层；形成包括至少三个硬掩模图案的第一硬掩模层，其中邻接两个硬掩模图案之间的距离各不相同；形成与至少三个硬掩模图案中的每一个的侧壁邻接的第一隔离物；去除至少三个硬掩模图案而留下第一隔离物；在第一隔离物和衬底之上共形地形成密封层；去除密封层中位于第一隔离物的顶部区域和衬底之上的部分而留下密封层中与第一隔离物的侧壁邻接的其他部分，以形成第二隔离物；在第二隔离物内和之上形成第二硬掩模层；去除部分第二硬掩模层以露出第一隔离物和第二隔离物的顶部区域；以及去除第一隔离物和第二隔离物而留下第二硬掩模层，以形成第二硬掩模图案；其中，至少两个硬掩模图案具有不同的宽度。

[0053] 前面概述了若干实施例的特征，使得本领域的技术人员可以更好地理解本公开的各个方面。本领域的技术人员应该理解，他们可以容易地使用本公开作为用于设计或修改用于执行与本公开相同或类似的目的和/或实现相同或类似优点的其它工艺和结构的基础。本领域的技术人员还应该意识到，这种等效结构不背离本公开的精神和范围，并且可以进行各种改变、替换和变更而不背离本公开的精神和范围。

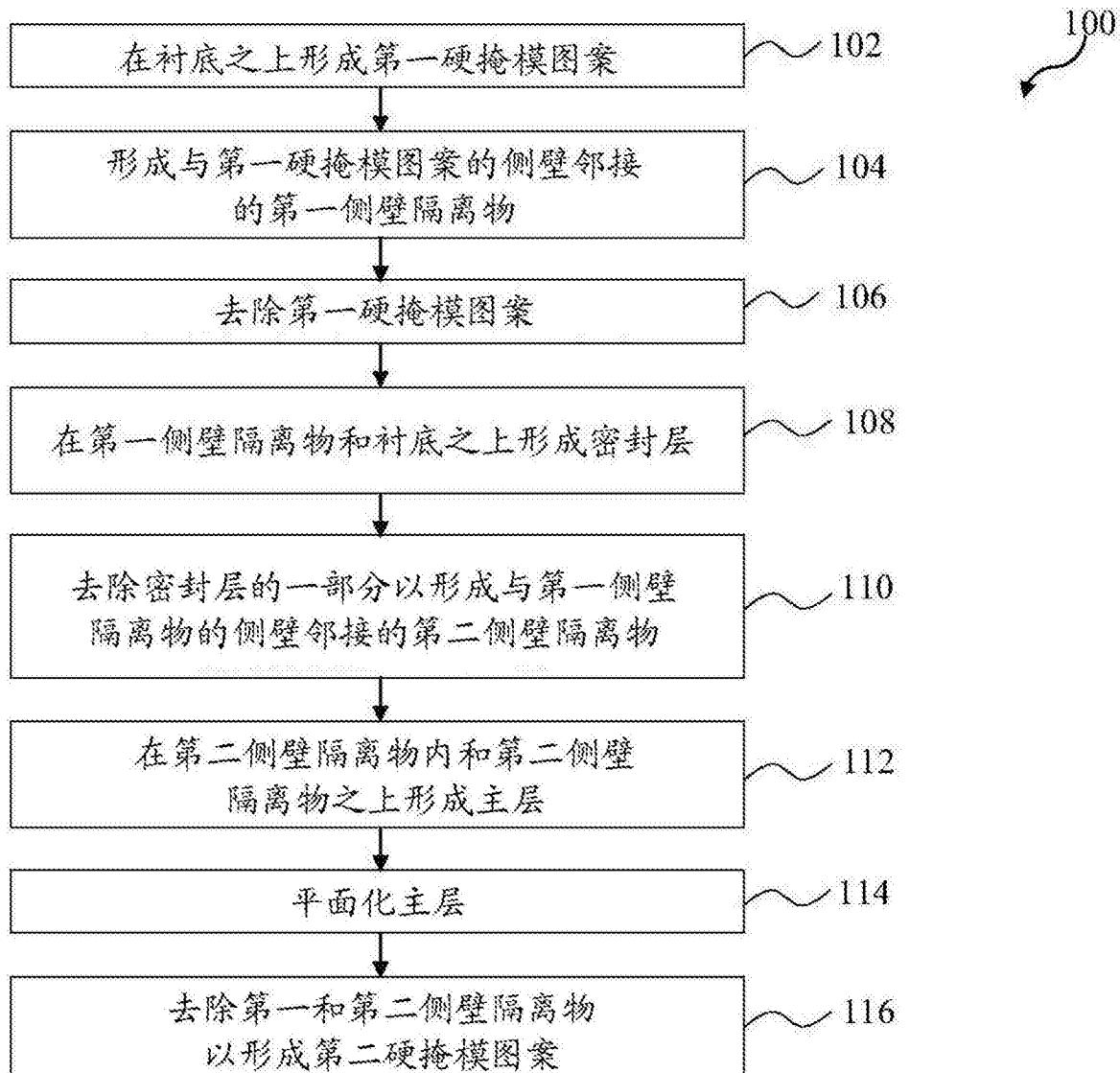


图1

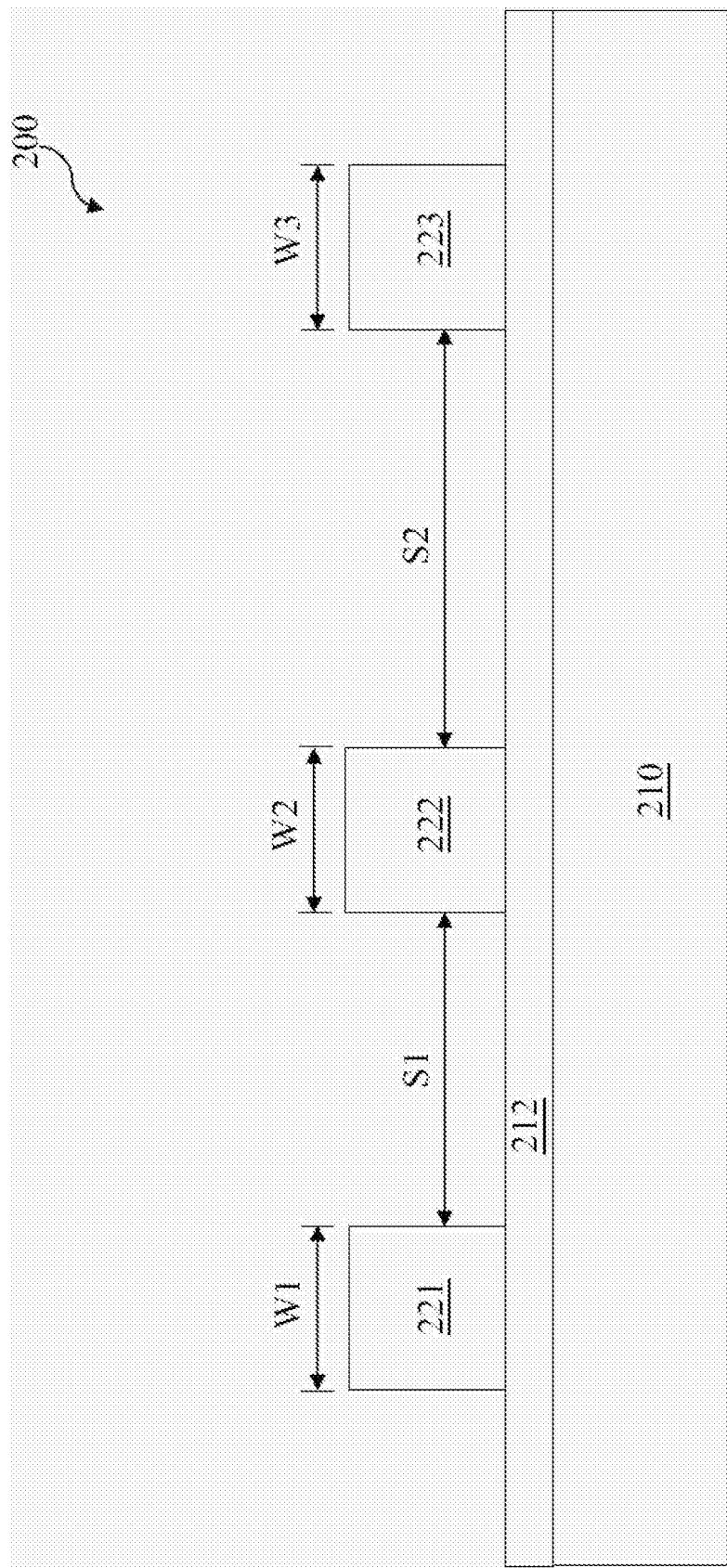


图2

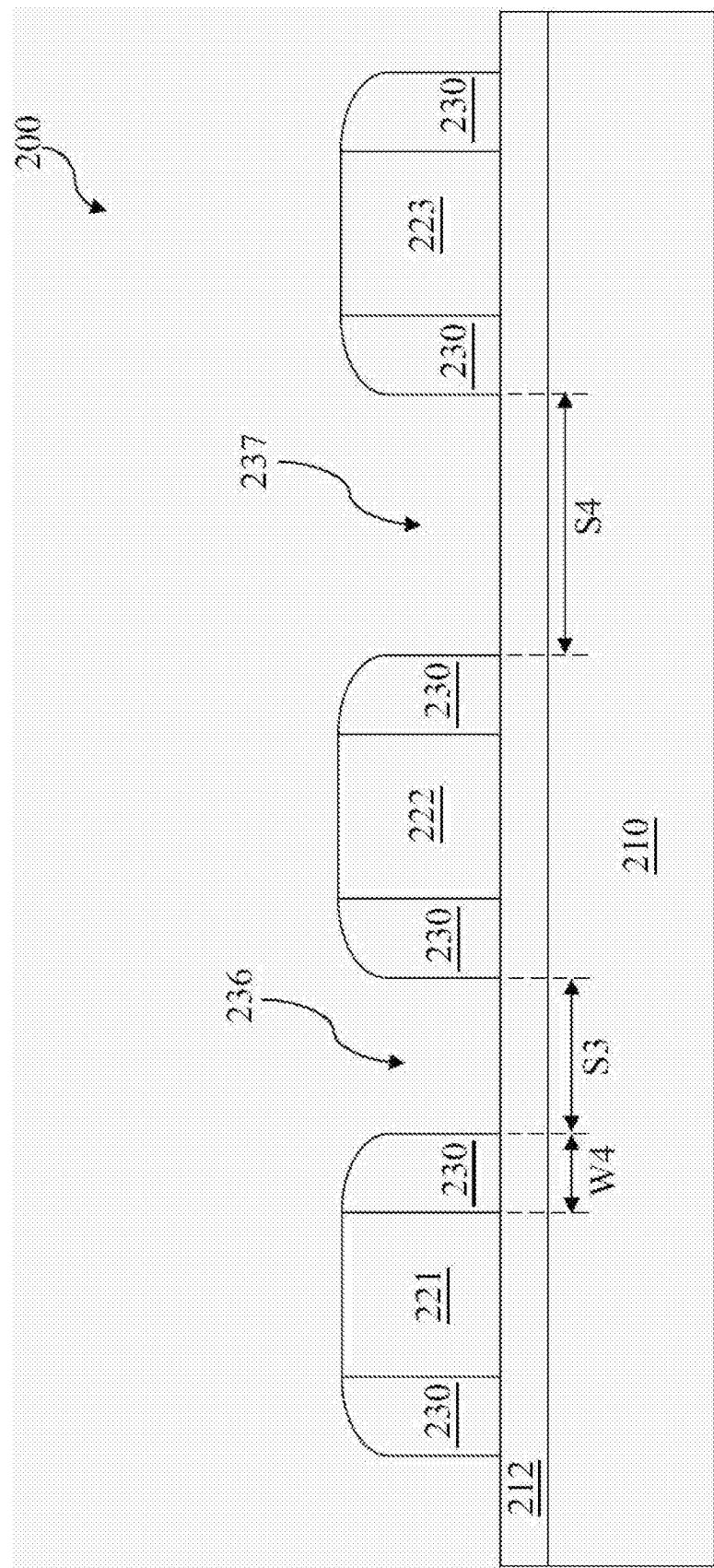


图3

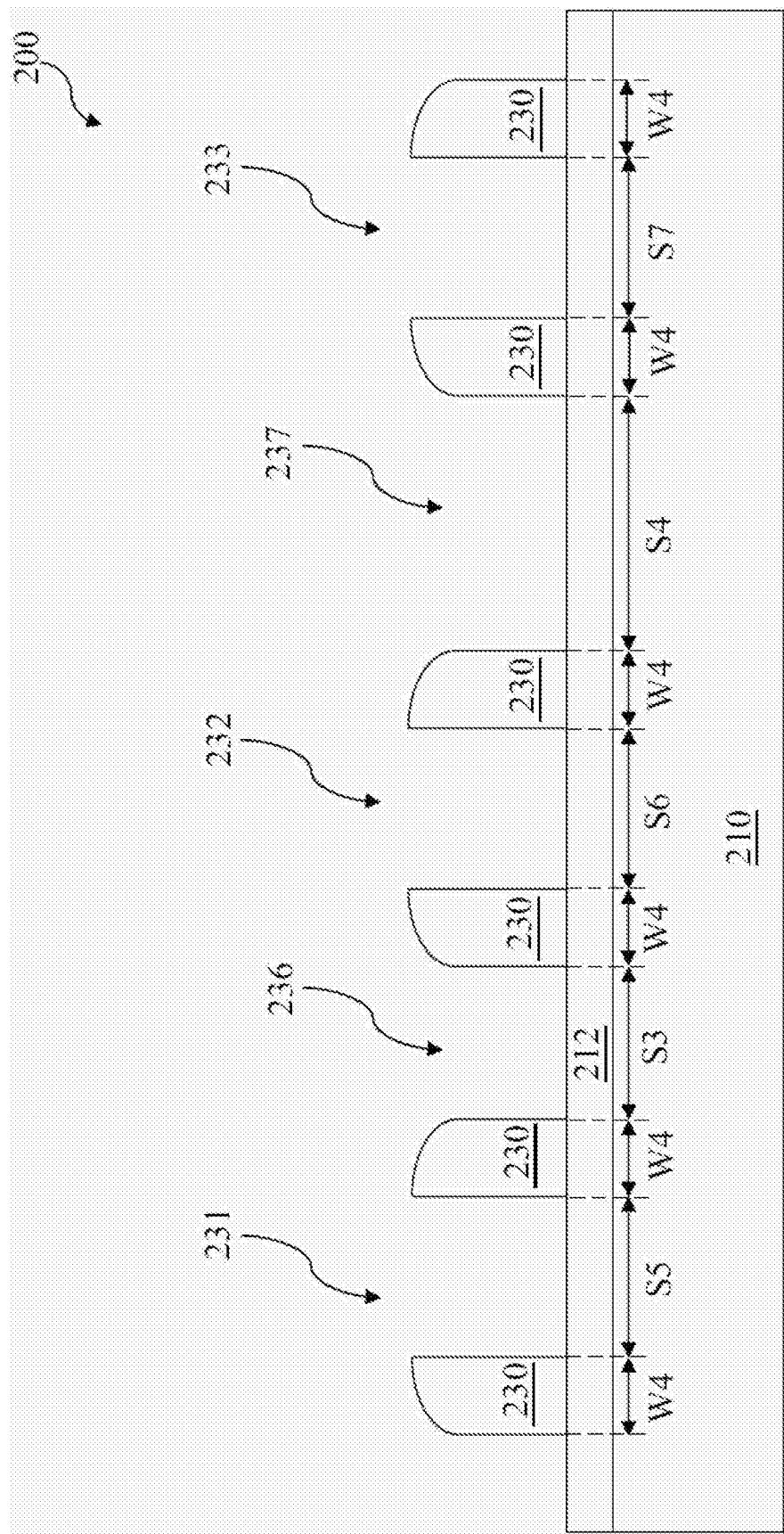


图4

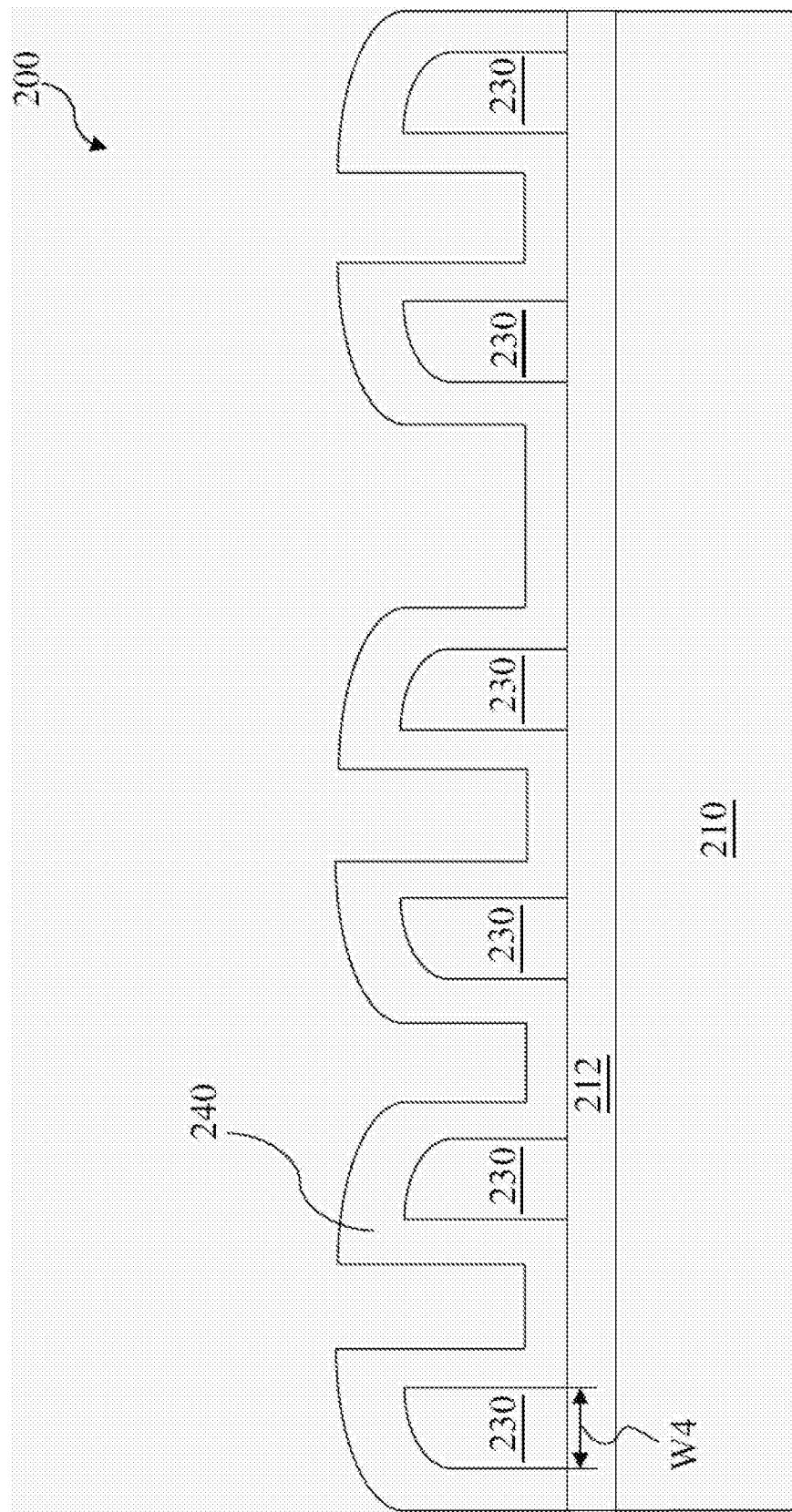


图5

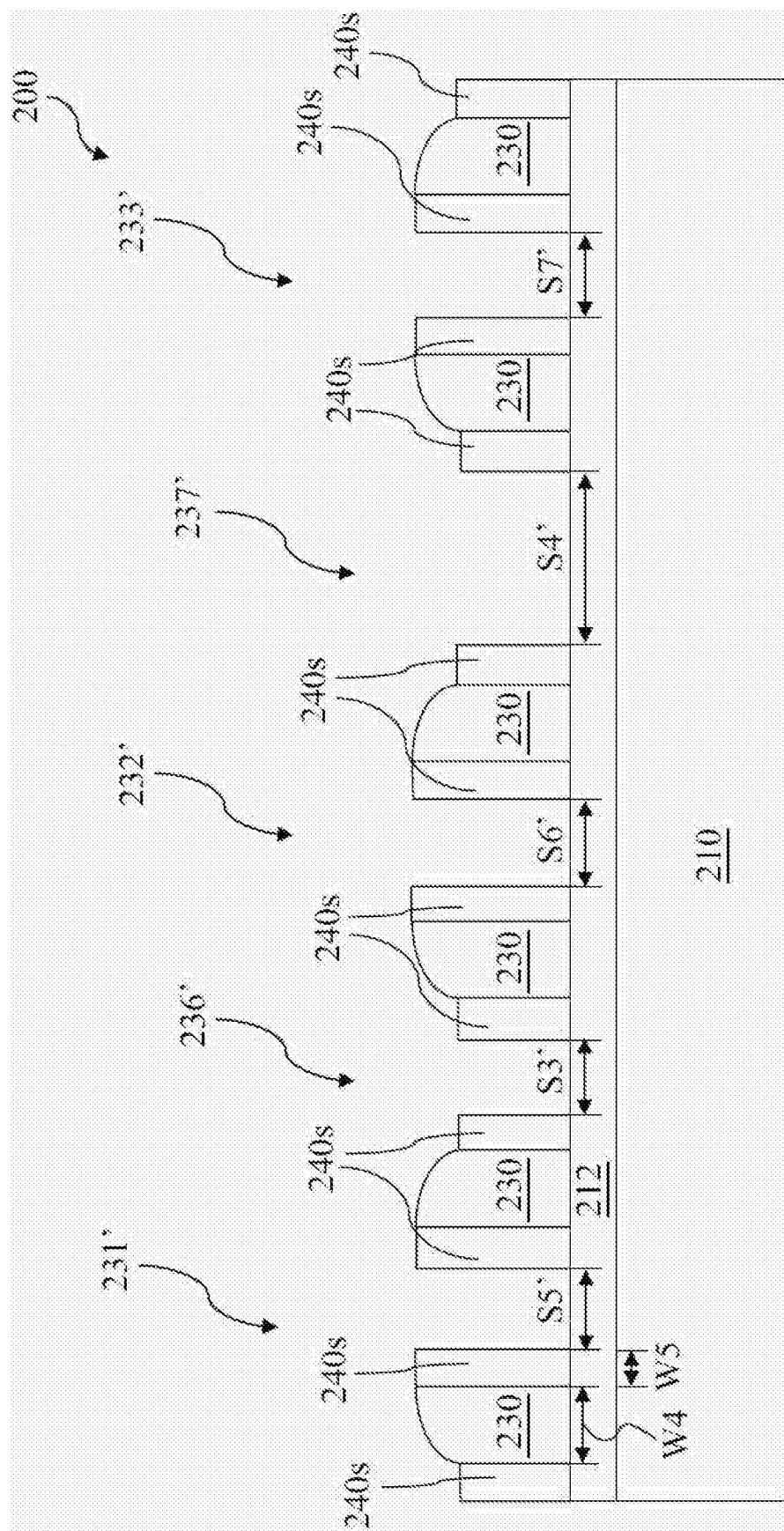


图6

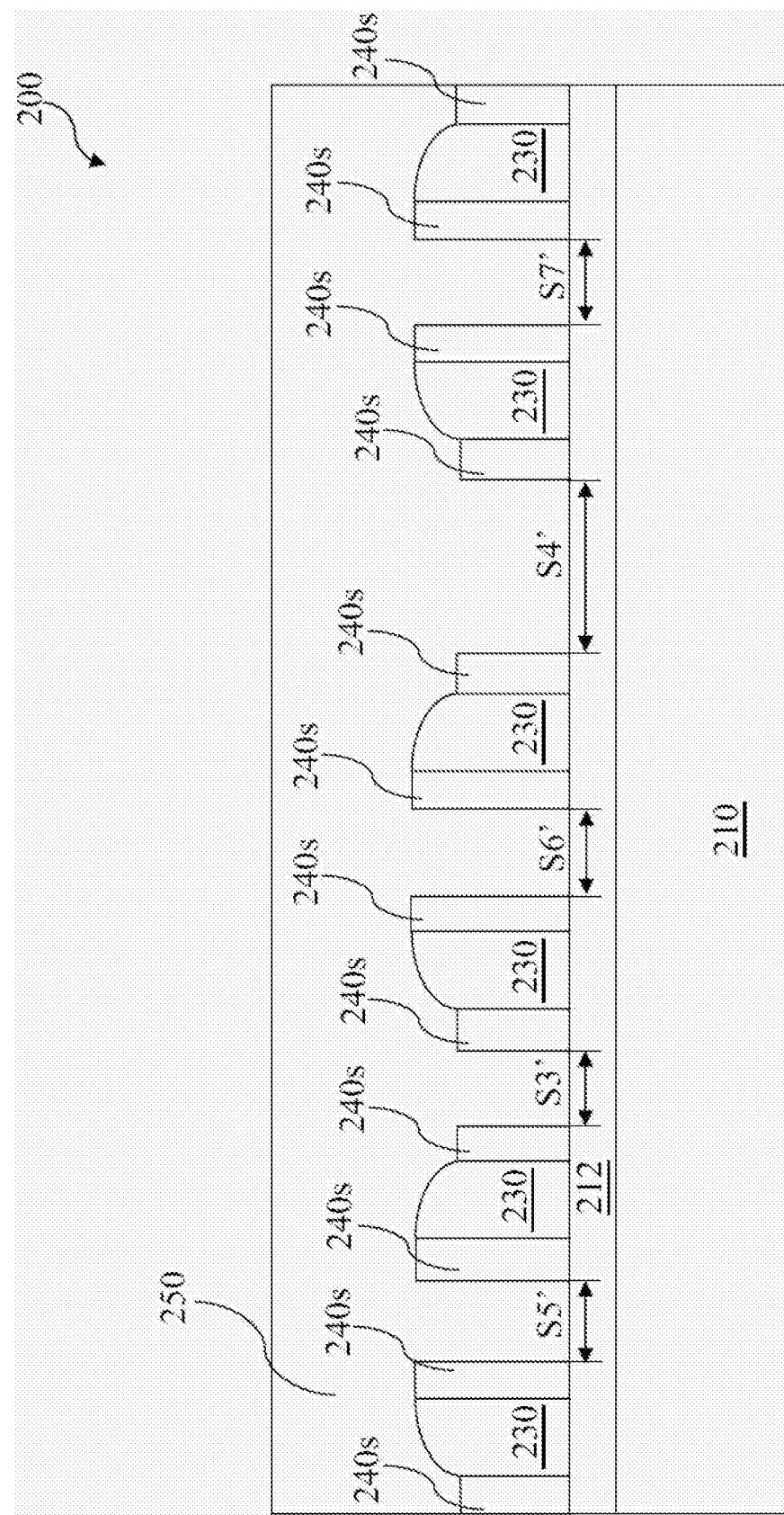


图7

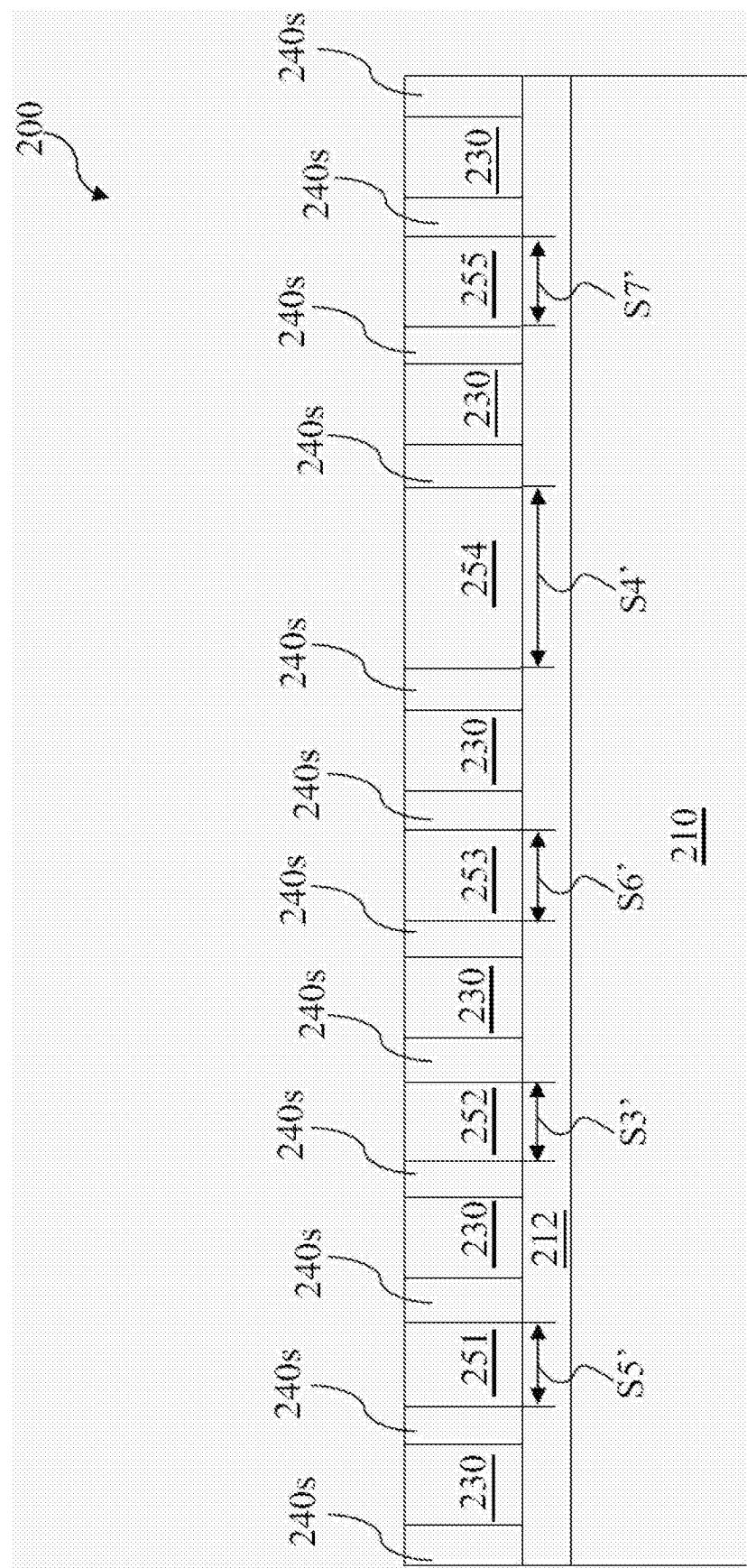


图8

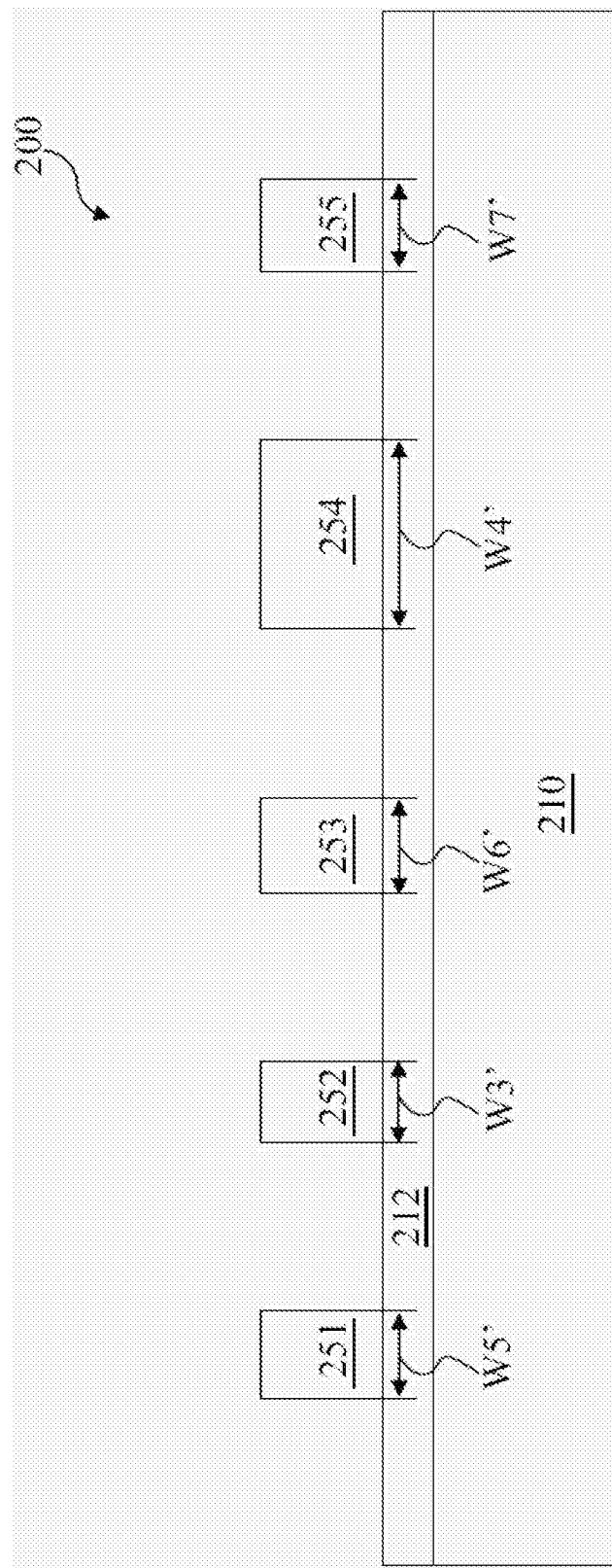


图9