(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 7 月 7 日(07.07.2011)

PCT

(10) 国際公開番号
WO 2011/080879 A1

(51) 国際特許分類:
H01L 29/786 (2006.01) *G09F 9/30* (2006.01)
G02F 1/1368 (2006.01)

(21) 国際出願番号: PCT/JP2010/007102

(22) 国際出願日: 2010 年 12 月 7 日(07.12.2010)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2009-299032 2009 年 12 月 29 日(29.12.2009) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 勝井宏充 (KATSUI, Hiromitsu). 中村渉 (NAKAMURA, Wataru).

(74) 代理人: 前田弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町２丁目５番７号 大阪丸紅ビル Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

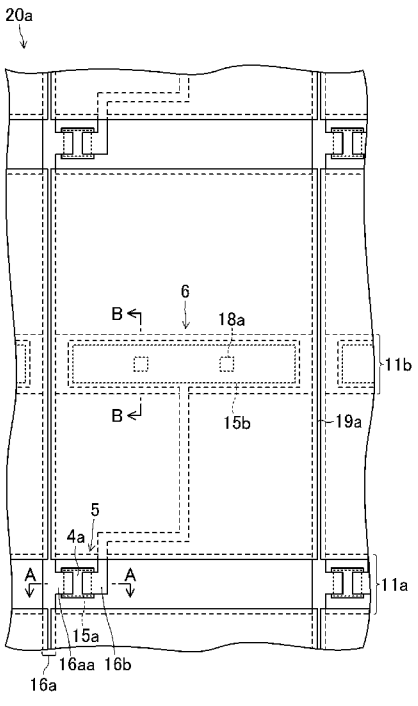
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) **Title**: ACTIVE MATRIX SUBSTRATE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称 : アクティブマトリクス基板及びその製造方法

[図2]



(57) **Abstract**: An active matrix substrate is provided with a plurality of scan lines (11a) which are provided so as to extend parallel to each other, a plurality of signal lines (16a) which are provided so as to extend parallel to each other in the direction orthogonal to the respective scan lines (11a), a plurality of TFTs (5) which are respectively provided in the portions of intersection of the scan lines (11a) and the signal lines (16a) and each comprise a semiconductor layer (4a), and a source electrode (16aa) and a drain electrode (16b) that are formed in the same layer as the signal lines (16a) on the semiconductor layer (4a), and a coating-type insulating layer which is provided between the scan lines (11a) and the signal lines (16a). A plurality of openings (15a) are formed in the insulating layer such that the semiconductor layers (4a) are exposed, and at least part of the peripheral end of each of the openings (15a) of the insulting layer is disposed inside the peripheral end of each of the semiconductor layers (4a).

(57) 要約: 互いに平行に延びるように設けられた複数の走査配線（１１ａ）と、各走査配線（１１ａ）と交差する方向に互いに平行に延びるように設けられた複数の信号配線（１６ａ）と、各走査配線（１１ａ）と各信号配線（１６ａ）との交差部分毎にそれぞれ設けられ、各々、半導体層（４ａ）、並びに半導体層（４ａ）上に各信号配線（１６ａ）と同一層に形成されたソース電極（１６ａａ）及びドレイン電極（１６ｂ）を有する複数のＴＦＴ（５）と、各走査配線（１１ａ）と各信号配線（１６ａ）との間に設けられた塗布型の絶縁層とを備え、その絶縁層には、各半導体層（４ａ）が露出するように複数の開口部（１５ａ）が形成され、その絶縁層の各開口部（１５ａ）の周端の少なくとも一部は、各半導体層（４ａ）の周端よりも内側に配置されている。

WO 2011/080879 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： アクティブマトリクス基板及びその製造方法

技術分野

[0001] 本発明は、アクティブマトリクス基板及びその製造方法に関し、特に、塗布型の絶縁膜を用いたアクティブマトリクス基板及びその製造方法に関するものである。

背景技術

[0002] 液晶表示装置を構成するアクティブマトリクス基板は、例えば、互いに平行に延びるように設けられた複数の走査配線と、各走査配線と直交する方向に互いに平行に延びるように設けられた複数の信号配線と、各走査配線及び各信号配線の交差部分毎にそれぞれ設けられた複数の薄膜トランジスタ（以下、「ＴＦＴ」とも称する）とを備えている。このアクティブマトリクス基板では、各走査配線と各信号配線との交差部分に形成される容量を低減するために、各走査配線と各信号配線とをＳＯＧ（Spin on Glass）膜と呼ばれる塗布型の絶縁膜で電気的に絶縁する構成が、近年、提案されている。

[0003] 例えば、特許文献１には、各走査配線を覆う多層絶縁膜が、有機ＳＯＧ材料を塗布して形成されたＳＯＧ膜をパターニングした下層の第１の絶縁層と、窒化シリコン膜などの無機絶縁膜からなる上層の第２の絶縁層とにより構成されたアクティブマトリクス基板が開示されている。

[0004] また、特許文献２には、各ＴＦＴを覆うＳＯＧ膜を用いた絶縁膜を有し、各信号配線が、各ＴＦＴのソース電極及びドレイン電極と異なる導電層により形成され、且つ絶縁膜に形成されたコンタクトホールを介して各ＴＦＴのソース電極に接続されたアクティブマトリクス基板が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：国際公開第２００６／０２２２５９号パンフレット

特許文献2：特開２００６－２１５０８６号公報

発明の概要

発明が解決しようとする課題

[0006] 図１４及び図１５は、塗布型の絶縁膜を用いた従来のアクティブマトリクス基板１２０の製造工程を断面で示す説明図である。なお、図１４及び図１５では、領域Ａにおいて ＴＦＴ部の断面を示し、領域Ｂにおいて画素電極のコンタクト部の断面を示し、領域Ｃにおいて配線切り替え部の断面を示している。

[0007] 以下に、塗布型の絶縁膜を用いた従来のアクティブマトリクス基板１２０の製造工程を説明する。

[0008] まず、図１４（ａ）に示すように、スパッタリング法を用いて３層の金属膜を積層した後に、その金属積層膜をフォトリソグラフィーを用いてパターニングすることにより、走査配線１１１ａ、補助容量配線１１１ｂ及び信号線引出配線１１１ｃを形成する。

[0009] 続いて、図１４（ｂ）に示すように、走査配線１１１ａ、補助容量配線１１１ｂ及び信号線引出配線１１１ｃが形成された基板全体に、有機ＳＯＧ膜を塗布及びベーキングした後に、その有機ＳＯＧ膜をフォトリソグラフィーを用いてパターニングすることにより、第１絶縁層１１２を形成する。

[0010] そして、図１４（ｃ）に示すように、第１絶縁層１１２が形成された基板全体に、ＣＶＤ（Chemical Vapor Deposition）法を用いて、第２絶縁層１１３、真性アモルファスシリコン膜及びｎ$^+$アモルファスシリコン膜を順に積層した後に、真性アモルファスシリコン膜及びｎ$^+$アモルファスシリコン膜の半導体積層膜をフォトリソグラフィーを用いてパターニングすることにより、真性アモルファスシリコン層１１４ａ及び１１４ｂ、並びにｎ$^+$アモルファスシリコン層１１５ａ及び１１５ｂを形成する。

[0011] さらに、図１４（ｄ）に示すように、真性アモルファスシリコン層１１４ａ及び１１４ｂ、並びにｎ$^+$アモルファスシリコン層１１５ａ及び１１５ｂが形成された基板全体に、スパッタリング法を用いて２層の金属膜を積層した後に、その金属積層膜をフォトリソグラフィーを用いてパターニングするこ

とにより、ソース電極１１６ａ（信号配線）及びドレイン電極１１６ｂ（補助容量電極）を形成する。

[0012] その後、図１４（ｅ）に示すように、ソース電極１１６ａ及びドレイン電極１１６ｂから露出するｎ$^+$アモルファスシリコン層１１５ａ及び１１５ｂ、並びにその下層の真性アモルファスシリコン層１１４ａ及び１１４ｂの上層部をドライエッチングを用いて除去することにより、真性アモルファスシリコン層１１４ａａ及びｎ$^+$アモルファスシリコン層１１５ａａを有する半導体層１０４ａ、並びに真性アモルファスシリコン層１１４ｂａ及びｎ$^+$アモルファスシリコン層１１５ｂａを有する半導体層１０４ｂを形成して、ＴＦＴ５を形成する。

[0013] 引き続いて、図１５（ａ）に示すように、ＴＦＴ５が形成された基板全体に、ＣＶＤ法を用いて、無機絶縁膜１１７を形成した後に、図１５（ｂ）に示すように、感光性樹脂膜を塗布して、その感光性樹脂膜をパターニングすることにより、第４絶縁層１１８を形成する。

[0014] さらに、図１５（ｃ）に示すように、第４絶縁層１１８から露出する無機絶縁膜１１７をドライエッチングを用いて除去することにより、第３絶縁層１１７ａを形成する。

[0015] 最後に、図１５（ｄ）に示すように、第３絶縁層１１７ａが形成された基板全体に、スパッタリング法を用いて透明導電膜を形成した後に、その透明導電膜をフォトリソグラフィーを用いてパターニングすることにより、画素電極１１９ａ及び透明導電層１１９ｂを形成して、アクティブマトリクス基板１２０を製造することができる。

[0016] 以上説明したように、従来のアクティブマトリクス基板１２０では、各走査配線１１１ａと各信号配線（１１６ａ）との間に、比較的厚い有機ＳＯＧ膜をパターニングして形成された第１絶縁層１１２が配置されているので、各走査配線１１１ａと各信号配線１１６ａとの交差部分に形成される容量を低減することができるものの、第１絶縁層１１２を形成した後に、真性アモルファスシリコン膜及びｎ$^+$アモルファスシリコン膜の半導体膜をＣＶＤ法に

より形成するので、第１絶縁層１１２を構成するＳＯＧ膜に、例えば、３００℃以上の高い耐熱性が求められる。そうなると、アクティブマトリクス基板において、各走査配線と各信号配線との交差部分の容量を低減するために用いるＳＯＧ膜の材料選択の自由度が低下してしまう。

[0017] 本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、アクティブマトリクス基板において、各走査配線と各信号配線との交差部分の容量を低減するために用いる塗布型の絶縁膜の材料選択の自由度を向上させることにある。

課題を解決するための手段

[0018] 上記目的を達成するために、本発明は、半導体層を形成した後に、塗布型の絶縁層を形成するようにしたものである。

[0019] 具体的に本発明に係るアクティブマトリクス基板は、互いに平行に延びるように設けられた複数の走査配線と、上記各走査配線と交差する方向に互いに平行に延びるように設けられた複数の信号配線と、上記各走査配線と上記各信号配線との交差部分毎にそれぞれ設けられ、各々、半導体層、並びに該半導体層上に上記各信号配線と同一層に形成されたソース電極及びドレイン電極を有する複数の薄膜トランジスタと、上記各走査配線と上記各信号配線との間に設けられた塗布型の絶縁層とを備えたアクティブマトリクス基板であって、上記絶縁層には、上記各半導体層が露出するように複数の開口部が形成され、上記絶縁層の各開口部の周端の少なくとも一部は、上記各半導体層の周端よりも内側に配置されていることを特徴とする。

[0020] 上記の構成によれば、各走査配線と各信号配線との間に設けられた塗布型の絶縁層に形成された各開口部の周端の少なくとも一部が各半導体層の周端よりも内側に配置されているので、例えば、ＣＶＤ法を用いて半導体層を形成した後に、塗布型の絶縁層を形成するように構成されている。これにより、塗布型の絶縁層を形成するための塗布型の絶縁膜において、例えば、ＣＶＤ工程に耐え得る３００℃以上の耐熱性を有する必要がなくなり、耐熱性の低いスピンオンガラス材料を塗布型の絶縁膜として用いることが可能になる

ので、アクティブマトリクス基板において、各走査配線と各信号配線との交差部分の容量を低減するために用いる塗布型の絶縁膜の材料選択の自由度が向上する。

[0021] 上記各薄膜トランジスタは、上記各走査配線と同一層に形成されたゲート電極を有し、上記各半導体層及び各ゲート電極は、ゲート絶縁膜を介して電気的に絶縁されていてもよい。

[0022] 上記の構成によれば、各薄膜トランジスタにおいて、半導体層及びゲート電極の間には、比較的厚い塗布型の絶縁層が配置せずに、半導体層及びゲート電極が比較的薄いゲート絶縁膜を介して電気的に絶縁されているので、低消費電力の薄膜トランジスタが具体的に構成される。

[0023] 上記ゲート絶縁膜は、上記各走査配線の上面を覆うと共に互いに平行に延びるように複数設けられていてもよい。

[0024] 上記の構成によれば、ゲート絶縁膜が各走査配線の上面を覆うと共に互いに平行に延びるように複数設けられているので、走査配線の形成する際のパターニングと半導体層の形成する際のパターニングとを１回のフォトリソグラフィで行うことが可能になり、製造に必要なフォトマスクの枚数が削減される。

[0025] 上記各ゲート絶縁膜の少なくとも一方の側端部は、上記各走査配線から突出していてもよい。

[0026] 上記の構成によれば、各ゲート絶縁膜の少なくとも一方の側端部が各走査配線から突出してオーバーハング状態に形成され、且つゲート絶縁膜の突出した部分を覆うように塗布型の絶縁層が設けられているので、ゲート絶縁膜のオーバーハングに起因する信号配線の断線や走査配線と信号配線との短絡などの発生が抑制される。

[0027] 上記各走査配線の間には、該各走査配線に沿って延びるように補助容量配線が設けられ、上記絶縁層には、上記各補助容量配線と重なるように複数の開口部が形成され、上記各補助容量配線及び各ドレイン電極は、ゲート絶縁膜を介して電気的に絶縁されていてもよい。

[0028] 上記の構成によれば、補助容量を構成する補助容量配線及びドレイン電極の間には、比較的厚い塗布型の絶縁層が配置せずに、補助容量配線及びドレイン電極が比較的薄いゲート絶縁膜を介して電気的に絶縁されているので、大容量の補助容量が具体的に構成される。

[0029] 上記絶縁層は、有機スピンオンガラス材料により構成されていてもよい。

[0030] 上記の構成によれば、絶縁層が有機スピンオンガラス材料により構成されているので、例えば、感光性を有する有機スピンオンガラス材料に対して、露光及び現像を行うことにより、絶縁層が形成される。

[0031] 上記各半導体層は、酸化物半導体により構成されていてもよい。

[0032] 上記の構成によれば、各半導体層が酸化物半導体により構成されているので、高移動度の薄膜トランジスタが具体的に構成される。

[0033] また、本発明に係るアクティブマトリクス基板の製造方法は、互いに平行に延びるように設けられた複数の走査配線と、上記各走査配線と交差する方向に互いに平行に延びるように設けられた複数の信号配線と、上記各走査配線と上記各信号配線との交差部分毎にそれぞれ設けられ、各々、半導体層を有する複数の薄膜トランジスタと、上記各走査配線と上記各信号配線との間に設けられた塗布型の絶縁層とを備えたアクティブマトリクス基板を製造する方法であって、絶縁基板上に上記各走査配線を形成する走査配線形成工程と、上記各走査配線を覆うようにゲート絶縁膜を形成した後に、該ゲート絶縁膜上に上記各半導体層を形成する半導体層形成工程と、上記各半導体層が形成された絶縁基板を覆うようにスピンオンガラス材料を塗布及びベーキングした後に、該スピンオンガラス材料を上記各半導体層が露出するようにパターニングして、上記絶縁層を形成する絶縁層形成工程と、上記絶縁層上に上記各信号配線を形成すると共に、上記各半導体層上に互いに対峙するようにソース電極及びドレイン電極を形成する信号配線形成工程とを備えることを特徴とする。

[0034] 上記の方法によれば、半導体層形成工程において、例えば、ＣＶＤ法を用いて、ゲート絶縁膜上に半導体層を形成した後に、絶縁層形成工程において

、走査配線形成工程で形成された各走査配線と後の信号配線形成工程で形成される各信号配線との間に配置する塗布型の絶縁層を形成するので、塗布型の絶縁層を形成するための塗布型の絶縁膜において、例えば、ＣＶＤ工程に耐え得る３００℃以上の耐熱性を有する必要がなくなる。これにより、耐熱性の低いスピンオンガラス材料を塗布型の絶縁膜として用いることが可能になるので、アクティブマトリクス基板において、各走査配線と各信号配線との交差部分の容量を低減するために用いる塗布型の絶縁膜の材料選択の自由度が向上する。なお、上記の方法によれば、走査配線形成工程で１枚目のフォトマスクを用い、半導体層形成工程で２枚目のフォトマスクを用い、絶縁層形成工程で３枚目のフォトマスクを用い、信号配線形成工程で４枚目のフォトマスクを用い、その後の工程を省略しているものの、後述する実施形態で記載するように、層間絶縁膜を形成する工程で５枚目のフォトマスクを用い、画素電極を形成する工程で６枚目のフォトマスクを用いるので、合計６枚のフォトマスクを用いてアクティブマトリクス基板が製造される。

[0035] また、本発明に係るアクティブマトリクス基板の製造方法は、互いに平行に延びるように設けられた複数の走査配線と、上記各走査配線と交差する方向に互いに平行に延びるように設けられた複数の信号配線と、上記各走査配線と上記各信号配線との交差部分毎にそれぞれ設けられ、各々、半導体層を有する複数の薄膜トランジスタと、上記各走査配線と上記各信号配線との間に設けられた塗布型の絶縁層とを備えたアクティブマトリクス基板を製造する方法であって、絶縁基板上に、金属膜、無機絶縁膜、半導体膜及び感光性樹脂膜を順に積層し、該感光性樹脂膜をハーフトーンで露光することにより、上記半導体膜上に上記各走査配線となる部分に重なると共に上記各半導体層となる部分が相対的に厚くなるようにレジストパターンを形成した後に、該レジストパターンから露出する上記半導体膜及び該半導体膜の下層の無機絶縁膜をエッチングして、ゲート絶縁膜を形成するゲート絶縁膜形成工程と、上記レジストパターンを薄肉化することにより該レジストパターンから露出させた上記半導体膜をエッチングして、上記各半導体層を形成する半導体

層形成工程と、上記ゲート絶縁膜から露出する上記金属膜をエッチングして、上記各走査配線を形成する走査配線形成工程と、上記各走査配線が形成された絶縁基板を覆うようにスピンオンガラス材料を塗布及びベーキングした後に、該スピンオンガラス材料を上記各半導体層が露出するようにパターニングして、絶縁層を形成する絶縁層形成工程と、上記絶縁層上に上記各信号配線を形成すると共に、上記各半導体層上に互いに対峙するようにソース電極及びドレイン電極を形成する信号配線形成工程とを備えることを特徴とする。

[0036] 上記の方法によれば、半導体層形成工程において、ゲート絶縁膜形成工程で形成されたゲート絶縁膜上に、例えば、ＣＶＤ法を用いて、半導体層を形成した後に、絶縁層形成工程において、走査配線形成工程で形成された各走査配線と後の信号配線形成工程で形成される各信号配線との間に配置する塗布型の絶縁層を形成するので、塗布型の絶縁層を形成するための塗布型の絶縁膜において、例えば、ＣＶＤ工程に耐え得る３００℃以上の耐熱性を有する必要がなくなる。これにより、耐熱性の低いスピンオンガラス材料を塗布型の絶縁膜として用いることが可能になるので、アクティブマトリクス基板において、各走査配線と各信号配線との交差部分の容量を低減するために用いる塗布型の絶縁膜の材料選択の自由度が向上する。なお、上記の方法によれば、ゲート絶縁膜形成工程でハーフトーンの露光が可能な１枚目のフォトマスクを用い、絶縁層形成工程で２枚目のフォトマスクを用い、信号配線形成工程で３枚目のフォトマスクを用い、その後の工程を省略しているものの、後述する実施形態で記載するように、層間絶縁膜を形成する工程で４枚目のフォトマスクを用い、画素電極を形成する工程で５枚目のフォトマスクを用いるので、合計５枚のフォトマスクを用いてアクティブマトリクス基板を製造することになり、製造コストが低減される。

発明の効果

[0037] 本発明によれば、半導体層を形成した後に、塗布型の絶縁層を形成するように構成されているので、アクティブマトリクス基板において、各走査配線

と各信号配線との交差部分の容量を低減するために用いる塗布型の絶縁膜の材料選択の自由度を向上させることができる。

図面の簡単な説明

[0038] [図1]図１は、実施形態１に係るアクティブマトリクス基板を備えた液晶表示装置を示す斜視図である。

[図2]図２は、実施形態１に係るアクティブマトリクス基板の表示部を示す平面図である。

[図3]図３は、実施形態１に係るアクティブマトリクス基板の配線切り替え部を示す平面図である。

[図4]図４は、実施形態１に係るアクティブマトリクス基板の製造工程を断面で示す第１の説明図である。

[図5]図５は、図４に続くアクティブマトリクス基板の製造工程を断面で示す第２の説明図である。

[図6]図６は、実施形態１に係るアクティブマトリクス基板に対向して配置される対向基板３０の製造工程を断面で示す説明図である。

[図7]図７は、実施形態２に係るアクティブマトリクス基板の製造工程を断面で示す第１の説明図である。

[図8]図８は、図７に続くアクティブマトリクス基板の製造工程を断面で示す第２の説明図である。

[図9]図９は、図８に続くアクティブマトリクス基板の製造工程を断面で示す第３の説明図である。

[図10]図１０は、実施形態３に係るアクティブマトリクス基板の製造工程を断面で示す説明図である。

[図11]図１１は、実施形態４に係るアクティブマトリクス基板の表示部を示す平面図である。

[図12]図１２は、実施形態４に係るアクティブマトリクス基板の配線切り替え部を示す平面図である。

[図13]図１３は、実施形態４に係るアクティブマトリクス基板の製造工程を

断面で示す説明図である。

[図14]図１４は、塗布型の絶縁膜を用いた従来のアクティブマトリクス基板の製造工程を断面で示す第１の説明図である。

[図15]図１５は、図１４に続くアクティブマトリクス基板の製造工程を断面で示す第２の説明図である。

発明を実施するための形態

[0039] 以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の各実施形態に限定されるものではない。

[0040] 《発明の実施形態１》

図１～図６は、本発明に係るアクティブマトリクス基板及びその製造方法の実施形態１を示している。具体的に、図１は、本実施形態のアクティブマトリクス基板２０ａを備えた液晶表示装置５０を示す斜視図である。また、図２は、アクティブマトリクス基板２０ａの表示部、すなわち、画像の最小単位である各画素を示す平面図であり、図３は、アクティブマトリクス基板２０ａの配線切り替え部を示す平面図である。さらに、図４及び図５は、アクティブマトリクス基板２０ａの製造工程を断面で示す説明図であり、図６は、アクティブマトリクス基板２０ａに対向して配置される対向基板３０の製造工程を断面で示す説明図である。なお、図５（ｄ）は、アクティブマトリクス基板２０ａの断面図に相当し、領域Ａが図２中のＡ－Ａ線に沿った断面を示し、領域Ｂが図２中のＢ－Ｂ線に沿った断面を示し、領域Ｃが図３中のＣ－Ｃ線に沿った断面を示している。

[0041] 液晶表示装置５０は、図１に示すように、互いに対向するように設けられたアクティブマトリクス基板２０ａ及び対向基板３０と、アクティブマトリクス基板２０ａ及び対向基板３０の間にシール材（不図示）を介して封入された液晶層（不図示）とを備えている。そして、液晶表示装置５０では、図１に示すように、対向基板３０から露出するアクティブマトリクス基板２０ａの端子領域Ｔに、各々、ゲートドライバＩＣ（Integrated Circuit）が実装された複数のゲート側ＴＣＰ（Tape Carrier Package）４１、及び各々、

ソースドライバＩＣが実装された複数のソース側ＴＣＰ４２がＡＣＦ（Anisotropic Conductive Film）を介して貼り付けられている。

[0042] アクティブマトリクス基板２０ａは、図２及び図５（ｄ）に示すように、絶縁基板１０ａ上に互いに平行に延びるように設けられた複数の走査配線１１ａと、各走査配線１１ａの間にそれぞれ設けられ、互いに平行に延びる複数の補助容量配線１１ｂと、各走査配線１１ａと直交する方向に互いに平行に延びるように設けられた複数の信号配線１６ａと、各走査配線１１ａ及び各信号配線１６ａの交差部分毎、すなわち、各画素毎にそれぞれ設けられた複数のＴＦＴ５と、各ＴＦＴ５を覆うように設けられた無機絶縁層１７ａ及び有機絶縁層１８からなる層間絶縁膜と、その層間絶縁膜上にマトリクス状に設けられた複数の画素電極１９ａと、各画素電極１９ａを覆うように設けられた配向膜（不図示）とを備えている。

[0043] 走査配線１１ａは、端子領域Ｔに引き出され、図１に示すように、ゲート側ＴＣＰ４１に接続されている。

[0044] 信号配線１６ａは、端子領域Ｔに引き出され、その端子領域Ｔにおいて、図１、図３及び図５（ｄ）に示すように、透明導電層１９ｂを介して信号線引出配線１１ｃに接続され、その信号線引出配線１１ｃがソース側ＴＣＰ４２に接続されている。なお、本実施形態では、信号配線１６ａが信号線引出配線１１ｃを介してソース側ＴＣＰ４２に接続された構成を例示したが、必要に応じて、信号配線をそのまま引き出して、ソース側ＴＣＰに直接接続してもよい。

[0045] ＴＦＴ５は、図２及び図５（ｄ）に示すように、絶縁基板１０ａ上に設けられたゲート電極（１１ａ）と、ゲート電極（１１ａ）を覆うように設けられたゲート絶縁膜１２と、ゲート絶縁膜１２上でゲート電極（１１ａ）に対応する位置に島状に設けられた半導体層４ａと、半導体層４ａ上に互いに対峙するように設けられたソース電極１６ａａ及びドレイン電極１６ｂとを備えている。ここで、図２に示すように、ゲート電極（１１ａ）は、走査配線１１ａの一部であり、ソース電極１６ａａは、信号配線１６ａの側方への突

出した部分である。また、ドレイン電極１６ｂは、図２及び図５（ｄ）に示すように、無機絶縁層１７ａ及び有機絶縁層１８からなる層間絶縁膜に形成されたコンタクトホール１８ａを介して画素電極１９ａに接続されていると共に、ゲート絶縁膜１２を介して補助容量配線１１ｂと重なることにより補助容量６を構成している。さらに、半導体層４ａは、図５（ｄ）に示すように、チャネル領域を有する真性アモルファスシリコン層１３ａａと、真性アモルファスシリコン層１３ａａ上にそのチャネル領域が露出するように設けられ、ソース電極１６ａａ及びドレイン電極１６ｂに接続されたｎ$^{+}$アモルファスシリコン層１４ａａとを備えている。

[0046] アクティブマトリクス基板２０ａでは、図５（ｄ）に示すように、各走査配線１１ａと各信号配線１６ａとの交差部分の容量を低減するために、走査配線１１ａ及び信号配線１６ａの間に塗布型の絶縁層１５が設けられている。そして、絶縁層１５には、図２及び図５（ｄ）に示すように、各半導体層４ａが露出するように複数の開口部１５ａが形成され、各補助容量配線１１ｂに重なるように複数の開口部１５ｂが形成され、各信号線引出配線１１ｃに重なるように複数の開口部１５ｃが形成されている。ここで、絶縁層１５の各開口部１５ａの周端は、図２及び図５（ｄ）に示すように、各半導体層４ａの周端よりも内側に配置されている。

[0047] 対向基板３０は、図６（ｃ）に示すように、絶縁基板１０ｂ上に格子状に設けられたブラックマトリクス２１と、ブラックマトリクス２１の各格子間にそれぞれ設けられた赤色層、緑色層及び青色層などの複数の着色層２２と、ブラックマトリクス２１及び各着色層２２を覆うように設けられた共通電極２３と、共通電極２３上に柱状に設けられたフォトスペーサ２４と、共通電極２３を覆うように設けられた配向膜（不図示）とを備えている。

[0048] 上記液晶層は、電気光学特性を有するネマチックの液晶材料などにより構成されている。

[0049] 上記構成の液晶表示装置５０では、各画素において、ゲートドライバ（ゲート側ＴＣＰ４１）から走査信号が走査配線１１ａを介してＴＦＴ５のゲー

ト電極（１１ａ）に送られて、ＴＦＴ５がオン状態になったときに、ソースドライバ（ソース側ＴＣＰ４２）から表示信号が信号配線１６ａを介してソース電極１６ａａに送られて、半導体層４ａ及びドレイン電極１６ｂを介して、画素電極１９ａに所定の電荷が書き込まれる。このとき、液晶表示装置５０では、アクティブマトリクス基板２０ａの各画素電極１９ａと対向基板３０の共通電極２３との間において電位差が生じ、液晶層、すなわち、各画素の液晶容量、及びその液晶容量に並列に接続された補助容量６に所定の電圧が印加される。そして、液晶表示装置５０では、各画素において、液晶層に印加する電圧の大きさによって液晶層の配向状態を変えることにより、液晶層の光透過率を調整して画像が表示される。

[0050] 次に、本実施形態の液晶表示装置５０の製造方法について、図４～図６を用いて一例を挙げて説明する。なお、本実施形態の製造方法は、アクティブマトリクス基板作製工程、対向基板作製工程及び液晶注入工程を備える。

[0051] ＜アクティブマトリクス基板作製工程＞

まず、ガラス基板などの絶縁基板１０ａの基板全体に、スパッタリング法により、例えば、チタン膜（厚さ５０ｎｍ程度）、アルミニウム膜（厚さ２００ｎｍ程度）及びチタン膜（厚さ１５０ｎｍ程度）などを順に積層した後に、その金属積層膜をフォトリソグラフィーを用いてパターニングすることにより、図４（ａ）に示すように、それぞれ、チタン層Ｇａ、アルミニウム層Ｇｂ及びチタン層Ｇｃの３層からなる走査配線１１ａ、補助容量配線１１ｂ及び信号線引出配線１１ｃを形成する（走査配線形成工程）。

[0052] 続いて、走査配線１１ａ、補助容量配線１１ｂ及び信号線引出配線１１ｃが形成された基板全体に、ＣＶＤ法により、例えば、窒化シリコン膜（厚さ４００ｎｍ程度、比誘電率７．０程度）からなるゲート絶縁膜１２、真性アモルファスシリコン膜（厚さ５０ｎｍ～２００ｎｍ程度）、n^+アモルファスシリコン膜（厚さ４０ｎｍ程度）などを順に積層した後に、真性アモルファスシリコン膜及びn^+アモルファスシリコン膜の半導体積層膜をフォトリソグラフィーを用いてパターニングすることにより、図４（ｂ）に示すように、

真性アモルファスシリコン層１３ａ及び１３ｂ、並びにｎ$^+$アモルファスシリコン層１４ａ及び１４ｂを形成する（半導体層形成工程）。

[0053] さらに、真性アモルファスシリコン層１３ａ及び１３ｂ、並びにｎ$^+$アモルファスシリコン層１４ａ及び１４ｂが形成された基板全体に、スピンコート法により、例えば、主成分がポリシロキサン又はシリコーン樹脂からなる有機スピンオンガラス（ＳＯＧ）材料（１５ｓ）を厚さ１．５μｍ程度に塗布した後に、１５０℃で５分間程度のプリベーク、及び３５０℃で１時間程度のポストベークを行うことにより、有機ＳＯＧ膜１５ｓを形成する。その後、有機ＳＯＧ膜１５ｓをフォトリソグラフィーを用いてパターニングすることにより、図４（ｃ）に示すように、開口部１５ａ、１５ｂ及び１５ｃを有し、比誘電率が２．５程度の絶縁層１５を形成する（絶縁層形成工程）。ここで、有機ＳＯＧ膜１５ｓのパターニングには、４フッ化炭素及び酸素の混合ガスを用い、ガスの混合比率や高周波パワーを調整して、真性アモルファスシリコン層及びｎ$^+$アモルファスシリコン層と有機ＳＯＧ膜との間に高い選択比が得られる条件でドライエッチングを行う。また、有機ＳＯＧ膜１５ｓのパターニングには、真性アモルファスシリコン層及びｎ$^+$アモルファスシリコン層がダメージを受けないように、ｎ$^+$アモルファスシリコン層上にバリアメタル層を予め形成してもよい。なお、有機ＳＯＧ材料として、耐熱性の低い感光性を有する有機ＳＯＧ材料を用いてもよい。この場合には、本発明における塗布型の絶縁膜の材料選択の自由度を向上させる、という作用効果が有効に奏されると共に、フォトリソグラフィー及びドライエッチングの工程を省略することができる。

[0054] そして、絶縁層１５が形成された基板全体に、スパッタリング法により、例えば、アルミニウム膜（厚さ２００ｎｍ程度）及びチタン膜（厚さ１００ｎｍ程度）などを順に積層した後に、その金属積層膜をフォトリソグラフィーを用いてパターニングすることにより、図４（ｄ）に示すように、それぞれ、アルミニウム層Ｓａ及びチタン層Ｓｂの２層からなる信号配線１６ａ、ソース電極１６ａａ及びドレイン電極１６ｂを形成して、補助容量６を形成

する（信号配線形成工程）。さらに、図４（ｅ）に示すように、ソース電極１６ａａ及びドレイン電極１６ｂから露出するｎ$^+$アモルファスシリコン層１４ａ及び１４ｂ、並びにその下層の真性アモルファスシリコン層１３ａ及び１３ｂの上層部をドライエッチングを用いて除去することにより、真性アモルファスシリコン層１３ａａ及びｎ$^+$アモルファスシリコン層１４ａａからなる半導体層４ａ、並びに真性アモルファスシリコン層１３ｂａ及びｎ$^+$アモルファスシリコン層１４ｂａからなる半導体層４ｂを形成して、ＴＦＴ５を形成する。

[0055] 引き続いて、ＴＦＴ５及び補助容量６が形成された基板全体に、ＣＶＤ法により、例えば、窒化シリコン膜（厚さ１５０ｎｍ～７００ｎｍ程度）を堆積して、図５（ａ）に示すように、無機絶縁膜１７を形成する。

[0056] さらに、無機絶縁膜１７が形成された基板全体に、スピンコート法により、例えば、感光性の有機絶縁膜を厚さ１．０μｍ～３．０μｍ程度に塗布した後に、その塗布膜を露光及び現像することにより、図５（ｂ）に示すように、コンタクトホール１８ａ及び１８ｂを有する有機絶縁層１８を形成する。

[0057] その後、有機絶縁層１８から露出する無機絶縁膜１７をドライエッチングを用いて除去することにより、図５（ｃ）に示すように、無機絶縁層１７ａを形成する。なお、本実施形態では、ＴＦＴ５及び画素電極１９ａを電気的に絶縁する層間絶縁膜として、無機絶縁層１７ａ及び有機絶縁層１８の２層の積層膜を例示したが、無機絶縁層１７ａ又は有機絶縁層１８の単層膜であってもよい。

[0058] 最後に、無機絶縁層１７ａが形成された基板全体に、スパッタリング法により、例えば、ＩＴＯ（Indium Tin Oxide）膜（厚さ１００ｎｍ程度）などの透明導電膜を堆積した後に、その透明導電膜をフォトリソグラフィーを用いてパターニングすることにより、図５（ｄ）に示すように、画素電極１９ａ及び透明導電層１９ｂを形成する。

[0059] 以上のようにして、アクティブマトリクス基板２０ａを作製することがで

きる。

[0060] ＜対向基板作製工程＞

まず、ガラス基板などの絶縁基板１０ｂの基板全体に、スピンコート法により、例えば、黒色に着色された感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、図６（ａ）に示すように、ブラックマトリクス２１を厚さ１．０μｍ程度に形成する。

[0061] 続いて、ブラックマトリクス２１が形成された基板全体に、スピンコート法により、例えば、赤色、緑色又は青色に着色された感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、図６（ａ）に示すように、選択した色の着色層２２（例えば、赤色層）を厚さ２．０μｍ程度に形成する。そして、他の２色についても同様な工程を繰り返して、他の２色の着色層２２（例えば、緑色層及び青色層）を厚さ２．０μｍ程度に形成する。

[0062] さらに、各色の着色層２２が形成された基板上に、スパッタリング法により、例えば、ＩＴＯ膜などの透明導電膜を堆積することにより、図６（ｂ）に示すように、共通電極２３を厚さ５０ｎｍ～２００ｎｍ程度に形成する。

[0063] 最後に、共通電極２３が形成された基板全体に、スピンコート法により、感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、図６（ｃ）に示すように、フォトスペーサ２４を厚さ４μｍ程度に形成する。

[0064] 以上のようにして、対向基板３０を作製することができる。

[0065] ＜液晶注入工程＞

まず、上記アクティブマトリクス基板作製工程で作製されたアクティブマトリクス基板２０ａ、及び上記対向基板作製工程で作製された対向基板３０の各表面に、印刷法によりポリイミドの樹脂膜を塗布した後に、その塗布膜に対して焼成及びラビング処理を行うことにより、配向膜を形成する。

[0066] 続いて、例えば、上記配向膜が形成された対向基板３０の表面に、ＵＶ（ultraviolet）硬化及び熱硬化併用型樹脂などからなるシール材を枠状に印刷した後に、シール材の内側に液晶材料を滴下する。

[0067] さらに、上記液晶材料が滴下された対向基板３０と、上記配向膜が形成さ

れたアクティブマトリクス基板２０ａとを、減圧下で貼り合わせた後に、その貼り合わせた貼合体を大気圧に開放することにより、その貼合体の表面及び裏面を加圧する。

[0068] そして、上記貼合体に挟持されたシール材にＵＶ光を照射した後に、その貼合体を加熱することによりシールを硬化させる。

[0069] 最後に、上記シール材を硬化させた貼合体を、例えば、ダイシングにより分断して、その不要な部分を除去した後に、アクティブマトリクス基板２０ａの端子領域Ｔに、ゲート側ＴＣＰ４１及びソース側ＴＣＰ４２などを実装する。

[0070] 以上のようにして、本実施形態の液晶表示装置５０を製造することができる。

[0071] 以上説明したように、本実施形態のアクティブマトリクス基板２０ａ及びその製造方法によれば、半導体層形成工程において、ＣＶＤ法を用いて、ゲート絶縁膜１２上に真性アモルファスシリコン層１３ａ及びn^+アモルファスシリコン層１４ａの半導体層を形成した後に、絶縁層形成工程において、走査配線形成工程で形成された各走査配線１１ａと後に信号配線形成工程で形成される各信号配線１６ａとの間に配置する塗布型の絶縁層１５を形成するので、塗布型の絶縁層１５を形成するための塗布型の有機ＳＯＧ膜１５ｓにおいて、例えば、ＣＶＤ工程に耐え得る３００℃以上の耐熱性を有する必要がなくなる。これにより、耐熱性の低い有機ＳＯＧ材料を塗布型の絶縁膜として用いることができるので、アクティブマトリクス基板２０ａにおいて、各走査配線１１ａと各信号配線１６ａとの交差部分の容量を低減するために用いる塗布型の絶縁膜の材料選択の自由度を向上させることができる。

[0072] また、本実施形態のアクティブマトリクス基板２０ａによれば、各ＴＦＴ５において、半導体層４ａ及びゲート電極（１１ａ）の間には、開口部１５ａにより、比較的厚い塗布型の絶縁層１５が配置せずに、半導体層４ａ及びゲート電極（１１ａ）が比較的薄いゲート絶縁膜１２を介して電気的に絶縁されているので、低消費電力のＴＦＴ５を構成することができる。

[0073] また、本実施形態のアクティブマトリクス基板２０ａによれば、補助容量６を構成する補助容量配線１１ｂ及びドレイン電極１６ｂの間には、開口部１５ｂにより、比較的厚い塗布型の絶縁層１５が配置せずに、補助容量配線１１ｂ及びドレイン電極１６ｂが比較的薄いゲート絶縁膜１２を介して電気的に絶縁されているので、大容量の補助容量６を構成することができる。

[0074] また、本実施形態のアクティブマトリクス基板２０ａの製造方法によれば、塗布型の有機ＳＯＧ膜１５ｓを焼成する際に、ゲート電極（１１ａ）の表面がゲート絶縁膜１２で覆われているので、焼成雰囲気中の熱や腐食性ガス（例えば、酸素）などからゲート電極（１１ａ）が保護され、ゲート電極（１１ａ）に酸化し易い材料（例えば、アルミニウム、銅又はその合金）を用いることができる。

[0075] 《発明の実施形態２》

図７～図９は、本発明に係るアクティブマトリクス基板及びその製造方法の実施形態２を示している。具体的に、図７～図９は、本実施形態のアクティブマトリクス基板２０ｂの製造工程を断面で示す説明図である。なお、以下の各実施形態において、図１～図６と同じ部分については同じ符号を付して、その詳細な説明を省略する。

[0076] 上記実施形態１では、合計６枚のフォトマスクを用いてアクティブマトリクス基板を製造する方法を例示したが、本実施形態では、合計５枚のフォトマスクを用いてアクティブマトリクス基板を製造する方法を例示する。

[0077] アクティブマトリクス基板２０ｂでは、図９（ｄ）に示すように、上記実施形態１のゲート絶縁膜１２がパターニングされて、ゲート絶縁膜１２ａ、１２ｂ及び１２ｃとなっている点以外、上記実施形態１のアクティブマトリクス基板２０ａと実質的に同じになっている。

[0078] ゲート絶縁膜１２ａ、１２ｂ及び１２ｃは、それぞれ、図９（ｄ）に示すように、走査配線１１ａ、補助容量配線１１ｂ及び信号線引出配線１１ｃの各上面を覆うように設けられ、場合によれば、走査配線１１ａ、補助容量配線１１ｂ及び信号線引出配線１１ｃから側方に庇状に突出するように、走査

配線１１ａ、補助容量配線１１ｂ及び信号線引出配線１１ｃ上に積層されている。

[0079] 次に、本実施形態のアクティブマトリクス基板２０ｂの製造方法について、図７～図９を用いて一例を挙げて説明する。

[0080] まず、ガラス基板などの絶縁基板１０ａの基板全体に、図７（ａ）に示すように、スパッタリング法により、例えば、チタン膜Ｇａ（厚さ５０ｎｍ程度）、アルミニウム膜Ｇｂ（厚さ２００ｎｍ程度）及びチタン膜Ｇｃ（厚さ１５０ｎｍ程度）などを順に積層して金属積層膜１１を形成した後に、ＣＶＤ法により、例えば、窒化シリコン膜（厚さ４００ｎｍ程度、比誘電率７．０程度）などの無機絶縁膜１２、並びに半導体膜として、真性アモルファスシリコン膜１３（厚さ５０ｎｍ～２００ｎｍ程度）及びｎ$^+$アモルファスシリコン膜１４（厚さ４０ｎｍ程度）などを順に積層する。

[0081] 続いて、ｎ$^+$アモルファスシリコン膜１４が形成された基板全体に、スピンコート法により、例えば、レジスト材料を２μｍ程度に塗布して感光性樹脂膜Ｒを形成した後に、その感光樹脂膜Ｒをハーフトーンの露光が可能なフォトマスクを用いる露光及び現像することにより、図７（ｂ）に示すように、走査配線１１ａ、補助容量配線１１ｂ及び信号線引出配線１１ｃとなる部分に重なると共に半導体層４ａとなる部分が相対的に厚く（例えば、２μｍ程度、相対的に薄い部分は１μｍ程度）なるように、レジストパターンＲａを形成する。なお、上記ハーフトーンの（露光が可能な）フォトマスクは、透過部、遮光部、及び中間露光が可能な半透過の膜による半透過部を有し、それらの透過部、遮光部及び半透過部により、感光性樹脂を完全露光部分、未露光部分及び中間露光部分の３つの露光レベルでそれぞれ露光するように構成されている。また、上記ハーフトーンのフォトマスクの代わりに、上記半透過部が、複数のスリットにより構成されたグレイトーンのフォトマスクを用いてもよい。

[0082] さらに、レジストパターンＲａから露出するｎ$^+$アモルファスシリコン膜１４、その下層の真性アモルファスシリコン膜１３及び無機絶縁膜１２を、例

えば、ドライエッチングを用いて除去することにより、図７（ｃ）に示すように、ゲート絶縁膜１２ａ、１２ｂ及び１２ｃ、真性アモルファスシリコン層１３ａ及び１３ｂ、並びにｎ$^+$アモルファスシリコン膜１４ａ及び１４ｂを形成する（ゲート絶縁膜形成工程）。

[0083] そして、ドライエッチング装置のチャンバ内において、レジストパターンＲａを酸素ガスプラズマでアッシングにより薄肉化することにより、レジストパターンＲａをレジストパターンＲｂに変成した後に、レジストパターンＲｂから露出するｎ$^+$アモルファスシリコン膜１４ａ及び１４ｂ、並びにその下層の真性アモルファスシリコン層１３ａ及び１３ｂをエッチングすることにより、図７（ｄ）に示すように、真性アモルファスシリコン層１３ａｂ及び１３ｂｂ、並びにｎ$^+$アモルファスシリコン膜１４ａｂ及び１４ｂｂを形成する（半導体層形成工程）。

[0084] 引き続いて、ゲート絶縁膜１２ａ、１２ｂ及び１２ｃから露出する金属積層膜１１をウエットエッチングを用いて除去することにより、図８（ａ）に示すように、走査配線１１ａ、補助容量配線１１ｂ及び信号線引出配線１１ｃを形成する（走査配線形成工程）。

[0085] さらに、走査配線１１ａ、補助容量配線１１ｂ及び信号線引出配線１１ｃが形成された基板全体に、スピンコート法により、例えば、主成分がポリシロキサン及びシリコーン樹脂からなる有機スピンオンガラス（ＳＯＧ）材料（１５ｓ）を厚さ１．５μｍ程度に塗布した後に、１５０℃で５分間程度のプリベーク、及び３５０℃で１時間程度のポストベークを行って、有機ＳＯＧ膜１５ｓを形成する。その後、有機ＳＯＧ膜１５ｓをフォトリソグラフィーを用いてパターニングすることにより、図８（ｂ）に示すように、開口部１５ａ、１５ｂ及び１５ｃを有し、比誘電率が２．５程度の絶縁層１５を形成する（絶縁層形成工程）。

[0086] そして、絶縁層１５が形成された基板全体に、スパッタリング法により、例えば、アルミニウム膜（厚さ２００ｎｍ程度）及びチタン膜（厚さ１００ｎｍ程度）などを順に積層した後に、その金属積層膜をフォトリソグラフィ

ーを用いてパターニングすることにより、図８（ｃ）に示すように、それぞれ、アルミニウム層Ｓａ及びチタン層Ｓｂの２層からなる信号配線１６ａ、ソース電極１６ａａ及びドレイン電極１６ｂを形成して、補助容量６を形成する（信号配線形成工程）。さらに、図８（ｄ）に示すように、ソース電極１６ａａ及びドレイン電極１６ｂから露出するｎ$^+$アモルファスシリコン層１４ａｂ及び１４ｂｂ、並びにその下層の真性アモルファスシリコン層１３ａｂ及び１３ｂｂの上層部をドライエッチングを用いて除去することにより、真性アモルファスシリコン層１３ａａ及びｎ$^+$アモルファスシリコン層１４ａａからなる半導体層４ａ、並びに真性アモルファスシリコン層１３ｂａ及びｎ$^+$アモルファスシリコン層１４ｂａからなる半導体層４ｂを形成して、ＴＦＴ５を形成する。

[0087] 引き続いて、ＴＦＴ５及び補助容量６が形成された基板全体に、ＣＶＤ法により、例えば、窒化シリコン膜（厚さ１５０ｎｍ～７００ｎｍ程度）を堆積して、図９（ａ）に示すように、無機絶縁膜１７を形成する。

[0088] さらに、無機絶縁膜１７が形成された基板全体に、スピンコート法により、例えば、感光性の有機絶縁膜を厚さ１．０μｍ～３．０μｍ程度に塗布した後に、その塗布膜を露光及び現像することにより、図９（ｂ）に示すように、コンタクトホール１８ａ及び１８ｂを有する有機絶縁層１８を形成する。

[0089] その後、有機絶縁層１８から露出する無機絶縁膜１７をドライエッチングを用いて除去することにより、図９（ｃ）に示すように、無機絶縁層１７ａを形成する。

[0090] 最後に、無機絶縁層１７ａが形成された基板全体に、スパッタリング法により、例えば、ＩＴＯ膜（厚さ１００ｎｍ程度）などの透明導電膜を堆積した後に、その透明導電膜をフォトリソグラフィーを用いてパターニングすることにより、図９（ｄ）に示すように、画素電極１９ａ及び透明導電層１９ｂを形成する。

[0091] 以上のようにして、アクティブマトリクス基板２０ｂを作製することがで

きる。

[0092] 以上説明したように、本実施形態のアクティブマトリクス基板２０ｂ及びその製造方法によれば、半導体層形成工程において、ゲート絶縁膜形成工程で形成されたゲート絶縁膜１２ａ上に、ＣＶＤ法を用いて、真性アモルファスシリコン層１３ａ及びｎ$^{+}$アモルファスシリコン層１４ａの半導体層を形成した後に、絶縁層形成工程において、走査配線形成工程で形成された各走査配線１１ａと後の信号配線形成工程で形成される各信号配線１６ａとの間に配置する塗布型の絶縁層１５を形成するので、塗布型の絶縁層１５を形成するための塗布型の有機ＳＯＧ膜１５ｓにおいて、例えば、ＣＶＤ工程に耐え得る３００℃以上の耐熱性を有する必要がなくなる。これにより、耐熱性の低い有機ＳＯＧ材料を塗布型の絶縁膜として用いることができるので、アクティブマトリクス基板２０ｂにおいて、各走査配線１１ａと各信号配線１６ａとの交差部分の容量を低減するために用いる塗布型の絶縁膜の材料選択の自由度を向上させることができる。なお、本実施形態のアクティブマトリクス基板２０ｂの製造方法によれば、ゲート絶縁膜形成工程でハーフトーンの露光が可能な１枚目のフォトマスクを用い、絶縁層形成工程で２枚目のフォトマスクを用い、信号配線形成工程で３枚目のフォトマスクを用い、層間絶縁膜を形成する工程で４枚目のフォトマスクを用い、画素電極を形成する工程で５枚目のフォトマスクを用いるので、合計５枚のフォトマスクを用いてアクティブマトリクス基板を製造することができ、上記実施形態１のアクティブマトリクス基板の製造方法よりも製造コストを低減することができる。

[0093] また、本実施形態のアクティブマトリクス基板２０ｂによれば、ゲート絶縁膜１２ａが走査配線１１ａから突出してオーバーハング状態に形成され、且つゲート絶縁膜１２ａの突出した部分を覆うように塗布型の絶縁層１５が設けられているので、ゲート絶縁膜１２ａのオーバーハングに起因する信号配線１６ａの断線や走査配線１１ａと信号配線１６ａとの短絡などの発生を抑制することができる。

[0094] 《発明の実施形態３》

図１０は、本実施形態のアクティブマトリクス基板２０ｃの製造工程を断面で示す説明図である。

[0095] 上記各実施形態では、カラーフィルターが対向基板上に設けられたアクティブマトリクス基板を例示したが、本実施形態では、カラーフィルターがアクティブマトリクス基板上に設けられた、いわゆる、カラーフィルターオンアレイ構造のアクティブマトリクス基板を例示する。

[0096] アクティブマトリクス基板２０ｃでは、図１０（ｃ）に示すように、上記実施形態１のアクティブマトリクス基板２０ａの有機絶縁層１８（図５（ｄ）参照）の代わりに、ブラックマトリクス７ａ及び着色層７ｂ、それらを覆う無機絶縁層８、並びにフォトスペーサ９が設けられ、それ以外の構成がアクティブマトリクス基板２０ａと実質的に同じになっている。

[0097] 次に、本実施形態のアクティブマトリクス基板２０ｃの製造方法について、図１０を用いて一例を挙げて説明する。

[0098] まず、上記実施形態１のアクティブマトリクス基板作製工程における信号配線形成工程を行って、ＴＦＴ５、補助容量６及び無機絶縁膜１７が形成された基板全体に、スピンコート法により、例えば、黒色に着色された感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、図１０（ａ）に示すように、ブラックマトリクス７ａを厚さ１．０μｍ程度に形成する。

[0099] 続いて、ブラックマトリクス７ａが形成された基板全体に、スピンコート法により、例えば、赤色、緑色又は青色に着色された感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、図１０（ａ）に示すように、選択した色の着色層７ｂ（例えば、赤色層）を厚さ２．０μｍ程度に形成する。そして、他の２色についても同様な工程を繰り返して、他の２色の着色層７ｂ（例えば、緑色層及び青色層）を厚さ２．０μｍ程度に形成する。

[0100] さらに、各色の着色層７ｂが形成された基板上に、ＣＶＤ法又はスパッタリング法などにより、例えば、窒化シリコン膜（厚さ１５０ｎｍ～７００ｎ

ｍ程度）などの無機絶縁膜を堆積した後に、図１０（ｂ）に示すように、その無機絶縁膜に対して、フォトリソグラフィ及びドライエッチングを用いてパターニングすることにより、着色層の保護層として、コンタクトホールを有する無機絶縁層８を形成する。

[0101] そして、無機絶縁層８が形成された基板全体に、スパッタリング法により、例えば、ＩＴＯ膜（厚さ１００ｎｍ程度）などの透明導電膜を堆積した後に、その透明導電膜をフォトリソグラフィーを用いてパターニングすることにより、図１０（ｃ）に示すように、画素電極１９ａ及び透明導電層１９ｂを形成する。

[0102] 最後に、画素電極１９ａ及び透明導電層１９ｂが形成された基板全体に、スピンコート法により、感光性樹脂を塗布した後に、その塗布膜を露光及び現像することにより、図１０（ｃ）に示すように、フォトスペーサ９を厚さ４μｍ程度に形成する。

[0103] 以上のようにして、アクティブマトリクス基板２０ｃを製造することができる。

[0104] なお、アクティブマトリクス基板２０ｃに対向して配置される対向基板については、ガラス基板などの絶縁基板の基板全体に、スパッタリング法により、例えば、ＩＴＯ膜などの透明導電膜を厚さ５０ｎｍ～２００ｎｍ程度に堆積することにより、製造することができる。

[0105] 以上説明したように、本実施形態のアクティブマトリクス基板２０ｃ及びその製造方法によれば、上記各実施形態と同様に、真性アモルファスシリコン層１３ａ及びｎ$^+$アモルファスシリコン層１４ａの半導体層を形成した後に、塗布型の絶縁層１５を形成するので、アクティブマトリクス基板２０ｃにおいて、各走査配線１１ａと各信号配線１６ａとの交差部分の容量を低減するために用いる塗布型の絶縁膜の材料選択の自由度を向上させることができる。

[0106] なお、本実施形態では、上記実施形態１のアクティブマトリクス基板２０ａに対してカラーフィルターオンアレイ構造を適用したが、上記実施形態２

のアクティブマトリクス基板２０ｂに対してカラーフィルターオンアレイ構造を適用してもよい。

[0107] 《発明の実施形態４》

図１１～図１３は、本発明に係るアクティブマトリクス基板及びその製造方法の実施形態４を示している。具体的に、図１１は、本実施形態のアクティブマトリクス基板２０ｄの表示部を示す平面図であり、図１２は、アクティブマトリクス基板２０ｄの配線切り替え部を示す平面図である。また、図１３は、アクティブマトリクス基板２０ｄの製造工程を断面で示す説明図である。

[0108] 上記各実施形態では、画素電極の下層として有機絶縁層１８や着色層７などの有機材料層が設けられたアクティブマトリクス基板を例示したが、本実施形態では、画素電極の下層として有機材料層が配置しないアクティブマトリクス基板を例示する。

[0109] アクティブマトリクス基板２０ｄでは、図１１及び図１３（ｄ）に示すように、ドレイン電極１６ｃが無機絶縁層１７ｂに形成されたコンタクトホール１７ｃａを介して画素電極１９ｃに接続されているものの、補助容量配線１１ｂに重なっていないので、補助容量６が補助容量配線１１ｂ及び画素電極１９ｃと、それらの間に配置されたゲート絶縁膜１２及び無機絶縁層１７ｂとにより構成されている点以外、上記実施形態１のアクティブマトリクス基板２０ａと実質的に同じになっている。なお、透明導電層１９ｂは、図１２及び図１３（ｄ）に示すように、無機絶縁層１７ｂに形成されたコンタクトホール１７ｃｂを介して、信号配線１６ａ及び信号線引出配線１１ｃに接続されている。

[0110] 次に、本実施形態のアクティブマトリクス基板２０ｄの製造方法について、図１３を用いて一例を挙げて説明する。

[0111] まず、上記実施形態１のアクティブマトリクス基板作製工程における絶縁層形成工程を行って、絶縁層１５が形成された基板全体に、スパッタリング法により、例えば、アルミニウム膜（厚さ２００ｎｍ程度）及びチタン膜（

厚さ１００ｎｍ程度）などを順に積層した後に、その金属積層膜をフォトリソグラフィーを用いてパターニングすることにより、図１３（ａ）に示すように、それぞれ、アルミニウム層Ｓａ及びチタン層Ｓｂの２層からなる信号配線１６ａ、ソース電極１６ａａ及びドレイン電極１６ｃを形成する（信号配線形成工程）。さらに、図１３（ｂ）に示すように、ソース電極１６ａａ及びドレイン電極１６ｃから露出するｎ＋アモルファスシリコン層１４ａ及び１４ｂ、並びにその下層の真性アモルファスシリコン層１３ａ及び１３ｂの上層部をドライエッチングを用いて除去することにより、真性アモルファスシリコン層１３ａａ及びｎ＋アモルファスシリコン層１４ａａからなる半導体層４ａ、並びに真性アモルファスシリコン層１３ｂａ及びｎ＋アモルファスシリコン層１４ｂａからなる半導体層４ｂを形成して、ＴＦＴ５を形成する。

[0112] 続いて、ＴＦＴ５が形成された基板全体に、ＣＶＤ法により、例えば、窒化シリコン膜（厚さ１５０ｎｍ～７００ｎｍ程度）を堆積して、図１３（ｃ）に示すように、無機絶縁膜１７を形成する。

[0113] さらに、無機絶縁膜１７をフォトリソグラフィ及びドライエッチングを用いてパターニングすることにより、無機絶縁層１７ｂを形成する。

[0114] 最後に、無機絶縁層１７ｂが形成された基板全体に、スパッタリング法により、例えば、ＩＴＯ膜（厚さ１００ｎｍ程度）などの透明導電膜を堆積した後に、その透明導電膜をフォトリソグラフィーを用いてパターニングすることにより、図１３（ｄ）に示すように、画素電極１９ｃ及び透明導電層１９ｂを形成するとともに、補助容量６を形成する。

[0115] 以上のようにして、アクティブマトリクス基板２０ｄを製造することができる。

[0116] 以上説明したように、本実施形態のアクティブマトリクス基板２０ｄ及びその製造方法によれば、上記各実施形態と同様に、真性アモルファスシリコン層１３ａ及びn^+アモルファスシリコン層１４ａの半導体層を形成した後に、塗布型の絶縁層１５を形成するので、アクティブマトリクス基板２０ｄに

おいて、各走査配線１１ａと各信号配線１６ａとの交差部分の容量を低減するために用いる塗布型の絶縁膜の材料選択の自由度を向上させることができる。

[0117] なお、本実施形態では、上記実施形態１のアクティブマトリクス基板２０ａに対して画素電極の下層が無機絶縁層である構造を適用する変形例を例示したが、上記実施形態２のアクティブマトリクス基板２０ｂに対して画素電極の下層が無機絶縁層である構造を適用してもよい。

[0118] また、上記各実施形態では、各画素において、絶縁層１５の開口部１５ａの周端の少なくとも一部が半導体層４ａの周端よりも内側に配置されたパターンエッジの構造を観察することにより、半導体層を形成した後に、塗布型の絶縁層を形成する製造方法を確認することができる構成を例示したが、本発明は、絶縁層の開口部の周端が半導体層の周端よりも外側に配置されたパターンエッジの構造であっても、例えば、表示領域の外部にダミーで設けられた半導体層及び絶縁層の積層構造を観察することにより、本発明の半導体層を形成した後に、塗布型の絶縁層を形成する製造方法を確認することもできる。

[0119] また、上記各実施形態では、走査配線１１ａとして、チタン層／アルミニウム層／チタン層の積層構造のものを例示したが、中層の金属層は、銅層やアルミニウム合金層などであってもよく、上層及び下層の金属層は、モリブデン層やモリブデン・チタン合金層などであってもよい。

[0120] また、上記各実施形態では、信号配線１６ａとして、アルミニウム層／チタン層の積層構造のものを例示したが、上層の金属層は、銅層やアルミニウム合金層などであってもよく、下層の金属層は、モリブデン層やモリブデン・チタン合金層などであってもよい。

[0121] また、上記各実施形態では、アモルファスシリコンの半導体層を用いたアクティブマトリクス基板を例示したが、本発明はＺｎＯやＩＧＺＯ（Ｉｎ-Ｇａ-Ｚｎ-Ｏ）などの酸化物系の半導体層を用いたアクティブマトリクス基板にも適用することができる。

[0122] また、上記各実施形態では、表示装置として、アクティブマトリクス基板を備えた液晶表示装置を例示したが、本発明は、有機ＥＬ（Electro Luminescence）表示装置、無機ＥＬ表示装置、電気泳動表示装置などの他の表示装置にも適用することができる。

[0123] また、上記各実施形態では、画素電極に接続されたＴＦＴの電極をドレイン電極としたアクティブマトリクス基板を例示したが、本発明は、画素電極に接続されたＴＦＴの電極をソース電極と呼ぶアクティブマトリクス基板にも適用することができる。

産業上の利用可能性

[0124] 以上説明したように、本発明は、各走査配線と各信号配線との交差部分の容量を低減するために用いる塗布型の絶縁膜の材料選択の自由度を向上させることができるので、高フレームレートで高精細な画像表示が可能な大型の液晶テレビなどに用いるアクティブマトリクス基板について有用である。

符号の説明

[0125]

Ｒ	感光性樹脂膜
Ｒａ	第１レジストパターン
Ｒｂ	第２レジストパターン
４ａ	半導体層
５	ＴＦＴ
１０ａ	絶縁基板
１１	金属積層膜（金属膜）
１１ａ	走査配線（ゲート電極）
１１ｂ	補助容量配線
１２，１２ａ	ゲート絶縁膜（無機絶縁膜）
１３	真性アモルファスシリコン膜（半導体膜）
１４	n^+アモルファスシリコン膜（半導体膜）
１５	絶縁層
１５ａ，１５ｂ	開口部

１５ｓ　有機ＳＯＧ膜（スピンオンガラス材料）

１６ａ　信号配線

１６ａａ　ソース電極

１６ｂ　ドレイン電極

２０ａ～２０ｄ　アクティブマトリクス基板

請求の範囲

[請求項1] 互いに平行に延びるように設けられた複数の走査配線と、

上記各走査配線と交差する方向に互いに平行に延びるように設けられた複数の信号配線と、

上記各走査配線と上記各信号配線との交差部分毎にそれぞれ設けられ、各々、半導体層、並びに該半導体層上に上記各信号配線と同一層に形成されたソース電極及びドレイン電極を有する複数の薄膜トランジスタと、

上記各走査配線と上記各信号配線との間に設けられた塗布型の絶縁層とを備えたアクティブマトリクス基板であって、

上記絶縁層には、上記各半導体層が露出するように複数の開口部が形成され、

上記絶縁層の各開口部の周端の少なくとも一部は、上記各半導体層の周端よりも内側に配置されていることを特徴とするアクティブマトリクス基板。

[請求項2] 請求項１に記載されたアクティブマトリクス基板において、

上記各薄膜トランジスタは、上記各走査配線と同一層に形成されたゲート電極を有し、

上記各半導体層及び各ゲート電極は、ゲート絶縁膜を介して電気的に絶縁されていることを特徴とするアクティブマトリクス基板。

[請求項3] 請求項２に記載されたアクティブマトリクス基板において、

上記ゲート絶縁膜は、上記各走査配線の上面を覆うと共に互いに平行に延びるように複数設けられていることを特徴とするアクティブマトリクス基板。

[請求項4] 請求項３に記載されたアクティブマトリクス基板において、

上記各ゲート絶縁膜の少なくとも一方の側端部は、上記各走査配線から突出していることを特徴とするアクティブマトリクス基板。

[請求項5] 請求項１乃至４の何れか１つに記載されたアクティブマトリクス基

板において、

上記各走査配線の間には、該各走査配線に沿って延びるように補助容量配線が設けられ、

上記絶縁層には、上記各補助容量配線と重なるように複数の開口部が形成され、

上記各補助容量配線及び各ドレイン電極は、ゲート絶縁膜を介して電気的に絶縁されていることを特徴とするアクティブマトリクス基板。

[請求項6] 請求項１乃至５の何れか１つに記載されたアクティブマトリクス基板において、

上記絶縁層は、有機スピンオンガラス材料により構成されていることを特徴とするアクティブマトリクス基板。

[請求項7] 請求項１乃至６の何れか１つに記載されたアクティブマトリクス基板において、

上記各半導体層は、酸化物半導体により構成されていることを特徴とするアクティブマトリクス基板。

[請求項8] 互いに平行に延びるように設けられた複数の走査配線と、

上記各走査配線と交差する方向に互いに平行に延びるように設けられた複数の信号配線と、

上記各走査配線と上記各信号配線との交差部分毎にそれぞれ設けられ、各々、半導体層を有する複数の薄膜トランジスタと、

上記各走査配線と上記各信号配線との間に設けられた塗布型の絶縁層とを備えたアクティブマトリクス基板を製造する方法であって、

絶縁基板上に上記各走査配線を形成する走査配線形成工程と、

上記各走査配線を覆うようにゲート絶縁膜を形成した後に、該ゲート絶縁膜上に上記各半導体層を形成する半導体層形成工程と、

上記各半導体層が形成された絶縁基板を覆うようにスピンオンガラス材料を塗布及びベーキングした後に、該スピンオンガラス材料を上

記各半導体層が露出するようにパターニングして、上記絶縁層を形成する絶縁層形成工程と、

上記絶縁層上に上記各信号配線を形成すると共に、上記各半導体層上に互いに対峙するようにソース電極及びドレイン電極を形成する信号配線形成工程とを備えることを特徴とするアクティブマトリクス基板の製造方法。

[請求項9] 互いに平行に延びるように設けられた複数の走査配線と、

上記各走査配線と交差する方向に互いに平行に延びるように設けられた複数の信号配線と、

上記各走査配線と上記各信号配線との交差部分毎にそれぞれ設けられ、各々、半導体層を有する複数の薄膜トランジスタと、

上記各走査配線と上記各信号配線との間に設けられた塗布型の絶縁層とを備えたアクティブマトリクス基板を製造する方法であって、

絶縁基板上に、金属膜、無機絶縁膜、半導体膜及び感光性樹脂膜を順に積層し、該感光性樹脂膜をハーフトーンで露光することにより、上記半導体膜上に上記各走査配線となる部分に重なると共に上記各半導体層となる部分が相対的に厚くなるようにレジストパターンを形成した後に、該レジストパターンから露出する上記半導体膜及び該半導体膜の下層の無機絶縁膜をエッチングして、ゲート絶縁膜を形成するゲート絶縁膜形成工程と、

上記レジストパターンを薄肉化することにより該レジストパターンから露出させた上記半導体膜をエッチングして、上記各半導体層を形成する半導体層形成工程と、

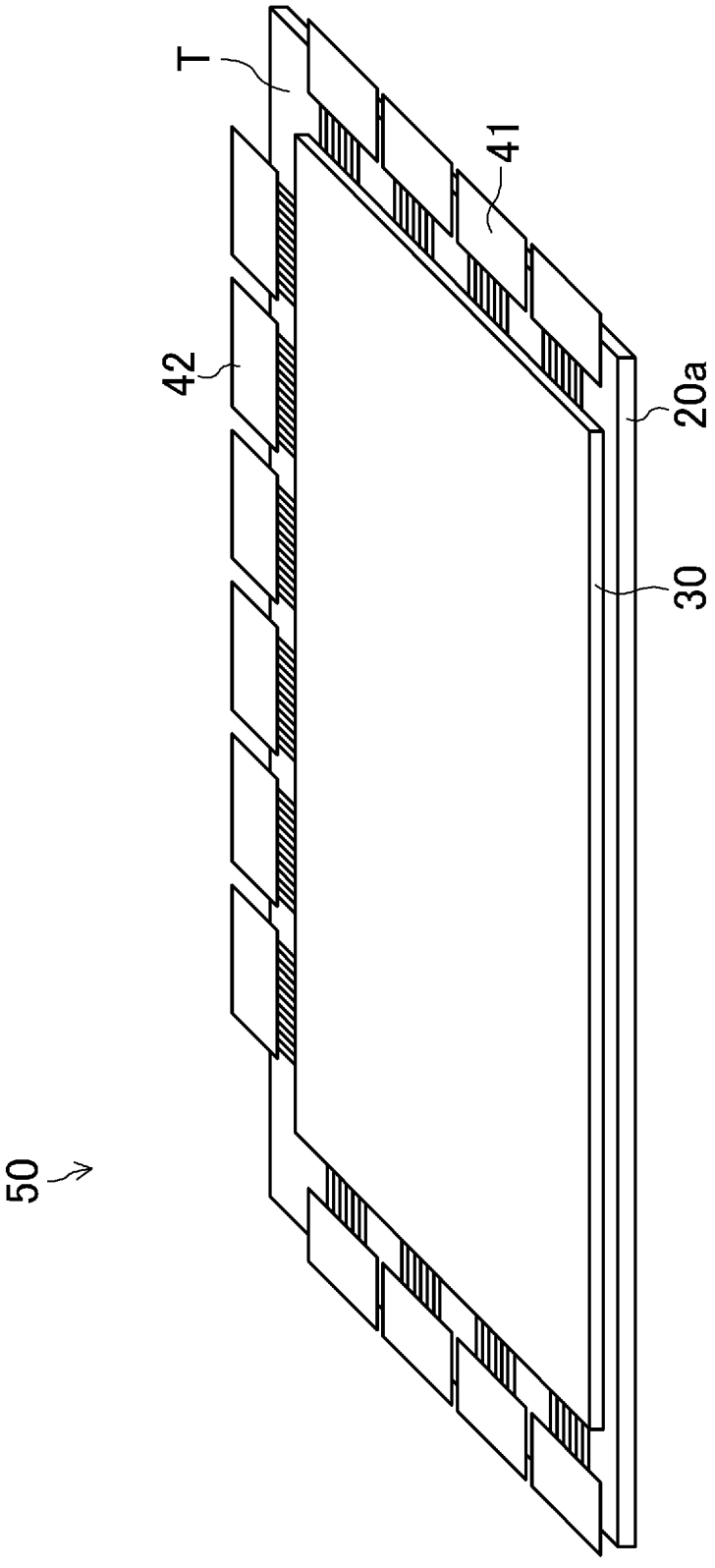
上記ゲート絶縁膜から露出する上記金属膜をエッチングして、上記各走査配線を形成する走査配線形成工程と、

上記各走査配線が形成された絶縁基板を覆うようにスピンオンガラス材料を塗布及びベーキングした後に、該スピンオンガラス材料を上記各半導体層が露出するようにパターニングして、絶縁層を形成する

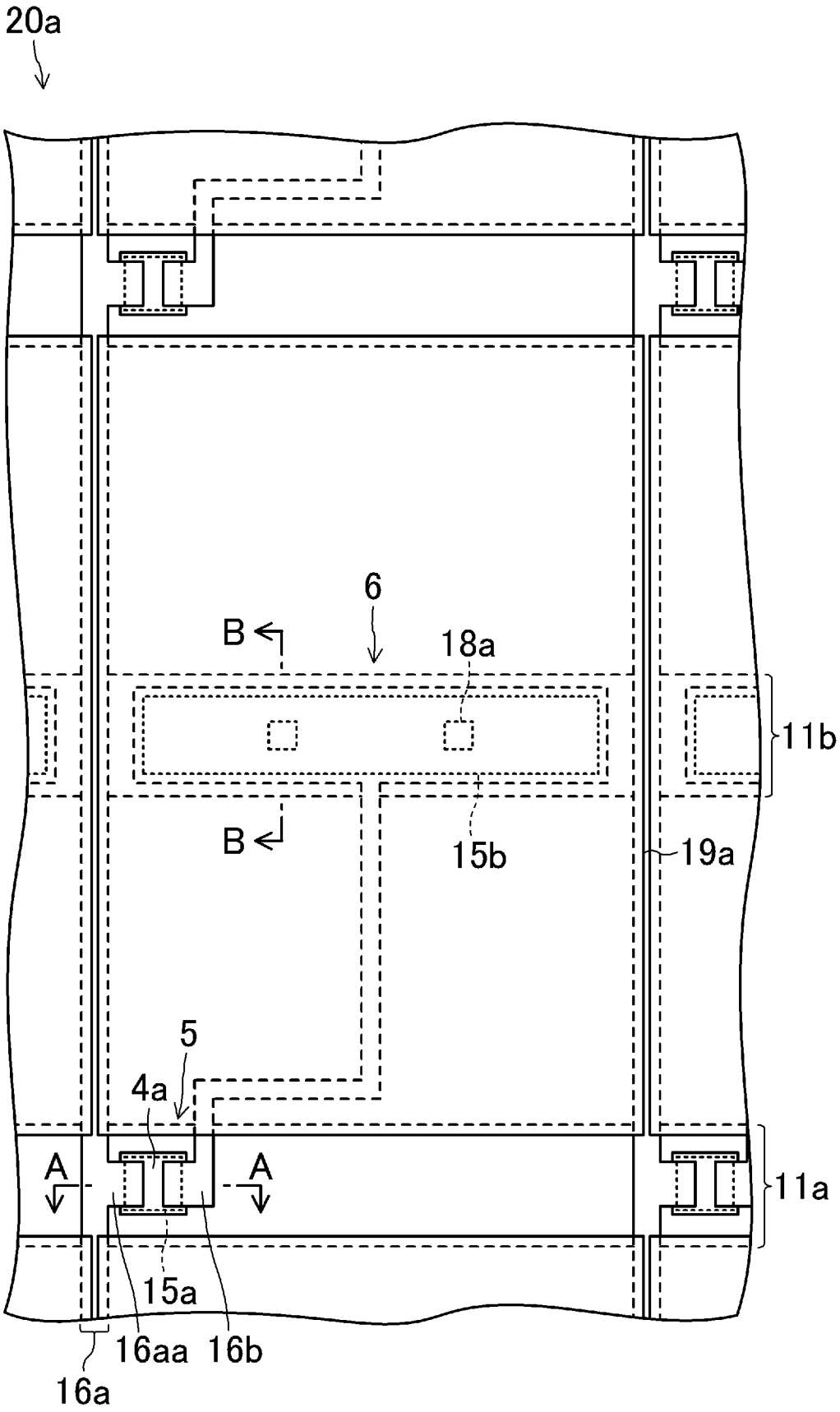
絶縁層形成工程と、

上記絶縁層上に上記各信号配線を形成すると共に、上記各半導体層上に互いに対峙するようにソース電極及びドレイン電極を形成する信号配線形成工程とを備えることを特徴とするアクティブマトリクス基板の製造方法。

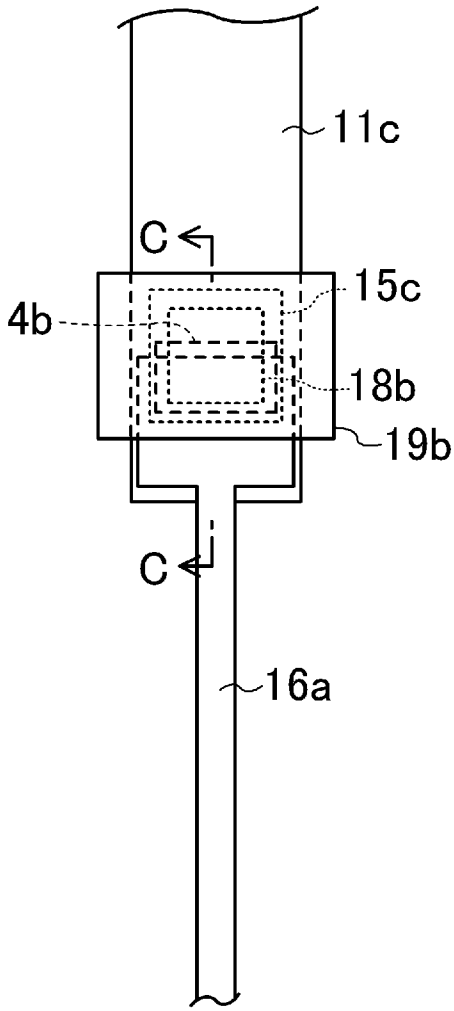
[図1]



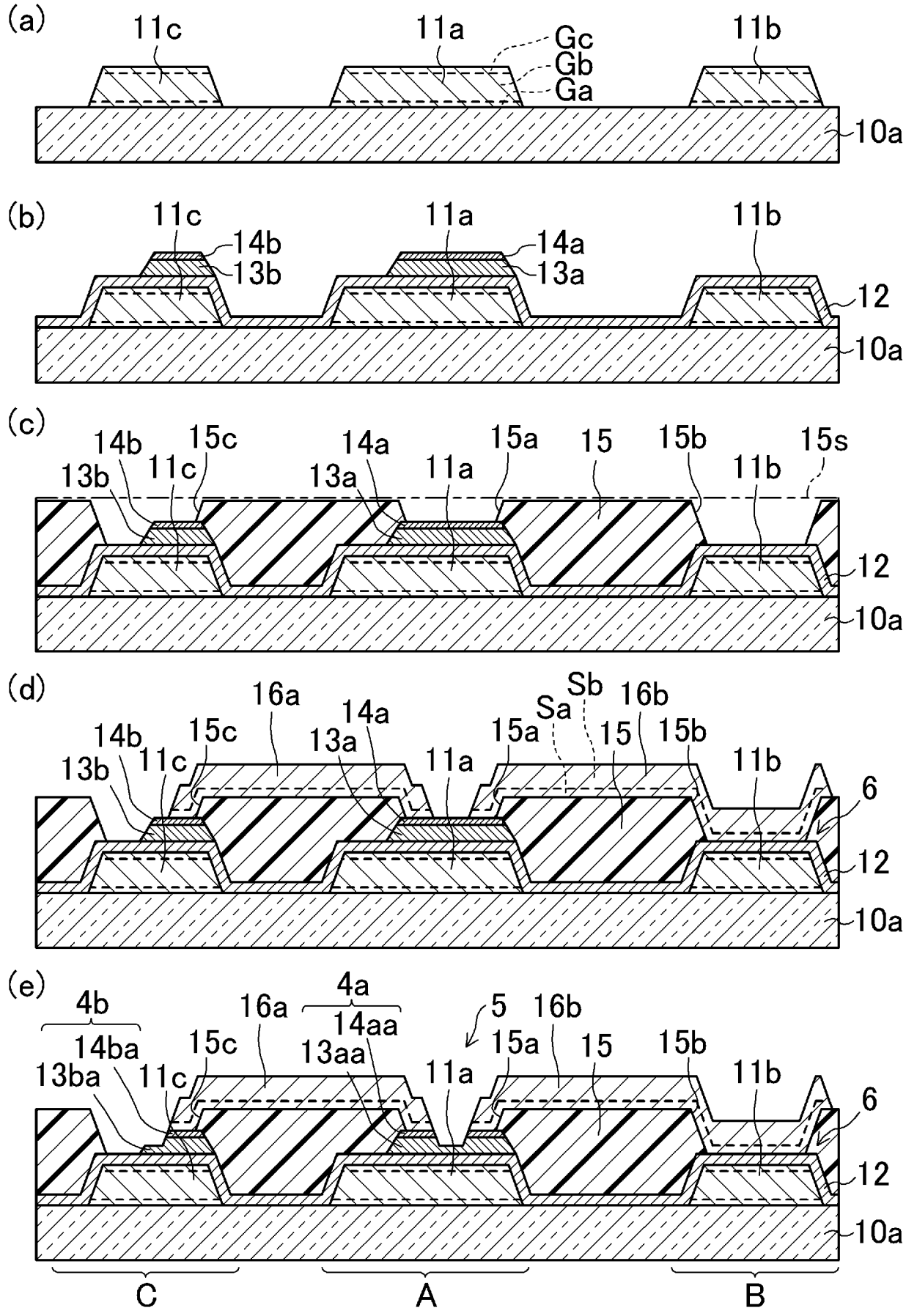
[図2]



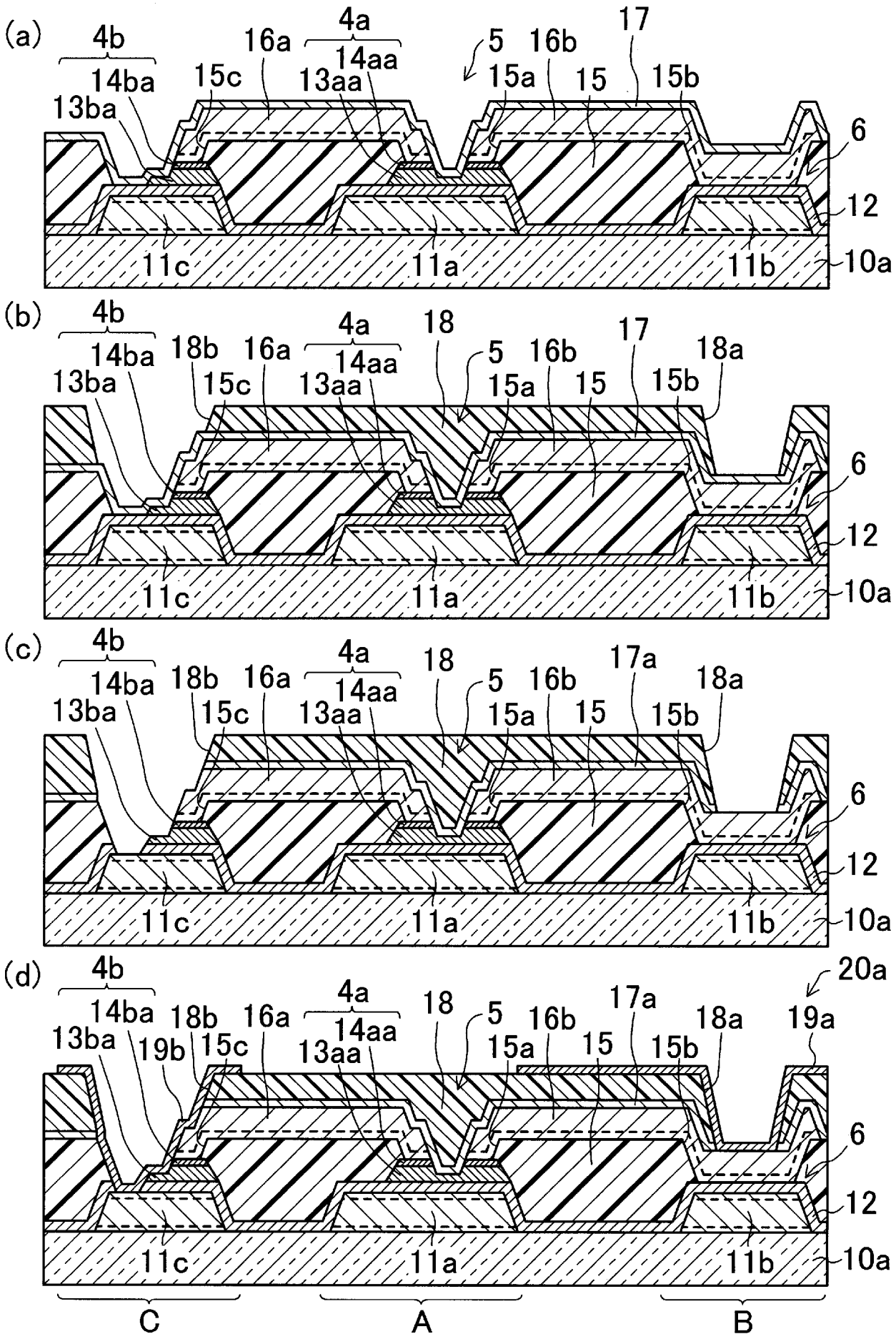
[図3]



[図4]

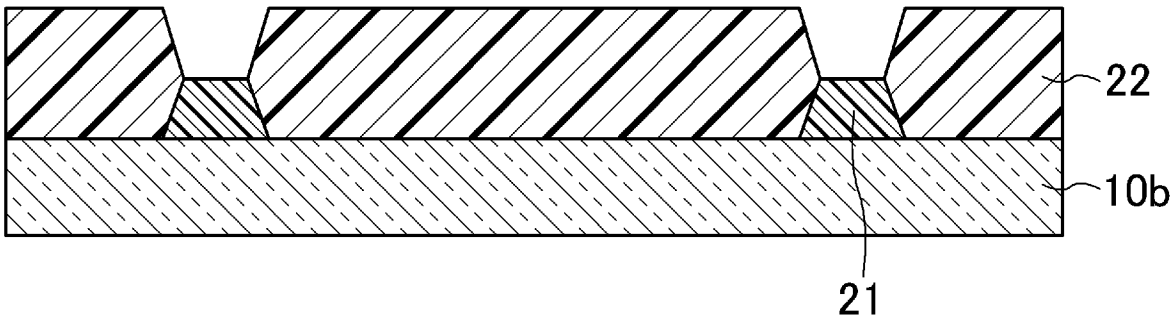

(a)
11c
11a
Gc
Gb
Ga
11b
10a
(b)
11c
14b
13b
11a
14a
13a
11b
12
10a
(c)
14b
15c
13b
11c
14a
13a
11a
15a
15
15b
11b
15s
12
10a
(d)
16a
14a
14b
15c
13b
11c
13a
11a
Sb
Sa
15a
15
16b
15b
11b
6
12
10a
(e)
4b
14ba
13ba
11c
16a
4a
14aa
13aa
15c
5
15a
16b
15
15b
11a
11b
6
12
10a
C
A
B

[図5]

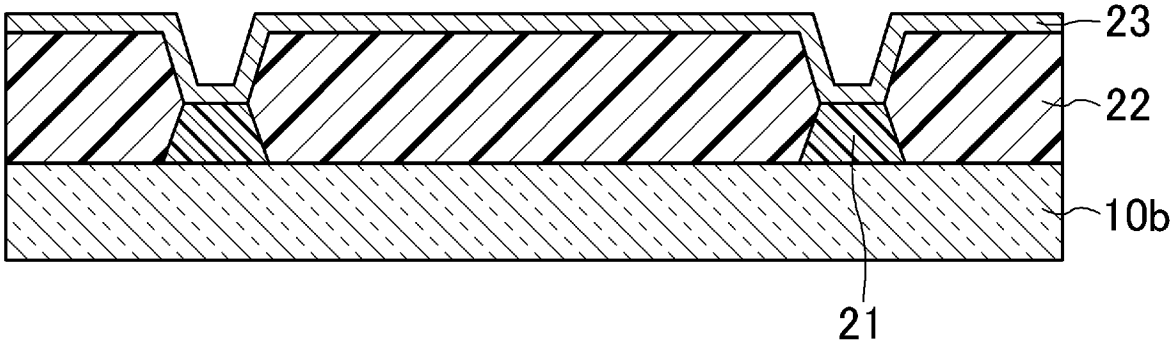

(a)
4b
14ba
13ba
15c
16a
4a
14aa
13aa
5
15a
16b
15
17
15b
6
12
11c
11a
11b
10a
(b)
4b
14ba
13ba
18b
15c
16a
4a
14aa
13aa
18
5
15a
16b
15
17
15b
18a
6
12
11c
11a
11b
10a
(c)
4b
14ba
13ba
18b
15c
16a
4a
14aa
13aa
18
5
15a
16b
15
17a
15b
18a
6
12
11c
11a
11b
10a
(d)
4b
14ba
13ba
19b
18b
15c
16a
4a
14aa
13aa
18
5
15a
16b
15
17a
15b
18a
19a
20a
6
12
11c
11a
11b
10a
C
A
B

[図6]

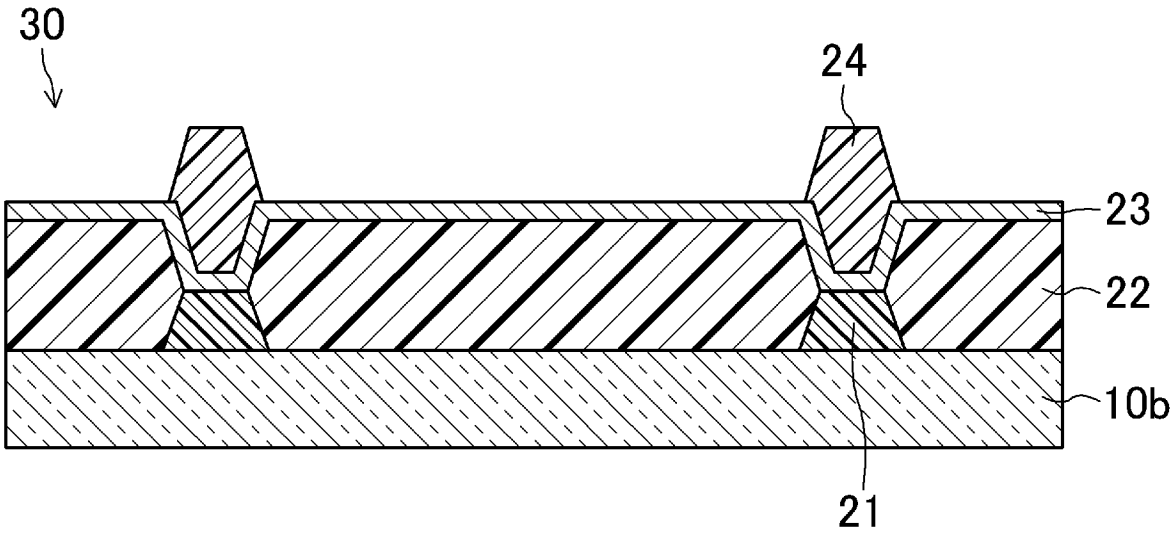
(a)



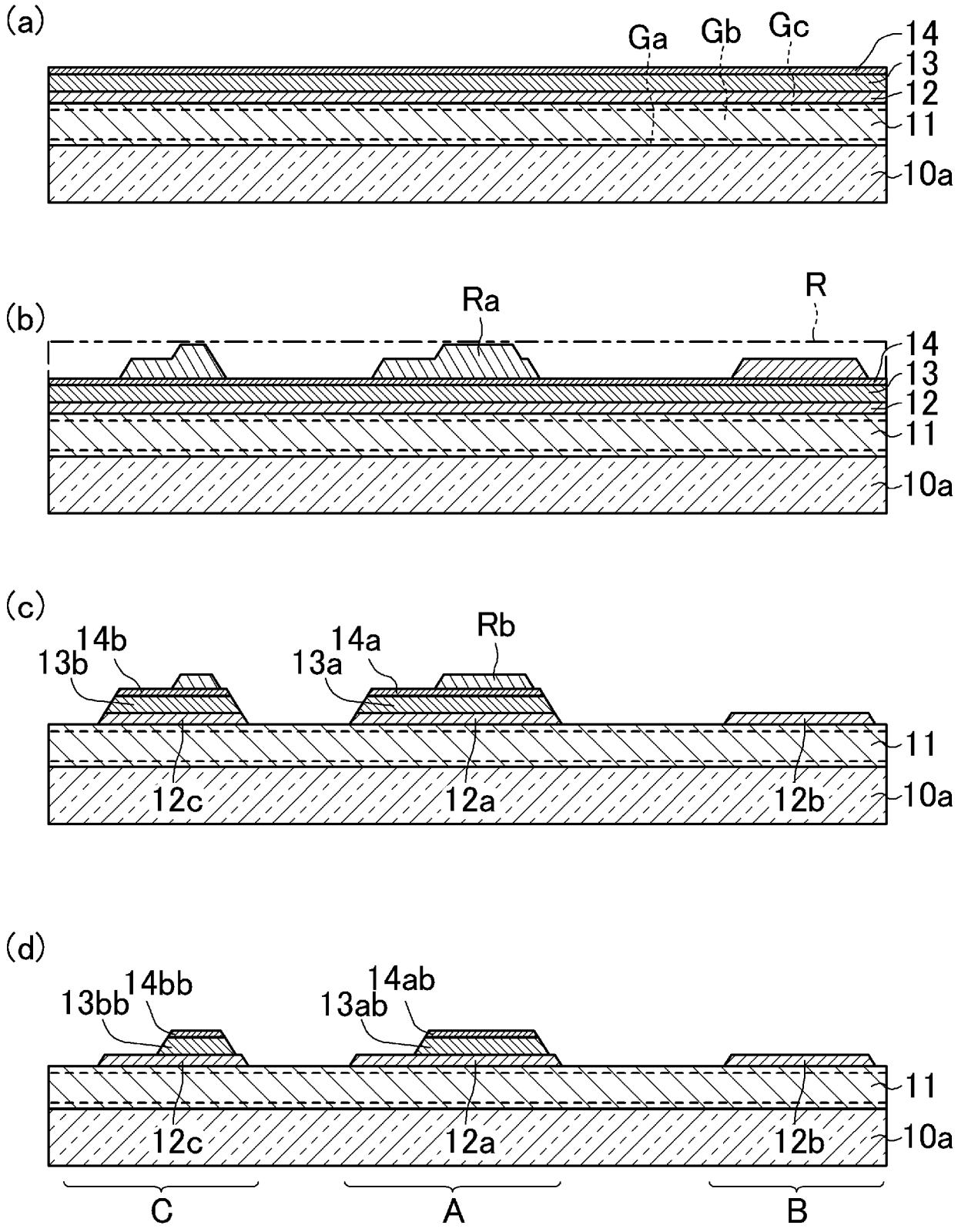
(b)



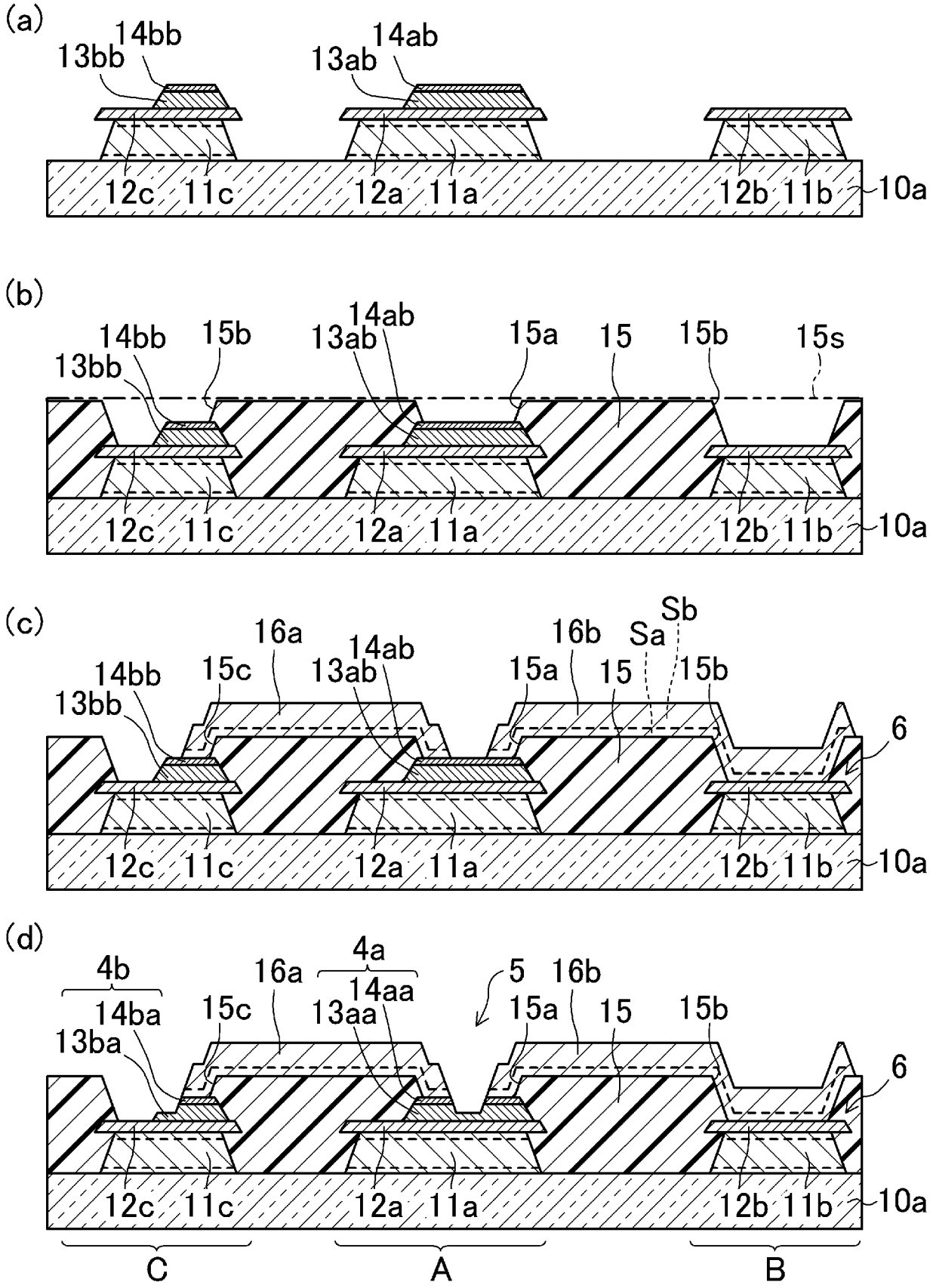
(c)



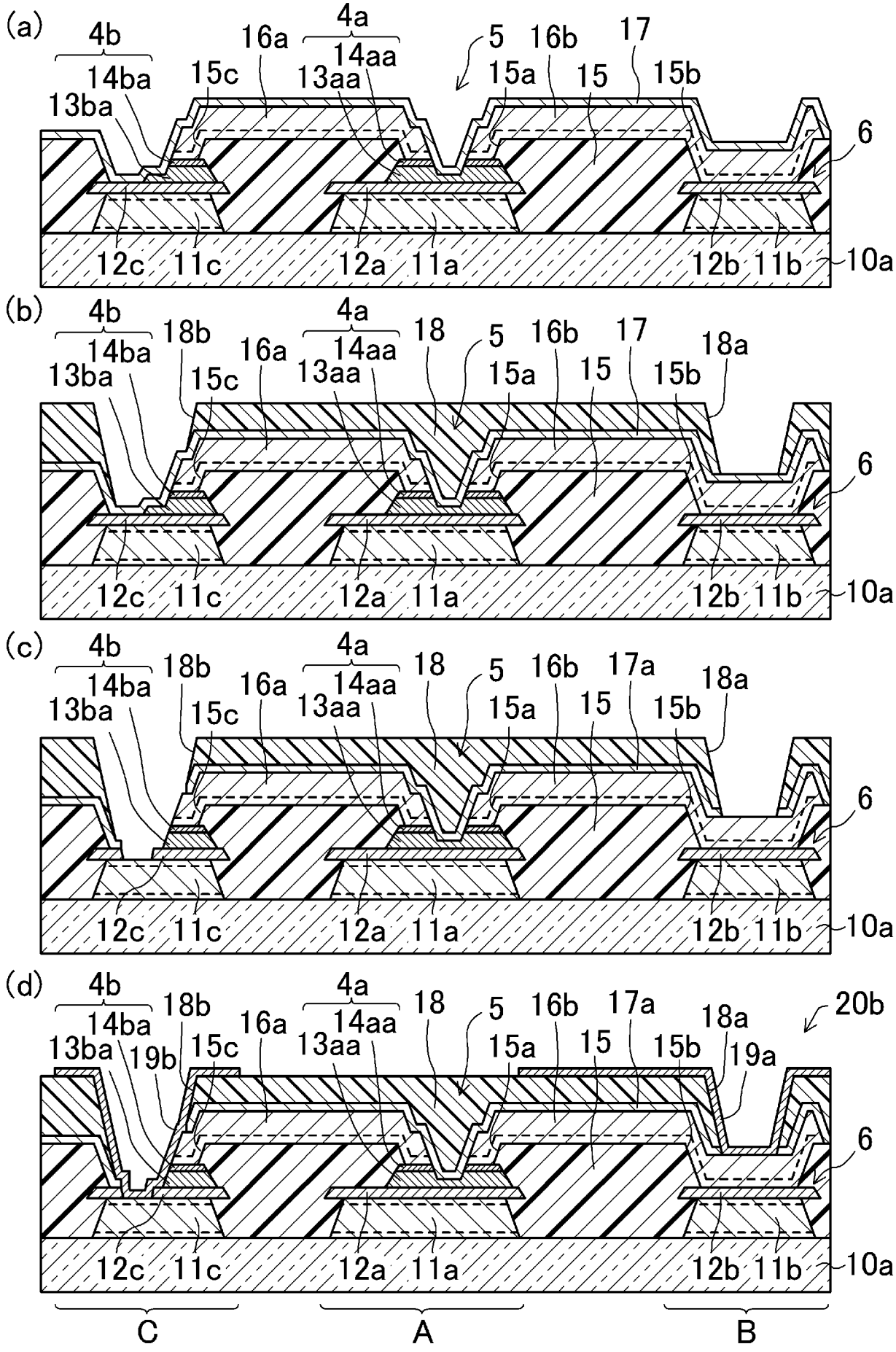
[図7]


(a)
Ga
Gb
Gc
14
13
12
11
10a
(b)
Ra
R
14
13
12
11
10a
(c)
14b
13b
14a
13a
Rb
11
12c
12a
12b
10a
(d)
13bb
14bb
13ab
14ab
11
12c
12a
12b
10a
C
A
B

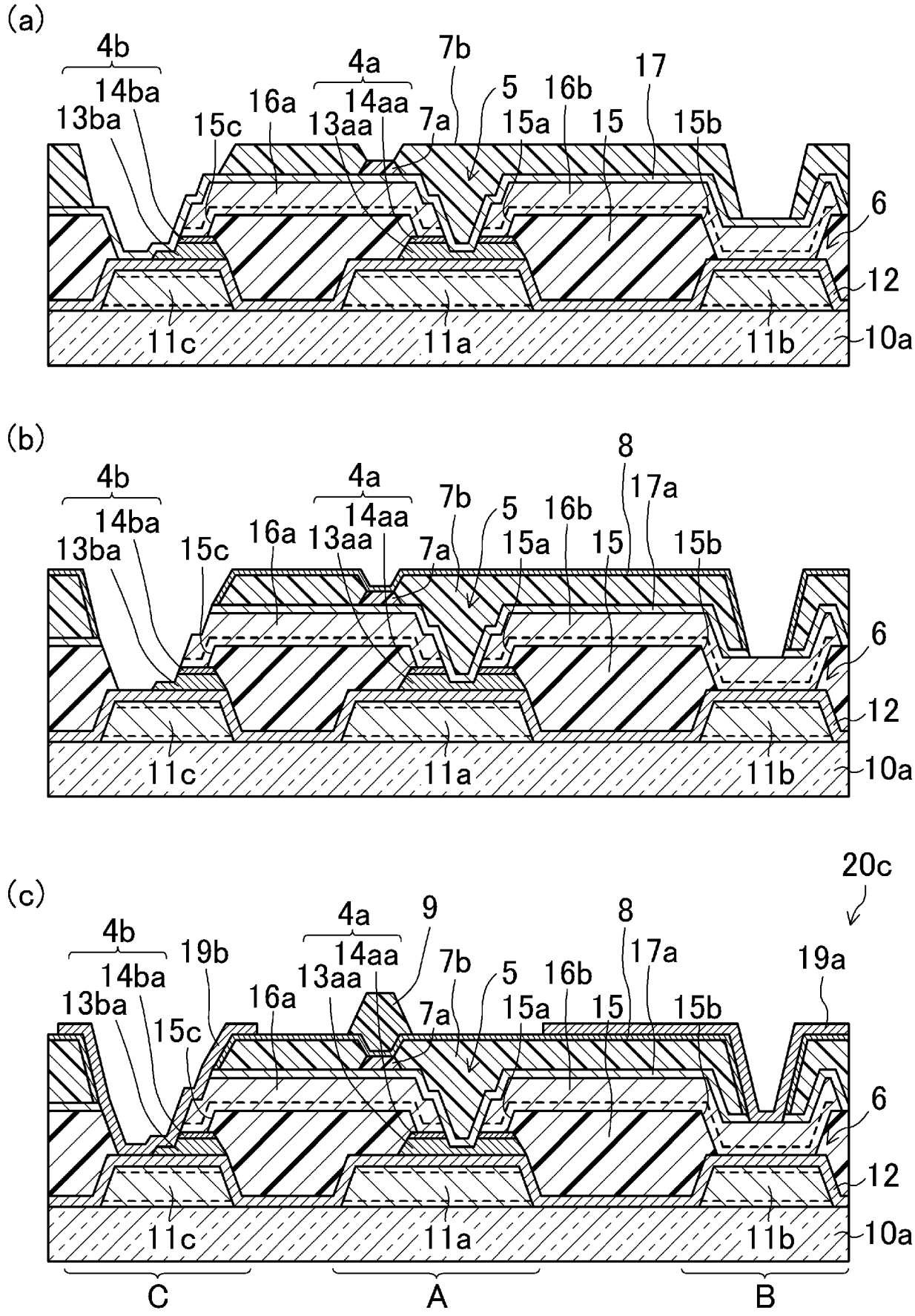
[図8]


(a)
14bb
13bb
14ab
13ab
12c
11c
12a
11a
12b
11b
10a
(b)
14bb
15b
13bb
14ab
13ab
15a
15
15b
15s
12c
11c
12a
11a
12b
11b
10a
(c)
16a
14ab
14bb
15c
13bb
13ab
16b
Sa
Sb
15a
15
15b
6
12c
11c
12a
11a
12b
11b
10a
(d)
4b
4a
16a
14aa
5
16b
14ba
15c
13aa
15a
15
15b
13ba
6
12c
11c
12a
11a
12b
11b
10a
C
A
B

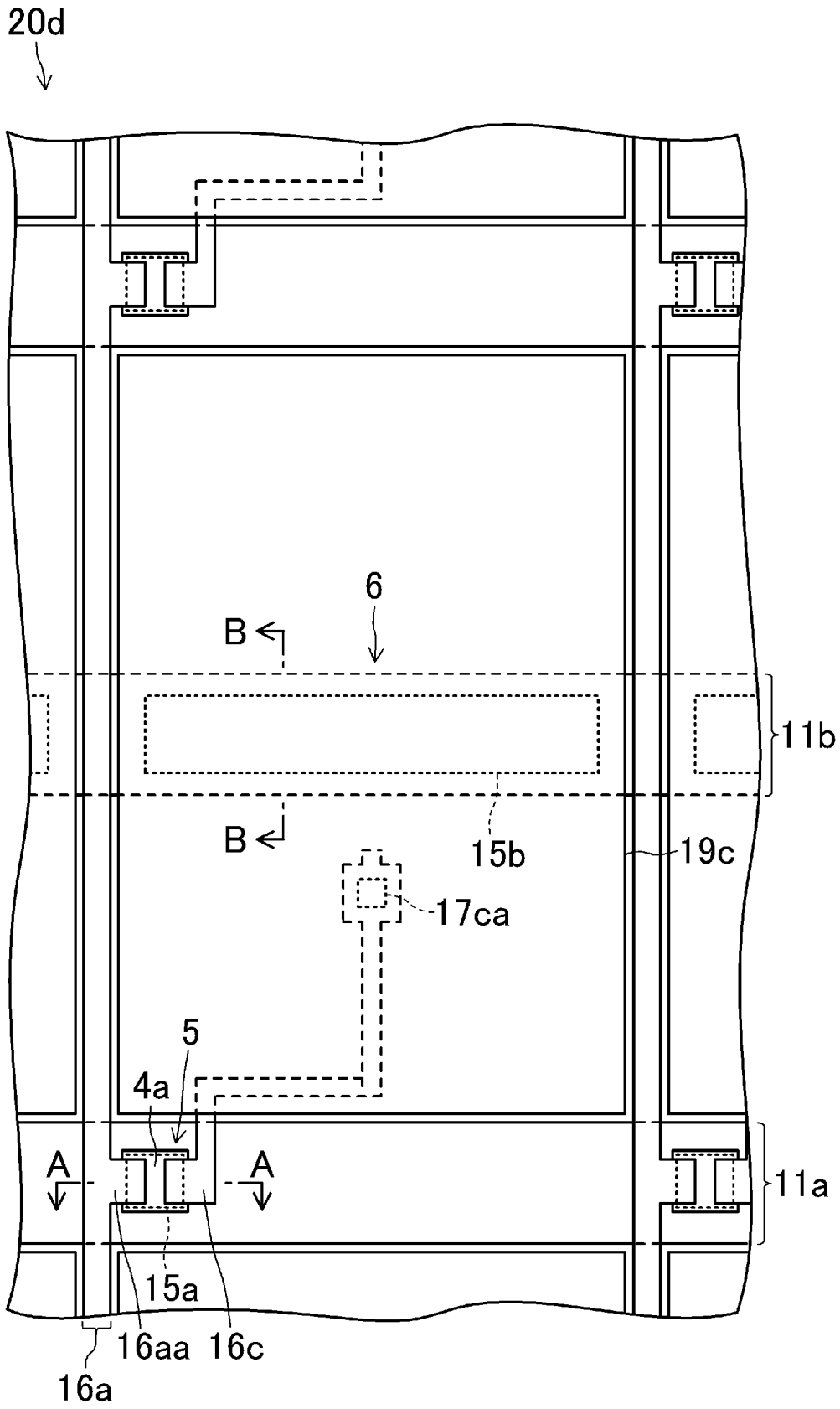
[図9]


(a)
4b
14ba
13ba
15c
16a
4a
14aa
13aa
5
15a
16b
15
17
15b
6
12c
11c
12a
11a
12b
11b
10a
(b)
4b
14ba
13ba
18b
15c
16a
4a
14aa
13aa
18
5
15a
16b
15
17
15b
18a
6
12c
11c
12a
11a
12b
11b
10a
(c)
4b
14ba
13ba
18b
15c
16a
4a
14aa
13aa
18
5
15a
16b
15
17a
15b
18a
6
12c
11c
12a
11a
12b
11b
10a
(d)
4b
14ba
13ba
19b
18b
15c
16a
4a
14aa
13aa
18
5
15a
16b
15
17a
15b
18a
19a
20b
6
12c
11c
12a
11a
12b
11b
10a
C
A
B

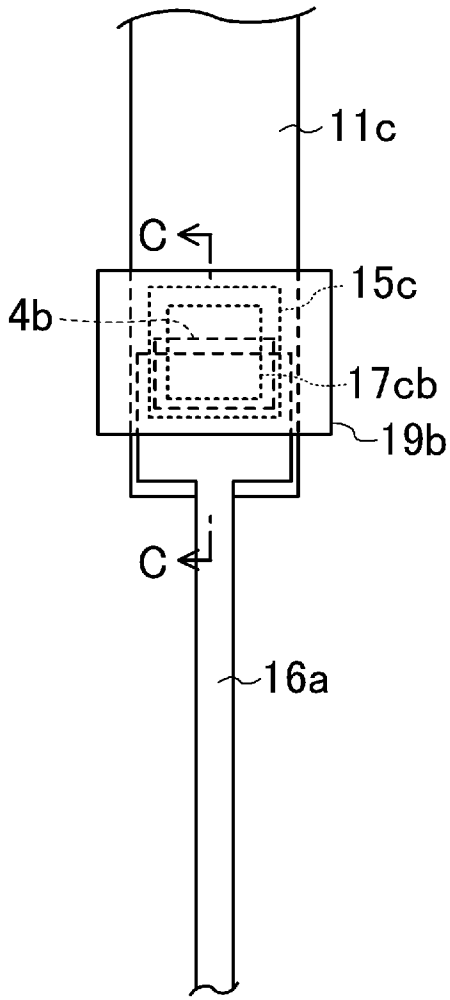
[図10]


(a)
4b
14ba
13ba
15c
16a
4a
14aa
13aa
7b
7a
5
16b
15a
15
17
15b
6
12
11c
11a
11b
10a
(b)
4b
14ba
13ba
15c
16a
4a
14aa
13aa
7b
7a
5
16b
15a
15
8
17a
15b
6
12
11c
11a
11b
10a
(c)
20c
4b
14ba
13ba
15c
19b
16a
4a
14aa
13aa
9
7b
7a
5
16b
15a
15
8
17a
15b
19a
6
12
11c
11a
11b
10a
C
A
B

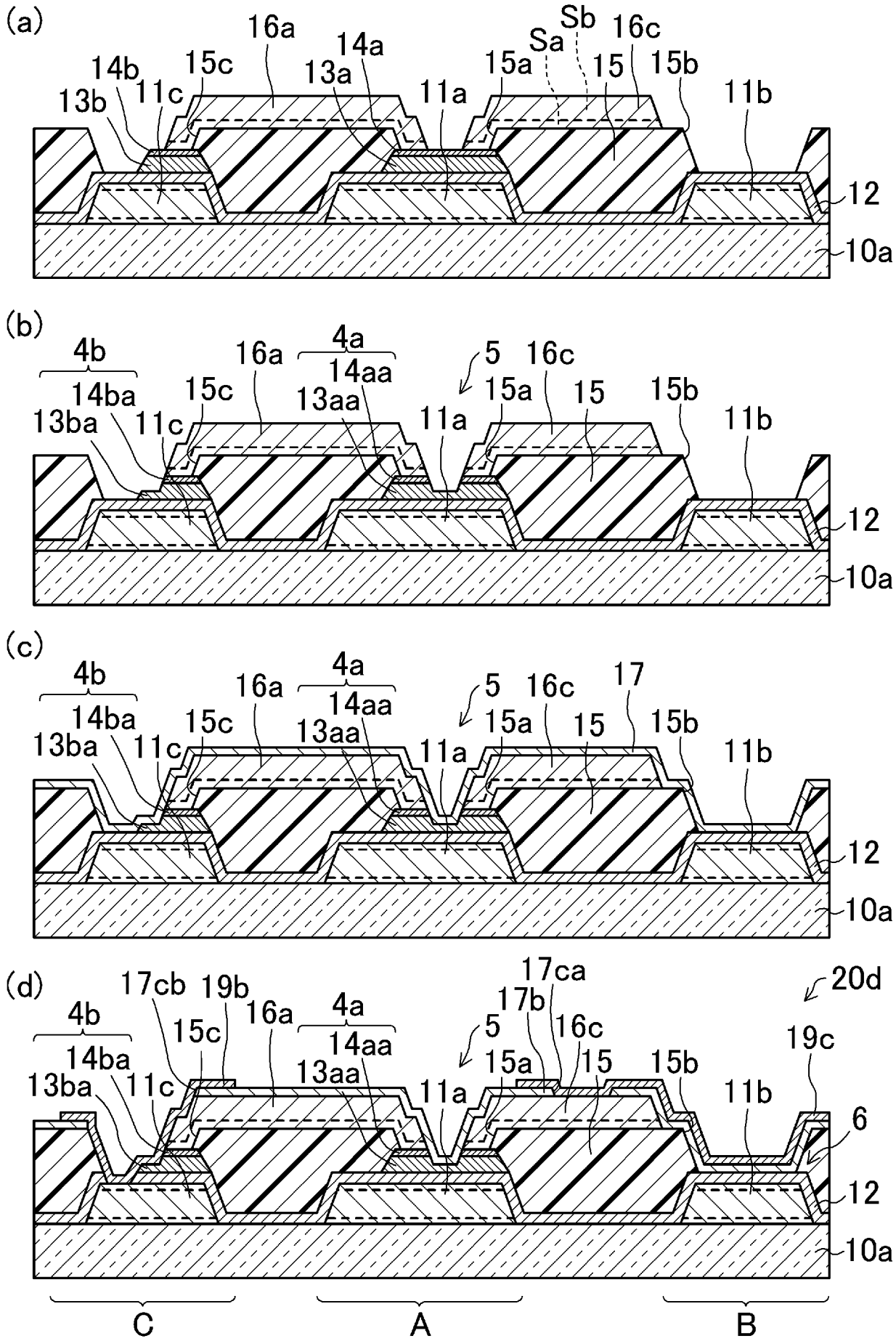
[図11]



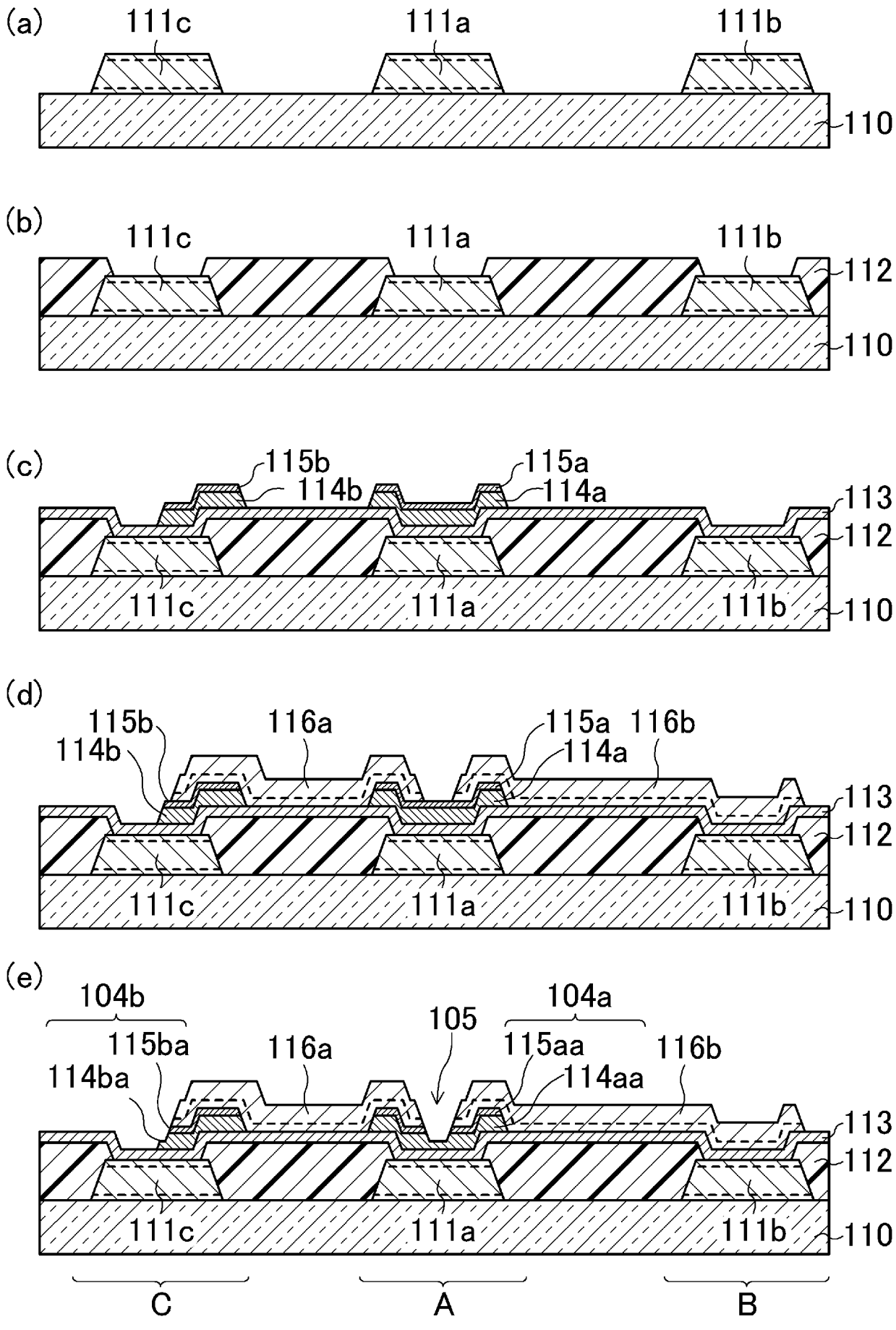
[図12]



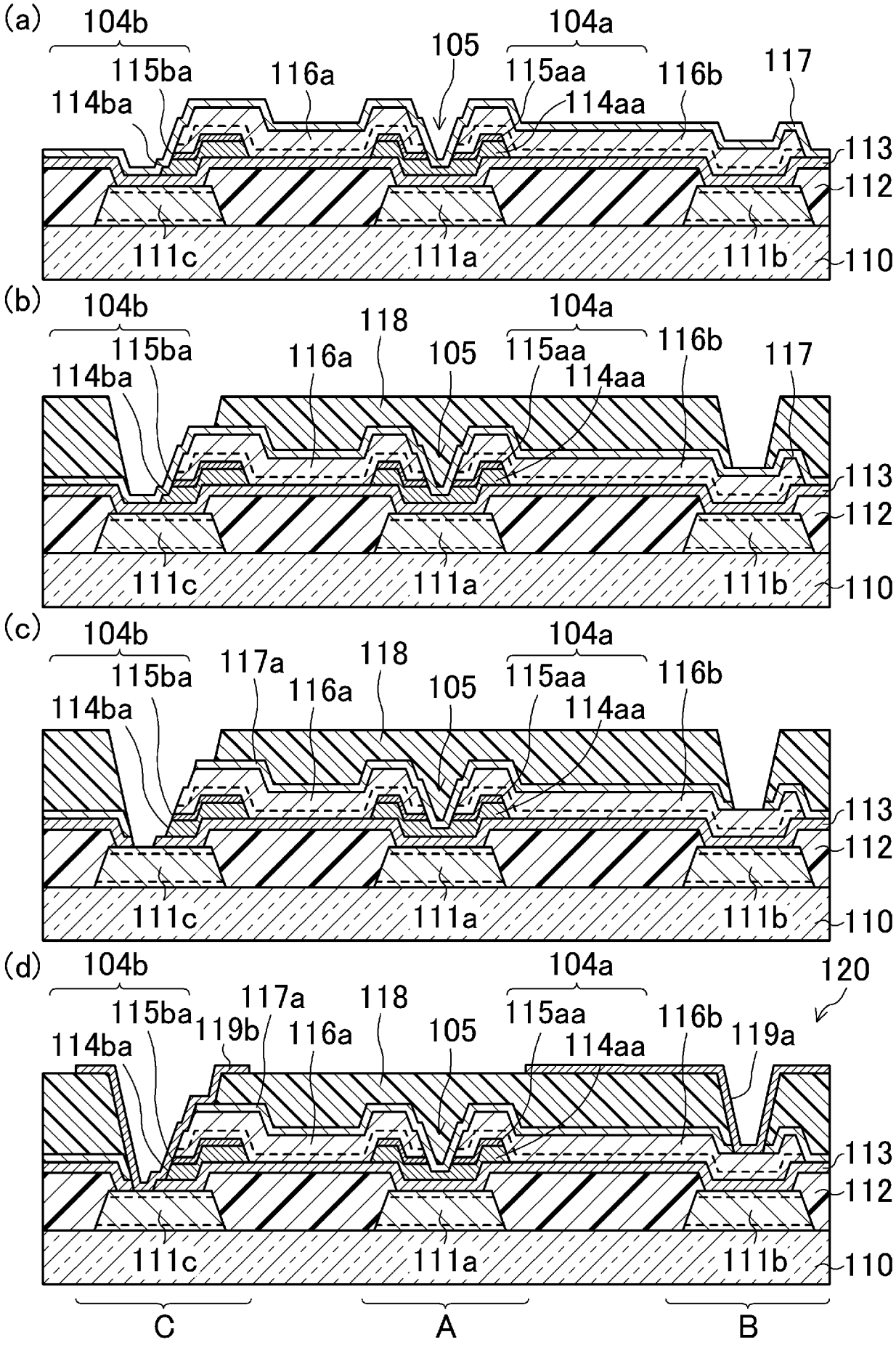
[図13]


(a)
16a
14a
Sb
16c
14b
15c
13a
Sa
15a
15
15b
13b
11c
11a
11b
12
10a
(b)
4b
16a
4a
5
16c
14ba
15c
14aa
15a
15
15b
13ba
11c
13aa
11a
11b
12
10a
(c)
4b
16a
4a
5
16c
17
14ba
15c
14aa
15a
15
15b
13ba
11c
13aa
11a
11b
12
10a
(d)
17cb
19b
17ca
20d
4b
15c
16a
4a
17b
5
16c
19c
14ba
14aa
15a
15
15b
13ba
11c
13aa
11a
11b
6
12
10a
C
A
B

[図14]


(a)
111c
111a
111b
110
(b)
111c
111a
111b
112
110
(c)
115b
114b
115a
114a
113
112
111c
111a
111b
110
(d)
115b
114b
116a
115a
116b
114a
113
112
111c
111a
111b
110
(e)
104b
115ba
114ba
116a
105
104a
115aa
114aa
116b
113
112
111c
111a
111b
110
C
A
B

[図15]


(a)
104b
104a
105
115ba
116a
115aa
116b
117
114ba
114aa
113
112
111c
111a
111b
110
(b)
104b
104a
118
115ba
116a
105
115aa
116b
117
114ba
114aa
113
112
111c
111a
111b
110
(c)
104b
104a
117a
118
115ba
116a
105
115aa
116b
114ba
114aa
113
112
111c
111a
111b
110
(d)
104b
104a
120
117a
118
115ba
119b
116a
105
115aa
116b
119a
114ba
114aa
113
112
111c
111a
111b
110
C
A
B

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/007102

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/786(2006.01)i, *G02F1/1368*(2006.01)i, *G09F9/30*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/786, G02F1/1368, G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2004-165221 A (Semiconductor Energy Laboratory Co., Ltd.), 10 June 2004 (10.06.2004), paragraphs [0012] to [0079]; fig. 1 to 7 (Family: none)	1,2,6-8 3-5 9
Y	JP 2008-070876 A (Beijing Boe Optoelectronics Technology Co., Ltd.), 27 March 2008 (27.03.2008), paragraphs [0011] to [0048]; fig. 1 to 18 & US 2008/0061295 A1 & CN 101145561 A & KR 10-2008-0023659 A	3-5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
01 March, 2011 (01.03.11)	08 March, 2011 (08.03.11)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/007102

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-231828 A (Semiconductor Energy Laboratory Co., Ltd.), 08 October 2009 (08.10.2009), paragraphs [0012] to [0204]; fig. 1 to 41 & US 2009/0212296 A1 & CN 101521182 A	3-5
A	JP 2007-189120 A (Idemitsu Kosan Co., Ltd.), 26 July 2007 (26.07.2007), paragraphs [0048] to [000107] (Family: none)	1-9
A	JP 2007-225860 A (Sharp Corp.), 06 September 2007 (06.09.2007), paragraphs [0027] to [0067]; fig. 1 to 3 (Family: none)	1-9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2010/007102

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention in claim 1 does not have a special technical feature, since the invention is disclosed in JP 2004-165221 A (Semiconductor Energy Laboratory Co., Ltd.), 10 June 2004 (10.06.2004), paragraphs 0012 - 0079, fig. 1 - 7, (Family: none) that has been found in course of the search.

As a result, there is no special technical feature common to all claims.

Consequently, the present international application does not comply with the requirement of unity of invention.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１０／００７１０２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786, G02F1/1368, G09F9/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１１年
日本国実用新案登録公報	１９９６－２０１１年
日本国登録実用新案公報	１９９４－２０１１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y A	JP 2004-165221 A (株式会社半導体エネルギー研究所) 2004.06.10, 段落 0012-0079, 図 1-7 (ファミリーなし)	1,2,6-8 3-5 9
Y	JP 2008-070876 A (北京京東方光電科技有限公司) 2008.03.27, 段落 0011-0048, 図 1-18 & US 2008/0061295 A1 & CN 101145561 A & KR 10-2008-0023659 A	3-5

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０１．０３．２０１１	０８．０３．２０１１

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　４Ｍ　２９３４
綿引　隆
電話番号　０３－３５８１－１１０１　内線　３４６２

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2009-231828 A (株式会社半導体エネルギー研究所) 2009.10.08, 段落 0012-0204, 図 1-41 & US 2009/0212296 A1 & CN 101521182 A	3-5
A	JP 2007-189120 A (出光興産株式会社) 2007.07.26, 段落 0048-000107（ファミリーなし）	1-9
A	JP 2007-225860 A (シャープ株式会社) 2007.09.06, 段落 0027-0067, 図 1-3（ファミリーなし）	1-9

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１０／００７１０２

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求項 _____ は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求項１に係る発明は、調査の際に発見したJP 2004-165221 A（株式会社半導体エネルギー研究所）2004.06.10，段落0012-0079，図1-7（ファミリーなし）に開示されているため、特別な技術的特徴を有しない。

結果として、すべての請求項に共通する特別な技術的特徴は存在しない。

よって、この国際特許出願は、発明の単一性の要件を満たしていない。

１．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

２．☑ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

４．☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。