

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5920407号  
(P5920407)

(45) 発行日 平成28年5月18日 (2016. 5. 18)

(24) 登録日 平成28年4月22日 (2016. 4. 22)

(51) Int. Cl.	F I	
HO 1 L 21/8234 (2006. 01)	HO 1 L 27/08	1 O 2 B
HO 1 L 27/088 (2006. 01)	HO 1 L 29/78	3 O 1 W
HO 1 L 21/336 (2006. 01)	HO 1 L 27/04	H
HO 1 L 29/78 (2006. 01)	HO 1 L 27/06	1 O 2 A
HO 1 L 21/822 (2006. 01)	HO 1 L 29/78	6 2 3 A
請求項の数 10 (全 29 頁) 最終頁に続く		

(21) 出願番号 特願2014-122673 (P2014-122673)  
 (22) 出願日 平成26年6月13日 (2014. 6. 13)  
 (65) 公開番号 特開2015-38966 (P2015-38966A)  
 (43) 公開日 平成27年2月26日 (2015. 2. 26)  
 審査請求日 平成27年2月25日 (2015. 2. 25)  
 (31) 優先権主張番号 特願2013-147634 (P2013-147634)  
 (32) 優先日 平成25年7月16日 (2013. 7. 16)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000004260  
 株式会社デンソー  
 愛知県刈谷市昭和町1丁目1番地  
 (74) 代理人 100095795  
 弁理士 田下 明人  
 (72) 発明者 柳 振一郎  
 愛知県刈谷市昭和町1丁目1番地 株式会  
 社デンソー内  
 審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板(2)の所定の表面(2a)側に1又は複数の半導体素子(20, 30, 40, 50, 60, 80, 90)が構成された半導体装置(1)であって、

前記半導体素子は、

前記半導体基板の前記表面側において第1導電型の半導体領域が構成された第1領域部(11, 51)と、

前記半導体基板の前記表面側において前記第1領域部から離れた位置に形成され、前記第1導電型の半導体領域(12a, 52a)と第2導電型の半導体領域(12b, 52b)とが交互に構成された半導体構造部(13, 53)が配置されてなる第2領域部(12, 52)と、

前記半導体基板における前記第1領域部と前記第2領域部との間の領域上に絶縁膜(16)を介して配置されるゲート電極(14)と、

を備え、

前記第2領域部において、前記第1導電型の半導体領域と前記第2導電型の半導体領域との比率をそれぞれ異ならせた複数種類の前記半導体構造部が存在しており、

少なくともいずれかの前記半導体素子(80, 90)の素子内において、複数種類の前記半導体構造部(13)が設けられていることを特徴とする半導体装置(1)。

【請求項2】

前記半導体素子(80, 90)の素子内において当該半導体素子の素子周縁部から離れ

た所定の中央領域には、前記第1導電型の半導体領域(12a)と前記第2導電型の半導体領域の比率(12b)を所定の第1比率とした第1種類の前記半導体構造部(13)が設けられ、

前記半導体素子の素子内において、前記第1種類の前記半導体構造部よりも素子周縁部側には、前記第1種類とは異なる種類であり且つ前記第1種類の前記半導体構造部よりも前記第1導電型の半導体領域の比率を大きくした構造の前記半導体構造部(13)が設けられていることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記半導体素子(90)は、前記所定の中央領域から前記素子周縁部に近づくにつれて、前記半導体構造部(13)における前記第1導電型の半導体領域の比率が次第に大きくなることを特徴とする請求項2に記載の半導体装置。

10

【請求項4】

半導体基板(2)の所定の表面(2a)側に1又は複数の半導体素子(20, 30, 40, 50, 60, 80, 90)が構成された半導体装置(1)であって、

前記半導体素子は、

前記半導体基板の前記表面側において第1導電型の半導体領域が構成された第1領域部(11, 51)と、

前記半導体基板の前記表面側において前記第1領域部から離れた位置に形成され、前記第1導電型の半導体領域(12a, 52a)と第2導電型の半導体領域(12b, 52b)とが交互に構成された半導体構造部(13, 53)が配置されてなる第2領域部(12, 52)と、

20

前記半導体基板における前記第1領域部と前記第2領域部との間の領域上に絶縁膜(16)を介して配置されるゲート電極(14)と、  
を備え、

前記第2領域部において、前記第1導電型の半導体領域と前記第2導電型の半導体領域との比率をそれぞれ異ならせた複数種類の前記半導体構造部が存在しており、

いずれかの前記半導体構造部は、前記第1導電型の半導体領域よりも前記第2導電型の半導体領域のほうが比率が大きい構造であることを特徴とする半導体装置(1)。

【請求項5】

前記半導体基板(2)の前記表面(2a)側には、前記第1領域部(11, 51)が所定方向に長手状に延び且つ前記第2領域部(12, 52)が前記第1領域部から離れた位置において前記所定方向に長手状に延びてなる前記半導体素子(20, 30, 50, 80, 90)が1又は複数設けられ、

30

前記第2領域部は、前記所定方向において前記第1導電型の半導体領域(12a, 52a)と前記第2導電型の半導体領域(12b, 52b)とが交互に構成され、当該第2領域部に含まれる複数種類の前記半導体構造部(13, 53)において、前記第1導電型の半導体領域における前記所定方向の幅(W1)と前記第2導電型の半導体領域における前記所定方向の幅(W2)との比率がそれぞれ異なっていることを特徴とする請求項1から請求項4のいずれか一項に記載の半導体装置。

【請求項6】

40

前記半導体基板(2)の前記表面(2a)側には、前記第1領域部(11)が所定の中央部に配置され且つ前記第2領域部(12)が前記第1領域部から離れた位置において前記第1領域部を囲む構成で配置された部分構造(41)が複数配置されてなる前記半導体素子(40)が1又は複数設けられ、

前記第2領域部は、所定の縦方向において前記第1導電型の半導体領域(12a)と前記第2導電型の半導体領域(12b)とが交互に配置される縦領域と、前記縦方向と直交する横方向において前記第1導電型の半導体領域(12a)と前記第2導電型の半導体領域(12b)とが交互に配置される横領域とが構成され、当該第2領域部に含まれる複数種類の前記半導体構造部(13)において、前記第1導電型の半導体領域と前記第2導電型の半導体領域との比率がそれぞれ異なっていることを特徴とする請求項1から請求項4

50

のいずれか一項に記載の半導体装置。

【請求項 7】

いずれかの前記半導体構造部 ( 1 3 , 5 3 ) は、前記第 1 導電型の半導体領域 ( 1 2 a , 5 2 a ) よりも前記第 2 導電型の半導体領域 ( 1 2 b , 5 2 b ) のほうが比率が大きい構造であることを特徴とする請求項 1 から請求項 3 のいずれか一項に記載の半導体装置。

【請求項 8】

いずれかの前記半導体構造部 ( 1 3 , 5 3 ) は、前記第 2 導電型の半導体領域 ( 1 2 b , 5 2 b ) よりも前記第 1 導電型の半導体領域 ( 1 2 a , 5 2 a ) のほうが比率が大きい構造であることを特徴とする請求項 1 から請求項 7 のいずれか一項に記載の半導体装置。

【請求項 9】

いずれかの前記半導体構造部 ( 1 3 , 5 3 ) は、前記第 1 導電型の半導体領域 ( 1 2 a , 5 2 a ) と前記第 2 導電型の半導体領域 ( 1 2 b , 5 2 b ) とが同一の比率の構造であることを特徴とする請求項 1 から請求項 8 のいずれか一項に記載の半導体装置。

【請求項 10】

少なくとも複数の前記半導体素子 ( 2 0 , 3 0 , 4 0 , 5 0 , 6 0 , 8 0 , 9 0 ) において、異なる種類の前記半導体構造部 ( 1 3 , 5 3 ) がそれぞれ設けられていることを特徴とする請求項 1 から請求項 9 のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関するものである。

【背景技術】

【0002】

LDMOS等の横型の半導体装置としては、例えば特許文献1のようなものが提供されている。この特許文献1の図1の例では、半導体基板表面側において、N導電型のドレイン領域104と、N導電型の拡散領域とP導電型の拡散領域とが交互に配置されてなるソース領域106とが設けられており、半導体基板上においてドレイン領域とソース領域との間には絶縁膜を介してゲート電極109が配置されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2000-307123号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、LDMOS等の半導体装置では、チャンネル領域の両側に配置される一方の拡散領域(例えばソース領域)と他方の拡散領域(例えばドレイン領域)の間隔を調整することで耐量を変化させることができる。但し、この方法だけでは、間隔を広げて耐量の増大を図ると、オン抵抗が大きく増大してしまうという問題がある。特に、より大きな耐量が必要な素子は、拡散領域の間隔をより大きくする必要があるのであるため、オン抵抗の大幅な上昇が避けられず、面積ロスを生じさせてしまう。逆に、オン抵抗を重視して拡散領域の間隔を小さくする場合、耐量の低下が避けられなくなる。

【0005】

本発明は、上述した課題を解決するためになされたものであり、同一装置内において相対的に耐量を重視した領域と相対的にオン抵抗を重視した領域とを作り分け、且つ面積ロスを抑えて効率的に配置しやすい構成を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記目的を達成するため、請求項1の発明は、半導体基板(2)の所定の表面(2a)側に1又は複数の半導体素子(20, 30, 4

10

20

30

40

50

0, 50, 60, 80, 90) が構成された半導体装置 (1) であって、

前記半導体素子は、

前記半導体基板の前記表面側において第 1 導電型の半導体領域が構成された第 1 領域部 (11, 51) と、

前記半導体基板の前記表面側において前記第 1 領域部から離れた位置に形成され、前記第 1 導電型の半導体領域 (12a, 52a) と第 2 導電型の半導体領域 (12b, 52b) とが交互に構成された半導体構造部 (13, 53) が配置されてなる第 2 領域部 (12, 52) と、

前記半導体基板における前記第 1 領域部と前記第 2 領域部との間の領域上に絶縁膜 (16) を介して配置されるゲート電極 (14) と、

を備え、

前記第 2 領域部において、前記第 1 導電型の半導体領域と前記第 2 導電型の半導体領域との比率をそれぞれ異ならせた複数種類の前記半導体構造部が存在し、

少なくともいずれかの前記半導体素子 (80, 90) の素子内において、複数種類の前記半導体構造部 (13) が設けられていることを特徴とする。

また、上記目的を達成するため、請求項 4 の発明は、

半導体基板 (2) の所定の表面 (2a) 側に 1 又は複数の半導体素子 (20, 30, 40, 50, 60, 80, 90) が構成された半導体装置 (1) であって、

前記半導体素子は、

前記半導体基板の前記表面側において第 1 導電型の半導体領域が構成された第 1 領域部 (11, 51) と、

前記半導体基板の前記表面側において前記第 1 領域部から離れた位置に形成され、前記第 1 導電型の半導体領域 (12a, 52a) と第 2 導電型の半導体領域 (12b, 52b) とが交互に構成された半導体構造部 (13, 53) が配置されてなる第 2 領域部 (12, 52) と、

前記半導体基板における前記第 1 領域部と前記第 2 領域部との間の領域上に絶縁膜 (16) を介して配置されるゲート電極 (14) と、

を備え、

前記第 2 領域部において、前記第 1 導電型の半導体領域と前記第 2 導電型の半導体領域との比率をそれぞれ異ならせた複数種類の前記半導体構造部が存在し、

いずれかの前記半導体構造部は、前記第 1 導電型の半導体領域よりも前記第 2 導電型の半導体領域のほうが比率が大きい構造であることを特徴とする。

【発明の効果】

【0007】

請求項 1 に係る半導体装置では、半導体装置内の 1 又は複数の半導体素子に構成される第 2 領域部において複数種類の半導体構造部が設けられ、装置内には、第 1 導電型の半導体領域と第 2 導電型の半導体領域の比率が異なる複数種類の半導体構造部が存在している。また、少なくともいずれかの半導体素子の素子内において、複数種類の半導体構造部が設けられている。

また、請求項 4 に係る半導体装置では、半導体装置内の 1 又は複数の半導体素子に構成される第 2 領域部において複数種類の半導体構造部が設けられ、装置内には、第 1 導電型の半導体領域と第 2 導電型の半導体領域の比率が異なる複数種類の半導体構造部が存在している。また、いずれかの半導体構造部は、第 1 導電型の半導体領域よりも第 2 導電型の半導体領域のほうが比率が大きい構造である。

半導体構造部での第 1 導電型の半導体領域と第 2 導電型の半導体領域との比率は、耐量とオン抵抗の設定に寄与する要素となり、この比率を変えることで、より耐量を増大させる構造、又は、よりオン抵抗を低減させる構造とすることができる。従って、半導体構造部における第 1 導電型と第 2 導電型の比率を装置全体で一律に定めるのではなく、領域毎に個別に設定すれば、各領域での耐量とオン抵抗のバランスを、それぞれの領域に適した状態に定めることができる。しかも、相対的に耐量を重視する領域では、第 1 領域部と第

10

20

30

40

50

2領域部の間隔を大幅に増大させることなく、第2領域部内での比率を調整することで耐量の増大を図ることができるため、面積ロスが効果的に抑えられる。

【0008】

なお、本発明において、「半導体構造部における第1導電型の半導体領域と第2導電型の半導体領域との比率」は、「半導体構造部の上面における第1導電型の半導体領域の面積と第2導電型の半導体領域の面積との比率」であってもよく、「半導体構造部の上面における第1領域部側の境界部での第1導電型の半導体領域の長さ」と第2導電型の半導体領域の長さとの比率」であってもよく、「半導体構造部での第1導電型の半導体領域の体積と第2導電型の半導体領域の体積との比率」であってもよい。そして、「第1導電型の半導体領域と第2導電型の半導体領域との比率をそれぞれ異ならせた複数種類の半導体構造部が存在している構成」は、第2領域の複数位置において第1導電型の半導体領域と第2導電型の半導体領域との配置構造をそれぞれ異ならせた以下の構成を含むものである。例えば、「上面における第1導電型の半導体領域の面積と第2導電型の半導体領域の面積との比率をそれぞれ異ならせた複数種類の半導体構造部が存在している構成」であってもよい。又は、「上面における第1領域部側の境界部での第1導電型の半導体領域の長さ」と第2導電型の半導体領域の長さとの比率をそれぞれ異ならせた複数種類の半導体構造部が存在している構成」であってもよい。若しくは、「第1導電型の半導体領域の体積と第2導電型の半導体領域の体積との比率をそれぞれ異ならせた複数種類の半導体構造部が存在している構成」であってもよい。

【図面の簡単な説明】

【0009】

【図1】図1は、本発明の第1実施形態に係る半導体装置の平面構成を概念的に例示する概念図である。

【図2】図2は、図1の半導体装置に設けられた半導体素子の表面側の平面構成を概念的に示す概念図である。

【図3】図3(A)は、図2の半導体素子のA-A位置の断面構成を概略的に示す断面概略図であり、図3(B)は、図2の半導体素子のB-B位置の断面構成を概略的に示す断面概略図である。

【図4】図4(A)は、図2の半導体素子の第1領域部、第2領域部、ゲート電極等の平面構成を部分的に示す説明図であり、図4(B)は、図4(A)とは異なる種類の半導体素子の第1領域部、第2領域部、ゲート電極等の平面構成を部分的に示す説明図であり、図4(C)は、図4(A)(B)とは異なる種類の半導体素子の第1領域部、第2領域部、ゲート電極等の平面構成を部分的に示す説明図である。

【図5】図5は、L負荷耐量試験の試験回路を例示する回路図である。

【図6】図6は、図2に示す半導体素子及び比較素子のL負荷耐量試験(単発耐量試験)の試験結果等を示すグラフである。

【図7】図7は、図2に示す半導体素子及び比較素子のL負荷耐量試験(連続動作寿命試験)の試験結果等を示すグラフである。

【図8】図8は、図4(A)(B)に示す半導体素子のそれぞれのオン抵抗及びオフ耐圧を、図4(C)に示す半導体素子のオン抵抗及びオフ耐圧と比較して示すグラフである。

【図9】図9(A)は、第2実施形態に係る半導体装置を構成する半導体素子の第1領域部、第2領域部、ゲート領域等の平面構成を部分的に示す説明図であり、図9(B)は、図9(A)の半導体素子の変形例を示す説明図である。

【図10】図10は、第3実施形態に係る半導体装置を構成する半導体素子の表面側の平面構成を概念的に示す概念図である。

【図11】図11(A)は、図10の半導体素子のG-G位置の断面構成を概略的に示す断面概略図であり、図11(B)は、図10の半導体素子のH-H位置の断面構成を概略的に示す断面概略図である。

【図12】図12は、第4実施形態に係る半導体装置を構成する半導体素子の表面側の平面構成を概略的に示す概略図である。

10

20

30

40

50

【図13】図13は、第5実施形態に係る半導体装置を構成する半導体素子の表面側の平面構成を概略的に示す概略図である。

【図14】図14は、第5実施形態に係る半導体装置の平面構成を概念的に例示する概念図である。

【図15】図15(A)は、他の実施形態に関し、図4に示す半導体素子において第2領域部を変更した変更例を示す説明図であり、図15(B)は、図15(A)とは異なる変更例を示す説明図である。

【図16】図16は、他の実施形態に関し、半導体素子の断面構造を図3(A)とは異なる断面構造に変更した変更例を示す断面概略図である。

【図17】図17は、他の実施形態に関し、半導体素子の断面構造を図3(A)、図16とは異なる断面構造に変更した変更例を示す断面概略図である。

【発明を実施するための形態】

【0010】

[第1実施形態]

以下、本発明を具現化した第1実施形態について、図面を参照して説明する。

図1に示す半導体装置1は、図3等に示す半導体基板2の表面2a側に複数の半導体素子が構成されてなるものである。図1の例では、半導体基板2において、LDMOSとして構成される半導体素子20、30、60に加え、バイポーラトランジスタ71、抵抗素子72、メモリ73、キャパシタ74、CMOS75などの各素子が配置されている。

【0011】

本構成では、半導体装置1を構成する基板として、素子形成基板としての半導体基板2と図示しない支持基板とで絶縁膜(図示略)を挟み込んでなる公知のSOI基板が用いられている。そして、半導体基板2としてN型のシリコン基板が用いられ、支持基板としてシリコン基板が用いられ、これら基板間の絶縁膜として、例えばSiO<sub>2</sub>が用いられる。そして、半導体基板2(素子形成基板)の表面2a側に上述の各素子が形成されている。なお、ここでは、代表例としてSOI基板を例示しているが、半導体基板2はバルク基板であってもよい。

【0012】

ここで、半導体素子20、30に共通する構成について説明する。なお、図2では、半導体素子20の例を示しているが、半導体素子30は、第2領域部12の内部構成(N+拡散領域12aとP+拡散領域12bの比率)が半導体素子20と異なるだけであり、それ以外は半導体素子20と同様である。特に、半導体素子30でも、P+拡散領域12bの位置で横方向に切断した切断面は図3(A)と同様であり、N+拡散領域12aの位置で横方向に切断した切断面は図3(B)と同様である。

【0013】

半導体素子20、30はいずれも、LDMOSTランジスタとして構成されており、図2のように、N型の半導体基板2の表層部に第1領域部11と第2領域部12とが交互に形成されている。第1領域部11はLDMOSTランジスタのドレインに対応する領域であり、第2領域部12はLDMOSTランジスタのソースに対応する領域となっている。なお、図2は、半導体基板2における一部部位(半導体素子20の部位)の表層部について平面視した構造を概念的に示しており、第1領域部11及び第2領域部12以外の領域については、図示を省略している。

【0014】

第1領域部11は、半導体基板2の表面2a側において所定方向に長手状に延びるN導電型の半導体領域として構成されている。なお、本明細書では、半導体基板2の表面と平行な平面方向の内、所定の一方方向をX方向とし、その平面方向においてX方向と直交する方向をY方向としている(図2参照)。そして、Y方向が、上記所定方向に相当しており、このY方向に沿って複数の第1領域部11が例えば平面視矩形形状となる外形構造で長手状に延びている。また、本構成では、N導電型(N型)が第1導電型であり、P導電型が第2導電型となっている。第1領域部11は、半導体基板2のN領域18よりも高濃度で

10

20

30

40

50

構成されたN導電型の拡散領域(N+拡散領域)として構成されており、図示しないドレイン電極に電氣的に接続されたドレイン領域として機能している。

【0015】

図3に示すように、半導体基板2の表面2a付近において、各第1領域部11に隣接する位置には、フィールド酸化膜としての絶縁膜19aが形成されている。絶縁膜19aは、例えばSiO<sub>2</sub>によって構成され、半導体基板2の表層部付近において、横方向(X方向)一端側が第1領域部11(N+拡散領域)に隣接し、他端側が後述するゲート電極14の下方位置に配置された構成となっている。そして、第1領域部11に隣接しつつ第1領域部11に沿ってY方向に長手状に延びている。

【0016】

第2領域部12は、半導体基板2の表面2a側において上記所定方向(Y方向)に長手状に延びる領域として構成されている。本構成では、図2に示すY方向に沿って複数の第2領域部12が間隔をあけて長手状に延びている。各第2領域部12は、X方向に並んだ複数の第1領域部11の各領域間(隣接する第1領域部11同士の間)において、それぞれの第1領域部11から離れた位置に、例えば平面視矩形形状の外形構造で配置されている。この第2領域部12は、図2のようにN導電型の拡散領域(N+拡散領域12a)と、P導電型の拡散領域(P+拡散領域12b)とがY方向において交互に構成された半導体構造部13からなり、図示しないソース電極に電氣的に接続されたソース領域として機能している。なお、本構成では、図2に示す各第1領域部11及び各第2領域部12において、隣接する第1領域部11と第2領域部12との間隔(第1領域部11の横方向中心位置と、これに隣接する第2領域部12の横方向中心位置との間隔であり、以下、ソースドレイン間隔L1とも称する)が全て略同一となっている。また、第2領域部12の更に詳しい構成は後述する。

【0017】

図3、図4に示すように、半導体基板2の表層部に構成される第2領域部12の周囲には、P導電型のボディ領域17が構成されている。ボディ領域17において第2領域部12に隣接する表層部側の部分(ゲート電極14の直下の部分)は、チャンネル領域として機能する。

【0018】

図3、図4のように、半導体基板2における第1領域部11と第2領域部12との間の領域上には、絶縁膜16を介してゲート電極14が配置されている。絶縁膜16及びゲート電極14は、ボディ領域17、ボディ領域17と絶縁膜19aの間に配置される半導体基板2の領域(N領域18)、絶縁膜19aの一部に跨る構成で、これらの上方に配置されており、第1領域部11及び第2領域部12の延びる方向(即ち、Y方向)に沿って長手状に延びている。なお、図2では、ゲート電極14等は省略している。また、図3等の例では、半導体基板2やゲート電極14の上方側の構成(絶縁膜や配線等)は省略している。

【0019】

このように、半導体素子20、30のいずれの表層部も、長手状の第1領域部11(ドレイン領域)と第2領域部12(ソース領域)とが横方向(X方向)に交互に配置され、ストライプ状の構造となっている。そして、このような構成を有する半導体素子20、30は、半導体基板2における一定の範囲の素子領域ARに形成されており、半導体装置1にはこのような素子領域が複数設けられている。例えば、図1の例では、半導体素子20が構成された素子領域が2つ設けられ、半導体素子30が構成された素子領域が3つ設けられている。なお、図1では、半導体基板2に構成される各素子の領域のみを矩形枠にて概念的に示しており、具体的な構成の図示は省略している。

【0020】

次に、半導体素子20の構成について詳述する。

図2に示すように、半導体素子20の各第2領域部12(ソース領域)は、上述したように各第2領域部12が延びる所定方向(図2に示すY方向)においてN導電型の半導体

10

20

30

40

50

領域 ( N + 拡散領域 1 2 a ) と P 導電型の半導体領域 ( P + 拡散領域 1 2 b ) とが交互に配置されている。そして、図 4 ( A ) のように、 N + 拡散領域 1 2 a の比率と、 P + 拡散領域 1 2 b の比率とが異なっている。具体的には、各第 2 領域部 1 2 において、各第 2 領域部 1 2 の全体体積に対する N + 拡散領域 1 2 a ( N + 活性部 ) の体積の比率よりも、各第 2 領域部 1 2 の全体体積に対する P + 拡散領域 1 2 b ( P + 活性部 ) の体積の比率の方が大きくなっている。つまり、各第 2 領域部 1 2 内では、 N + 拡散領域 1 2 a よりも P + 拡散領域 1 2 b の方が多く配置されており、図 4 ( A ) の例では、各第 2 領域部における P + 拡散領域 1 2 b の体積が、 N + 拡散領域 1 2 a の体積の 2 倍程度となっている。

#### 【 0 0 2 1 】

本構成では、図 2 のように、半導体素子 2 0 の一部を構成する第 2 領域部 1 2 の全体が同種類の半導体構造部 1 3 によって構成されており、 X 方向に間隔をあけて同一構造の半導体構造部 1 3 がそれぞれ配置されている。第 2 領域部 1 2 を構成する長手状の各半導体構造部 1 3 は、間隔をあけてそれぞれ配置される各 P + 拡散領域 1 2 b がいずれも略同一の形状となっており、間隔をあけてそれぞれ配置される各 N + 拡散領域 1 2 a がいずれも略同一の形状となっている。このため、第 2 領域部 1 2 を構成する長手状の各半導体構造部 1 3 は、各 P + 拡散領域 1 2 b がいずれも同程度の体積となっており、各 N + 拡散領域 1 2 a がいずれも同程度の体積となっている。そして、各々の P + 拡散領域 1 2 b の体積がいずれも、各々の N + 拡散領域 1 2 a の体積よりも大きく、例えば、1 つの P + 拡散領域 1 2 b の体積が、1 つの N + 拡散領域 1 2 a の体積の 2 倍程度となっている。このような構成により、第 2 領域部 1 2 を構成する長手状の各半導体構造部 1 3 のいずれにおいても、 P + 拡散領域 1 2 b の体積が、 N + 拡散領域 1 2 a の体積の 2 倍程度となっている。

#### 【 0 0 2 2 】

そして、各々の P + 拡散領域 1 2 b の上面面積は、それぞれが略同一の面積となっており、各々の N + 拡散領域 1 2 a の上面面積もそれぞれが略同一の面積となっている。そして、各々の P + 拡散領域 1 2 b の上面面積がいずれも、各々の N + 拡散領域 1 2 a の上面面積よりも大きく、例えば、1 つの P + 拡散領域 1 2 b の上面面積が、1 つの N + 拡散領域 1 2 a の上面面積の 2 倍程度となっている。このような構成により、長手状に構成される各第 2 領域部 1 2 の上面において、 N + 拡散領域 1 2 a の面積 ( 上面の面積 ) と P + 拡散領域 1 2 b の面積 ( 上面の面積 ) との比率が 1 : 1 ではなく、 P + 拡散領域 1 2 b の上面の総面積が、 N + 拡散領域 1 2 a の上面の総面積よりも大きい構成 ( 例えば、2 倍程度に大きい構成 ) となっている。なお、図 2 に示す半導体素子 2 0 では、第 2 領域部 1 2 の全体が同一種類の半導体構造部 1 3 によって構成されている。なお、このように、第 2 領域部 1 2 が長手状に構成される例において同一種類の半導体構造部 1 3 の領域とは、上面部において同一構造の N + 拡散領域 1 2 a が間隔をあけて配置され且つ同一構造の P + 拡散領域 1 2 b が間隔をあけて配置されるように N + 拡散領域 1 2 a と P + 拡散領域 1 2 b とが交互に配置される領域である。図 2 に示す半導体素子 3 0 では、第 2 領域部 1 2 の全体がこのような構成となっているため、第 2 領域部 1 2 の全体が同一種類の半導体構造部 1 3 によって構成されているといえる。

#### 【 0 0 2 3 】

更に、第 2 領域部 1 2 を構成する長手状の各半導体構造部 1 3 は、その上面において、第 1 領域部 1 1 側の境界部での N + 拡散領域 1 2 a の長さの総和と、 P + 拡散領域 1 2 b の長さの総和との比率が 1 : 1 ではなく、 P + 拡散領域 1 2 b の長さの総和が N + 拡散領域 1 2 a の長さの総和の 2 倍程度となっている。図 2 の例では、長形状に構成される各半導体構造部 1 3 の 2 つの長辺部分が各半導体構造部 1 3 における第 1 領域部 1 1 側の境界部であり、この部分において、 P + 拡散領域 1 2 b の長さの総和が N + 拡散領域 1 2 a の長さの総和よりも大きく、例えば 2 倍程度となっている。なお、図 3 ( A ) ( B ) では、半導体構造部 1 3 における第 1 領域部 1 1 側の境界を 1 で概念的に示しており、図 4 では、半導体構造部 1 3 における第 1 領域部 1 1 側の境界を 2 で示している。半導体構造部 1 3 における第 1 領域部 1 1 側の境界部は、このような境界を構成する部分である。

#### 【 0 0 2 4 】



より具体的には、各N + 拡散領域12aは、所定幅で横方向(X方向)に延びる平面視矩形形状となっており、各第2領域部12において、それぞれのN + 拡散領域12aが一定間隔おきに配置されている。そして、それぞれのN + 拡散領域12aの幅(Y方向の長さ)は、幅W1で構成されている。また、各P + 拡散領域12bは、所定幅で横方向(X方向)に延びる平面視矩形形状となっており、各第2領域部12において、それぞれのP + 拡散領域12bが一定間隔おきに配置されている。そして、それぞれのP + 拡散領域12bの幅(Y方向の長さ)は、幅W2で構成されている。そして、各N + 拡散領域12aの幅W1よりも、各P + 拡散領域12bの幅W2のほうが大きくなっている。この構成では、1つのN + 拡散領域12aの表面において、左右両側に構成されるそれぞれの境界部(第1領域部11側の境界部)の長さがW1である。そして、いずれのN + 拡散領域12aにおいても、左右両側に構成されるそれぞれの境界部(第1領域部11側の境界部)の長さがW1となっている。また、1つのP + 拡散領域12bの表面において、左右両側に構成されるそれぞれの境界部(第1領域部11側の境界部)の長さがW2である。そして、いずれのP + 拡散領域12bにおいても、左右両側に構成されるそれぞれの境界部(第1領域部11側の境界部)の長さがW2となっている。そして、1つのP + 拡散領域12bの境界部の長さW2が、1つのN + 拡散領域12aの境界部の長さW1よりも大きく、例えば、2倍程度となっている。なお、各N + 拡散領域12aの深さと、各P + 拡散領域12bの深さは、例えば同程度となっている。このような構成により、各第2領域部12において、N + 拡散領域12aの比率よりもP + 拡散領域12bの比率のほうが大きくなっている。

10

20

## 【0025】

そして、このように構成されているため、半導体素子20は、図4(C)のような構成と比較して、ESD耐量が高く、L負荷耐量が高くなっており、これらの耐量を重視する素子となっている。なお、図4(C)の半導体素子60は、第2領域部12以外が半導体素子20と同一構造となっているLDMOSTランジスタであり、ソース領域とドレイン領域のソースドレイン間隔L1も、半導体素子20と同一となっているものである。

## 【0026】

半導体素子60は、各N + 拡散領域12aの幅W1と、各P + 拡散領域12bの幅W2とが同程度となっており、第2領域部12内におけるP + 拡散領域12bの比率とN + 拡散領域12aの体積の比率が同程度となっている。これに対し、半導体素子20は、ソースドレイン間のピッチL1を大きくすることなく、半導体素子60よりもESD耐量が高められ、L負荷耐量が高められており、面積ロスを抑えつつ耐量増大効果が得られている。なお、図4において、L1は、第1領域部11の幅方向中心位置と第2領域部12の幅方向中心位置との間隔をソースドレイン間隔(ソースドレインピッチ)として示すものである。

30

## 【0027】

ここで、半導体素子60について説明する。図4(C)で示す半導体素子60は、各N + 拡散領域12aの幅W1及び各P + 拡散領域12bの幅W2を、半導体素子20における各N + 拡散領域12aの幅W1及び各P + 拡散領域12bの幅W2と異ならせているだけであり、それ以外の構造は、図2等で示す半導体素子20と同様である。半導体素子60の各第2領域部12(ソース領域)も、上述したように各第2領域部12が延びる所定方向においてN導電型の半導体領域(N + 拡散領域12a)とP導電型の半導体領域(P + 拡散領域12b)とが交互に配置されている。なお、図4(C)では、半導体素子60の一部分における第1領域部11(ドレイン領域)と第2領域部12(ソース領域)との間を部分的に示しているが、実際には各第1領域部11及び各第2領域部12が図4(C)の図よりも長く、例えば図2に示す各第1領域部11及び各第2領域部12と同程度となっている。また、実際には、各第2領域部12において、図4(C)に示すサイズのN + 拡散領域12aとP + 拡散領域12bとが交互に繰り返して多数配置されている。一方、第1領域部11は、N + 拡散領域として構成され、このような第2領域部12と同程度の長さで構成されている。そして、半導体素子20と同様、このように構成される第1領

40

50

域部 1 1 と第 2 領域部 1 2 とが横方向（第 1 領域部 1 1 及び第 2 領域部 1 2 の長手方向と直交する方向）に間隔をあけて交互に配置されている。

【 0 0 2 8 】

この半導体素子 6 0 でも、第 2 領域部 1 2 の全体が同種類の半導体構造部 1 3 によって構成されており、X 方向に間隔をあけて同一構造の半導体構造部 1 3 がそれぞれ配置されている。そして、長手状の各半導体構造部 1 3 は、間隔をあけてそれぞれ配置される各 P + 拡散領域 1 2 b がいずれも略同一の形状となっており、間隔をあけてそれぞれ配置される各 N + 拡散領域 1 2 a がいずれも略同一の形状となっている。このため、半導体素子 6 0 では、第 2 領域部 1 2 を構成する長手状の各半導体構造部 1 3 において、各 P + 拡散領域 1 2 b がいずれも同程度の体積となっており、各 N + 拡散領域 1 2 a がいずれも同程度の体積となっている。そして、各々の P + 拡散領域 1 2 b の体積と、各々の N + 拡散領域 1 2 a の体積とが略同一となっている。

10

【 0 0 2 9 】

この半導体素子 6 0 では、各々の P + 拡散領域 1 2 b の上面面積は、それぞれが略同一の面積となっており、各々の N + 拡散領域 1 2 a の上面面積もそれぞれが略同一の面積となっている。そして、各々の P + 拡散領域 1 2 b の上面面積がいずれも、各々の N + 拡散領域 1 2 a の上面面積と略同一であり、1 つの P + 拡散領域 1 2 b の上面面積が、1 つの N + 拡散領域 1 2 a の上面面積と同程度となっている。このような構成であるため、長手状に構成される各第 2 領域部 1 2 の上面において、N + 拡散領域 1 2 a の面積（上面の面積）と P + 拡散領域 1 2 b の面積（上面の面積）との比率が 1 : 1 となっている。

20

【 0 0 3 0 】

更に、この半導体素子 6 0 では、長手状の各半導体構造部 1 3 の上面において、N + 拡散領域 1 2 a における第 1 領域部 1 1 側の境界部での各長さ W 1 と、P + 拡散領域 1 2 b における第 1 領域部 1 1 側の境界部での各長さ W 2 とが同一であり、第 1 領域部 1 1 側の境界部での N + 拡散領域 1 2 a の長さの総和と、P + 拡散領域 1 2 b の長さの総和との比率が 1 : 1 となっている。なお、この例でも、図 2 と同様、長形状に構成される各半導体構造部 1 3 の 2 つの長辺部分が各半導体構造部 1 3 における第 1 領域部 1 1 側の境界部であり、この部分において、P + 拡散領域 1 2 b の長さの総和と N + 拡散領域 1 2 a の長さの総和とが同程度となっている。

【 0 0 3 1 】

次に、半導体素子 3 0 の構成について詳述する。

なお、半導体素子 3 0 は、各 N + 拡散領域 1 2 a の幅 W 1 と各 P + 拡散領域 1 2 b の幅 W 2 を半導体素子 2 0 と異ならせただけであり、それ以外の構造は、図 2 で示す半導体素子 2 0 と同様である。半導体素子 3 0 の各第 2 領域部 1 2（ソース領域）も、上述したように各第 2 領域部 1 2 が延びる所定方向において N 導電型の半導体領域（N + 拡散領域 1 2 a）と P 導電型の半導体領域（P + 拡散領域 1 2 b）とが交互に配置されている。そして、図 4（B）のように、N + 拡散領域 1 2 a の比率と、P + 拡散領域 1 2 b の比率とが異なっている。なお、図 4（B）では、半導体素子 3 0 の一部分における第 1 領域部 1 1（ドレイン領域）と第 2 領域部 1 2（ソース領域）との間を部分的に示しているが、実際には各第 1 領域部 1 1 及び各第 2 領域部 1 2 が図 4（B）の図よりも長く、例えば図 2 に示す各第 1 領域部 1 1 及び各第 2 領域部 1 2 と同程度となっている。また、実際には、各第 2 領域部 1 2 において、図 4（B）に示すサイズの N + 拡散領域 1 2 a と P + 拡散領域 1 2 b とが交互に繰り返して多数配置されている。一方、第 1 領域部 1 1 は、N + 拡散領域として構成され、このような第 2 領域部 1 2 と同程度の長さで構成されている。そして、半導体素子 2 0 と同様、このように構成される第 1 領域部 1 1 と第 2 領域部 1 2 とが横方向（第 1 領域部 1 1 及び第 2 領域部 1 2 の長手方向と直交する方向）に間隔をあけて交互に配置されている。

30

40

【 0 0 3 2 】

そして、半導体素子 3 0 では、各第 2 領域部 1 2 において、各第 2 領域部 1 2 の全体体積に対する P + 拡散領域 1 2 b（P + 活性部）の体積の比率よりも、各第 2 領域部 1 2 の

50

全体体積に対するN + 拡散領域12a (N + 活性部)の体積の比率の方が大きくなっている。つまり、各第2領域部12内では、P + 拡散領域12bよりもN + 拡散領域12aの方が多く配置されており、図4(B)の例では、各第2領域部12におけるN + 拡散領域12aの体積が、P + 拡散領域12bの体積の2倍程度となっている。

【0033】

半導体素子30においても、当該半導体素子30の一部を構成する第2領域部12の全体が同種類の半導体構造部13によって構成されており、X方向に間隔をあけて同一構造の半導体構造部13がそれぞれ配置されている。第2領域部12を構成する長手状の各半導体構造部13は、間隔をあけてそれぞれ配置される各P + 拡散領域12bがいずれも略同一の形状となっており、間隔をあけてそれぞれ配置される各N + 拡散領域12aが10  
いずれも略同一の形状となっている。このため、第2領域部12を構成する長手状の各半導体構造部13は、各P + 拡散領域12bがいずれも同程度の体積となっており、各N + 拡散領域12aがいずれも同程度の体積となっている。そして、図4(B)のように、各々のN + 拡散領域12aの体積がいずれも、各々のP + 拡散領域12bの体積よりも大きく、例えば、1つのN + 拡散領域12aの体積が、1つのP + 拡散領域12bの体積の2倍程度となっている。このような構成により、第2領域部12を構成する長手状の各半導体構造部13のいずれにおいても、N + 拡散領域12aの体積が、P + 拡散領域12bの体積の2倍程度となっている。

【0034】

そして、半導体素子30において、各々のP + 拡散領域12bの上面面積は、それぞれ20  
が略同一の面積となっており、各々のN + 拡散領域12aの上面面積もそれぞれが略同一の面積となっている。そして、各々のN + 拡散領域12aの上面面積がいずれも、各々のP + 拡散領域12bの上面面積よりも大きく、例えば、1つのN + 拡散領域12aの上面面積が、1つのP + 拡散領域12bの上面面積の2倍程度となっている。このような構成により、長手状に構成される各第2領域部12の上面において、N + 拡散領域12aの面積(上面の面積)とP + 拡散領域12bの面積(上面の面積)との比率が1:1ではなく、N + 拡散領域12aの上面の総面積が、P + 拡散領域12bの上面の総面積よりも大きい構成(例えば、2倍程度に大きい構成)となっている。

【0035】

更に、半導体素子30において、第2領域部12を構成する長手状の各半導体構造部130  
3は、その上面において、第1領域部11側の境界部でのN + 拡散領域12aの長さの総和とP + 拡散領域12bの長さの総和の比率が1:1ではなく、N + 拡散領域12aの長さの総和がP + 拡散領域12bの長さの総和の2倍程度となっている。この半導体素子30でも、長形状に構成される各半導体構造部13の長辺部分が各半導体構造部13における第1領域部11側の境界部であり、この部分において、N + 拡散領域12aの長さの総和がP + 拡散領域12bの長さの総和よりも大きく、例えば2倍程度となっている。

【0036】

より具体的には、半導体素子30でも、N + 拡散領域12aは、所定幅で横方向(第2領域部12の長手方向と直交する方向)に伸びる平面視矩形形状となっており、各第2領域部12において、それぞれのN + 拡散領域12aが一定間隔おきに配置されている。そして、40  
それぞれのN + 拡散領域12aの幅(第2領域部12の長手方向の長さ)は、幅W1で構成されている。また、各P + 拡散領域12bは、所定幅で横方向に伸びる平面視矩形形状となっており、各第2領域部12において、それぞれのP + 拡散領域12bが一定間隔おきに配置されている。そして、それぞれのP + 拡散領域12bの幅は、幅W2で構成されている。そして、各P + 拡散領域12bの幅W2よりも、各N + 拡散領域12aの幅W1のほうが大きくなっている。この構成でも、1つのN + 拡散領域12aの表面において、左右両側に構成されるそれぞれの境界部(第1領域部11側の境界部)の長さがW1である。そして、いずれのN + 拡散領域12aにおいても、左右両側に構成されるそれぞれの境界部(第1領域部11側の境界部)の長さがW1となっている。また、1つのP + 拡散領域12bの表面において、左右両側に構成されるそれぞれの境界部(第1領域部11  
50

側の境界部)の長さが $W_2$ である。そして、いずれの $P +$ 拡散領域 $12b$ においても、左右両側に構成されるそれぞれの境界部(第1領域部 $11$ 側の境界部)の長さが $W_2$ となっている。そして、1つの $N +$ 拡散領域 $12a$ の境界部の長さ $W_1$ が、1つの $P +$ 拡散領域 $12b$ の境界部の長さ $W_2$ よりも大きく、例えば、2倍程度となっている。なお、各 $N +$ 拡散領域 $12a$ の深さと、各 $P +$ 拡散領域 $12b$ の深さは、例えば同程度となっている。このような構成により、各第2領域部 $12$ において、 $P +$ 拡散領域 $12b$ の比率よりも $N +$ 拡散領域 $12a$ の比率のほうが大きくなっている。そして、このように構成されているため、半導体素子 $30$ は、図4(C)のような構成(各第2領域部 $12$ において、 $N +$ 拡散領域 $12a$ の比率と $P +$ 拡散領域 $12b$ の比率とを同程度とした構成)と比較して、オン抵抗が低く、電流能力を重視する素子となっている。

10

## 【0037】

このように、半導体装置1の半導体基板2には、特性の異なる複数種類の半導体素子 $20$ 、 $30$ 、 $60$ が形成され、同一の半導体基板2に構成される複数の半導体素子 $20$ 、 $30$ 、 $60$ において、異なる種類の半導体構造部 $13$ がそれぞれ設けられている。つまり、第2領域部 $12$ において $N +$ 拡散領域 $12a$ よりも $P +$ 拡散領域 $12b$ の比率を大きくした半導体素子 $20$ と、第2領域部 $12$ において $P +$ 拡散領域 $12b$ よりも $N +$ 拡散領域 $12a$ の比率を大きくした半導体素子 $30$ と、第2領域部 $12$ において $N +$ 拡散領域 $12a$ と $P +$ 拡散領域 $12b$ とを同程度の比率とした半導体素子 $60$ とが混在している。即ち、 $N +$ 拡散領域 $12a$ の上面面積と $P +$ 拡散領域 $12b$ の上面面積との比率をそれぞれ異ならせ、且つ上面における第1領域部 $11$ 側の境界部での $N +$ 拡散領域 $12a$ の長さ、上面における第1領域部 $11$ 側の境界部での $P +$ 拡散領域 $12b$ の長さとの比率をそれぞれ異ならせた複数種類の半導体構造部 $13$ が存在しているのである。

20

## 【0038】

具体的には、一方の半導体素子 $20$ の第2領域部 $12$ における各 $N +$ 拡散領域 $12a$ の幅 $W_1$ と各 $P +$ 拡散領域 $12b$ の幅 $W_2$ との比率( $W_1 : W_2$ )が、他方の半導体素子 $30$ の第2領域部 $12$ における各 $N +$ 拡散領域 $12a$ の幅 $W_1$ と各 $P +$ 拡散領域 $12b$ の幅 $W_2$ との比率( $W_1 : W_2$ )と異なっている。そして、これにより、半導体素子 $20$ の第2領域部 $12$ における $N +$ 拡散領域 $12a$ と $P +$ 拡散領域 $12b$ との体積比率が、他の半導体素子 $30$ の第2領域部 $12$ における $N +$ 拡散領域 $12a$ と $P +$ 拡散領域 $12b$ との体積比率と異なっている。また、これら半導体素子 $20$ 、 $30$ におけるそれぞれの比率( $W_1 : W_2$ )は、半導体素子 $60$ の第2領域部 $12$ における各 $N +$ 拡散領域 $12a$ の幅 $W_1$ と各 $P +$ 拡散領域 $12b$ の幅 $W_2$ との比率( $W_1 : W_2$ )とも異なっている。これにより、半導体素子 $20$ 、 $30$ の第2領域部 $12$ における $N +$ 拡散領域 $12a$ と $P +$ 拡散領域 $12b$ との各体積比率は、半導体素子 $60$ の第2領域部 $12$ における $N +$ 拡散領域 $12a$ と $P +$ 拡散領域 $12b$ との体積比率とも異なっている。このように、同一の半導体基板2において、少なくともソース・ドレインピッチの変更以外の方法で特性を異ならせた複数種類の半導体素子 $20$ 、 $30$ 、 $60$ を配置しており、各素子において、耐量の度合い、オン抵抗の低減度合いを設定でき、自由度高く使い分けられることができるようになっている。

30

## 【0039】

更に、図1の例では、半導体素子 $20$ 、 $30$ 、 $60$ と共に、バイポーラトランジスタ $71$ 、抵抗素子 $72$ 、メモリ $73$ 、キャパシタ $74$ 、CMOS $75$ が混載されている。なお、これらと共に、後述の半導体素子 $40$ 、 $50$ 、 $80$ 、 $90$ のいずれか1又は複数種類が混載されていてもよい。このように、半導体装置1では、多種類の混載によって多機能化を図ることができ、同等の機能を多部品で実現する場合に比べて装置サイズの低減を図ることができる。

40

## 【0040】

次に、半導体装置1で得られる効果の例について説明する。

本構成では、半導体装置1内の複数の半導体素子 $20$ 、 $30$ 、 $60$ に構成される第2領域部 $12$ において複数種類の半導体構造部 $13$ (構造部 $13a$ 、 $13b$ 、 $13c$ )が設けられ、装置内には、 $N +$ 拡散領域 $12a$ と $P +$ 拡散領域 $12b$ の比率が異なる複数種類の

50

半導体構造部 1 3 が存在している。半導体構造部 1 3 での N + 拡散領域 1 2 a と P + 拡散領域 1 2 b との比率は、チャンネル抵抗に影響を及ぼす要素であり、耐量とオン抵抗の設定に寄与する要素となる。そして、この比率を変えることで、チャンネル抵抗に差を生じさせることができ、より耐量を増大させる構造、又は、よりオン抵抗を低減させる構造とすることができる。従って、半導体構造部 1 3 における N 導電型と P 導電型の比率を装置全体で一律に定めるのではなく、領域毎に個別に設定すれば、各領域での耐量とオン抵抗のバランスを、それぞれの領域に適した状態に定めることができる。しかも、相対的に耐量を重視する領域では、第 1 領域部 1 1 と第 2 領域部 1 2 の間隔を大幅に増大させることなく、第 2 領域部 1 2 内での比率を調整することで耐量の増大を図ることができるため、面積ロスが効果的に抑えられる。

10

**【 0 0 4 1 】**

例えば、半導体素子 2 0、3 0 は、第 2 領域部 1 2 において、第 1 導電型の半導体領域 ( N + 拡散領域 1 2 a ) の比率と、第 2 導電型の半導体領域 ( P + 拡散領域 1 2 b ) の比率とが異なっているため、これらの比率が同程度の構成と比べて、耐量の増大効果又はオン抵抗の低減効果がより高くなる。例えば半導体素子 2 0 では、ソースドレイン間のピッチ L 1 を変更する方法とは別の方法で、ESD 耐量が高められ、L 負荷耐量が高められており、面積ロスを抑えつつ耐量増大効果が得られている。逆に、半導体素子 3 0 では、ソースドレイン間のピッチ L 1 を変更する方法とは別の方法で、オン抵抗の低減が図られ、特にオフ耐圧の低減を抑えつつオン抵抗の低減を図っている。

**【 0 0 4 2 】**

ここで、半導体装置 1 について、図 5 に示す回路を用いた耐量試験の結果について説明する。図 6 は、図 5 の回路を用いた単発耐量試験の結果を示すものである。この単発耐量試験では、例えば電源 V 1 の電源電圧を 1 6 V、コイル L 1 のインダクタンスを 1 5 mH、抵抗 R 1 の抵抗値を 1 0  $\Omega$ 、ツェナーダイオード D 1 のツェナー電圧を 4 0 V、ツェナーダイオード D 2 のツェナー電圧を 1 0 V とした設定を基本設定としている。そして、試験対象となる素子 ( 図 5 では半導体素子 S W ) のゲートに、所定パルス幅 ( 例えば数百  $\mu$  s のパルス間隔 ) のシングルパルスを与えることで試験対象となる素子をスイッチング動作させたときにアバランシェ破壊が生じるか否かを検査している。この試験では、複数のエネルギー条件で上記試験を行い、シングルパルスでアバランシェ破壊が生じる場合のエネルギーを検査している。

20

30

**【 0 0 4 3 】**

図 6 では、図 4 ( C ) で示す半導体素子 6 0 の構造を構造 1 としており、この構造 1 を基準構造 ( 比較例 ) としている。この構造 1 は、第 2 領域部 1 2 の構成以外は図 2、図 3 に示す半導体素子 2 0 と同一としたものである。そして、構造 1 の半導体素子 6 0 では、第 2 領域部 1 2 において N + 拡散領域の幅 W 1 と P + 拡散領域の幅 W 2 の比 ( W 1 : W 2 ) が 1 : 1 となっており、これらの体積比率も 1 : 1 となっている。また、図 6 で示す構造 2 は、構造 1 ( 半導体素子 6 0 ) の構成から、図 6 の特性が得られる程度にソースドレイン間隔 L 1 を広くした構成となっており、それ以外は構造 1 ( 半導体素子 6 0 ) と同様である。また、構造 3 は、図 2、図 3 等に示す半導体素子 2 0 の構造であり、第 2 領域部 1 2 において N + 拡散領域の幅 W 1 と P + 拡散領域の幅 W 2 の比 ( W 1 : W 2 ) を 1 : 2 としたものである。なお、構造 3 は、第 2 領域部 1 2 の内部の構造以外は構造 1 と同様である。

40

**【 0 0 4 4 】**

図 6 では、横軸に各構造 ( 構造 1、2、3 ) を示し、縦軸に基準構造のときの値と比較した上昇率を示している。縦軸の上昇率は、単発耐量の場合、各構造での単発耐量 ( 単位 :  $mJ/mm^2$  ) を基準構造の単発耐量と比較したときの上昇率 ( 基準構造の単発耐量と比較して何%上昇したか ) を黒四角形のマークでそれぞれ示している。また、オン抵抗の場合、各構造でのオン抵抗を基準構造のオン抵抗と比較したときの上昇率 ( 基準構造のオン抵抗と比較して何%上昇したか ) を黒三角形のマークでそれぞれ示している。なお、各構造 1、2、3 の単発耐量は、各構造の素子を図 5 のスイッチ素子 S W とし、上記単発耐

50

量試験にてゲートに単発のパルスを与えることで検査された耐量（シングルパルスでアバランシェ破壊が生じる場合のエネルギー）である。

【 0 0 4 5 】

図 6 の結果によれば、ソースドレイン間隔  $L_1$  を大きくすることで耐量向上を図ろうとする構造 2 では、構造 1 から耐量の上昇率を 1 % 程度上げるだけで、オン抵抗の上昇率が 19 % 程度と高くなってしまふことが確認できる。一方、第 2 領域部 12 において P + 拡散領域の比率を N + 拡散領域の比率よりも大きくした構造 3（半導体素子 20）では、構造 1 と比較して耐量が 7 % 程度まで高くなって、オン抵抗の上昇率が 12 % 程度と低く抑えられていることが確認できる。このように、第 2 領域部 12 において P + 拡散領域の比率を N + 拡散領域の比率よりも大きくすると、耐量の上昇に伴うオン抵抗の上昇度合いが小さく、オン抵抗を抑えつつ耐量を効果的に高めることができる。

10

【 0 0 4 6 】

また、図 7 は、連続 L 負荷動作寿命の試験結果を示すものである。この試験でも図 5 の試験回路を用い、例えば電源  $V_1$  の電源電圧を 16 V、コイル  $L_1$  のインダクタンスを 15 mH、抵抗  $R_1$  の抵抗値を 10  $\Omega$ 、ツェナーダイオード  $D_1$  のツェナー電圧を 40 V、ツェナーダイオード  $D_2$  のツェナー電圧を 10 V とした設定を基本設定としている。そして、試験対象となる素子（図 5 では半導体素子 SW）のゲートに、200 Hz の周期でパルスを与えることで、試験対象となる素子をスイッチング動作させたときの寿命（アバランシェ破壊が生じるまでのスイッチング回数）を示すものである。なお、この試験では、シングルパルスでアバランシェ破壊が生じる場合のエネルギーよりも相当低いエネルギー（10.1 mJ）で繰り返しスイッチング動作している。なお、構造 1、構造 2、構造 3 は、上述の単発耐量試験（図 6）で説明した各構造と同一である。

20

【 0 0 4 7 】

図 7 のグラフは、構造 1 のときの寿命（アバランシェ破壊に至るまでのスイッチング回数）を「1」とした場合の、各構造 1、2、3 の寿命を相対値として示すものである。図 7 のように、ソースドレイン間隔  $L_1$  を大きくすることで耐量向上を図ろうとする構造 2 では、構造 1 の寿命よりも、寿命が数百 % 上昇しているのに対し、第 2 領域部 12 において P + 拡散領域の比率を N + 拡散領域の比率よりも大きくした構造 3（半導体素子 20）では、寿命が数千 % 上昇している。このように、構造 3 の半導体素子 20 では、構造 2 の素子と比較して、連続 L 負荷動作寿命が大幅に高められていることが確認できた。

30

【 0 0 4 8 】

次に、半導体素子 20（構造 3）、半導体素子 30（構造 4）、半導体素子 60（構造 1）の各オン抵抗等について説明する。なお、ここで示す構造 1、3 は、上述の単発耐量試験（図 6）で説明した各構造 1、3 と同一である。また、構造 4 は、図 4（B）等を示す半導体素子 30 の構造であり、第 2 領域部 12 において N + 拡散領域の幅  $W_1$  と P + 拡散領域の幅  $W_2$  の比（ $W_1 : W_2$ ）を 2 : 1 としたものである。なお、構造 4 は、第 2 領域部 12 の内部の構造以外は構造 1、3 と同様である。

【 0 0 4 9 】

図 8 では、半導体素子 60（構造 1）を基準構造とし、各構造でのオン抵抗（単位  $m \cdot mm^2$ ）を、基準構造のときのオン抵抗と比較したときの変動率を黒丸で示している。また、各構造でのオフ耐圧を、基準構造のときのオフ耐圧と比較したときの変動率を黒四角で示している。図 8 のように、半導体素子 30 の構造（構造 4）では、基準構造のときのオン抵抗と比べて 6 % 程度オン抵抗が減少しているが、オフ耐圧は、半導体素子 60 の構造（構造 1）と同程度となっている。一方、半導体素子 20 の構造（構造 3）では、基準構造のときのオン抵抗と比べて 12 % 程度オン抵抗が上昇しているが、上述したように、この構成では、耐量、寿命を大幅に上昇させることができる（図 6、図 7）。また、半導体素子 20 の構造（構造 3）では、オフ耐圧は、半導体素子 60 の構造（構造 1）と同程度となっている。

40

【 0 0 5 0 】

[ 第 2 実施形態 ]

50

次に、第2実施形態について説明する。

なお、第2実施形態では、図1に示す半導体装置1において、いずれか1又は複数の半導体素子の構成を図9(A)に示すようなメッシュ構造の半導体素子とした点が第1実施形態と異なり、それ以外は第1実施形態の半導体装置1と同様である。

【0051】

図9(A)に示す半導体素子40は、いわゆるメッシュ構造のLDMOSTランジスタとして構成されている。この半導体素子40は、ソース領域として機能する第2領域部12が、縦方向及び横方向に延びる格子状の構造となっている。なお、図9(A)では、半導体素子40の一部を部分的に示しているが、実際は、第2領域部12を構成する縦領域45の本数及び横領域46の本数が、図9(A)の構成よりも多くなっている。なお、図9(A)では、ゲート電極等は省略して示している。

10

【0052】

図9(A)に示す半導体素子40では、平面視矩形形状の第1領域部11が所定の中央部に配置されると共にこの第1領域部11から離れた位置において第1領域部11を囲む構成で第2領域部12が配置された部分構造41が複数配列された構造となっている。なお、図9(A)では、2行2列で配置された一部の部分構造41のみを例示しているが、実際には3行以上の多数行且つ3列以上の多数列で部分構造41が配置されている。この半導体素子40では、図9(A)のC-C位置の断面が、図3(A)と同様の構造となっており、D-D位置の断面が、図3(B)と同様の構造となっている。また、図9(A)のE-E位置の断面が、図3(A)と同様の構造となっており、F-F位置の断面が、図3(B)と同様の構造となっている。なお、基本的なスイッチング動作や基本的な機能は、公知のメッシュ構造のLDMOSTランジスタと同様である。

20

【0053】

図9(A)に示す半導体素子40では、第2領域部12は、所定の縦方向(Y方向)に長手状に延びる縦領域45と、縦方向と直交する横方向(X方向)に長手状に延びる横領域46とを備えている。そして、これら縦領域45及び横領域46によって囲まれた各領域内に、各第1領域部11がそれぞれ設けられている。各第1領域部11は、縦領域45及び横領域46によって区切られた各領域内の中心位置付近において縦領域45及び横領域46から所定距離離れた位置にそれぞれ形成されている。そして、各第1領域部11は、半導体基板2よりも高濃度で構成されたN導電型の拡散領域(N+拡散領域)として構成されており、図示しないドレイン電極に電氣的に接続されたドレイン領域として機能している(図3も参照)。

30

【0054】

なお、本構成でも、半導体基板2の表面と平行な平面方向の内、所定の一方向をX方向とし、その平面方向においてX方向と直交する方向をY方向としている。そして、X方向が、横方向に相当しており、このX方向に沿って複数の横領域46が長手状に延びている。また、Y方向が、縦方向に相当しており、このY方向に沿って複数の縦領域45が長手状に延びている。また、本構成でも、N導電型(N型)が第1導電型であり、P導電型が第2導電型となっている。また、図3(A)(B)と同様、半導体基板2における第1領域部11と第2領域部12との間の領域がチャンネル領域として機能し、この領域上には、絶縁膜16を介してゲート電極14が配置されている。

40

【0055】

半導体素子40の第2領域部12(ソース領域)は、縦方向に延びる縦領域45において、N+拡散領域12aとP+拡散領域12bとが交互に配置されており、横方向に延びる横領域46においても、N+拡散領域12aとP+拡散領域12bとが交互に配置されている。そして、縦領域45及び横領域46のいずれでも、N+拡散領域12aの比率とP+拡散領域12bの比率とが異なっており、第2領域部12全体として、N+拡散領域12aの比率とP+拡散領域12bの比率とが異なっている。

【0056】

具体的には、第2領域部12において、第2領域部12の全体の体積に対するN+拡散

50

領域 1 2 a ( N + 活性部 ) の体積の比率よりも、第 2 領域部 1 2 の全体の体積に対する P + 拡散領域 1 2 b ( P + 活性部 ) の体積の比率の方が大きくなっている。つまり、第 2 領域部 1 2 内では、N + 拡散領域 1 2 a よりも P + 拡散領域 1 2 b の方が多く配置されており、図 9 ( A ) の例では、第 2 領域部において、P + 拡散領域 1 2 b の体積が、N + 拡散領域 1 2 a の体積の 2 倍程度となっている。

【 0 0 5 7 】

より具体的には、縦方向に延びる縦領域 4 5 において、N + 拡散領域 1 2 a の縦方向の幅 ( 縦方向の長さ ) W 1 1 と、P + 拡散領域 1 2 b の縦方向の幅 ( 縦方向の長さ ) W 1 2 とが異なっており、例えば、P + 拡散領域 1 2 b の縦方向の幅 W 1 2 が N + 拡散領域 1 2 a の縦方向の幅 W 1 1 の 2 倍程度となっている。また、横領域 4 6 においても、N + 拡散領域 1 2 a の横方向の幅 ( 横方向の長さ ) W 2 1 と、P + 拡散領域 1 2 b の横方向の幅 ( 横方向の長さ ) W 2 2 とが異なっており、P + 拡散領域 1 2 b の横方向の幅 W 2 2 が N + 拡散領域 1 2 a の横方向の幅 W 2 1 の 2 倍程度となっている。なお、N + 拡散領域 1 2 a と P + 拡散領域 1 2 b の深さは例えば同程度となっている。また、縦領域 4 5 における N + 拡散領域 1 2 a の縦方向の幅 ( 縦方向の長さ ) W 1 1 と、横領域 4 6 における N + 拡散領域 1 2 a の横方向の幅 ( 横方向の長さ ) W 2 1 は、例えば同程度となっている。また、縦領域 4 5 における P + 拡散領域 1 2 b の縦方向の幅 ( 縦方向の長さ ) W 1 2 と、横領域 4 6 における P + 拡散領域 1 2 b の横方向の幅 ( 横方向の長さ ) W 2 2 は、例えば同程度となっている。このような構成により、第 2 領域部において、P + 拡散領域 1 2 b の体積が N + 拡散領域 1 2 a の体積の 2 倍程度となっている。これにより、第 1 実施形態の半導体素子 2 0 と同様、ESD 耐量が高められ、L 負荷耐量が高められている。

【 0 0 5 8 】

半導体素子 4 0 では、例えば、格子状に構成される第 2 領域部 1 2 の全部が同種類の半導体構造部 1 3 ( 図 9 ( A ) で示す種類の半導体構造部 1 3 ) によって構成されており、この半導体構造部 1 3 では、各々の P + 拡散領域 1 2 b の上面面積がいずれも、各々の N + 拡散領域 1 2 a の上面面積よりも大きく、例えば、1 つの P + 拡散領域 1 2 b の上面面積が、1 つの N + 拡散領域 1 2 a の上面面積の 2 倍前後となっている。このような構成により、格子状に構成される第 2 領域部 1 2 の上面において、N + 拡散領域 1 2 a の面積 ( 上面の面積 ) と P + 拡散領域 1 2 b の面積 ( 上面の面積 ) との比率が 1 : 1 ではなく、P + 拡散領域 1 2 b の上面の総面積が、N + 拡散領域 1 2 a の上面の総面積よりも大きい構成 ( 例えば、2 倍程度に大きい構成 ) となっている。

【 0 0 5 9 】

更に、半導体構造部 1 3 は、その上面において、第 1 領域部 1 1 側の境界部での N + 拡散領域 1 2 a の長さの総和と、P + 拡散領域 1 2 b の長さの総和との比率が 1 : 1 ではなく、P + 拡散領域 1 2 b の境界部の長さの総和が N + 拡散領域 1 2 a の境界部の長さの総和よりも大きい構成 ( 例えば、2 倍程度に大きい構成 ) となっている。図 9 ( A ) の例では、各部分構造 4 1 において、第 2 領域部 1 2 における第 1 領域部 1 1 側の内周部 ( 矩形の内周部 ) が「半導体構造部 1 3 における第 1 領域部 1 1 側の境界部」に相当し、いずれの部分構造 4 1 の境界部でも、P + 拡散領域 1 2 b の境界長さの総和が N + 拡散領域 1 2 a の境界長さの総和よりも大きい構成 ( 例えば、2 倍程度に大きい構成 ) となっている。従って、半導体素子 4 0 全体でも、半導体構造部 1 3 の上面における第 1 領域部 1 1 側の全境界部において、P + 拡散領域 1 2 b の境界長さの総和が N + 拡散領域 1 2 a の境界長さの総和よりも大きい構成となっている。

【 0 0 6 0 】

そして、このように、半導体基板 2 に構成される 1 又は複数の半導体素子をメッシュ構造の半導体素子 4 0 とした場合においても、単一素子又は複数の素子に配置される第 2 領域部 1 2 において、P + 拡散領域 1 2 b と N + 拡散領域 1 2 a との比率がそれぞれ異なる複数種類の半導体構造部 1 3 を設けることができる。この場合でも、N + 拡散領域 1 2 a の上面面積と P + 拡散領域 1 2 b の上面面積との比率をそれぞれ異ならせ、且つ上面における第 1 領域部 1 1 側の境界部での N + 拡散領域 1 2 a の長さの総和と P + 拡散領域 1 2



bの長さの総和との比率をそれぞれ異ならせた複数種類の半導体構造部13が存在している構成とすればよい。

【0061】

メッシュ構造の半導体素子40を備えた構成において、複数種類の半導体構造部13を設ける場合、半導体装置1内のいずれかの素子を図9(A)のような半導体素子40とし、他の素子として、図9(A)のようなメッシュ構造の半導体素子40又は第1実施形態のような半導体素子20、30、60を1又は複数設け、半導体装置1に搭載される複数の素子のそれぞれにおいて、半導体構造部13でのN+拡散領域12aとP+拡散領域12bとの比率をそれぞれ異ならせるようにしてもよい。例えば、半導体装置1において、1つの素子として図9(A)のような半導体素子40を設け、他の素子として、N+拡散領域12aとP+拡散領域12bとの比率を1:1としたメッシュ構造の半導体素子(図9(A)と同様の構造であり、比率を異ならせた構造の半導体素子)を設けてもよく、他の素子として、N+拡散領域12aとP+拡散領域12bとの比率を2:1としたメッシュ構造の半導体素子(図9(A)と同様の構造であり、比率を異ならせた構造の半導体素子)を設けてもよい。或いは、メッシュ構造の1つの半導体素子40の内部において、N+拡散領域12aとP+拡散領域12bの比率が異なる複数種類の半導体構造部13が設けられていてもよく、若しくは、これらを併用した構成であってもよい。

10

【0062】

なお、メッシュ構造の半導体素子40の構成は、図9(A)の構成に限られるものではなく、第1領域部11や第2領域部12の形状を様々に変更してもよい。例えば、第2領域部12の形状を図9(B)のように変更してもよい。なお、この図9(B)の例は、第2領域部12によって区切られる各領域(中心に第1領域部11が配置される各領域)の内周縁部の形状や、N+拡散領域12a及びP+拡散領域12bの配置構成が図9(A)の例とは異なっている。

20

【0063】

[第3実施形態]

次に、第3実施形態について説明する。

図10に示す半導体素子50は、横型のIGBTとして構成されており、N型の半導体基板2の表層部に第1領域部51と第2領域部52とが交互に形成されている。第1領域部51はIGBTのコレクタに対応する領域であり、第2領域部52はIGBTのエミッタに対応する領域となっている。なお、第3実施形態では、第1実施形態に係る半導体装置1において、いずれか1又は複数の半導体素子の構成を図10に示すような半導体素子50とした点が第1実施形態と異なり、それ以外は第1実施形態の半導体装置1と同様である。

30

【0064】

図10、図11に示すように、第1領域部51は、半導体基板2の表面2a側において所定方向に長手状に伸びるP導電型の半導体領域として構成されている。なお、本構成でも、半導体基板2の表面と平行な平面方向の内、所定の一方向をX方向とし、その平面方向においてX方向と直交する方向をY方向としている。そして、Y方向が、上記所定方向に相当しており、このY方向に沿って複数の第1領域部51が長手状に伸びている。また、本構成では、P導電型(P型)が第1導電型であり、N導電型が第2導電型となっている。第1領域部51は、P導電型の拡散領域(P+拡散領域)として構成されており、図示しないコレクタ電極に電気的に接続されたコレクタ領域として機能している。

40

【0065】

図11に示すように、半導体基板2の表面付近において、各第1領域部51に隣接する位置には、絶縁膜57が形成されている。図11に示すように、絶縁膜57は、例えばSiO<sub>2</sub>によって構成され、半導体基板2の表面2a側の表層部付近において、横方向(X方向)一端側が第1領域部51(P+拡散領域)に隣接し、他端側が第1実施形態と同様のゲート電極14の下方位置に配置された構成となっている。そして、この絶縁膜57は、第1領域部51に隣接しつつ第1領域部51に沿ってY方向に長手状に伸びている。ま

50

た、第1領域部51の下方には、N導電型のバッファ領域59が設けられている。

【0066】

第2領域部52は、半導体基板2の表面2a側において上記所定方向（Y方向）に長手状に伸びる領域として構成されている。本構成では、Y方向に沿って複数の第2領域部52が間隔をあけて長手状に伸びている。各第2領域部52は、X方向に並んだ複数の第1領域部51の各領域間（隣接する第1領域部51同士の間）において、それぞれの第1領域部51から離れた位置に配置されている。この第2領域部52を構成する半導体構造部53は、P導電型の拡散領域（P+拡散領域52a）と、N導電型の拡散領域（N+拡散領域52b）とがY方向において交互に配置された構成となっており、図示しないエミッタ電極に電気的に接続されたエミッタ領域として機能している。なお、第2領域部52の更に詳しい構成は後述する。

10

【0067】

図11（A）（B）に示すように、半導体基板2の表層部に構成される第2領域部52の周囲には、P導電型のボディ領域55が構成されている。ボディ領域55において第2領域部52に隣接する表層部側の部分は、チャンネル領域として機能する。

【0068】

図11（A）（B）のように、半導体基板2における第1領域部51と第2領域部52との間の領域上には、絶縁膜16を介してゲート電極14が配置されている。絶縁膜16及びゲート電極14は、ボディ領域55、ボディ領域55と絶縁膜57の間に配置される半導体基板2の領域、絶縁膜57の一部に跨る構成で、これらの上方に配置されており、第1領域部51及び第2領域部52の伸びる方向（即ち、Y方向）に沿って長手状に伸びている。なお、図10では、ゲート電極14等は省略している。また、図11等の例では、半導体基板2やゲート電極14の上方側の構成（絶縁膜や配線等）は省略している。

20

【0069】

本構成でも、第2領域部52において、P+拡散領域52aの比率と、N+拡散領域52bの比率とが異なっている。具体的には、第2領域部52において、P+拡散領域52aの幅W1と、N+拡散領域52bの幅W2とが異なっており、例えば、幅W1が幅W2の2倍程度大きくなっている。そして、この図10の例では、第2領域部52においてP+拡散領域52aの比率のほうがN+拡散領域52bの比率よりも大きくなっている。なお、逆に、P+拡散領域52aの幅W1よりもN+拡散領域52bの幅W2の方が大きくなるように構成し、第2領域部52においてN+拡散領域52bの比率のほうがP+拡散領域52aの比率よりも大きくなっていてもよい。

30

【0070】

そして、このように、半導体基板2に構成される1又は複数の半導体素子をIGBTとした場合においても、単一素子又は複数の素子に配置される第2領域部において、P+拡散領域とN+拡散領域との比率がそれぞれ異なる複数種類の半導体構造部を設けることができる。この場合でも、半導体装置内において、N+拡散領域の上面面積とP+拡散領域の上面面積との比率をそれぞれ異ならせ、且つ上面における第1領域部側の境界部でのN+拡散領域の長さの総和とP+拡散領域の長さの総和との比率をそれぞれ異ならせた複数種類の半導体構造部が存在している構成とすればよい。例えば、半導体装置1内に図10のような半導体素子50を複数設けた場合、それぞれの素子の半導体構造部53において、P+拡散領域とN+拡散領域との比率（具体的には、N+拡散領域の上面面積とP+拡散領域の上面面積との比率）が異なるようにしてもよい。或いは、1つの半導体素子50の内部において、N+拡散領域12aとP+拡散領域12bの比率が異なる複数種類の半導体構造部53が設けられていてもよい。

40

【0071】

[第4実施形態]

次に、図12等を参照して第4実施形態について説明する。

第4実施形態は、図1に示す半導体装置1において、いずれかの素子（例えば、複数存在する半導体素子30の1つ）を半導体素子80に代えた点が第1実施形態の半導体装置

50

1と異なり、それ以外は第1実施形態の半導体装置1と同一である。なお、図12では、半導体素子80の表面側の平面構成を概略的に示しており、第2領域部12については、ハッチング領域として示しており、第1領域部11については、第2領域部とは異なる模様で示している。図12では、第2領域部12を概念的に示しており、実際には、P+拡散領域とN+拡散領域とが所定方向（第2領域部12が延びる方向）において交互に配置された構成となっている。

#### 【0072】

本構成の半導体装置1においても、半導体基板2の所定の表面2a側に半導体素子80などの複数の半導体素子が構成されている。そして、半導体素子80は、上述した半導体素子20, 30, 60と基本構造は同様であり、第2領域部12におけるN+拡散領域12a及びP+拡散領域12bの各形状のみが半導体素子20, 30, 60と異なっている。なお、この半導体素子80において、第2領域部12におけるP+拡散領域12b付近での断面構造（P+拡散領域12bの位置において、第2領域部12が延びる方向と直交する方向に切断した断面構造）は、図3（A）と同様である。また、N+拡散領域12a付近での断面構造（N+拡散領域12aの位置において、第2領域部12が延びる方向と直交する方向に切断した断面構造）は、図3（B）と同様である。この半導体素子80は、図12のように、半導体基板2の表面2a側において第1領域部11と第2領域部12とを備えている。図2、図3と同様、第1領域部11は、N+拡散領域が長手状に構成された部分であり、第2領域部12は、図2と同様、第1領域部11から離れた位置においてN+拡散領域12aとP+拡散領域12bとが交互に構成された半導体構造部13が配置された部分となっている。そして、図3と同様、半導体基板2における第1領域部11と第2領域部12との間の領域上には、絶縁膜16を介してゲート電極14が配置されている。

#### 【0073】

そして、本構成の半導体装置1（例えば、図1において、いずれかの素子を図12の半導体素子80に置換した構成）でも、第2領域部12において、N+拡散領域12aとP+拡散領域12bとの比率をそれぞれ異ならせた複数種類の半導体構造部13が存在しており、本構成では、単一の半導体素子80の素子内において、複数種類の半導体構造部13が設けられている。

#### 【0074】

図12に示すように、半導体素子80は、素子内において当該半導体素子80の素子周縁部（図12の例では、半導体素子80の素子領域ARの境界を構成する矩形の周縁部分）から離れた所定の中央領域（具体的には、図12に示す一点鎖線1の領域内）に、N+拡散領域12aとP+拡散領域12bの比率を所定の第1比率とした第1種類の半導体構造部13（例えば、図4（A）で示す構造部13a）が設けられている。そして、半導体素子80の素子内において、中央領域（一点鎖線1の領域内）に構成される第1種類の半導体構造部13よりも素子周縁部側（具体的には、一点鎖線1の領域外であって且つ素子領域AR内）には、上記第1種類とは異なる種類であり且つ第1種類の半導体構造部13よりもN+拡散領域12aの比率を大きくした構造の半導体構造部13（例えば、図4（B）で示す構造部13b）が設けられている。

#### 【0075】

例えば、図12に示す半導体素子80の中央領域（一点鎖線1の領域内）の構造は、図4（A）で示す構造と同一の構造となっている。即ち、この中央領域では、各々のP+拡散領域12bの上面面積は、それぞれが略同一の面積となっており、各々のN+拡散領域12aの上面面積もそれぞれが略同一の面積となっている。そして、各々のP+拡散領域12bの上面面積がいずれも、各々のN+拡散領域12aの上面面積よりも大きく、例えば、1つのP+拡散領域12bの上面面積が、1つのN+拡散領域12aの上面面積の2倍程度となっている。このような構成により、中央領域に構成される半導体構造部13（図4（A）の構造部13a）の上面において、N+拡散領域12aの面積（上面の面積）とP+拡散領域12bの面積（上面の面積）との比率が1：1ではなく、P+拡散領域

10

20

30

40

50

12bの上面の総面積が、N+拡散領域12aの上面の総面積よりも大きい構成（例えば、2倍程度に大きい構成）となっている。

【0076】

更に、中央領域に構成される半導体構造部13（図4（A）の構造部13a）は、その上面において、第1領域部11側の境界部でのN+拡散領域12aの長さの総和と、P+拡散領域12bの長さの総和との比率が1：1ではなく、P+拡散領域12bの長さの総和がN+拡散領域12aの長さの総和の2倍程度となっている。具体的には、1つのN+拡散領域12aの表面において、左右両側に構成されるそれぞれの境界部（第1領域部11側の境界部）の長さがW1であり、いずれのN+拡散領域12aにおいても、左右両側に構成されるそれぞれの境界部（第1領域部11側の境界部）の長さがW1となっている。また、1つのP+拡散領域12bの表面において、左右両側に構成されるそれぞれの境界部（第1領域部11側の境界部）の長さがW2であり、いずれのP+拡散領域12bにおいても、左右両側に構成されるそれぞれの境界部（第1領域部11側の境界部）の長さがW2となっている。そして、1つのP+拡散領域12bの境界部の長さW2が、1つのN+拡散領域12aの境界部の長さW1よりも大きく、例えば、2倍程度となっている。

10

【0077】

一方、図12に示す半導体素子80において、中央領域の外側（一点鎖線1の領域外であって素子領域AR内）の構造は、例えば、図4（B）で示す構造、又は図4（C）で示す構造と同一の構造となっている。例えば、図4（B）で示す構造とした場合、中央領域の外側（一点鎖線1の領域外であって素子領域AR内）でも、各々のP+拡散領域12bの上面面積は、それぞれが略同一の面積となっており、各々のN+拡散領域12aの上面面積もそれぞれが略同一の面積となっている。そして、各々のN+拡散領域12aの上面面積がいずれも、各々のP+拡散領域12bの上面面積よりも大きく、例えば、1つのN+拡散領域12aの上面面積が、1つのP+拡散領域12bの上面面積の2倍程度となっている。このような構成により、中央領域の外側に構成される半導体構造部13（図4（B）の構造部13b）の上面において、N+拡散領域12aの面積（上面の面積）とP+拡散領域12bの面積（上面の面積）との比率が1：1ではなく、N+拡散領域12aの上面の総面積が、P+拡散領域12bの上面の総面積よりも大きい構成（例えば、2倍程度に大きい構成）となっている。

20

【0078】

更に、中央領域の外側の半導体構造部13（図4（B）の構造部13b）は、その上面において、第1領域部11側の境界部でのN+拡散領域12aの長さの総和とP+拡散領域12bの長さの総和の比率が1：1ではなく、N+拡散領域12aの長さの総和がP+拡散領域12bの長さの総和の2倍程度となっている。具体的には、1つのN+拡散領域12aの表面において、左右両側に構成されるそれぞれの境界部（第1領域部11側の境界部）の長さがW1である。そして、いずれのN+拡散領域12aにおいても、左右両側に構成されるそれぞれの境界部（第1領域部11側の境界部）の長さがW1となっている。また、1つのP+拡散領域12bの表面において、左右両側に構成されるそれぞれの境界部（第1領域部11側の境界部）の長さがW2である。そして、いずれのP+拡散領域12bにおいても、左右両側に構成されるそれぞれの境界部（第1領域部11側の境界部）の長さがW2となっている。そして、1つのN+拡散領域12aの境界部の長さW1が、1つのP+拡散領域12bの境界部の長さW2よりも大きく、例えば、2倍程度となっている。

30

40

【0079】

このような本構成によれば、単一の素子内において、相対的に耐量を重視する領域と、相対的にオン抵抗を重視する領域とを作り分けることができ、単一の素子内において面積ロスを抑えた自由度の高い素子設計が可能となる。

【0080】

しかも、発熱しやすい素子中央部の寄生動作を抑制するべく、中央領域の半導体構造部13において相対的にP+拡散領域12bの割合を大きくしている。素子中央部付近は、

50

L 負荷動作時などにおいて熱が籠りやすく、発熱による寄生動作が懸念される場所であるが、本構成では、中央領域において P + 拡散領域 1 2 b の割合を大きくすることで寄生動作を抑制しやすくし、中央領域付近の耐量を相対的に高めている。一方、中央領域と比較して発熱が低い素子周縁側（中央領域の外側）では、半導体構造部 1 3 において相対的に N + 拡散領域 1 2 a の割合を大きくしている。この構成では、中央領域で P + 拡散領域 1 2 b の割合を大きくした分の電流を少なくとも部分的に補うように、周辺側での電流量を大きくすることができる。このような構成により、素子全体として、耐量を高めつつ、低オン抵抗を実現することができる。

#### 【 0 0 8 1 】

##### [ 第 5 実施形態 ]

次に、第 5 実施形態について説明する。

第 5 実施形態は、図 1 に示す半導体装置 1 において、いずれかの素子（例えば、複数存在する半導体素子 3 0 の 1 つ）を図 1 3 に示す半導体素子 9 0 に代えた点が第 1 実施形態の半導体装置 1 と異なり、それ以外は第 1 実施形態の半導体装置 1 と同一である。装置全体としては、例えば、図 1 4 のような装置構造となっている。

#### 【 0 0 8 2 】

本構成の半導体装置 1 においても、半導体基板 2 の所定の表面 2 a 側に半導体素子 9 0 などの複数の半導体素子が構成されている。そして、半導体素子 9 0 は、上述した半導体素子 2 0 , 3 0 , 6 0 , 8 0 と基本構造は同様であり、第 2 領域部 1 2 における N + 拡散領域 1 2 a 及び P + 拡散領域 1 2 b の各形状のみが半導体素子 2 0 , 3 0 , 6 0 , 8 0 と異なっている。図 1 3 のように、半導体素子 9 0 は、半導体基板 2 の表面 2 a 側において第 1 領域部 1 1 と第 2 領域部 1 2 とが構成されている。そして、図 2 と同様、第 1 領域部 1 1 は、N + 拡散領域 1 2 a が長手状に構成された部分であり、第 2 領域部 1 2 は、第 1 領域部 1 1 から離れた位置において N + 拡散領域 1 2 a と P + 拡散領域 1 2 b とが交互に構成された半導体構造部 1 3 の配置部分となっている。そして、半導体基板 2 における第 1 領域部 1 1 と第 2 領域部 1 2 との間の領域上には、絶縁膜 1 6 を介してゲート電極 1 4 が配置されている。

#### 【 0 0 8 3 】

そして、本構成の半導体装置 1 でも、第 2 領域部 1 2 において、N + 拡散領域 1 2 a と P + 拡散領域 1 2 b との比率をそれぞれ異ならせた複数種類の半導体構造部 1 3 が存在しており、本構成では、単一の半導体素子 9 0 の素子内において、複数種類の半導体構造部 1 3 が設けられている。

#### 【 0 0 8 4 】

図 1 3 に示すように、半導体素子 9 0 は、素子内において当該半導体素子 9 0 の素子周縁部から離れた所定の中央領域（具体的には、図 1 3 に示す一点鎖線 2 の領域内）に、N + 拡散領域 1 2 a と P + 拡散領域 1 2 b の比率を所定の第 1 比率とした第 1 種類の半導体構造部 1 3（例えば、図 4（A）で示す構造部 1 3 a）が設けられている。一方、中央領域（一点鎖線 2 の領域内）に構成される第 1 種類の半導体構造部 1 3 よりも素子周縁部側（具体的には、一点鎖線 2 の領域外であって且つ素子領域 A R 内）には、上記第 1 種類とは異なる種類であり且つ第 1 種類の半導体構造部 1 3 よりも N + 拡散領域 1 2 a の比率を大きくした構造の複数種類の半導体構造部 1 3 が設けられている。具体的には、上記中央領域から素子周縁部に近づくにつれて、半導体構造部 1 3 での N + 拡散領域 1 2 a の比率が次第に大きくなる構成となっている。

#### 【 0 0 8 5 】

例えば、半導体素子 9 0 の中央領域（一点鎖線 2 の領域内）の構造は、図 4（A）で示す構造と同一の構造となっており、中央領域の直近の外側の領域（一点鎖線 2 の領域外であって、一点鎖線 2 の領域内）の構造は、図 4（C）で示す構造と同一の構造となっており、それよりも更に外側の領域（一点鎖線 2 の領域外）の構造は、図 4（B）で示す構造と同一の構造となっている。

#### 【 0 0 8 6 】

このように、半導体素子 90 では、中央領域から外側となるにつれて、半導体構造部 13 の上面での N + 拡散領域 12 a の面積（上面面積）と P + 拡散領域 12 b の面積（上面面積）との比率が段階的に変化し、外側の領域ほど、N + 拡散領域 12 a の上面面積比率が大きくなっている。そして、中央領域から外側となるにつれて、半導体構造部 13 の上面における第 1 領域部 11 側の境界部での N + 拡散領域 12 a の長さの総和と P + 拡散領域 12 b の長さの総和の比率が段階的に変化し、外側の領域ほど、N + 拡散領域 12 a の長さの総和が大きくなっている。このような構成によれば、第 4 実施形態と同様の効果が得られ、領域を更に細分化して効果を一層高めることができる。

【0087】

なお、上述した図 13 の例では、中央領域から外側となるにつれて比率が同心円状に 3 段階に変化する構成を例示したが、比率が同心円状に 4 段階以上に化する構成であってもよい。或いは、横方向において比率が変化する段階数と、縦方向に比率が変化する段階数が異なってもよい。例えば、横方向では、中央領域から外側となるにつれて比率が 3 段階に変化し、縦方向では、中央領域から外側となるにつれて比率が 2 段階に変化するような構成であってもよい。

【0088】

[他の実施形態]

本発明は上記記述及び図面によって説明した実施形態に限定されるものではなく、例えば次のような実施形態も本発明の技術的範囲に含まれる。

【0089】

第 1 実施形態、第 2 実施形態の図 9 (A)、第 3 実施形態等では、第 2 領域部 12 において第 1 導電型の半導体領域が一定間隔おきに配置され、第 2 導電型の半導体領域が一定間隔おきに配置された例を示したが、いずれの実施形態のいずれの構成でも、第 1 導電型の半導体領域や第 2 導電型の半導体領域の配置間隔は一定間隔でなくてもよい。但し、第 1 実施形態において半導体装置 20 や半導体装置 30 の第 2 領域部 12 では、所定方向における N + 拡散領域 12 a の総幅と P + 拡散領域 12 b の総幅とが異なっていることが望ましい。また、第 3 実施形態の第 2 領域部 52 でも、所定方向における N + 拡散領域 52 a の総幅と P + 拡散領域 52 b の総幅とが異なっていることが望ましい。また、第 2 実施形態の第 2 領域部 12 の場合、縦方向における N + 拡散領域 12 a の総幅と P + 拡散領域 12 b の総幅とが異なっており、且つ横方向における N + 拡散領域 12 a の総幅と P + 拡散領域 12 b の総幅とが異なっていることが望ましい。

【0090】

上記第 1 実施形態、第 2 実施形態などでは、第 2 領域部において、N + 拡散領域 12 a の比率よりも P + 拡散領域 12 b の比率が大きい例として、P + 拡散領域 12 b が N + 拡散領域 12 a の 2 倍程度である例を示したが、3 倍程度としてもよく、これら以外の比率であってもよい。また、第 2 領域部において、P + 拡散領域 12 b の比率よりも N + 拡散領域 12 a の比率が大きい例として、N + 拡散領域 12 a が N + 拡散領域 12 b の 2 倍程度である例を示したが、3 倍程度としてもよく、これら以外の比率であってもよい。

【0091】

第 2 実施形態等の半導体素子 40 では、主として、第 2 領域部 12 において、N + 拡散領域 12 a の比率よりも P + 拡散領域 12 b の比率の方が大きい例を示したが、逆とすることもできる。即ち、P + 拡散領域 12 b の比率よりも N + 拡散領域 12 a の比率の方が大きくなってもよい。

【0092】

第 3 実施形態等では、主として、第 2 領域部 52 において、N + 拡散領域 52 b の比率よりも P + 拡散領域 52 a の比率の方が大きい例を示したが、逆とすることもできる。即ち、P + 拡散領域 52 a の比率よりも N + 拡散領域 52 b の比率の方が大きくなってもよい。

【0093】

第 1 実施形態等では、半導体装置 1 において、半導体素子 20、30、60 が混在した

10

20

30

40

50

構成となっていたが、混在構成はこれに限られるものではなく、各実施形態や変更例或いは他の実施形態などで上述したいずれか1種の半導体素子、上述した他のいずれか1種又は2種以上の半導体素子と共に半導体基板2に搭載されていればよい。

【0094】

上記実施形態では、第2領域部において、N+拡散領域及びP+拡散領域の形状が、横方向全体にわたって所定幅で維持された単純な矩形形状である例を示したが、いずれの拡散領域の形状もこれに限定されるものではない。例えば、図15(A)、図15(B)のような形状であってもよい。或いは、これら以外の形状であってもよい。いずれの場合でも、N+拡散領域12aの幅W1は、各N+拡散領域12aにおける所定方向(第2領域部12が延びる方向)の最大長さとするればよい。また、このようにせずに、図15(B)のように、各N+拡散領域12aにおける外縁部の所定方向(第2領域部12が延びる方向)の長さW1'を各N+拡散領域12aの幅としてもよい。また、P+拡散領域12bの幅W2は、各P+拡散領域12bにおける所定方向(第2領域部12が延びる方向)の最大長さとするればよい。また、このようにせずに、図15(A)のように、各P+拡散領域12bにおける外縁部の所定方向(第2領域部12が延びる方向)の長さW2'を各P+拡散領域12bの幅としてもよい。

10

【0095】

上記実施形態では、図3のように、SiO<sub>2</sub>による絶縁膜19aが設けられた構成を例示したが、いずれの実施形態の構成でも、他の絶縁膜構造を用いてもよい。例えば、図16のように、図3の絶縁膜19aに代えて、STI(Shallow Trench Isolation)構造による絶縁膜19bを設けてもよい。或いは、図17のように、図3の絶縁膜19aに代えて、LOCOS(Local Oxidation of Silicon)構造の絶縁膜19cを設けてもよい。また、いずれの実施形態の構成でも図16、図17のように第1領域部上や第2領域部上にサリサイド層15が設けられていてもよい。

20

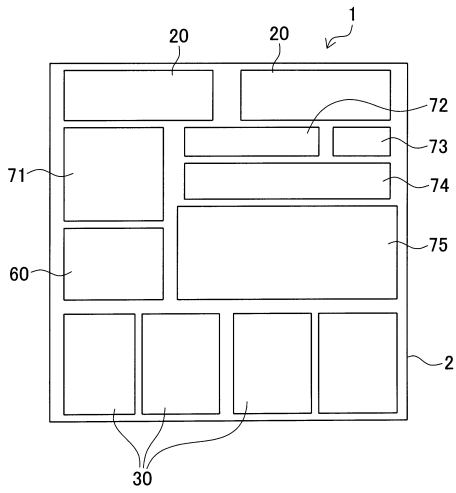
【符号の説明】

【0096】

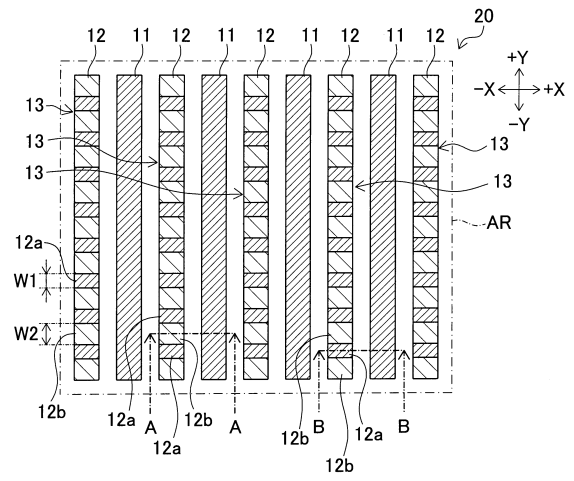
- 1 ... 半導体装置
- 20, 30, 40, 50, 60, 80, 90 ... 半導体素子
- 11, 51 ... 第1領域部
- 12, 52 ... 第2領域部
- 12a ... N+拡散領域(第1導電型の半導体領域)
- 12b ... P+拡散領域(第2導電型の半導体領域)
- 13, 53 ... 半導体構造部
- 14 ... ゲート電極
- 16 ... 絶縁膜
- 52a ... P+拡散領域(第1導電型の半導体領域)
- 52b ... N+拡散領域(第2導電型の半導体領域)

30

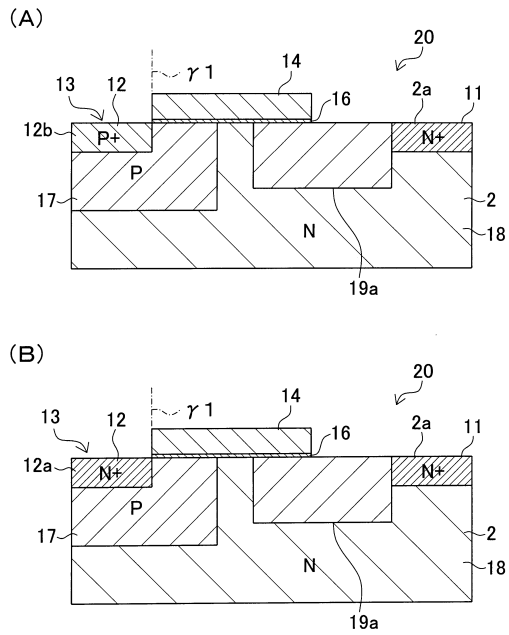
【 図 1 】



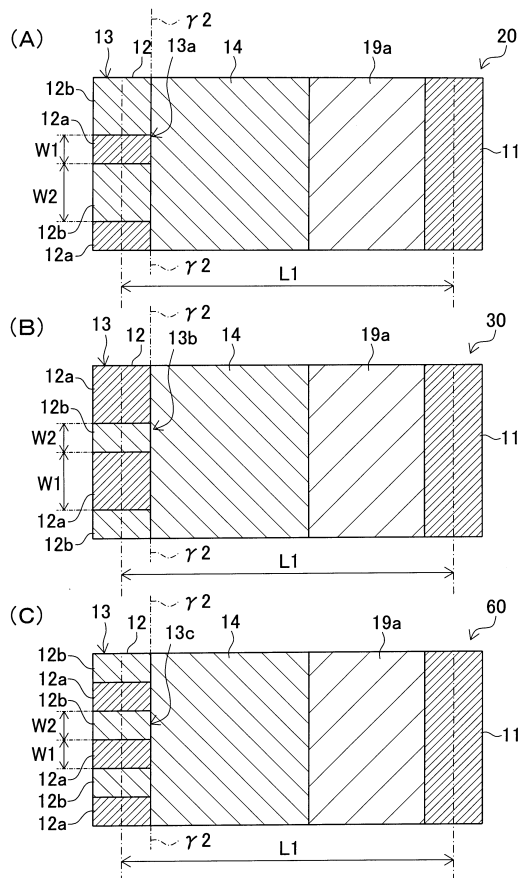
【 図 2 】



【 図 3 】

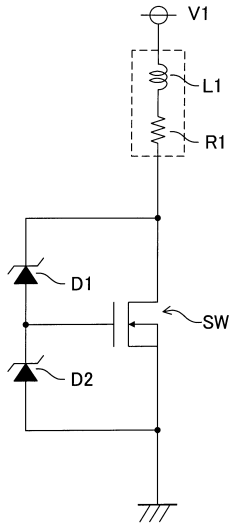


【 図 4 】

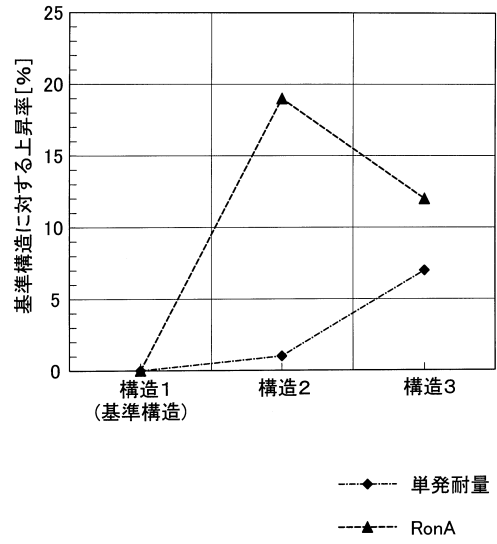




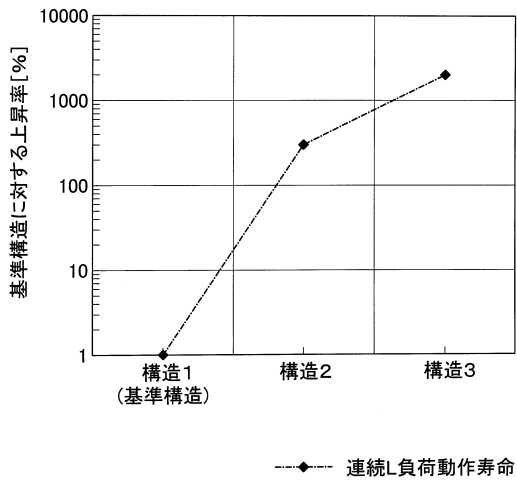
【 図 5 】



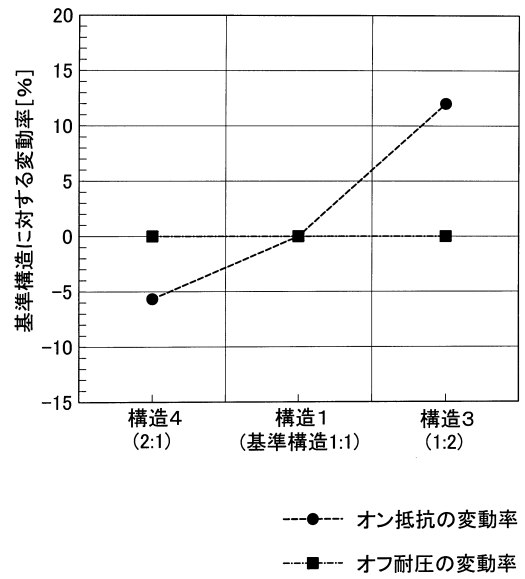
【 図 6 】



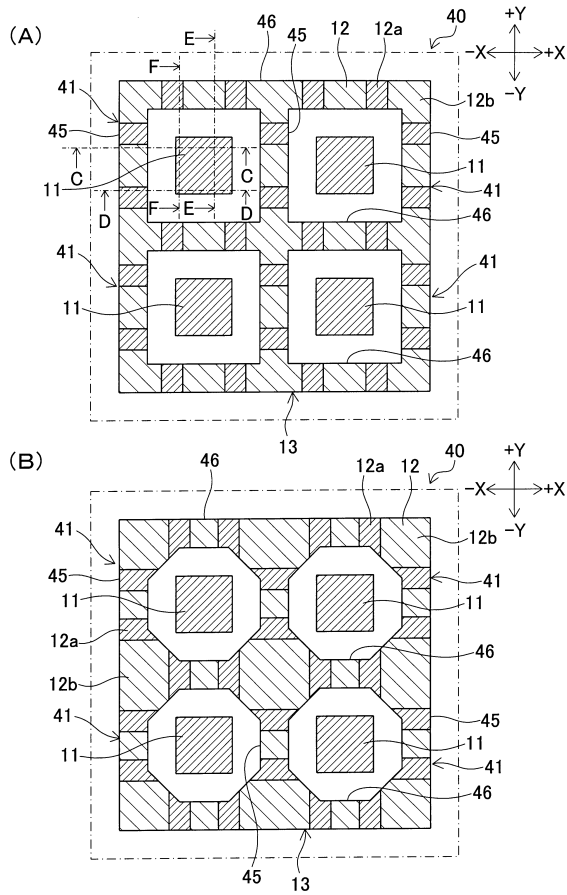
【 図 7 】



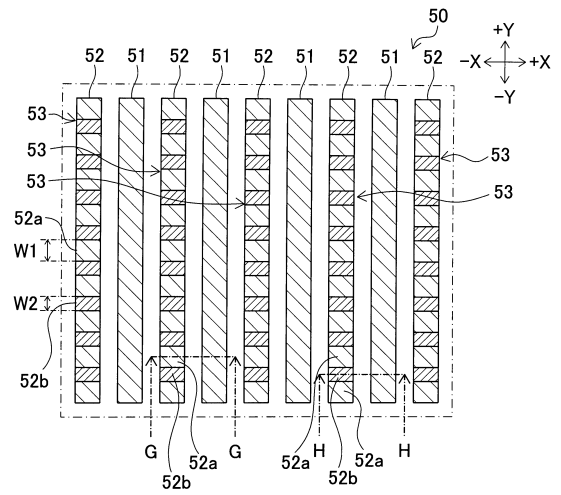
【 図 8 】



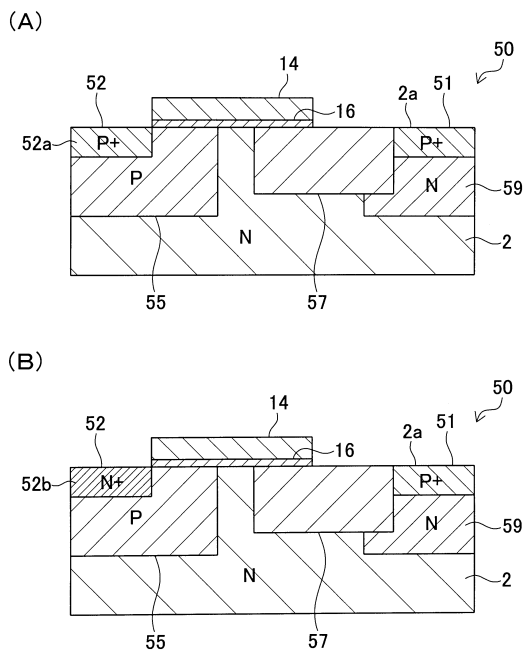
【図9】



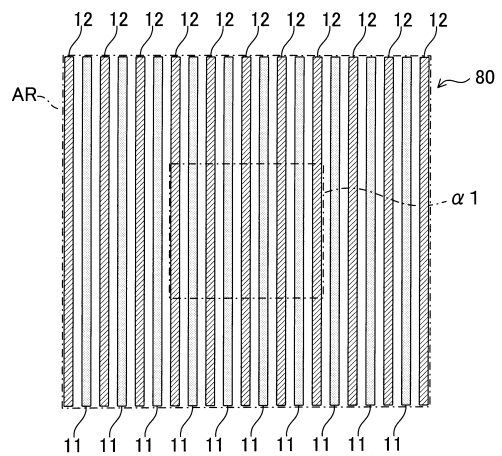
【図10】



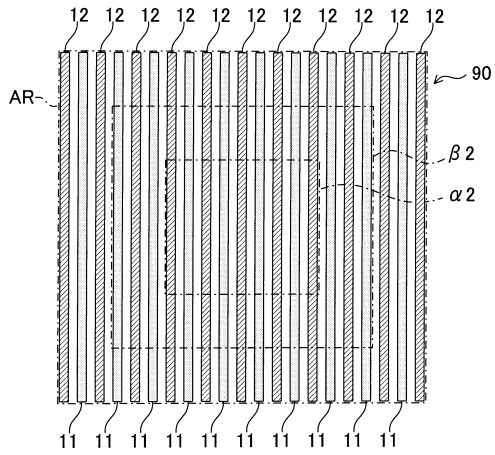
【図11】



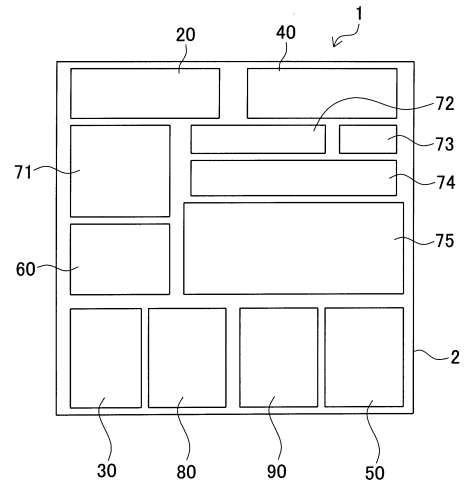
【図12】



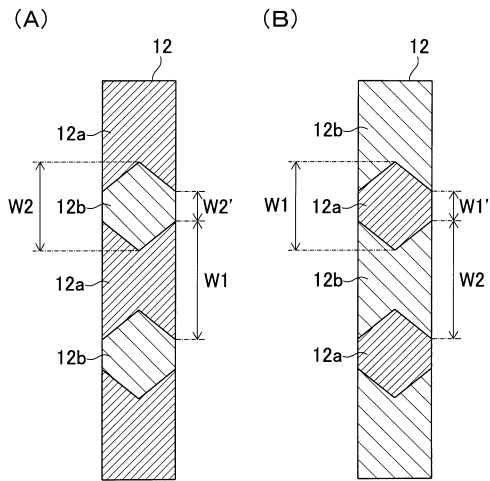
【図13】



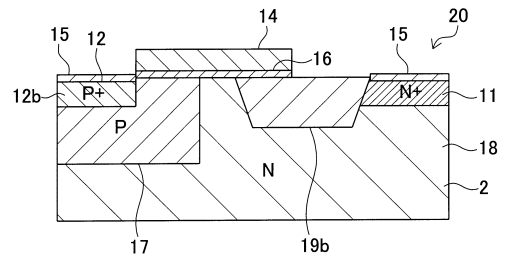
【図14】



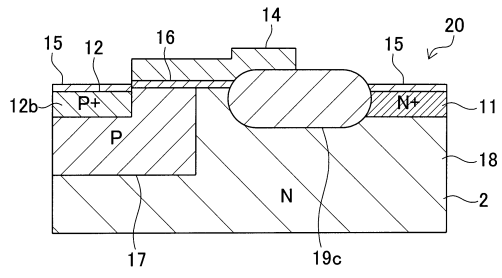
【図15】



【図16】



【図 17】



---

 フロントページの続き

(51)Int.Cl.			F I		
<i>H 0 1 L</i>	<i>27/04</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	29/78	6 1 6 T
<i>H 0 1 L</i>	<i>27/06</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	27/06	3 1 1 C
<i>H 0 1 L</i>	<i>29/786</i>	<i>(2006.01)</i>			

(56)参考文献 特開2013-074238(JP,A)  
 特開2012-064830(JP,A)  
 特開平09-129867(JP,A)  
 特開2000-307123(JP,A)  
 米国特許出願公開第2008/0203480(US,A1)

## (58)調査した分野(Int.Cl., DB名)

<i>H 0 1 L</i>	2 1 / 8 2 3 4
<i>H 0 1 L</i>	2 1 / 3 3 6
<i>H 0 1 L</i>	2 1 / 8 2 2
<i>H 0 1 L</i>	2 7 / 0 4
<i>H 0 1 L</i>	2 7 / 0 6
<i>H 0 1 L</i>	2 7 / 0 8 8
<i>H 0 1 L</i>	2 9 / 7 8
<i>H 0 1 L</i>	2 9 / 7 8 6