



Patent dodatkowy  
do patentu nr \_\_\_\_\_

Zgłoszono: 19.07.73 (P. 164177)

Pierwszeństwo: 21.07.72 Stany Zjednoczone  
Ameryki

Zgłoszenie ogłoszono: 01.07.74

Opis patentowy opublikowano: 30.12.1978



Int. Cl.<sup>2</sup>

**G06F 13/00**

**G11C 9/00**

**Twórca wynalazku:** \_\_\_\_\_

**Uprawniony z patentu:** International Business Machines Corporation,  
Armonk (Stany Zjednoczone Ameryki)

**Układ wybierania adresu dla pamięci wewnętrznej  
w systemie przetwarzania danych**

**1**

Przedmiotem wynalazku jest układ wybierania adresu dla pamięci wewnętrznej w systemie przetwarzania danych, zwłaszcza w systemie, w którym dla rozkazów i danych programów zostały określone adresy wirtualne, których dostęp w pamięci musi być poprzedzony ustaleniem odpowiadającej im komórki w pamięci wewnętrznej. Komórka pamięci wewnętrznej określana będzie terminami: adres rzeczywisty lub adres bezwzględny.

Znane są układy wybierania adresu dla pamięci wewnętrznej w systemie przetwarzania danych, na przykład układ przedstawiony w artykule Ch. T. Gibsona opublikowanym w „AFIPS Conference Proceedings” (Wiosenna Ogólna Konferencja Komputerowa 1966), tom 28, strony 61 do 78. Podobne układy są przedstawione w opisach patentowych USA nr 3 533 075 i 3 412 832.

Znane układy zawierają układ przetwarzający, pamięć asocjacyjną dla tłumaczenia adresów, rejestr adresów wirtualnych, pamięć wewnętrzną, pamięć dyskową, łącze pomiędzy rejestrem adresów wirtualnych i pamięcią asocjacyjną, rejestr adresowy pamięci wewnętrznej dla adresowania pamięci wewnętrznej i linię dla sygnału z wyjścia pamięci asocjacyjnej. Przy konieczności dostępu do pamięci wewnętrznej, układ przetwarzający dostarcza adres wirtualny do szybkiej pamięci asocjacyjnej, poprzez rejestr adresów wirtualnych i łącze.

Pamięć asocjacyjna posiada dużą liczbę wejść.

**2**

Każde wejście zawiera ostatnio używany adres wirtualny i odpowiadający mu adres rzeczywisty. Tablica bloków i tablice stron znajdują się w pamięci wewnętrznej. Tablica bloków posiada wejście dla każdego z bloków pamięci adresów wirtualnych w pamięci dyskowej. Każde wejście otrzymuje rozkaz dla rozpoczęcia określonej tablicy strony. Każda tablica strony ma dużą liczbę wejść dla stron poszczególnych bloków, które zostały przekazane z magnetycznej pamięci dyskowej do pamięci wewnętrznej. Każde wejście tablicy strony otrzymuje rozkaz dla rozpoczęcia strony pamięci wewnętrznej.

W przypadku występowania adresu wirtualnego dostarczanego na łącze w pamięci asocjacyjnej, odpowiedni adres rzeczywisty zostaje przeniesiony do rejestru adresowego pamięci wewnętrznej dla adresowania pamięci wewnętrznej.

W przypadku braku adresu wirtualnego w pamięci asocjacyjnej, sygnał zostaje przesłany przez linię do układu przetwarzającego, który następnie powoduje rozpoczęcie tłumaczenia adresów przy dodaniu tablicy bloków i tablicy stron i jeżeli jest to potrzebne, przenosi inną stronę z pamięci dyskowej do pamięci wewnętrznej.

Najmniejszy ostatnio używany adres układu logicznego określa rząd zapisu, w którym zostały określone adresy wprowadzone do pamięci. Układ logiczny określa wejście adresu wirtualnego i odpowiadającego mu adresu rzeczywistego w pamięci

asocjacyjnej, które jest wymieniane wówczas, gdy nowy adres jest wprowadzany do pamięci asocjacyjnej.

W znanym układzie przedstawionym w artykule Ch. T. Gibsona, gdy dane zostają wprowadzone do pamięci wewnętrznej, musi być dokonane tłumaczenie adresów dla każdego dostępu pamięci przez odniesienie do wprowadzonych do pamięci tablic, albo przez przeszukiwanie pamięci asocjacyjnej.

W przypadku wieloprogramowania wydajność systemu pracy zmniejsza się ze względu na konieczność podziału pojemności pamięci wewnętrznej na części dla zapewnienia przepływu różnych programów występujących w danym systemie pracy. System pracy określa całkowicie kontrolę wykonania tych programów oraz procedury zarządzającej, wynajdywania i usuwania błędów w programie sterowania wejściowo-wyjściowego, wyznaczania komórek pamięci, zarządzania danymi i obsługi.

W przypadku zwiększenia pojemności pamięci wewnętrznej dla sprostania zwiększonym wymaganiom systemu, konieczne jest nowe zaprogramowanie oraz zaprojektowanie systemu. Pamięć wirtualna stanowi pamięć pomocniczą pamięci wewnętrznej i umożliwia zwiększenie skuteczności zarządzania systemem. Pamięć wirtualną maszyny matematycznej reprezentuje obszar zarezerwowany na pamięć dyskową o dostępie bezpośrednim, do której wprowadzane są programy, które mają być przetworzone w pamięci wewnętrznej. Podczas wykonywania programów, czynne elementy pamięci wirtualnej (gotowe do wykonania) są przyporządkowane pamięci rzeczywistej w blokach lub stronach. Pamięć rzeczywista lub wewnętrzna jest podzielona na pola stron o takiej samej wielkości, jak strony w pamięci wirtualnej.

Właściwy system pracy oraz własności maszyny matematycznej określają zgodnie z wymaganiami przeniesienie stron, które mają być przetwarzane, z pamięci o dostępie bezpośrednim do osiągalnej pamięci rzeczywistej. Strony określonego programu mogą być umieszczone w każdym dostępnym miejscu pamięci rzeczywistej, bez względu na to, jak są one zorganizowane w pamięci wirtualnej. W przypadku, gdy potrzebne jest miejsce pamięci rzeczywistej zajęte przez stronę, wówczas inna strona jest przenoszona do tego miejsca pamięci rzeczywistej w celu wykonania programu. Możliwość pośredniego adresowania systemu eliminuje konieczność „liczenia” usuniętej strony, ponieważ jest ona ciągle przechowywana w pamięci wirtualnej.

Po przeniesieniu stron do pamięci wewnętrznej, odpowiadające im adresy wirtualny i rzeczywisty zostają umieszczone w tablicach w pamięci wewnętrznej, a wirtualne i odpowiednie rzeczywiste adresy ostatnio najczęściej używane, albo odniesienia zostają ponadto wprowadzone do szybkiej pamięci asocjacyjnej. Za każdym razem, gdy z układu przetwarzającego dostarczony jest adres wirtualny do adresowania pamięci wewnętrznej, ma miejsce najpierw przeszukiwanie szybkiej pamięci asocjacyjnej w celu określenia, czy szybkie

tłumaczenie adresu wirtualnego na rzeczywisty może być wykonane przy użyciu jednego z jej wejść, czy też nie. W przypadku, gdy żądany adres wirtualny zostaje wykryty w pamięci asocjacyjnej, wówczas odczytuje się odpowiadający mu adres rzeczywisty i wykorzystuje się dostęp natychmiastowy do pamięci wewnętrznej. W przypadku, gdy żądany adres wirtualny i odpowiadający mu adres rzeczywisty nie zostały wykryte w pamięci asocjacyjnej, wówczas układ przetwarzający zapoczątkowuje wykonywanie programu przeszukiwania tablic adresowych w pamięci wewnętrznej w celu ustalenia położenia żadanego adresu wirtualnego i odpowiadającego mu adresu rzeczywistego. W przypadku wykrycia żadanego adresu wirtualnego, odpowiadający mu adres rzeczywisty jest odczytywany dla umożliwienia dostępu do pamięci wewnętrznej. W przypadku braku wykrycia żądanych danych w tablicach pamięci wewnętrznej, przeprowadzany jest program nadzorczy dla wykrycia określonych adresów w pamięci dyskowej i przekazania adresów do pamięci rzeczywistej.

Zwykle wykorzystuje się najmniej ostatnio używany algorytm do utrzymania w szybkiej pamięci asocjacyjnej tylko najczęściej ostatnio używanego odniesienia adresów wirtualnego do rzeczywistego. Zatem, jeżeli w pamięci asocjacyjnej nie wykryto żądanych adresów, a następnie żądane adresy wykryto w pamięci wewnętrznej, wówczas poszukiwane adresy wirtualny i rzeczywisty są przenieszone do komórki pamięci najmniej ostatnio używanych adresów rzeczywistego i odpowiadającego mu wirtualnego. Ilekroć zostaje unieważniona strona w pamięci rzeczywistej, tylekroć cała zawartość pamięci asocjacyjnej jest kasowana, w celu zapewnienia pojemności dla nowych wirtualnych i odpowiadających im rzeczywistych adresów nowego programu.

W znanych układach część pamięci wewnętrznej zarezerwowana jest dla takich części systemu pracy jak program nadzorczy. Ponadto w części pamięci wewnętrznej, której odpowiadają adresy niższego rzędu, poniżej danej granicy, umieszczone są obszary masowej obsługi systemu, stałe programy danych wejściowo-wyjściowych, obszary buforowe, a nawet obszary przejściowe systemu pracy. Oprócz tego w systemach, wykorzystujących pamięć wirtualną i tłumaczenie adresów wirtualnych na rzeczywiste dla dostępu do pamięci wewnętrznej, znane jest przydzielanie adresu wirtualnego dla informacji części pamięci wewnętrznej, której odpowiadają adresy niższego rzędu, który to adres wirtualny jest równy odpowiedniemu adresowi rzeczywistemu. Mimo tego, przy adresowaniu tej części pamięci wewnętrznej stosowana jest taka sama procedura tłumaczenia adresu.

Celem wynalazku jest znaczne skrócenie czasu tłumaczenia adresów wirtualnych na rzeczywiste, związanego z częścią pamięci wewnętrznej, której odpowiadają adresy niższego rzędu, poprzez wyeliminowanie tłumaczenia adresów niższego rzędu, poniżej danej granicy (lub w określonym obszarze), a w zamian wykorzystanie adresu wirtualnego dla dostępu do pamięci wewnętrznej.

Cel ten osiągnięto według wynalazku dzięki temu, że układ zawiera rejestr adresów o wartości granicznej dołączony do komparatora, którego wejścia są dołączone do wyjścia rejestru adresów wirtualnych i wyjścia rejestru adresów o wartości granicznej, element kombinacyjny I, łączący wyjście rejestru adresów wirtualnych z rejestrem adresowym pamięci wewnętrznej, przy czym wejście sterujące elementu I jest dołączone do wyjścia komparatora.

Zaletą układu według wynalazku jest to, że zapobiega on niepotrzebnym operacjom tłumaczenia i pamięć asocjacyjna dla szybkich tłumaczeń jest lepiej wykorzystywana. Dzięki temu uzyskuje się znaczne oszczędności w czasie i wydajności układu według wynalazku.

Istnieje znaczny udział tłumaczenia adresów wirtualnych odnoszących się do części pamięci wewnętrznej, której odpowiadają adresy niskiego rzędu. Obszar ten zawiera informacje o dużej częstotliwości używania. Na przykład, większość programów nadzorczych to zestaw rozkazów o dużej częstotliwości używania. Ponadto dzięki wynalazkowi uzyskuje się znaczne zmniejszenie wprowadzenia i przechowywania bieżących adresów w pamięci asocjacyjnej. Częściowo jest to powodowane faktem, że teraz nie wymaga się wprowadzania do pamięci asocjacyjnej jakichkolwiek wirtualnych i odpowiadających im rzeczywistych adresów dla dostępu do omawianej części pamięci wewnętrznej. W związku z tym została zmniejszona częstotliwość wymiany ostatnio najmniej używanych adresów. Ponadto odniesienie do pewnych części pamięci powoduje przemieszczenie (wymianę) wejść w pamięci asocjacyjnej, co jest przyczyną rozwickłości informacji w odniesieniu do tablic stron pamięci wewnętrznej. Dzięki wynalazkowi za pomocą prostego wykorzystania adresu wirtualnego dla dostępu do pamięci w wybranej jej części, osiągnięto skrócenie czasu tłumaczenia o około 15–25%.

Przedmiot wynalazku jest uwidoczniiony w przykładzie wykonania na rysunku, na którym jest przedstawiony fragment systemu, zawierający układ wybierania adresu dla pamięci wewnętrznej w systemie przetwarzania danych.

System, którego fragment jest przedstawiony na rysunku, może być jednym z wielu znanych systemów. Dostęp do pamięci wewnętrznej 6 możliwy jest po dostarczeniu adresu wirtualnego z układu przetwarzającego 1 do komparatora 2 i szybkiej pamięci asocjacyjnej 3, korzystnie poprzez rejestr 4 i łącze 12.

Układ według wynalazku zawiera nie stosowane dotąd w takich układach: komparator 2, rejestr 5 adresów o wartości granicznej, linię łączącą wejście 10 komparatora 2 i element I 13, element 15 sygnałów zakazu i element I 16 oraz linię łączącą wejście 17 elementu I 16 z wyjściem komparatora 2.

Rejestr 5 przechowuje wartość odpowiadającą bitom wyższego rzędu adresu o wartości granicznej (wartość strony), określonego przez pamięć wewnętrzną 6 a poniżej tej granicy wirtualne i odpowiadające im adresy rzeczywiste są równe. Na przykład, jeśli strona ma dwa tysiące bajtów,

wówczas rejestr 5 nie wymaga dwunastu bitów niższego rzędu adresu strony.

Sygnał z wyjścia 10 komparatora 2 jest doprowadzany do elementu kombinacyjnego I 13, w celu skierowania adresu wirtualnego łączem do rejestru adresowego 14 pamięci wewnętrznej 6 wówczas, gdy dostarczone przez układ przetwarzający 1 bity wyższego rzędu adresu wirtualnego są mniejsze od wartości przechowywanej w rejestrze 5. Z wyjścia 10 sygnał jest dostarczany również do elementu 15 dostarczającego sygnały zakazu, aby zapobiec przejściu jakiegokolwiek adresu rzeczywistego z pamięci 3 do rejestru 14 wówczas, gdy tłumaczenie nie jest wymagane.

Element I 16 dostarcza do układu przetwarzającego 1 sygnał dla rozpoczęcia przeszukiwania tablic 7 i 8—1 do 8—N wówczas, jeśli do jego wejść 17 i 18 doprowadzone są sygnały. Sygnały z komparatora 2 i pamięci 3 doprowadzane są do wejść 17 i 18 wtedy, gdy bieżący adres wirtualny w rejestrze 4 jest większy lub równy adresowi o wartości granicznej w rejestrze 5 i nie jest wykrywany w pamięci 3.

Układ logiczny 20 jest dołączony zarówno do wejścia, jak i do wyjścia pamięci asocjacyjnej 3 i służy do określania wejścia adresu wirtualnego i odpowiadającego mu adresu rzeczywistego w pamięci asocjacyjnej 3, które jest wymieniane wówczas, gdy nowy adres jest wprowadzany do pamięci 3.

W związku z powyższym adres wirtualny dostarczony z centralnego układu przetwarzającego 1 porównany jest z wartością rejestru 5. W przypadku, gdy adres wirtualny jest mniejszy od adresu o wartości granicznej, pamięć wewnętrzna 6 umożliwia dostęp dla adresu wirtualnego. W przypadku, gdy adres wirtualny jest równy lub większy od adresu o wartości granicznej, adres wirtualny jest wykorzystany jako zmienna niezależna wejścia przeszukującego pamięci asocjacyjnej 3, która jest przeszukiwana w celu stwierdzenia, czy zawiera ona adresy: wirtualny i odpowiadający mu rzeczywisty. Przy wykryciu w pamięci asocjacyjnej adresu wirtualnego, adres rzeczywisty jest wykorzystany dla dostępu do pamięci wewnętrznej 6. Przy braku w układzie asocjacyjnym adresu wirtualnego, sygnał sterujący jest przenoszony do układu przetwarzającego 1 dla rozpoczęcia operacji tłumaczenia adresów, przy użyciu tablic bloków i stron, lub operacji zastąpienia strony, co jest znane ze stanu techniki.

Określenie adresu o wartości granicznej dla podstawowych elementów pamięci wewnętrznej, tzn. adresu dostarczanego do rejestru 5 jest dokonywane w pętli mikroprogramowej, która zaczyna się w tablicach stron przy zerze adresu wirtualnego i tworzy obciążony adres rzeczywisty na adresie wirtualnym. Oznacza to, że adres rzeczywisty jest odczytywany i porównywany z adresem wirtualnym w celu stwierdzenia ich równości. W przypadku równości adresów wirtualnego i rzeczywistego, adres wirtualny zostaje zwiększony o pojemność strony i następuje ponowne porównanie adresu wirtualnego następnego wejścia do tablicy z adresem rzeczywistym przechowywanym na

wejściu. Jest to przeprowadzane aż do momentu, gdy zabraknie obciążonego adresu rzeczywistego (to znaczy, gdy adresy rzeczywiste i wirtualny nie są równe) albo do momentu, gdy osiągnięta zostanie pojemność adresowania rejestru 5.

W końcu adres wirtualny najwyższej wartości uzyskany w poprzednich stopniach jest wprowadzany do rejestru 5 jako adres o wartości granicznej w pamięci wewnętrznej 6.

#### Zastrzeżenia patentowe

1. Układ wybierania adresu dla pamięci wewnętrznej w systemie przetwarzania danych, zawierający rejestr adresów wirtualnych, rejestr adresowy pamięci wewnętrznej, którego wyjście jest dołączone do pamięci wewnętrznej, pamięć asocjacyjną dla adresów wirtualnych i odpowiadających im adresów rzeczywistych, której wejście jest do-

łączone do wyjścia rejestru adresów wirtualnych i, której wyjście adresowe jest dołączone poprzez układ przenoszenia do rejestru adresowego pamięci wewnętrznej, **znamienny tym**, że zawiera rejestr

(5) adresów o wartości granicznej dołączony do komparatora (2), którego wejścia są dołączone do wyjścia rejestru (4) adresów wirtualnych i wyjścia rejestru (5) adresów o wartości granicznej, element kombinacyjny I (13), łączący wyjście rejestru (4) adresów wirtualnych z rejestrem adresowym (14) pamięci wewnętrznej, przy czym wejście sterujące elementu I (13) jest dołączone do wyjścia komparatora (2).

2. Układ według zastrz. 1, **znamienny tym**, że zawiera element (15) dostarczający sygnały zakazu, włączony pomiędzy wyjście adresowe pamięci asocjacyjnej (3) i rejestr adresowy (14) pamięci wewnętrznej i posiadający wejście sterujące, które jest dołączone do wyjścia komparatora (2).

