

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5004419号
(P5004419)

(45) 発行日 平成24年8月22日(2012.8.22)

(24) 登録日 平成24年6月1日(2012.6.1)

(51) Int.Cl.

F I

HO 1 L 27/115 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 29/792 (2006.01)	HO 1 L 27/06 1 0 2 A
HO 1 L 29/788 (2006.01)	HO 1 L 27/08 1 0 2 C
HO 1 L 21/336 (2006.01)	HO 1 L 27/04 H

請求項の数 9 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2004-372775 (P2004-372775)
 (22) 出願日 平成16年12月24日(2004.12.24)
 (65) 公開番号 特開2006-179750 (P2006-179750A)
 (43) 公開日 平成18年7月6日(2006.7.6)
 審査請求日 平成19年12月13日(2007.12.13)

(73) 特許権者 000006747
 株式会社リコー
 東京都大田区中馬込1丁目3番6号
 (74) 代理人 100085464
 弁理士 野口 繁雄
 (72) 発明者 吉田 雅昭
 東京都大田区中馬込1丁目3番6号 株式
 会社リコー内

審査官 正山 旭

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に形成されたメモリゲート酸化膜と前記メモリゲート酸化膜上に形成された電氣的に浮遊状態のポリシリコンからなる浮遊ゲートをもつM O S トランジスタからなるメモリトランジスタと、

前記半導体基板上に形成された選択ゲート酸化膜と前記選択ゲート酸化膜上に形成されたポリシリコンからなる選択ゲートをもち、前記メモリトランジスタに直列に接続されたM O S トランジスタからなる選択トランジスタと、を備えた不揮発性メモリセルと、

前記半導体基板上に形成された周辺回路ゲート酸化膜と前記周辺回路ゲート酸化膜上に形成されたポリシリコンからなる周辺回路ゲートをもつM O S トランジスタからなる周辺回路トランジスタを備え、

前記メモリゲート酸化膜の膜厚は前記周辺回路ゲート酸化膜の膜厚よりも薄く形成されており、

前記選択ゲート酸化膜の膜厚は前記周辺回路ゲート酸化膜の膜厚と同じである半導体装置。

【請求項2】

前記メモリトランジスタ及び前記選択トランジスタはP M O S トランジスタである請求項1に記載の半導体装置。

【請求項3】

前記半導体基板上に絶縁膜を介して形成されたポリシリコンからなる下部電極と、前記

下部電極上にキャパシタ絶縁膜を介して形成されたポリシリコンからなる上部電極をもつキャパシタをさらに備え、

前記浮遊ゲートは前記下部電極と同じポリシリコン層から形成されたものであり、前記浮遊ゲートの上面及び側面に前記キャパシタ絶縁膜が形成されている請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記周辺回路ゲートは前記上部電極と同じポリシリコン層から形成されたものである請求項 3 に記載の半導体装置。

【請求項 5】

前記選択ゲートは前記浮遊ゲート及び前記下部電極と同じポリシリコン層から形成されたものである請求項 3 又は 4 に記載の半導体装置。

10

【請求項 6】

前記選択ゲートは前記周辺回路ゲート及び前記上部電極と同じポリシリコン層から形成されたものである請求項 4 に記載の半導体装置。

【請求項 7】

2 個以上の抵抗素子による分割によって電圧出力を得、ヒューズ素子の切断によって電圧出力を調整できる分割抵抗回路を備えた半導体装置において、

前記分割抵抗回路は、直列に接続された複数の抵抗値調整用抵抗素子と、前記ヒューズ素子として前記抵抗値調整用抵抗素子に対応して並列に接続された複数のヒューズ用 MOS トランジスタと、請求項 1 から 6 のいずれかに記載の前記不揮発性メモリセル及び前記周辺回路トランジスタと、前記不揮発性メモリセルの記憶状態に応じて前記ヒューズ用 MOS トランジスタのオンとオフを切り替えるための読出し回路を備え、

20

前記ヒューズ用 MOS トランジスタもしくは前記読出し回路を構成する MOS トランジスタ又はその両方が前記周辺回路トランジスタにより構成されていることを特徴とする半導体装置。

【請求項 8】

入力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、前記分割抵抗回路からの分割電圧と前記基準電圧発生回路からの基準電圧を比較するための比較回路をもつ電圧検出回路を備えた半導体装置において、

前記分割抵抗回路として請求項 7 に記載の分割抵抗回路を備えていることを特徴とする半導体装置。

30

【請求項 9】

入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、前記分割抵抗回路からの分割電圧と前記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて前記出力ドライバの動作を制御するための比較回路をもつ定電圧発生回路を備えた半導体装置において、

前記分割抵抗回路として請求項 7 に記載の分割抵抗回路を備えていることを特徴とする半導体装置。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、浮遊ゲートをもつ不揮発性メモリセルと、ロジック回路などの周辺回路を備えた半導体装置に関するものである。このような半導体装置は、例えば分割抵抗回路や電圧検出回路、定電圧発生回路などを備えた半導体装置に適用される。

【背景技術】

【0002】

EEPROM (Electrically Erasable Programmable Read Only Memory) と称される不揮発性メモリの種類としては、使用ゲート数で大きく分けて、1 層ゲート型と 2 層ゲート型の 2 種類がある。1 層ゲート型としては、例えば特許文献 1 や特許文献 2 に記載の技

50

術があり、2層ゲート型としては例えば特許文献3に記載の技術がある。

【0003】

図13に従来例として1層ゲート型の不揮発性メモリの平面図を示す。

P型の半導体基板(P基板)101に、N型拡散層103, 105, 107と、N型拡散層からなる制御ゲート109が形成されている。N型拡散層103と105は間隔をもって形成され、N型拡散層105と107は間隔をもって形成されている。

N型拡散層103と105の間の領域を含むP基板101上に、N型拡散層103及び105と一部重複して、ゲート酸化膜(図示は省略)を介して、ポリシリコン膜からなる選択ゲート111が形成されている。

【0004】

N型拡散層105と107の間の領域を含むP基板101上及び制御ゲート109上に連続して、シリコン酸化膜(図示は省略)を介してポリシリコン膜からなる浮遊ゲート113が形成されている。N型拡散層105及び107付近の領域では浮遊ゲート113はメモリゲート酸化膜を介してN型拡散層105及び107と一部重複して配置されている。

【0005】

この1層ゲート型の不揮発性メモリの書込み、すなわち浮遊ゲート113への電子の注入を行なう場合、N型拡散層103を0V(ボルト)、N型拡散層107を所定の電位 V_{pp} に設定し、制御ゲート109と選択ゲート111に所定の電位 V_{pp} を印加することによって行なわれる。これにより、N型拡散層103, 105及び選択ゲート111により構成されるトランジスタがオンし、電子がN型拡散層105からメモリゲート酸化膜を介して浮遊ゲート113に注入される。

【0006】

この1層ゲート型の不揮発性メモリの消去、すなわち浮遊ゲート113から電子の放出を行なう場合、制御ゲート109を0V、N型拡散層107をオープンに設定し、N型拡散層103と選択ゲート111に所定の電位 V_{pp} を印加することによって行なわれる。これにより、N型拡散層103, 105及び選択ゲート111により構成されるトランジスタがオンし、トンネル効果によって浮遊ゲート113に注入されている電子がメモリゲート酸化膜を介してN型拡散層105に引き抜かれる。

【0007】

図14に従来例として2層ゲート型の不揮発性メモリの断面図を示す。

P基板101にN型拡散層117と119が間隔をもって形成されている。N型拡散層117と119の間のP基板101上に、N型拡散層117及び119と一部重複して、メモリゲート酸化膜121を介して、ポリシリコン膜からなる浮遊ゲート123が形成されている。浮遊ゲート123上に、シリコン酸化膜125を介して、ポリシリコン膜からなる制御ゲート127が形成されている。

【0008】

この2層ゲート型の不揮発性メモリの書込み、すなわち浮遊ゲート123への電子の注入を行なう場合、N型拡散層119を0V、N型拡散層117を所定の電位 V_{pp} に設定し、制御ゲート127に所定の電位 V_{pp} を印加することによって行なわれる。これにより、電子がN型拡散層119からメモリゲート酸化膜121を介して浮遊ゲート123に注入される。

【0009】

この2層ゲート型の不揮発性メモリの消去、すなわち浮遊ゲート123から電子の放出を行なう場合、制御ゲート127を0V、N型拡散層117をオープンに設定し、N型拡散層119に所定の電位 V_{pp} を印加することによって行なわれる。これにより、トンネル効果によって浮遊ゲート123に注入されている電子がメモリゲート酸化膜121を介してN型拡散層119に引き抜かれる。

【0010】

また、不揮発性メモリセルとして、制御ゲートを備えていないものが知られている(例

10

20

30

40

50

えば、特許文献4及び特許文献5を参照。)。

図15に制御ゲートを備えていない不揮発性メモリの(A)平面図及び(B)断面図を示す。図13、図14と同じ機能を果たす部分には同じ符号を付す。

【0011】

P基板101に、N型拡散層103, 105, 107が形成されている。N型拡散層103と105は間隔をもって形成され、N型拡散層105と107は間隔をもって形成されている。

N型拡散層103と105の間の領域を含むP基板101上に、N型拡散層103及び105と一部重複して、ゲート酸化膜129を介して、ポリシリコン膜からなる選択ゲート111が形成されて、選択トランジスタが形成されている。

10

N型拡散層105と107の間の領域を含むP基板101上に、メモリゲート酸化膜121を介してポリシリコン膜からなる浮遊ゲート123が形成されて、メモリトランジスタが形成されている。N型拡散層105及び107付近の領域では浮遊ゲート123はメモリゲート酸化膜を介してN型拡散層105及び107と一部重複して配置されている。

【0012】

この不揮発性メモリの消去、すなわち浮遊ゲート123から電子の放出を行なう場合、例えば浮遊ゲート123に紫外線が照射されることで、メモリトランジスタの浮遊ゲート123が電荷の無い状態に初期化される。

また、N型拡散層103を0Vに設定し、N型拡散層107と選択ゲート111を所定の電位 V_{pp} 、例えば7Vに設定することによって行なわれる。これにより、N型拡散層103, 105及び選択ゲート111により構成される選択トランジスタがオンし、トンネル効果によって浮遊ゲート123に注入されている電子がメモリゲート酸化膜121を介してN型拡散層105に引き抜かれる。この場合、N型拡散層103と浮遊ゲート123とは十分に重複して配置されていることが必要とされている。そのために、浮遊ゲート123の下方でN型拡散層105側には埋込み型のN型拡散層が設定されている(特許文献4)。

20

【0013】

この不揮発性メモリの書込み、すなわち浮遊ゲート123への電子の注入を行なう場合、N型拡散層107を0V、N型拡散層103に V_{pp} 、例えば4.5Vを与え、選択ゲート111を所定の電位 V_{on} 、例えば2Vに設定することによって行なわれる。これにより、N型拡散層103, 105及び選択ゲート111により構成される選択トランジスタがオンし、電子がN型拡散層105からメモリゲート酸化膜121を介して浮遊ゲート123に注入される。この場合も、消去時と同様に埋込み型のN型拡散層が必要である。

30

【0014】

また、特許文献5には、ロジック回路などの周辺回路を構成するMOS(Metal Oxide of Silicon)トランジスタのゲート酸化膜を、選択トランジスタのゲート酸化膜及びメモリトランジスタのゲート酸化膜と同じ膜厚にすることが開示されている。

【0015】

【特許文献1】特開平6-85275号公報

【特許文献2】特表平8-506693号公報

【特許文献3】特公平4-80544号公報

【特許文献4】特開2003-168747号公報

【特許文献5】特開2004-31920号公報

【発明の開示】

【発明が解決しようとする課題】

【0016】

特許文献5に開示されているように、制御ゲートを備えていないメモリトランジスタ、選択トランジスタ及び周辺回路トランジスタにおいて、ゲート酸化膜厚を同じにした場合、ゲート酸化膜をサブナノレベル、例えば7.5nm(ナノメートル)程度の膜厚で形成したとき、メモリトランジスタのメモリゲート酸化膜は同様に7.5nmとなる。この

50

場合、本願発明者の検証によると良好な書込み特性を得るためには、 V_{pp} として6～7V以上必要であることがわかった。

【0017】

しかし、メモリトランジスタの書き込み時に、メモリへ V_{pp} を印加するための周辺回路トランジスタにも例えば6～7V以上の電圧が印加されることが必要である。その場合、膜厚が7.5nmと薄い周辺回路トランジスタのゲート酸化膜（以下、周辺回路ゲート酸化膜という。）に10MV/cm（メガボルト/センチメートル）に達する電界をかけることになり、周辺回路ゲート酸化膜の損傷のおそれがあり、半導体装置の歩留まりや信頼性の低下を招くという問題があった。また、本願発明者の検証では、ゲート酸化膜厚が7.5nmであるNMOSトランジスタ（NチャネルMOSトランジスタ）のスナックバック電圧はちょうど上記 V_{pp} と同程度の6～7V程度であるため、書込みのために周辺回路を損傷してしまう可能性が高い。この面からも半導体装置の歩留まりや信頼性の低下を招くという問題があることがわかった。

10

【0018】

このような問題を防止するために、メモリトランジスタ、選択トランジスタ及び周辺回路トランジスタのゲート酸化膜をハーフレベル、例えば13.5nm程度の膜厚で形成したとしても、ゲート酸化膜厚が厚くなった分、書込み電圧 V_{pp} が上昇してしまうため、サブハーフレベルでの上記問題が解決されるわけではない。つまり、ゲート酸化膜厚を13.5nm程度の膜厚で形成し、 V_{pp} を6～7Vとした場合、周辺回路ゲート酸化膜の損傷は防止できるが、メモリトランジスタのメモリゲート酸化膜は13.5nmと膜厚が

20

【0019】

そこで本発明は、浮遊ゲートをもち制御ゲートを備えていないメモリトランジスタ及び選択トランジスタからなる不揮発性メモリセルと、周辺回路トランジスタを備えた半導体装置において、周辺回路ゲート酸化膜の損傷を防止しつつ、メモリトランジスタの良好な書込みを行なうことができる半導体装置を提供することを目的とするものである。

【課題を解決するための手段】

【0020】

本発明にかかる半導体装置は、半導体基板上に形成されたメモリゲート酸化膜と上記メモリゲート酸化膜上に形成された電氣的に浮遊状態のポリシリコンからなる浮遊ゲートをもつMOSトランジスタからなるメモリトランジスタと、上記半導体基板上に形成された選択ゲート酸化膜と上記メモリゲート酸化膜上に形成されたポリシリコンからなる選択ゲートをもち、上記メモリトランジスタに直列に接続されたMOSトランジスタからなる選択トランジスタを備えた不揮発性メモリセルと、上記半導体基板上に形成された周辺回路ゲート酸化膜と上記周辺回路ゲート酸化膜上に形成されたポリシリコンからなる周辺回路ゲートをもつMOSトランジスタからなる周辺回路トランジスタを備え、上記メモリゲート酸化膜の膜厚は上記周辺回路ゲート酸化膜の膜厚よりも薄く形成されているものである。

30

【0021】

本発明の半導体装置において、上記メモリトランジスタ及び上記選択トランジスタはPMOSトランジスタ（PチャネルMOSトランジスタ）である例を挙げることができる。

40

【0023】

本発明の半導体装置において、上記選択ゲート酸化膜の膜厚は上記周辺回路ゲート酸化膜の膜厚と同じである。

【0024】

また、上記半導体基板上に絶縁膜を介して形成されたポリシリコンからなる下部電極と、上記下部電極上にキャパシタ絶縁膜を介して形成されたポリシリコンからなる上部電極をもつキャパシタをさらに備えている場合、上記浮遊ゲートは上記下部電極と同じポリシリコン層から形成されたものであり、上記浮遊ゲートの上面及び側面に上記キャパシタ絶縁膜が形成されていることが好ましい。

50

【 0 0 2 5 】

さらに、上記周辺回路ゲートは上記上部電極と同じポリシリコン層から形成されたものである例を挙げることができる。

【 0 0 2 6 】

さらに、上記選択ゲートは上記浮遊ゲート及び上記下部電極と同じポリシリコン層から形成されたものである例を挙げることができる。

【 0 0 2 7 】

また、上記選択ゲートは上記周辺回路ゲート及び上記上部電極と同じポリシリコン層から形成されたものである例を挙げることができる。

【 0 0 2 8 】

本発明の半導体装置が適用される例として、2個以上の抵抗素子による分割によって電圧出力を得、ヒューズ素子の切断によって電圧出力を調整できる分割抵抗回路を備えた半導体装置を挙げることができる。その半導体装置を構成する分割抵抗回路は、直列に接続された複数の抵抗値調整用抵抗素子と、上記ヒューズ素子として上記抵抗値調整用抵抗素子に対応して並列に接続された複数のヒューズ用MOSトランジスタと、本発明を構成する上記不揮発性メモリセル及び上記周辺回路トランジスタと、上記不揮発性メモリセルの記憶状態に応じて上記ヒューズ用MOSトランジスタのオンとオフを切り替えるための読出し回路を備え、上記ヒューズ用MOSトランジスタもしくは上記読出し回路を構成するMOSトランジスタ又はその両方が上記周辺回路トランジスタにより構成されている。

【 0 0 2 9 】

本発明の半導体装置が適用される他の例として、入力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗回路からの分割電圧と上記基準電圧発生回路からの基準電圧を比較するための比較回路をもつ電圧検出回路を備えた半導体装置を挙げることができる。その分割抵抗回路として、本発明が適用された上記分割抵抗回路を備えている。

【 0 0 3 0 】

本発明の半導体装置が適用されるさらに他の例として、入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗回路からの分割電圧と上記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて上記出力ドライバの動作を制御するための比較回路をもつ定電圧発生回路を備えた半導体装置を挙げることができる。その分割抵抗回路として、本発明が適用された上記分割抵抗回路を備えている。

【 発明の効果 】

【 0 0 3 1 】

本発明の半導体装置では、半導体基板上に形成されたメモリゲート酸化膜とメモリゲート酸化膜上に形成された電氣的に浮遊状態のポリシリコンからなる浮遊ゲートをもつMOSトランジスタからなるメモリトランジスタと、半導体基板上に形成された選択ゲート酸化膜上に形成されたポリシリコンからなる選択ゲートをもち、メモリトランジスタに直列に接続されたMOSトランジスタからなる選択トランジスタを備えた不揮発性メモリセルと、半導体基板上に形成された周辺回路ゲート酸化膜と周辺回路ゲート酸化膜上に形成されたポリシリコンからなる周辺回路ゲートをもつMOSトランジスタからなる周辺回路トランジスタを備え、メモリゲート酸化膜の膜厚は周辺回路ゲート酸化膜の膜厚よりも薄く形成されているようにした。

これにより、メモリトランジスタの書込み時に周辺回路ゲート酸化膜が損傷しない程度に周辺回路ゲート酸化膜厚を厚くし、メモリトランジスタの良好な書込み特性が得られる程度にメモリゲート酸化膜厚を薄くすることができ、周辺回路ゲート酸化膜の損傷を防止しつつ、またスナップバック破壊を起こさずに、メモリトランジスタの良好な書込みを行なうことができる。

【 0 0 3 2 】

本発明の半導体装置において、メモリトランジスタ及び選択トランジスタはPMOST

10

20

30

40

50

ランジスタ（書込み電圧6～7V）であるようにすれば、NMOSトランジスタからなるメモリトランジスタ（書込み電圧10V程度）を用いる場合に比べて、書込みのためにいわゆる制御ゲートを用いる必要がなく、書込み電圧を低くすることができる。ただし、メモリトランジスタ及び選択トランジスタはPMOSトランジスタに限定されるものではなく、両トランジスタとしてNMOSトランジスタを用いてもよい。

【0034】

また、本発明の半導体装置において、選択ゲート酸化膜の膜厚は周辺回路ゲート酸化膜の膜厚と同じであるようにしたので、両ゲート酸化膜を同時に形成することができ、選択ゲート酸化膜、メモリゲート酸化膜及び周辺ゲート酸化膜をそれぞれ別々の工程で形成する場合に比べて製造工程を少なくすることができる。さらに、選択ゲート酸化膜厚とメモリゲート酸化膜厚が同じである場合に比べて、選択ゲート酸化膜厚が厚いので選択トランジスタの耐圧を向上させることができる。

10

【0035】

また、半導体基板上に絶縁膜を介して形成されたポリシリコンからなる下部電極と、下部電極上にキャパシタ絶縁膜を介して形成されたポリシリコンからなる上部電極をもつキャパシタをさらに備え、浮遊ゲートは下部電極と同じポリシリコン層から形成されたものであり、浮遊ゲートの上面及び側面にキャパシタ絶縁膜が形成されているようにすれば、浮遊ゲートを良質なキャパシタ絶縁膜で覆うことができるので、リテンション特性を向上させることができる。さらに、キャパシタの下部電極と浮遊ゲートを別々の工程で形成する場合に比べて製造工程を少なくすることができる。

20

【0036】

さらに、周辺回路ゲートは上部電極と同じポリシリコン層から形成されたものであるようにすれば、キャパシタの上部電極と周辺回路ゲートを別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0037】

さらに、選択ゲートは浮遊ゲート及び下部電極と同じポリシリコン層から形成されたものであるようにすれば、これらのゲートを別々の工程で形成する場合に比べて製造工程を少なくすることができる。

【0038】

また、選択ゲートは周辺回路ゲート及び上部電極と同じポリシリコン層から形成されたものであるようにすれば、これらのゲートを別々の工程で形成する場合に比べて製造工程を少なくすることができる。

30

【0039】

また、2個以上の抵抗素子による分割によって電圧出力を得、ヒューズ素子の切断によって電圧出力を調整できる分割抵抗回路を備えた半導体装置において、分割抵抗回路は、直列に接続された複数の抵抗値調整用抵抗素子と、ヒューズ素子として抵抗値調整用抵抗素子に対応して並列に接続された複数のヒューズ用MOSトランジスタと、本発明を構成する不揮発性メモリセル及び周辺回路トランジスタと、不揮発性メモリセルの記憶状態に応じてヒューズ用MOSトランジスタのオンとオフを切り替えるための読出し回路を備え、ヒューズ用MOSトランジスタもしくは読出し回路を構成するMOSトランジスタ又はその両方が周辺回路トランジスタにより構成されているようにしたので、良好な書込み特性をもつ不揮発性メモリセルの記憶状態に応じて分割抵抗回路の出力電圧を調整することができる。さらに、不揮発性メモリセルの記憶状態を変更することにより、分割抵抗回路の出力電圧を再設定することができる。

40

【0040】

入力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、分割抵抗回路からの分割電圧と基準電圧発生回路からの基準電圧を比較するための比較回路をもつ電圧検出回路を備えた半導体装置において、分割抵抗回路として本発明が適用された分割抵抗回路を備えているようにしたので、不揮発性メモリセルの記憶状態を変更することにより電圧検出回路の出力電圧設定の変更ができる。

50

【 0 0 4 1 】

入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗回路と、基準電圧を供給するための基準電圧発生回路と、分割抵抗回路からの分割電圧と基準電圧発生回路からの基準電圧を比較し、比較結果に応じて出力ドライバの動作を制御するための比較回路をもつ定電圧発生回路を備えた半導体装置において、分割抵抗回路として本発明が適用された分割抵抗回路を備えているようにしたので、不揮発性メモリセルの記憶状態を変更することにより定電圧発生回路の出力電圧設定の変更ができる。

【 発明を実施するための最良の形態 】

【 0 0 4 2 】

10

図1は第1実施例を示す図であり、(A)はメモリセルの平面図、(B)は周辺回路トランジスタの平面図、(C)のA-A'位置での断面図、(D)は(B)のB-B'位置での断面図である。図1を参照してこの実施例を説明する。

【 0 0 4 3 】

P基板1の所定の領域にNウェル2が形成されている。P基板1表面に素子分離のためのフィールド酸化膜3が例えば450~700nm、ここでは500nmの膜厚で形成されている。フィールド酸化膜3に囲まれた領域のNウェル2内にP型拡散層5,7,9が形成されている。P型拡散層5と7は間隔をもって形成され、P型拡散層7と9は間隔をもって形成されている。

【 0 0 4 4 】

20

P型拡散層5と7の間の領域を含むP基板1上に、膜厚が例えば10.0~15.0nm、ここでは13.5nmの選択ゲート酸化膜11が形成されている。選択ゲート酸化膜11上に、P型拡散層5及び7と一部重複して、膜厚が例えば250~450nm、ここでは350nmのポリシリコン膜からなる選択ゲート13が形成されている。P型拡散層5,7、選択ゲート酸化膜11及び選択ゲート13は選択トランジスタを構成する。

【 0 0 4 5 】

P型拡散層7と9の間の領域を含むP基板1表面に、膜厚が例えば6.0~10.0nm、ここでは7.5nmのメモリゲート酸化膜15が形成されている。メモリゲート酸化膜15上に、P型拡散層7及び9と一部重複して、膜厚が例えば250~450nm、ここでは350nmのポリシリコン膜からなる浮遊ゲート17が形成されている。P型拡散層7,9、メモリゲート酸化膜15及び浮遊ゲート17はメモリトランジスタを構成する。

30

選択トランジスタ及びメモリトランジスタはメモリセルを構成する。

【 0 0 4 6 】

メモリセルとは異なる領域の、フィールド酸化膜3に囲まれた領域のNウェル2内にP型拡散層19,21が形成されている。P型拡散層19と21は間隔をもって形成されている。

P型拡散層19と21の間の領域を含むP基板1上に、膜厚が例えば10.0~15.0nm、ここでは13.5nmの周辺回路ゲート酸化膜23が形成されている。周辺回路ゲート酸化膜23上に、P型拡散層19及び21と一部重複して、膜厚が例えば250~450nm、ここでは350nmのポリシリコン膜からなる周辺回路ゲート25が形成されている。P型拡散層19,21、周辺回路ゲート酸化膜23及び周辺回路ゲート25は周辺回路トランジスタを構成する。

40

【 0 0 4 7 】

図2は、第1実施例のメモリセルをマトリクス配置した場合の一例を示す回路図である。

メモリセルがマトリクス配置されている。

横方向(ワードラインWL方向)に並ぶセル i_0, i_1, \dots の選択ゲート13は共通のワードライン WL_i に電氣的に接続されている。また、P型拡散層5は共通のソースライン SL_i に電氣的に接続されている。

縦方向(ビットラインBit方向)に並ぶセル $0_i, 1_i, \dots$ のP型拡散層9は共通の

50

ビットライン $B i t i$ に電氣的に接続されている。

ここで、 i は 0 又は自然数である。

【0048】

消去時は、紫外線照射により、すべてのセルを一括消去するようにする。

書込み時、例えばセル 00 のみを書き込む場合、書込みするセル 00 に接続されたワードライン $W L 0$ とビットライン $B i t 0$ を所定の電位 $-V_{pp}$ にバイアスし、他のワードライン $W L i$ 及び他のビットライン $B i t i$ また、ソースライン $S L i$ は 0 V にバイアスする。これにより、セル 00 の浮遊ゲート 17 にメモリゲート酸化膜を介して電子が注入されて、書込みされる。

【0049】

図 3 は、第 1 実施例を製造するための製造方法の一例を説明するための工程断面図であり、図 1 の A - A' 位置及び B - B' 位置に対応している。図 1 及び図 3 を参照してこの製造方法例を説明する。

【0050】

(1) P 基板 1 に N ウェル 2 を形成した後、P 基板 1 上に通常の LOCOS (local oxidation of silicon) 法によりフィールド酸化膜 3 (図 1 を参照。) 形成して素子分離を行なう。フィールド酸化膜 3 により画定された活性領域表面に例えば 6 ~ 16 nm の膜厚で犠牲酸化膜 27 を形成し、チャンネルドーブ注入を行なう ((A) 参照。)

【0051】

(2) 選択トランジスタ領域及び周辺回路トランジスタの形成領域を覆い、メモリトランジスタの形成領域に開口部をもつレジストパターン 29 を形成する。レジストパターン 29 をマスクにしてメモリトランジスタ領域の犠牲酸化膜 27 を選択的に除去する ((B) 参照。)

【0052】

(3) レジストパターン 29 を除去した後、熱酸化処理を施してメモリトランジスタ領域の N ウェル 2 表面に膜厚が例えば 6 ~ 10 nm のメモリゲート酸化膜 15 を形成する。このとき、選択トランジスタ領域と周辺回路トランジスタ領域の犠牲酸化膜 27 が例えば 12 ~ 20 nm の膜厚に成長して選択ゲート酸化膜 11 と周辺回路ゲート酸化膜 23 となる。その後、例えば 250 ~ 450 nm の膜厚でポリシリコン膜 31 を形成する ((C) 参照。)

【0053】

(4) 写真製版技術及びエッチング技術により、ポリシリコン膜 31 から、選択トランジスタ領域のフィールド酸化膜 3 上及び選択ゲート酸化膜 11 上に選択ゲート 13 を形成し、メモリトランジスタ領域のフィールド酸化膜 3 上及びメモリゲート酸化膜 15 上に浮遊ゲート 17 を形成し、周辺回路トランジスタ領域のフィールド酸化膜 3 上及び周辺回路ゲート酸化膜 23 上に周辺回路ゲート 25 を形成する。その後、イオン注入法により、選択ゲート 13、浮遊ゲート 17 及び周辺回路ゲート 25 をマスクにしてボロンの注入を行なって P 型拡散層 5, 7, 9, 19, 21 を形成する (図 1 参照。)

【0054】

図 4 は参考例を示す図であり、(A) はメモリセルの平面図、(B) は周辺回路トランジスタの平面図、(C) の A - A' 位置での断面図、(D) は (B) の B - B' 位置での断面図である。図 1 と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0055】

この参考例が図 1 を参照して説明した第 1 実施例を異なる点は、選択トランジスタを構成する選択ゲート酸化膜 33 がメモリゲート酸化膜 15 と同じ膜厚、例えば 6 ~ 10 nm、ここでは 7.5 nm に形成されている点である。選択ゲート酸化膜 33 はメモリゲート酸化膜 15 と同時に形成されたものである。

【0056】

図 5 は、図 4 の参考例を製造するための製造方法の一例を説明するための工程断面図で

10

20

30

40

50

あり、図2のA - A'位置及びB - B'位置に対応している。図2及び図3を参照してこの製造方法例を説明する。

【0057】

(1) 図3(A)を参照して説明した上記工程(1)と同じ工程により、P基板1にNウェル2、フィールド酸化膜3(図4を参照。)、犠牲酸化膜27を形成し、チャンネルドーピング注入を行なう((A)参照。)

【0058】

(2) 周辺回路トランジスタの形成領域を覆い、選択トランジスタ領域及びメモリトランジスタの形成領域に開口部をもつレジストパターン35を形成する。レジストパターン29をマスクにして選択トランジスタ領域及びメモリトランジスタ領域の犠牲酸化膜27を選択的に除去する((B)参照。)

10

【0059】

(3) レジストパターン29を除去した後、熱酸化処理を施して選択トランジスタ領域及びメモリトランジスタ領域のNウェル2表面に膜厚が例えば6~10nmの選択ゲート酸化膜33及びメモリゲート酸化膜15を形成する。このとき、周辺回路トランジスタ領域の犠牲酸化膜27の膜厚が成長して周辺回路ゲート酸化膜23となる。その後、ポリシリコン膜31を形成する((C)参照。)

【0060】

(4) 図1を参照して説明した上記工程(4)と同じ工程により、ポリシリコン膜31から選択ゲート13、浮遊ゲート17及び周辺回路ゲート25を形成し、さらにイオン注入法によりP型拡散層5,7,9,19,21を形成する(図4参照。)

20

【0061】

図6は第2実施例を示す図であり、(A)はメモリセル及びキャパシタの平面図、(B)は周辺回路トランジスタの平面図、(C)のA - A'位置での断面図、(D)は(B)のB - B'位置での断面図、(E)は(A)のC - C'位置での断面図である。図1と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0062】

P基板1の所定の領域にNウェル2が形成され、P基板1表面にフィールド酸化膜3が形成されている。

選択トランジスタ領域にP型拡散層5,7、選択ゲート酸化膜11及び選択ゲート13からなる選択トランジスタが形成されている。

30

メモリトランジスタ領域にP型拡散層7,9、メモリゲート酸化膜15及び浮遊ゲート17はメモリトランジスタが形成されている。

周辺回路トランジスタ領域にP型拡散層19,21、周辺回路ゲート酸化膜23及び周辺回路ゲート25は周辺回路トランジスタが形成されている。

【0063】

フィールド酸化膜3上に、浮遊ゲート17と同じ膜厚をもつ下部電極37が形成されている。下部電極37の表面に、膜厚が例えば15~40nm、ここでは20nmのシリコン酸化膜からなるキャパシタ絶縁膜39((A)での図示は省略)が形成されている。キャパシタ絶縁膜39上に選択ゲート13及び周辺回路ゲート25と同じ膜厚をもつポリシリコン膜からなる上部電極41が形成されている。下部電極37、キャパシタ絶縁膜39及び上部電極41はキャパシタを構成する。

40

浮遊ゲート17の表面にもキャパシタ絶縁膜39が形成されている。

【0064】

図7は、第2実施例を製造するための製造方法の一例を説明するための工程断面図であり、図6のA - A'位置、B - B'位置及びC - C'位置に対応している。図6及び図7を参照してこの製造方法例を説明する。

【0065】

(1) P基板1にNウェル2を形成した後、P基板1上に通常のLOCOS法によりフィールド酸化膜3(図6を参照。)形成して素子分離を行なう。フィールド酸化膜3により

50

画定された活性領域表面に例えば10～20nmの膜厚で犠牲酸化膜を形成し、チャネルドープ注入を行なう。犠牲酸化膜を除去した後、P基板1表面にメモリゲート酸化膜15を形成する。P基板1上全面にポリシリコン膜を例えば250～450nmの膜厚で形成し、そのポリシリコン膜をパターンニングして、メモリトランジスタ形成領域のメモリゲート酸化膜15上に浮遊ゲート17を形成し、キャパシタ形成領域のフィールド酸化膜3上に下部電極37を形成する((A)参照。)

【0066】

(2) 熱酸化処理を施して下部電極37及び浮遊ゲート17の表面に例えば15～40nmのシリコン酸化膜からなるキャパシタ絶縁膜39を形成する。このとき、選択トランジスタ領域と周辺回路トランジスタ領域のメモリゲート酸化膜15が例えば12～50nmの膜厚に成長して選択ゲート酸化膜11と周辺回路ゲート酸化膜23となる((B)参照。)

10

【0067】

(3) P基板1上全面に、例えば250～450nmの膜厚でポリシリコン膜31を形成する((C)参照。)

【0068】

(4) 写真製版技術及びエッチング技術により、ポリシリコン膜31から、選択ゲート酸化膜11上に選択ゲート13を形成し、周辺回路ゲート酸化膜23上に周辺回路ゲート25し、下部電極37上のキャパシタ絶縁膜39上に上部電極41を形成する。その後、イオン注入法により、選択ゲート13、浮遊ゲート17及び周辺回路ゲート25をマスクにしてボロンの注入を行なってP型拡散層5, 7, 9, 19, 21を形成する(図6参照。)

20

【0069】

図8は参考例を示す図であり、(A)はメモリセル及びキャパシタの平面図、(B)は周辺回路トランジスタの平面図、(C)のA-A'位置での断面図、(D)は(B)のB-B'位置での断面図、(E)は(A)のC-C'位置での断面図である。図1及び図6と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

【0070】

この参考例が図6を参照して説明した第2実施例を異なる点は、選択トランジスタを構成する選択ゲート酸化膜33がメモリゲート酸化膜15と同じ膜厚、例えば6～10nm、ここでは7.5nmに形成されており、選択ゲート13の表面にキャパシタ絶縁膜39が形成されている点である。選択ゲート酸化膜33はメモリゲート酸化膜15と同時に形成されたものである。

30

【0071】

図9は、図8の参考例を製造するための製造方法の一例を説明するための工程断面図であり、図8のA-A'位置、B-B'位置及びC-C'位置に対応している。図6及び図7を参照してこの製造方法例を説明する。

【0072】

(1) P基板1にNウェル2を形成した後、P基板1上に通常のLOCOS法によりフィールド酸化膜3(図8を参照。)形成して素子分離を行なう。フィールド酸化膜3により画定された活性領域表面に例えば10～20nmの膜厚で犠牲酸化膜を形成し、チャネルドープ注入を行なう。犠牲酸化膜を除去した後、P基板1表面にメモリゲート酸化膜15及び選択ゲート酸化膜33となるシリコン酸化膜を形成する。P基板1上全面にポリシリコン膜を例えば250～450nmの膜厚で形成し、そのポリシリコン膜をパターンニングして、メモリトランジスタ形成領域のメモリゲート酸化膜15上に浮遊ゲート17を形成し、選択トランジスタ形成領域の選択ゲート酸化膜33上に選択ゲート13を形成し、キャパシタ形成領域のフィールド酸化膜3上に下部電極37を形成する((A)参照。)

40

【0073】

(2) 熱酸化処理を施して下部電極37、選択ゲート13及び浮遊ゲート17の表面に例えば15～40nmのシリコン酸化膜からなるキャパシタ絶縁膜39を形成する。このと

50

き、周辺回路トランジスタ領域のシリコン酸化膜が例えば12～50nmの膜厚に成長して周辺回路ゲート酸化膜23となる((B)参照。)

【0074】

(3) P基板1上全面に、例えば250～450nmの膜厚でポリシリコン膜31を形成する((C)参照。)

【0075】

(4) 写真製版技術及びエッチング技術により、ポリシリコン膜31から、周辺回路ゲート酸化膜23上に周辺回路ゲート25を形成し、下部電極37上のキャパシタ絶縁膜39上に上部電極41を形成する。その後、イオン注入法により、選択ゲート13、浮遊ゲート17及び周辺回路ゲート25をマスクにしてボロンの注入を行なってP型拡散層5, 7, 9, 19, 21を形成する(図8参照。)

10

【0076】

上記の実施例では、周辺回路トランジスタとしてPMOSトランジスタを示しているが、本発明はこれに限定されるものではなく、周辺回路トランジスタとしてNMOSトランジスタを備えていてもよい、NMOSトランジスタ及びPMOSトランジスタの両方を備えていてもよい。

【0077】

図10に周辺回路トランジスタとしてNMOSトランジスタ及びPMOSトランジスタの両方を備えた一例としての第3実施例を示す。図1と同じ部分には同じ符号を付し、それらの部分の詳細な説明は省略する。

20

【0078】

P基板1の所定の領域にNウェル2とPウェル43が形成され、P基板1表面にフィールド酸化膜3が形成されている。

選択トランジスタ領域にP型拡散層5, 7、選択ゲート酸化膜11及び選択ゲート13からなる選択トランジスタが形成されている。

メモリトランジスタ領域にP型拡散層7, 9、メモリゲート酸化膜15及び浮遊ゲート17はメモリトランジスタが形成されている。

PMOSトランジスタ用の周辺回路トランジスタ領域にP型拡散層19, 21、周辺回路ゲート酸化膜23及び周辺回路ゲート25は周辺回路トランジスタが形成されている。

【0079】

フィールド酸化膜3に囲まれた領域のPウェル43内にN型拡散層45, 47が形成されている。N型拡散層45と47は間隔をもって形成されている。

30

N型拡散層45と47の間の領域を含むPウェル43上に、膜厚が例えば10～50nm、ここでは13.5nmの周辺回路ゲート酸化膜49が形成されている。周辺回路ゲート酸化膜49上に、N型拡散層45及び47と一部重複して、膜厚が例えば250～450nm、ここでは350nmのポリシリコン膜からなる周辺回路ゲート50が形成されている。N型拡散層45, 47、周辺回路ゲート酸化膜49及び周辺回路ゲート50はNMOSからなる周辺回路トランジスタを構成する。

同じP基板1にPMOSトランジスタとNMOSトランジスタを備えた構造は、通常のCMOS(Complimentary MOS)プロセスによって形成することができる。

40

【0080】

図11は分割抵抗回路と定電圧発生回路を備えた一実施例を示す回路図である。

直流電源51からの電源を安定して供給すべく、定電圧発生回路49が設けられている。定電圧発生回路49は、直流電源51が接続される入力端子(Vbat)53、基準電圧発生回路(Vref)55、演算増幅器57、出力ドライバを構成するPチャネル型MOSトランジスタ(以下、PMOSと略記する)59、分割抵抗61, 63及び出力端子(Vout)65を備えている。

【0081】

分割抵抗63はR0により構成される。分割抵抗61は、直列に接続された複数の抵抗値調整用抵抗素子R1, R2, ... Ri-1, Riを備えている。抵抗値調整用抵抗素子R

50

1, R2, ..., Ri-1, Riに対応してヒューズ用MOSトランジスタSW1, SW2, ..., SWi-1, SWiが並列に接続されている。

【0082】

ヒューズ用MOSトランジスタSW1, SW2, ..., SWi-1, SWiのオンとオフを切り替えるための読出し回路66及び不揮発性メモリセル67が設けられている。読出し回路66の出力は対応するヒューズ用MOSトランジスタSW1, SW2, ..., SWi-1, SWiのゲートに接続されている。不揮発性メモリセル67には複数のメモリセルが配置されており、ヒューズ用MOSトランジスタSW1, SW2, ..., SWi-1, SWiをオン又はオフする情報が記憶されている。読出し回路66は不揮発性メモリセル67の記憶状態に応じてヒューズ用MOSトランジスタSW1, SW2, ..., SWi-1, SWiをオン又はオフさせる。

10

【0083】

定電圧発生回路49の演算増幅器57では、出力端子がPMOS59のゲート電極に接続され、反転入力端子に基準電圧発生回路55から基準電圧Vrefが印加され、非反転入力端子に出力電圧Voutを抵抗61と63で分割した電圧が印加され、抵抗61, 63の分割電圧が基準電圧Vrefに等しくなるように制御される。

【0084】

図12は分割抵抗回路と電圧検出回路を備えた一実施例を示す回路図である。図11と同じ部分には同じ符号を付す。

電圧検出回路73において、測定すべき端子の電圧(入力電圧Vsens)が入力される入力端子68と接地電位の間、分割抵抗61, 63及び発振防止用抵抗素子RHが直列に接続されている。分割抵抗61, 63の構成は図5と同じである。

20

【0085】

抵抗値調整用抵抗素子R1, R2, ..., Ri-1, Riに対応してヒューズ用MOSトランジスタSW1, SW2, ..., SWi-1, SWiが並列に接続されている。ヒューズ用MOSトランジスタSW1, SW2, ..., SWi-1, SWiに読出し回路66が接続されている。読出し回路66に不揮発性メモリセル67が接続されている。

【0086】

抵抗素子61と接地の間に発振防止用抵抗素子RHが設けられている。発振防止用抵抗素子RHに並列にNチャンネル型の発振防止用ヒューズ用MOSトランジスタSWHが接続されている。発振防止用ヒューズ用MOSトランジスタSWHのゲートは演算増幅器57の出力に接続されている。

30

【0087】

演算増幅器57の反転入力端子は分割抵抗61と63の間の接続点に接続されている。演算増幅器57の非反転入力端子に基準電圧発生回路55が接続され、基準電圧Vrefが印加される。演算増幅器57の出力はインバータ69及び出力端子(DTout)71を介して外部に出力される。

【0088】

電圧検出回路73において、高電圧検出状態では発振防止用抵抗素子RHはオフ状態であり、入力端子68から入力される測定すべき端子の電圧が高く、分割抵抗61と分割抵抗63及び発振防止用抵抗素子RHにより分割された電圧が基準電圧Vrefよりも高いときは演算増幅器57の出力が論理値0を維持し、その出力はインバータ69により反転され論理値1にされて出力端子71から出力される。このとき演算増幅器57の反転入力端子に入力される分割電圧は、

40

$$\frac{\{(R0) + (RH)\}}{\{(R1) + (R2) \dots + (Ri-1) + (Ri) + (R0) + (RH)\}} \times (Vsens)$$

である。

【0089】

測定すべき端子の電圧が低下してきて分割抵抗61と分割抵抗63及び発振防止用抵抗素子RH63により分割された電圧が基準電圧Vref以下になると演算増幅器57の出力

50

が論理値 1 になり、その出力はインバータ 6 9 により反転され論理値 0 にされて出力端子 7 1 から出力される。

【 0 0 9 0 】

演算増幅器 5 7 の出力が論理値 1 になると、発振防止用ヒューズ用 MOS トランジスタ SW H がオン状態になり、分割抵抗 6 3 が発振防止用ヒューズ用 MOS トランジスタ SW H を介して接地電位に接続され、分割抵抗 6 1 と 6 3 の間の電圧が低下する。これにより、演算増幅器 5 7 の出力は論理値 1 を維持し、電圧検出回路 7 3 は低電圧検出状態になる。このように、発振防止用抵抗素子 RH 及び発振防止用ヒューズ用 MOS トランジスタ SW H は入力電圧 V sens が低下してきたときに電圧検出回路 7 3 の出力の発振を防止する。

【 0 0 9 1 】

電圧検出回路 7 3 の低電圧検出状態における演算増幅器 5 7 の反転入力端子に入力される分割電圧は、

$$(R_0) / \{(R_1) + (R_2) \dots + (R_{i-1}) + (R_i) + (R_0)\} \times (V_{sens})$$

である。電圧検出回路 7 3 を高電圧検出状態するための解除電圧は、低電圧検出状態における演算増幅器 5 7 の反転入力端子に入力される分割電圧が基準電圧 V ref よりも大きくなる入力電圧 V sens である。

【 0 0 9 2 】

図 1 1 及び図 1 2 に示した実施例において、読出し回路 6 6、基準電圧発生回路 5 5 及び演算増幅器 5 7 を構成する MOS トランジスタ、並びに、ヒューズ用 MOS トランジスタ SW 1, SW 2, ... SW i - 1, SW i 及び発振防止用ヒューズ用 MOS トランジスタ SW H として、本発明の半導体装置を構成する周辺回路トランジスタが用いられる。ただし、上記の MOS トランジスタの全部に本発明の半導体装置を構成する周辺回路トランジスタが用いられている必要はない。

【 0 0 9 3 】

図 1 1 及び図 1 2 に示した実施例では、読出し回路 6 6 及び不揮発性メモリセル 6 7 の制御により、ヒューズ用 MOS トランジスタ SW 1, SW 2, ... SW i - 1, SW i のオンとオフを選択して、分割抵抗 6 1 の抵抗値を調整することができる。これにより、定電圧発生回路 5 3 の出力電圧及び電圧検出回路 7 3 の出力電圧について設定電圧を調整することができる。

【 0 0 9 4 】

従来の定電圧発生回路及び電圧検出回路では、ヒューズ用 MOS トランジスタ SW 1, SW 2, ... SW i - 1, SW i、読出し回路 6 6 及び不揮発性メモリセル 6 7 に代えて、抵抗値調整用抵抗素子 R 1, R 2, ... R i - 1, R i ごとにポリシリコン又は金属材料からなるヒューズが並列に接続され、ヒューズを切断することにより分割抵抗の抵抗値を調整していた。

【 0 0 9 5 】

図 1 1 及び図 1 2 に示した実施例では、読出し回路 6 6 及び不揮発性メモリセル 6 7 の制御により、ヒューズでは困難であった一度オフ状態にしたスイッチ（ヒューズ用 MOS トランジスタ SW 1, SW 2, ... SW i - 1, SW i）を再度オン状態にすることができるので、定電圧発生回路 5 3 の出力電圧及び電圧検出回路 7 3 の出力電圧について設定電圧の変更を自由に行なうことができる。

【 0 0 9 6 】

さらに、不揮発性メモリセル 6 6 への書込みによりヒューズ用 MOS トランジスタ SW 1, SW 2, ... SW i - 1, SW i のオン状態又はオフ状態を切り替えることができるので、半導体装置をパッケージに収容した後でも、定電圧発生回路 5 3 の出力電圧及び電圧検出回路 7 3 の出力電圧について設定電圧の調整及び変更を行なうことができる。

【 0 0 9 7 】

図 1 1 及び図 1 2 では、本発明の分割抵抗回路を定電圧発生回路及び電圧検出回路に適用しているが、本発明はこれに限定されるものではなく、本発明の分割抵抗回路を他の回路に適用することもできる。

10

20

30

40

50

【0098】

以上、本発明の実施例を説明したが、数値、形状、材料、配置などは一例であり、本発明はこれらに限定されるものではなく、特許請求の範囲に記載された本発明の範囲内で種々の変更が可能である。

【図面の簡単な説明】

【0099】

【図1】第1実施例を示す図であり、(A)はメモリセルの平面図、(B)は周辺回路トランジスタの平面図、(C)のA-A'位置での断面図、(D)は(B)のB-B'位置での断面図である。

【図2】第1実施例のメモリセルをマトリクス配置した場合の一例を示す回路図である。

10

【図3】第1実施例を製造するための製造方法の一例を説明するための工程断面図であり、図1のA-A'位置及びB-B'位置に対応している。

【図4】参考例を示す図であり、(A)はメモリセルの平面図、(B)は周辺回路トランジスタの平面図、(C)のA-A'位置での断面図、(D)は(B)のB-B'位置での断面図である。

【図5】図4の参考例を製造するための製造方法の一例を説明するための工程断面図であり、図2のA-A'位置及びB-B'位置に対応している。

【図6】第2実施例を示す図であり、(A)はメモリセル及びキャパシタの平面図、(B)は周辺回路トランジスタの平面図、(C)のA-A'位置での断面図、(D)は(B)のB-B'位置での断面図、(E)は(A)のC-C'位置での断面図である。

20

【図7】第2実施例を製造するための製造方法の一例を説明するための工程断面図であり、図6のA-A'位置、B-B'位置及びC-C'位置に対応している。

【図8】参考例を示す図であり、(A)はメモリセル及びキャパシタの平面図、(B)は周辺回路トランジスタの平面図、(C)のA-A'位置での断面図、(D)は(B)のB-B'位置での断面図、(E)は(A)のC-C'位置での断面図である。

【図9】図8の参考例を製造するための製造方法の一例を説明するための工程断面図であり、図8のA-A'位置、B-B'位置及びC-C'位置に対応している。

【図10】第3実施例を示す図であり、(A)はメモリセル及の平面図、(B)はPMOSトランジスタからなる周辺回路トランジスタの平面図、(C)のA-A'位置での断面図、(D)は(B)のB-B'位置での断面図、(E)はNMOSトランジスタからなる周辺回路トランジスタの平面図、(F)は(E)のD-D'位置での断面図である。

30

【図11】分割抵抗回路と定電圧発生回路を備えた一実施例を示す回路図である。

【図12】分割抵抗回路と電圧検出回路を備えた一実施例を示す回路図である。

【図13】従来例としての1層ゲート型の不揮発性メモリを示す平面図である。

【図14】従来例としての2層ゲート型の不揮発性メモリを示す断面図である。

【図15】制御ゲートを備えていない不揮発性メモリを示す図であり、(A)は平面図、(B)は(A)のE-E'位置での断面図である。

【符号の説明】

【0100】

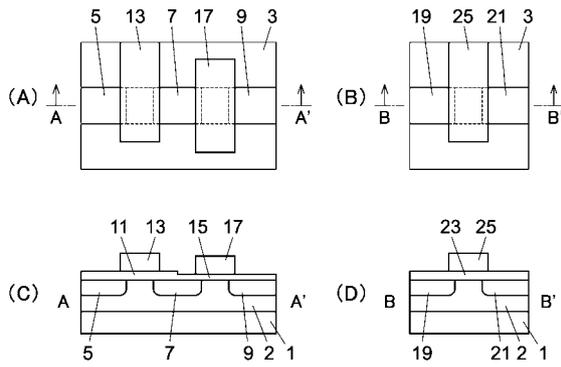
- 1 P基板(半導体基板)
- 2 Nウェル
- 3 フィールド酸化膜
- 5, 7, 9, 19, 21 N型拡散層
- 11, 33 選択ゲート酸化膜
- 13 制御ゲート
- 15 メモリゲート酸化膜
- 17 浮遊ゲート
- 23 周辺回路ゲート酸化膜
- 25 周辺回路ゲート
- 37 下部電極

40

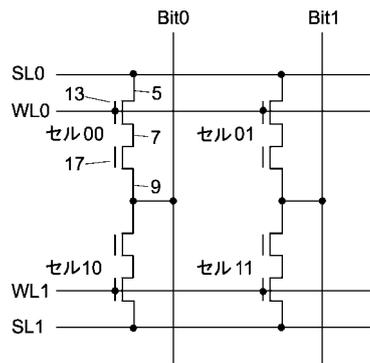
50

- 3 9 キャパシタ絶縁膜
- 4 1 上部電極
- 4 3 Pウェル
- 4 5 , 4 7 N型拡散層
- 4 9 周辺回路ゲート酸化膜
- 5 1 周辺回路ゲート

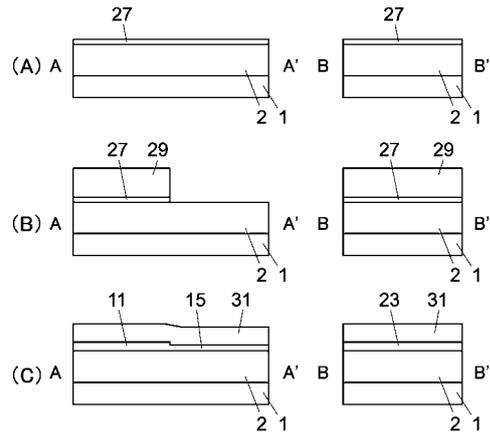
【 図 1 】



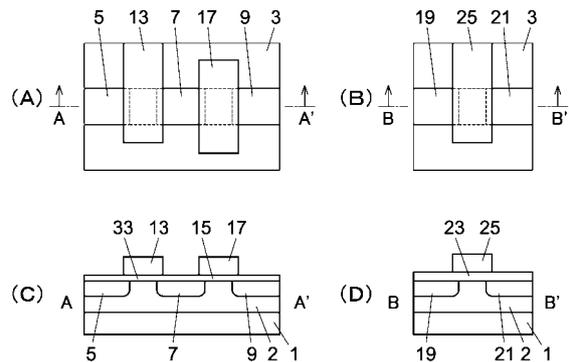
【 図 2 】



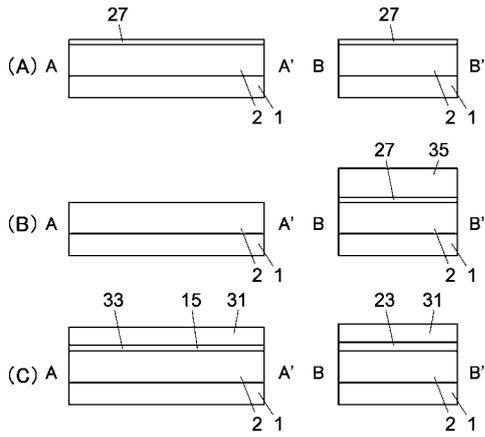
【 図 3 】



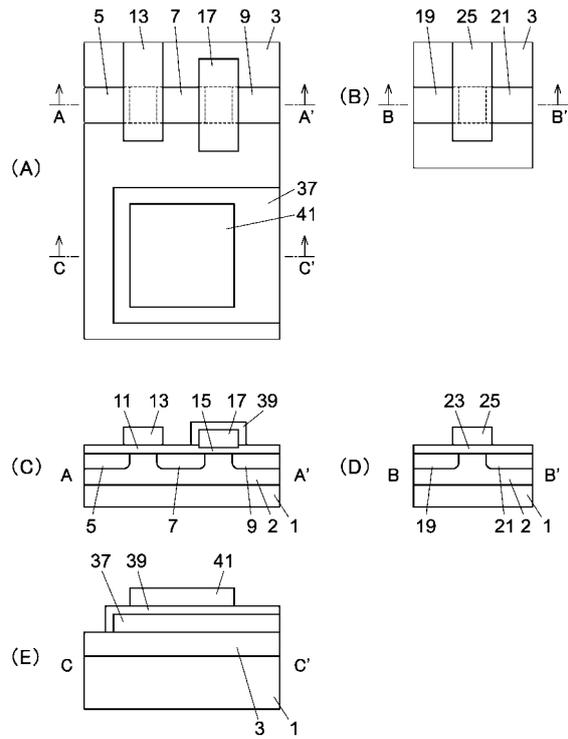
【 図 4 】



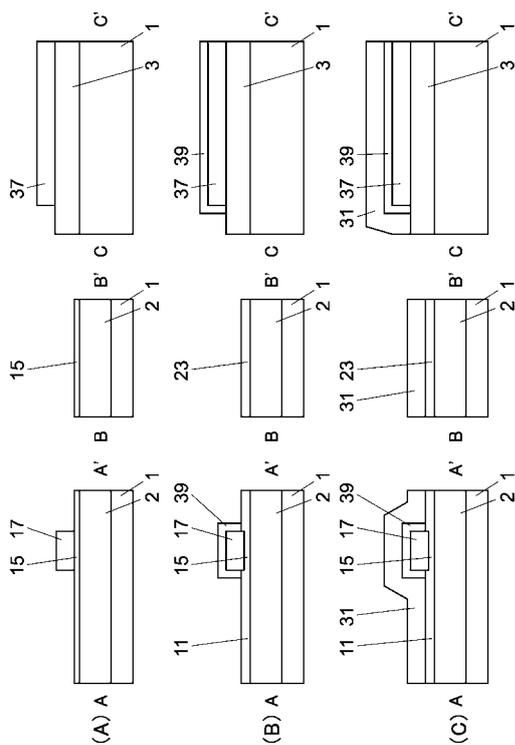
【 図 5 】



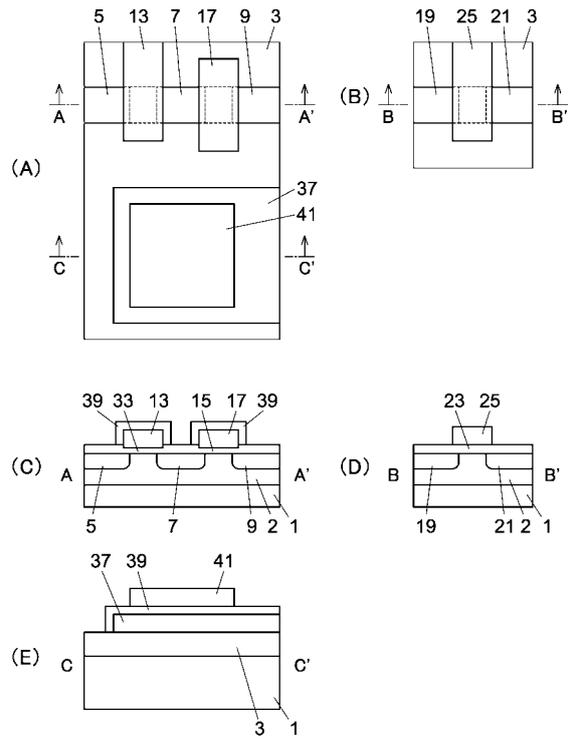
【 図 6 】



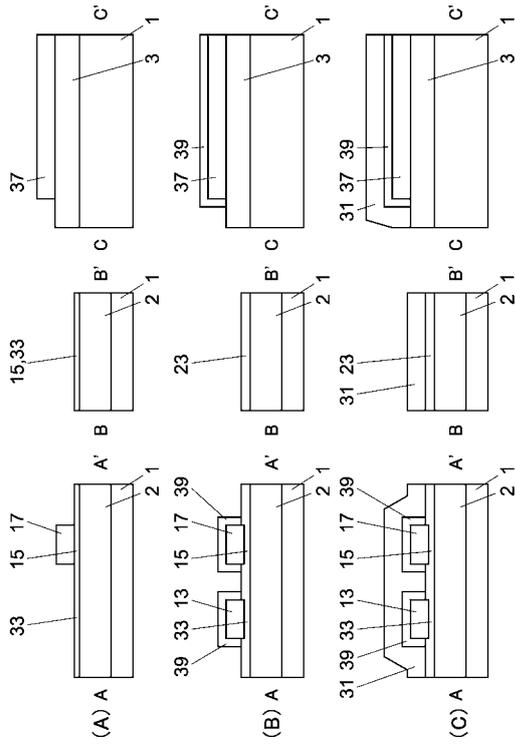
【 図 7 】



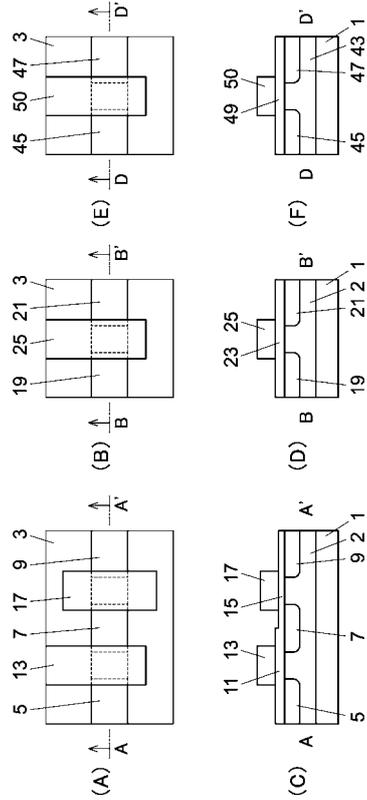
【 図 8 】



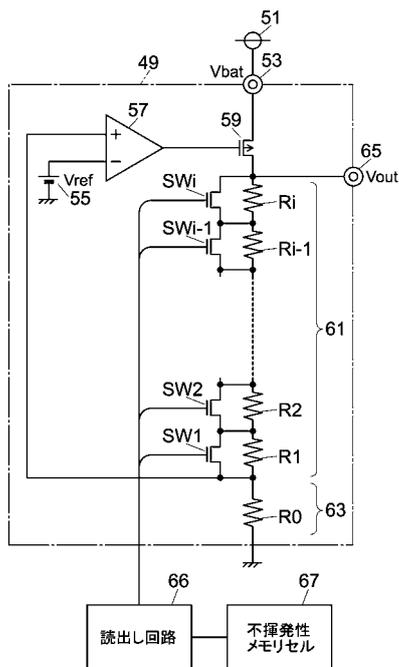
【図9】



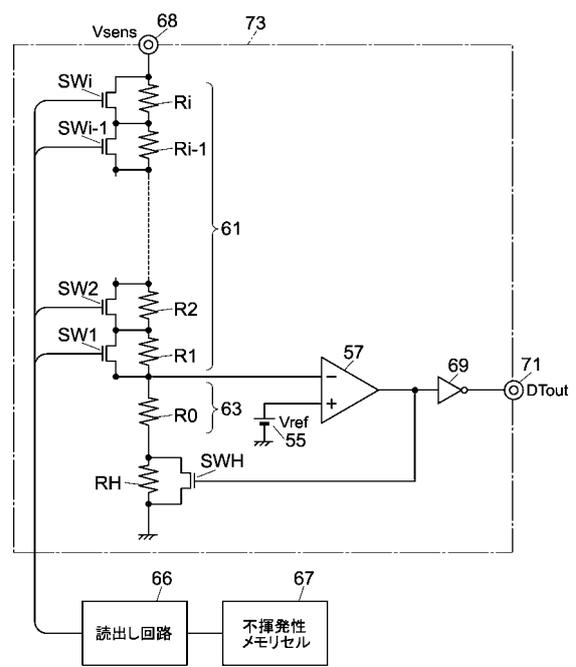
【図10】



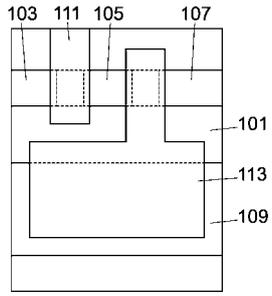
【図11】



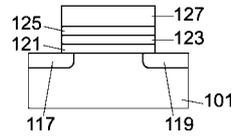
【図12】



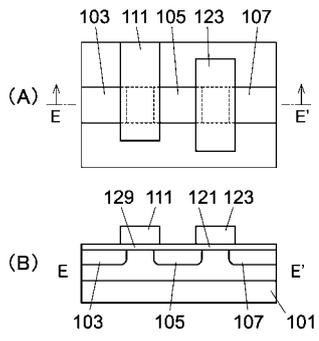
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(51) Int.Cl.		F I		
<i>H 0 1 L</i>	<i>21/8234</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/04</i> <i>B</i>
<i>H 0 1 L</i>	<i>27/06</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/04</i> <i>V</i>
<i>H 0 1 L</i>	<i>27/088</i>	<i>(2006.01)</i>	<i>G 1 1 C</i>	<i>17/00</i> <i>6 0 1 S</i>
<i>H 0 1 L</i>	<i>27/04</i>	<i>(2006.01)</i>	<i>G 1 1 C</i>	<i>17/00</i> <i>6 2 3 A</i>
<i>H 0 1 L</i>	<i>21/822</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/10</i> <i>4 8 1</i>
<i>G 1 1 C</i>	<i>16/02</i>	<i>(2006.01)</i>		
<i>G 1 1 C</i>	<i>16/04</i>	<i>(2006.01)</i>		
<i>H 0 1 L</i>	<i>27/10</i>	<i>(2006.01)</i>		

- (56) 参考文献 特開 2 0 0 3 - 3 2 4 1 6 4 (J P , A)
 特開 2 0 0 3 - 3 3 2 4 7 5 (J P , A)
 特開 2 0 0 3 - 3 4 7 4 3 5 (J P , A)
 特開平 0 9 - 1 5 3 6 0 1 (J P , A)
 特開 2 0 0 4 - 1 6 5 1 8 2 (J P , A)
 国際公開第 0 3 / 0 6 1 0 1 1 (W O , A 1)
 特開平 1 1 - 2 8 4 0 8 9 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)

H 0 1 L *2 1 / 8 2 4 7*
G 1 1 C *1 6 / 0 2*
G 1 1 C *1 6 / 0 4*
H 0 1 L *2 1 / 8 2 2*
H 0 1 L *2 1 / 8 2 3 4*
H 0 1 L *2 7 / 0 4*
H 0 1 L *2 7 / 0 6*
H 0 1 L *2 7 / 0 8 8*
H 0 1 L *2 7 / 1 0*
H 0 1 L *2 7 / 1 1 5*
H 0 1 L *2 9 / 7 8 8*
H 0 1 L *2 9 / 7 9 2*