(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/407

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0197204
(24) 등록일자 1999년02월24일

(21) 출원번호 10-1996-0014383
(22) 출원일자 1996년05월03일
(65) 공개번호 특1996-0042750
(43) 공개일자 1996년12월21일

(30) 우선권주장 95-113071 1995년05월11일 일본(JP)
(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자 쯔끼까와 야스히꼬
일본국 도꾜도 지요다구 마루노우찌 2-2-3 미쯔비시덴끼 가부시끼가이샤내
(74) 대리인 백남기

심사관 : 오제욱

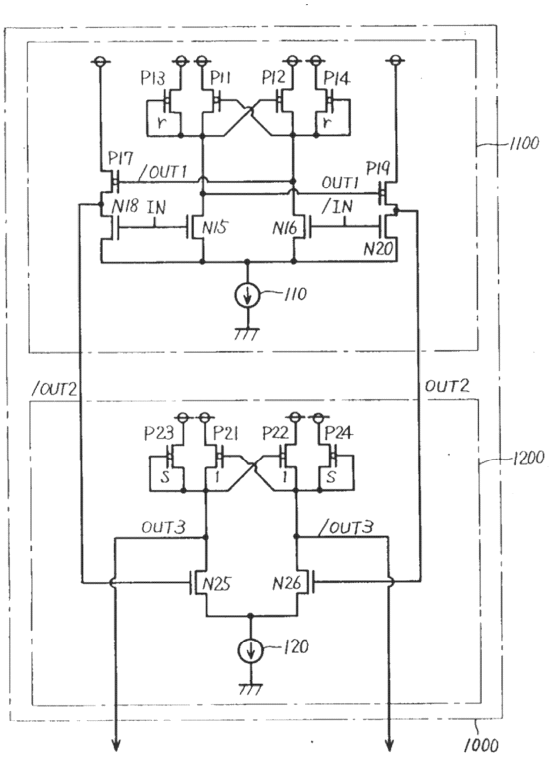
(54) 직류증폭이득의 설계 자유도가 높은 상보차동증폭기 및 그것을 사용한 반도체메모리장치

요약

반도체 집적회로 특히 반도체 메모리회로에 사용되고 미소한 상보신호를 고속으로 대진폭의 상보출력으로 증폭하는 상보차동증폭기에 관한 것으로, 직류증폭이득의 설계자유도를 높게 하고 전송속도지연을 저감하기 위해, 상보입력 사이의 전위레벨차를 증폭해서 상보출력을 발생하는 상보차동증폭기로서, 상보입력을 초단의 상보입력으로서 입력하고 입력된 상보입력을 순차 증폭하는 캐스캐이드접속된 여러단의 내부차동증폭수단을 구비하고, 내부차동증폭수단의 각각은 상보내부출력이 발생되는 한쌍의 제1 및 제2내부출력노드, 그의 소오스가 제1전원전위에 결합되고 그의 게이트가 그의 드레인에 교차 접속되고 그의 드레인이 한쌍의 내부출력노드에 각각 접속되는 한쌍의 제1도전형의 제1 및 제2MOS트랜지스터, 한쌍의 제1도전형의 MOS트랜지스터에 병렬로 제1전원과 한쌍의 내부출력노드 사이에 각각 접속된 제1도전형의 다이오드접속의 제3 및 제4MOS트랜지스터 및 한쌍의 내부출력노드와 제2전원 사이에 접속되어, 초단의 경우는 상보입력에 따라서, 다음단의 경우에는 이전단의 상보내부출력에 따라서 제1~제4MOS트랜지스터를 구동하는 구동회로를 포함하는 구성으로 하였다.

이러한 구성으로 하는 것에 의해, 직류증폭율에 대한 설계의 자유도를 높게 할 수 있고, 다음단의 구동회로나 논리회로의 지연시간을 단축하는 것이 가능하게 된다.

대표도



명세서

[발명의 명칭]

직류증폭이득의 설계 자유도가 높은 상보차동증폭기 및 그것을 사용한 반도체메모리장치

[도면의 간단한 설명]

제1도는 본 발명의 제1실시에에 따른 상보차동증폭기의 구성을 도시한 개략적 블록도.

제2도는 본 발명의 제1실시예에 따른 상보차동증폭기의 구성을 도시한 회로도.

제3도는 본 발명의 제1실시예에 따른 상보차동증폭기의 제1소신호모델을 도시한 회로도로서, 제3도(a)는 차동증폭회로를 도시한 회로도, 제3도(b)는 제3도(a)의 소신호모델을 도시한 회로도.

제4도는 본 발명의 제1실시예의 제2소신호모델을 도시한 회로도로서, 제4도(a)는 구동회로를 도시한 회로도, 제4도(b)는 제4도(a)의 소신호모델을 도시한 회로도.

제5도는 본 발명의 제2실시에를 도시한 회로도.

제6도는 본 발명의 제3실시예를 도시한 회로도.

제7도는 본 발명의 제4실시예를 도시한 개략적 블록도.

제8도는 본 발명의 제4실시예를 도시한 회로도.

제9도는 본 발명의 제4실시예중의 출력버퍼회로를 도시한 회로도.

제10도는 본 발명의 제4실시예의 동작을 도시한 제1타이밍도.

제11도는 본 발명의 제4실시예의 동작을 도시한 제2타이밍도.

제12도는 본 발명의 제4실시예중의 출력버퍼회로의 동작을 도시한 도면으로서, 제12도(a)는 싱글데이터선의 경우의 동작을 도시한 도면, 제12도(b)는 상보형 데이선의 경우의 동작을 도시한 도면.

제13도는 본 발명에 따른 상보차동증폭기의 구동능력을 도시한 파형도.

제14도는 종래의 리드회로를 도시한 회로도.

제15도는 종래의 리드회로의 동작을 도시한 타이밍도.

제16도는 종래의 상보차동증폭기의 구성을 도시한 회로도.

[발명의 상세한 설명]

본 발명은 반도체 집적회로 특히 반도체 메모리회로에 사용되고 미소한 상보신호를 고속으로 대진폭의 상보출력으로 증폭하는 상보차동 증폭기에 관한 것이다.

최근, 반도체장치 특히 다이나믹형 랜덤 액세스 메모리(이하, DRAM)의 메모리용량의 증대에 따라, 메모리셀로 부터의 데이터 리드신호의 진폭이 점점 감소하고 있다. 이 메모리셀로 부터의 데이터 리드시에 발생하는 잡음을 저감하기 위해서, 소위 귀환비트선 배치를 사용하는 것이 유효하다. 즉, 비트선쌍을 서로 근접해서 평행하게 배치하는 것에 의해 도위상의 잡음이 제거된다. 메모리셀로 부터의 데이터는 이 비트선쌍 사이에 발생되는 전위차로서 리드되고, 이 비트선 사이의 전위차가 센스앰프에 의한 상보신호로서 증폭된다.

한편, 상기 상보신호로서 증폭된 메모리셀 데이터를 데이터출력버퍼회로로 전송을 데이터선에 있어서는 일반적으로 신호의 배선지연이 크다. 또, 이 데이터선을 구동하는 상보차동증폭기의 전류구동능력에도 한계가 있으므로, DRAM의 리드속도를 결정하는 중요한 원인의 하나로 된다.

이 데이터선의 배치로서는 1개의 데이터선에 의해서 출력버퍼까지 신호를 전달하는 싱글데이터선 배치와 2개의 데이터선에 의해서 서로 상보한 신호를 각각 전송하는 상보데이터선 배치가 있다.

제14도는 종래의 반도체메모리장치에 있어서의 싱글데이터배치의 데이터리드회로를 도시한 회로도이다.

외부로 부터의 어드레스신호에 의해 선택된 워드선WL이 로우디코더(901)에 의해 H레벨로 되면, 메모리셀(711)내의 메모리셀 트랜지스터(710)이 도통상대로 되어 메모리셀 커패시터(903)과 비트선BL이 서로 접속된다.

메모리셀 커패시터(903)에 축적되어 있던 전하에 따라서 비트선BL의 전위가 변화하고, 비트선쌍BL과 ZBL 사이에 발생한 전위차가 센스앰프(902)에 의해 증폭된다.

칼럼디코더(900)은 클럭발생회로(도시하지 않음)로 부터의 신호φ1에 의해서 선택된 열에 대응하는 칼럼선택선CSL를 전위를 H레벨로 한다. 이것에 의해, N채널, MOS트랜지스터(720) 및 (721)이 도통상태로 되고, 메모리셀(711)의 기억정보에 따라서 서로 상보인 전위상태로 되어 있던 비트선쌍BL 및 ZBL이 데이터선쌍IO 및 ZIO와 접속된다.

차동증폭기(910)은 이 데이터선쌍IO 및 ZIO 사이의 전위차를 증폭하고, 그의 출력을 셀렉터/데이터래치회로(915)로 출력한다.

셀렉터/데이터래치회로(915)는 차동증폭기(910)으로 부터의 신호를 유지하고, 클럭발생회로(도시하지 않음)로 부터의 신호φ2에 따라서 데이터버스 구동회로(925)로 그 신호를 출력한다.

데이터버스 구동회로(925)로 부터의 신호는 데이터버스ZRBUS를 통해 전송되어 인버터(1001) 및 (1002)에

의해서 서로 상보인 신호OD 및 ZOD로 된다.

출력버퍼회로(47)은 신호OD 및 ZOD를 받고 클럭발생회로(도시하지 않음)로 부터의 신호φ3에 따라서 외부출력단자DOUT로 데이터를 출력한다.

다음에, 제14도에 리드회로의 동작에 대해서 설명한다. 제15도는 제14도의 리드회로의 동작을 도시한 타이밍도이다.

외부 칼럼스트로브신호Ext·ZCAS 및 외부 출력인에이블신호Ext·ZOE가 H에서 L로 변화하고, 외부어드레스신호Add의 데이터Y1을 액세스하는 경우에 대해서 설명한다.

외부어드레스신호Add의 데이터가 Y0에서 Y1로 변화하는 경우, 어드레스변화검출회로(도시하지 않음)로부터 출력되는 신호φ0에서 시작 t0에 있어서 펄스가 발생된다. 이 때, φ0이 상승에 따라서 H레벨의 신호φ1이 클럭발생회로(도시하지 않음)에서 발생된다.

그 결과, 칼럼디코더(900)이 칼럼선택선CSL을 선택한다. 이것에 의해 메모리셀(711)로 부터의 리드데이터가 비트선쌍BL, ZBL을 거쳐서 데이터선쌍 IO, ZIO으로 각각 전달된다. 그 결과, 데이터선쌍 IO, ZIO 사이에 전위차가 발생한다.

다음에, 신호φ0의 하강에 따라서서 신호φ2가 시각t1에 있어서 H레벨로 된다. 이것에 의해, 차동증폭기(910)이 동작하고, 셀렉터/데이터 래치회로(915)가 도통상태로 도어 차동증폭기(910)에서 출력되는 신호RD에 응답해서 신호ZRDA를 출력한다.

그리고, 신호ZRDA에 응답해서 데이터버스 구동회로(925)가 데이터버스ZRBUS를 구동시킨다. 구동된 데이터버스ZRBUS의 데이터에 응답해서, 인버트(1001) 및 (1002)가 시각t2에 있어서 각각 신호OD 및 ZOD를 발생하고 이들 신호가 출력버퍼(47)로 전달된다. 출력버퍼(47)은 신호OD, ZOD가 입력된 후, 클럭발생회로(도시하지 않음)로 부터의 신호φ3가 H레벨로 되는 시각t3에 있어서 동작을 개시하고, 외부출력데이터신호DOUT를 출력한다.

여기에서는 출력버퍼(47)을 활성화하는 신호φ3이 시각t2 이전의 시각t30에 있엇 H레벨로 된 경우를 고려한다. 이 경우, 메모리셀(711)로 부터의 리드데이터가 출력버퍼(47)로 전달되는 시각t2보다 이전에 출력버퍼(47)이 동작을 개시하게 된다. 이 때문에, 출력버퍼(47)은 일단 차동증폭기(910)의 대기시에 출력되는 신호RD의 H레벨을 리드 데이터로서 출력하게 된다.

이러한 경우, 외부출력데이터신호DOUT로서, L레벨의 실제 데이터(true data)와는 반대인 H레벨의 데이터(무효 데이터)가 일단 출력된다. 이 때문에 외부출력신호DOUT가 실제 데이터의 L레벨로 되는 시간이 정상 동작의 경우보다 △t 지연된다는 불합리가 발생한다.

이러한 불합리를 해소하기 위해서는 차동증폭기(910)에서 출력되는 신호가 출력버퍼(47)로 전달될 때까지 출력버퍼(47)의 동작을 개시시키는 타이밍을 지연시켜야 한다.

그러나, 대용량의 메모리에서는 칩 사이즈의 증가에 따라서 데이터버스ZRBUS의 신호전파시간이 길어지므로, 차동증폭기(910)의 출력신호가 출력버퍼(47)까지 전달되는 시간이 길어진다. 또, 출력버퍼(47)을 활성화시키는 타이밍을 결정할 때, 차동증폭기(910)과 출력버퍼(47) 사이에 발생되는 트랜지스터의 성능변화를 예상하고, 신호φ3이 H레벨로 되는 타이밍을 지연시킬 필요가 있다.

그러나, 신호φ3이 H레벨로 되지 않는한, 차동증폭기(910)의 출력신호가 출력버퍼(47)에 전달되어 있어도 외부출력데이터신호DOUT가 출력되지 않는다. 이 때문에 신호φ3이 H레벨로 되는 타이밍을 지나치게 지연시키면, 상기 무효데이터는 출력되지 않지만 대신에 액세스가 지연된다는 문제가 발생한다.

본 발명의 목적은 직류증폭이득의 설계자유도가 높은 상보증폭기를 제공하는 것이다.

본 발명의 다른 목적은 상기한 바와 같은 상보증폭기에서 증폭된 상보신호에 의해서 출력신호를 전송하는 것에 의해 전송속도지연을 저감한 반도체장치를 제공하는 것이다.

본 발명을 요약하면, 상보입력의 레벨차를 증폭해서 상보출력을 발생하는 상보차동증폭기로서, 차동입력을 초단의 상보입력으로서 입력하고 순차 증폭하는 캐스캐이드접속된 여러단의 내부차동증폭수단을 구비한다. 내부차동증폭회로의 각각은 상보내부출력을 각각 발생하는 한쌍의 제1 및 제2내부출력노드, 그의 소오스가 제1전원전위에 결합되고 그의 게이트가 그의 드레인에 교차 접속되고 그의 드레인이 한쌍의 내부출력노드에 각각 접속되는 한쌍의 제1도전형의 제1 및 제2MOS트랜지스터, 한쌍의 제1도전형의 제1 및 제2MOS트랜지스터에 병렬로 제1전원과 한쌍의 내부출력노드 사이에 각각 접속된 제1도전형의 다이오드접속의 제3 및 제4MOS트랜지스터 및 한쌍의 내부출력노드와 제2전원 사이에 접속되어, 초단의 경우에는 상보입력에 따라서, 다음단의 경우에는 이전 단의 상보내부출력에 따라서 제1~제4MOS트랜지스터를 구동하는 구동회로를 포함한다.

본 발명의 다른 특징에 따르면, 바람직하게는 MOS트랜지스터의 사이즈를 (게이트폭)/(게이트 길이)로 정의할 때, 제1 및 제2MOS트랜지스터는 제1 사이즈를 갖고, 제3 및 제4MOS트랜지스터는 제2사이즈를 갖고, 제2사이즈는 제1사이즈보다 크다.

따라서, 본 발명의 주된 이점은 제1 및 제2MOS트랜지스터와 제3 및 제4MOS트랜지스터의 게이트폭과 게이트길이의 조절 및 증폭기의 단수의 설정에 의해, 원하는 값으로 DC이득을 조절할 수 있다는 것이다. 따라서, 설계의 자유도를 대폭으로 향상시킬 수 있음과 동시에 이 증폭기에 의해서 구동되는 논리회로의 지연시간을 단축시킬 수 있다.

본 발명의 다른 이점은 제1 및 제2MOS트랜지스터와 제3 및 제4MOS트랜지스터의 (게이트폭)/(게이트길이)비의 값 및 단수를 조절하는 것에 의해 원하는 값으로 AC이득을 조절할 수 있다는 것이다.

본 발명의 상기 및 그 밖의 목적과 새로운 특징은 이하 본 발명의 명세서 및 첨부도면에 의해서 더욱 명확하게 될 것이다.

[제1 실시예]

제1도는 본 발명의 제1실시예에 따른 상보차동증폭기의 구성을 도시한 개략적 블록도이다.

P채널 MOS트랜지스터 P11, P12, P13 및 P14는 각각 그의 소오스가 전원 Vcc에 접속되어 있다. P11 및 P12는 그의 게이트가 그의 드레인에 교차 접속되어 있다. P13 및 P14는 각각의 게이트 및 드레인이 다이오드 접속되어 각각 P11 및 P12에 벙렬 접속되어 있다.

전류구동회로(100)은 상보입력IN 및 /IN에 따라서 P11, P12, P13 및 P14에 흐르는 전류를 구동한다. P11 및 P12의 드레인의 전위가 각각의 출력으로서 추출되어 내부구동회로(102) 및 (104)를 거쳐서 다음단의 전동구동회로(200)에 입력된다.

상기한 다음단의 내부상보증폭기(1200)은 P채널 MOS트랜지스터 P11, P12, P13 및 P14의 경우와 마찬가지의 접속관계를 갖는 P채널 MOS트랜지스터 P21, P22, P23 및 P24를 포함한다. 전류구동회로(200)은 초단의 출력OUT2'/OUT2를 입력으로서 입력받고, 그것에 따라서 P21, P22, P23 및 P24를 각각 구동한다. P21 및 P22의 드레인의 전위가 내부출력OUT3 및/OUT3으로서 다음단으로 출력된다.

제2도는 제1실시예에 따른 상보차동증폭기의 구성을 보다 상세하게 도시한 회로도이다.

전류구동회로(100)은 한쌍의 N채널 MOS트랜지스터 N15 및 N16과 정전류원(110)으로 이루어진다. 전류구동회로(200)도 마찬가지로 N채널 MOS트랜지스터 N25 및 N26 과정전류원(120)으로 이루어진다.

상보입력 IN 및 /IN은 각각 N15 및 N16의 게이트에 입력된다. 초단으로 부터의 내부출력 OUT2 및/OUT2는 각각 N채널 MOS트랜지스터 N25 및 N26의 게이트에 입력된다.

내부구동회로(102)는 전원Vcc와 전류원(110) 사이에 직렬로 접속된 P채널 MOS트랜지스터 P19 및 N채널 MOS트랜지스터 N20으로 이루어진다. P19의 게이트는 P11의 드레인의 전위인 OUT1이 입력되고 N20의 게이트에는 상보입력의 한쪽의 신호/IN이 입력된다. P19 및 N20의 접속점의 전위가 내부출력 OUT2로서 추출된다.

내부구동회로(104)도 마찬가지로 P채널 MOS트랜지스터 P17 및 N채널 MOS트랜지스터 N18로 이루어진다. P17의 게이트에는 P12의 드레인의 전위인 /OUT1이 입력되고, N18이 게이트에는 상보입력의 다른쪽의 신호IN이 입력된다. P17 및 P18의 접속점의 전위가 내부출력 /OUT2로서 추출된다.

2단째의 내부차동증폭회로(1200)에 있어서는 초단의 내부출력OUT2 및 /OUT2가 각각 N채널 MOS트랜지스터 N25 및 N26의 게이트에 입력된다.

이하, 제2도에 도시한 초단의 내부차동증폭기(1100) 및 2단째의 내부차동증폭기(1200)로 이루어지는 2단 증폭기의 증폭율을 소신호특성의 해석에 의해 산출하기로 한다.

(1) 제1스텝

제3도(a)는 제2도에 도시한 2단증폭기중 초단의 내부차동증폭기(1100)에 포함되는 P채널 MOS트랜지스터 P11, P12, P13 및 P14와 N채널 MOS트랜지스터 N15 및 N16으로 이루어지는 회로를 도시한 회로도이다.

제3도(b)는 상기의 회로에 대한 소신호모델이다.

즉, P채널 MOS트랜지스터 P11 및 P12는 게이트전위의 변화에 비례하는 전류를 출력하는 정전류원에 근사된다.

이하에서는 트랜지스터의 사이즈를 (게이트폭)/(게이트길이)로 정의하고, P11 및 P12는 동일한 사이즈를 갖고, P13 및 P14도 동일한 사이즈를 갖는 것으로 한다. 그리고, P11의 사이즈에 대한 P13의 사이즈의 비를 r(여기에서 r1)로 한다.

P11의 게이트에는 내부출력/OUT1이 입력되므로, 내부출력의 미소변위 △OUT1에 대해서 이 정전류원의 출력은

$$g_{mP}\triangle OUT1 \quad \cdots (1)$$

로 된다.

마찬가지로, P12의 게이트에는 P11로의 입력신호의 반전신호 OUT1이 입력되므로, P12에 대응하는 정전류원의 출력은

$$-g_{mP}\triangle OUT1 \quad \cdots (2)$$

로 된다. P채널 MOS트랜지스터 P13 및 P14는 각각 그의 게이트와 그의 드레인이 다이오드 접속되어 있으므로, P채널 MOS트랜지스터 P13 및 P14은 각각 소신호모델에 있어서의 트랜스콘덕턴스에 비례하는 저항값에 근사된다. 따라서, P13에 대응하는 저항값은

$$rg_{mp} \quad \cdots (3)$$

로 된다.

마찬가지로, P14에 대응하는 저항값은

$$rg_{mP} \quad \cdots (4)$$

으로 된다.

한편, N채널 MOS트랜지스터 N15 및 N16은 각각 입력의 미소전위차에 비례한 출력을 갖는 정전류원과 드레인콘덕턴스의 병렬 접속으로 근사된다.

따라서, N15에 있어서 정전류원 및 드레인콘덕턴스의 출력은 각각

$$g_{mN} \triangle IN \quad \cdots (5)$$

$$g_{ON} \quad \cdots (6)$$

로 된다.

마찬가지로, N16에 있어서, N16에는 N15와는 상보인 입력이 입력되므로 정전류원 및 드레인콘덕턴스의 출력값을 각각

$$-g_{mN} \triangle IN \quad \cdots (7)$$

$$g_{ON} \quad \cdots (8)$$

로 된다.

이상의 조건하에서, 예를 들면 내부출력OUT1이 출력되는 노드에 대해서 키르히호프(kirchhof's)의 법칙을 적용하면,

$$-(rg_{mP}+g_{ON}) \triangle OUT1 - g_{mN} \triangle IN + g_{mP} \triangle OUT1 = 0$$

$$\{g_{mP}(1-r)-g_{ON}\} \triangle OUT1 - g_{mN} \triangle IN = 0 \quad \cdots (9)$$

이 얻어진다.

따라서, 상기 식(9)을 변형하면,

$$\triangle OUT1/\triangle IN = g_{mN}/\{g_{mP}(r-1)+g_{ON}\} \quad \cdots (10)$$

이 얻어진다.

또, g_{mP}가 g_{ON}에 비해 충분히 크다는 가정하에 근사를 실행하면,

$$\triangle OUT1/\triangle IN = 1/(r-1) \cdot g_{mP}/g_{mP} \quad \cdots (11)$$

이 얻어진다.

(2) 제2스텝

여기에서는 P17 및 N18과 P19 및 N20에 의해 각각 구성되는 내부구성회로의 각각의 증폭율에 대해서 마찬가지의 계산을 실행한다.

제4도(a)는 상기 내부구동회로를 도시한 회로도이다.

제4도(b)는 제4도(a)에 도시한 회로의 소신호모델이다.

P채널 MOS트랜지스터 P17은 입력에 비례하는 출력을 갖는 정전류원과 드레인콘덕턴스의 병렬접속으로 근사된다. 이 정전류원 및 드레이콘덕턴스의 출력은

$$g_{mP}\triangle OUT1 \quad \cdot\cdot\cdot (12)$$

$$g_{OP} \quad \cdot\cdot\cdot (13)$$

으로 된다.

마찬가지로, N채널 MOS트랜지스터 N18도 정전류원과 드레인콘덕턴스의 병렬접속으로서 근사되고, 이 정전류원 및 드레인콘덕턴스의 출력은 각각

$$g_{mN}\triangle IN \quad \cdot\cdot\cdot (14)$$

$$g_{ON} \quad \cdot\cdot\cdot (15)$$

로 된다.

따라서, /OUT2가 출력되는 노드에 대해서 키르히호프의 법칙을 적용하면,

$$-(g_{OP}+g_{ON})\triangle OUT2+g_{mP}\triangle OUT1+g_{mN}\triangle IN = 0 \quad \cdot\cdot\cdot (16)$$

이 얻어진다. 이 식에 식(11)을 상기 식(16)에 대입하면,

$$\triangle OUT2/\triangle IN = \{g_{mP}/(r-1)+g_{mN}\}/(g_{OP}+g_{ON}) \quad \cdot\cdot\cdot (17)$$

이 얻어진다. 또, $g_{mP}=g_{mN}=g_m$, $g_{OP}=g_{ON}=g_0$라는 가정하에 근사를 실행하면,

$$\triangle OUT2/\triangle IN = \{r/(r-1)\}\cdot g_m/(2g_O) \quad \cdot\cdot\cdot (18)$$

이 얻어진다.

(3) 제3스텝

제2단째의 이득에 관해서는 상기 제1스텝의 경우와 마찬가지로 P채널 MOS트랜지스터 P21 및 P22가 동일 사이즈를 갖고, P채널 MOS트랜지스터 P23 및 P24가 동일 사이즈를 갖는 것으로 한다. 그리고, P21에 대한 P23의 사이즈의 비를 s로 하기로 한다.

이하의 계산은 제1스텝의 경우와 마찬가지로 실행할 수 있으며, 그의 이득은 이하의 식으로 나타내어진다.

$$\triangle OUT3/\triangle OUT2 = \{1/(s-1)\}\cdot g_m/g_O \quad \cdot\cdot\cdot (19)$$

이에 따라, 2단 상보증폭기의 전체로서의 이득은

$$G_{22} = \triangle OUT3/\triangle IN \quad \cdot\cdot\cdot$$

$$= \{r/(r-1)(s-1)\}\cdot (g_m/g_O)^2/2 \quad \cdot\cdot\cdot (20)$$

으로 된다.

따라서, 이 상보증폭기(1000)의 이득G_{22}는 제15도에 도시한 종례예와 달리, 트랜지스터의 동작점에 의해서 결정되는 정수 g_m 및 g_0뿐만 아니라 설계에 의해서 결정할 수 있는 파라미터 r, s에 의해서도 조절할 수 있다.

따라서, r 및 s를 각각 1에 가까운 임의의 값으로 설정하는 것에 의해 원하는 이득을 얻을 수 있어 증폭기의 이득에 대한 설계자유도를 향상시킬 수 있게 된다.

다음에, 제2도에 도시한 2단 상보증폭기(1000)에 있어서 상보입력IN 및 /IN의 레벨변동에 대한 출력레벨의 변동에 대해서 고찰한다.

이하의 설명에 의해 명확하게 되는 바와 같이, 이 차동증폭회로(1000)은 입력 신호IN 및 /IN의 레벨의 기준레벨에 대해서 변동하더라도 출력 신호OUT2 및 /OUT2를 변동시키지 않는 기능을 갖는다. 즉, 이차동증폭기(1000)은 전압변동을 보상하는 기능을 갖는다.

다음에 그와 같은 전압변동을 보상하는 기능에 대해서 설명하다.

트랜지스터 N15 및 N18은 동시에 도통 또는 비도통상태로 되고, 또 트랜지스터 N16 및 N20도 동시에 도통 또는 비도통상태로 된다.

트랜지스터 P12 및 P19은 트랜지스터 N15의 드레인의 전위에 응답해서 동시에 도통 또는 비도통상태로 된다. 또, 트랜지스터 P11 및 P17도 트랜지스터 N16의 드래인의 전위에 응답해서 동시에 도통 또는 비도통상태로 된다.

트랜지스터 P11 및 P12는 서로 교차 연결되어 있으므로, 트랜지스터 N15 또는 N18이 도통상태로 되면, 그 도통된 트랜지스터의 드레인의 전위에 응답해서 트랜지스터 P11과 P12중의 한쪽의 도통상태로 되고 다른 쪽이 비도통상태로 된다.

따라서, 입력신호 IN에 응답해서 트랜지스터 N18이 도통상태로 되면 트렌지스터 P19가 도통상태로 된다. 또, 입력신호/IN에 응답해서 트랜지스터 N20이 도통상태로 되면 트랜지스터 P17이 도통상태로 된다. 이것에 의해, 출력 신호 OUT2 및/OUT2가 서로 상보인 신호로 된다.

다음에 신호IN 및 /IN의 각각의 레벨이 변동하는 경우에 대해서 설명하다. 예를들어, 신호IN의 레벨변동에 의해 트랜지스터 N15 및 N18의 상태가 도통상태 측으로 크게 변화하면, 이들 트랜지스터의 드레인의 전위가 통상 레벨에 대해서 변동하는 출력 신호/OUT2의 레벨이 변동할 염려가 있다.

그러나, 트랜지스터 P11 및 P12가 서로 교차 연결되어 있으므로, 트랜지스터 N15의 드레인의 전위가 변동하면 트랜지스터 P12 및 P14의 공통의 드레인의 전위는 반대 방향으로 변동한다. 이것에 의해, 트랜지스터 P17의 상태가 비도통상태 측으로 약간 변화한다.

따라서, 트랜지스터 N18이 도통상태 측으로 크게 변화해도 트랜지스터 P17의 상태는 비도통상태 측으로 약간 변화하므로, 트랜지스터 N18의 도통상태의 변화에 의한 신호/OUT2의 변동이 트랜지스터 P17의 비도통상태의 변화에 의해서 상쇄된다.

이 때문에, 신호IN의 레벨이 변동하더라도 신호/OUT2의 변동이 억제된다. 이러한 기능은 신호 OUT2의 경우에 대해서도 마찬가지로 작용된다. 또, 이러한 기능은 신호/IN이 변동한 경우에도 마찬가지로 작용된다.

따라서, 이 차동증폭회로는 입력 신호IN 및 /IN의 각각의 레벨의 변동을 보상하는 것이 가능하다. 따라서, 입력 신호IN 및 /IN의 각각이 변동하더라도 높은 전압이득을 유지할 수 있게 된다.

[제2 실시예]

제5도는 본 발명의 제2실시예에 따른 상보차동증폭기의 구성을 도시한 회로도이다.

제2실시예에 있어서 제1실시예와 다른 점은 초단의 내부차동증폭회로의 출력이 내부구동회로(102) 및 (104)를 거치지 않고 직접 2단째의 입력에 접속되어 있는 점이다.

따라서, 이 경우에 있어서 이 2단증폭기의 소신호증폭율은 제1실시예의 경우와 마찬가지의 계산에 이해 얻어진 다음의 식에 의해서 정의된다.

$$1/(r-1)(s-1)\cdot(g_m/g_O)^2 \qquad \cdots (21)$$

즉, 이 회로에 있어서도 초단증폭기의 증폭율은 트랜지스터의 동작점에 의해서 뿐만 아니라 트랜지스터 사이즈에 의존하는 양 r 및 s에 의해서도 조절할 수 있으므로, 증폭율의 설계자유도를 더욱 향상시킬 수 있다.

본 실시예에 있어서는 제1실시예에 있어서와 같은 입력IN 및 /IN의 레벨변동에 대한 보상기능은 갖고 있지 않다. 그러나, 반도체기판상에 제작하면, 증폭기를 구성하는 트랜지스터의 수가 감소되므로 증폭기의 레이아우트면적을 감소시킬 수 있다.

[제3실시예]

제6도는 본 발명의 제3실시예에 따른 상보차동증폭기의 구성을 도시한 회로도이다.

제3실시예에 있어서 제1실시예와 다른 점은 정전류원(110) 및 (120)이 각각 차동증폭기 활성화신호ACT에 의해서 제어되는 N채널 MOS트랜지스터 N30 및 N31로 되어 있는 점이다. 따라서, 이 회로를 집적회로에 있어서 사용한 경우, 차동증폭기 활성화신호ACT에 의해 이 2단증폭기의 동작을 제어하는 것이 가능하다. 즉, 예를 들어 증폭동작이 대기상태에 있는 경우에는 이 증폭회로의 동작을 정지시킬 수 있다.

[제4 실시예]

제7도는 본 발명에 따른 상보차동증폭기를 DRAM에 적용한 경우의 회로구성을 도시한 개략적 블록도이다.

제7도의 회로배치에 의하면, 데이터버스를 상보 데이터선 배치로 하는 것에 의해 출력버퍼회로(47)이 데이터를 출력하는 타이밍을 클럭발생회로(도시하지 않음)로 부터의 신호ψ3에 의한 타이밍에 의해서가 아니라 전송된 데이터 그 자체의 타이밍에 의해서 제어할 수 있게 된다. 즉, 데이터선이 서로 상보이므로, 데이터가 출력버퍼로 전달되기 이전에는 예를들면 데이터선쌍의 신호레벨이 L레벨로 되고, 신호가 전달되면 그 신호레벨에 따라서 데이터선쌍 중의 한쪽의 데이터선의 레벨이 H레벨로 되고 다른쪽의 데이터선이 L레벨로 되며, 출력버퍼회로(47)은 한쪽의 데이터선의 H레벨과 다른쪽의 데이터선의 L레벨을 검출하여 데이터를 출력한다.

상기와 같은 상보데이터선 배치에 대해서는 1994년 12월 9일에 출원된 미국특허출원번호 08/304, 749호 중에도 개시되어 있다.

이러한 상보데이터버스에 대해서 신호를 출력하기 위한 차동증폭기의 예로서, 일본국 특허공개공보 평성 4-79080호의 제7도에 도시된 종래의 상보차동증폭기가 제16도에 도시되어 있다.

이 예에 있어서, 상보증폭기(2000)은 내부차동증폭기(2100) 및 내부차동증폭기(2200)으로 이루어지는 2단의 차동증폭을 실행한다.

이 종래예의 특징은 내부차동증폭기(2100) 및 (2200)의 각각이 역상이 비대칭의 전류미러형 차동증폭회로의 쌍을 사용하여 역상의 상보출력을 얻고 있는 점이다. 초단의 내부차동증폭기(2100)의 직류증폭이득G_1은 MOS트랜지스터의 트랜스콘덕턴스를 G_m, 드레인 콘덕턴스를 g_0으로 하는 경우,

$$G_{01} = g_m/g_0 \quad \cdots (22)$$

로 된다. 또, 2단째의 차동증폭기(2000)도 초단의 차동증폭기(2100)와 마찬가지의 구성으로 되어 있으므로, 2단의 전체 직류증폭이득G_2는

$$G_{02} = (g_m/g_0)^2 \quad \cdots (23)$$

로 된다.

g_m은 g_0보다 값이 크므로, 2단증폭을 실행하는 것에 의해서 큰 직류증폭이득을 얻을 수 있다.

그러나, 제16도의 종래의 상보차동증폭기에서는 다음과 같은 문제점이 있다.

즉, 직류증폭이득이 트랜지스터의 동작점에서 결정되는 정수 g_m, g_0에 의해서 결정되어 버린다는 것이다. 따라서, 회로 설계에 대한 자유도가 작고, 또 큰 직류증폭이득을 얻기 위해서는 3단 이상의 차동증폭기를 사용하는 것이 필요하게 된다. 이것은 회로속도의 저하 및 레이아우트면적의 증대라는 점에 있어서 불합리하다.

그래서, 본 발명은 상기 문제점을 해결하기 위해 다음에 기술하는 구성을 갖는다.

제7도에 있어서, 어드레스버퍼(351)은 외부에서 공급된 어드레스신호 A0~Ai를 로우디코더(302) 및 칼럼디코더(304)로 선택적으로 공급한다. 로우디코더(302)는 어드레스버퍼(351)에서 공급되는 로우어드레스신호에 응답해서 여러개의 워드선WL중의 1개를 선택해서 구동한다. 칼럼디코더(304)는 어드레스버퍼(351)에서 공급되는 칼럼어드레스신호에 응답해서 여러개의 비트선쌍중의 1개를 선택한다.

리드동작에 있어서, I/O제어회로(354)는 대응하는 비트선쌍 사이의 전위차를 증폭한다. 칼럼디코더(304)에 의해서 선택된 비트선쌍에 대응하는 증폭된 신호는 데이터버스구동회로(342)를 거쳐서 출력버퍼(347)에 공급된다. 출력버퍼(347)은 이 공급된 전위를 증폭해서 출력데이터DQ1~DQn로서 외부로 출력한다.

라이트동작에 있어서, 데이터입력버퍼(358)은 외부에서 공급된 입력데이터DQ1~DQn을 증폭한다. 이 증폭된 신호가 칼럼디코더(304)에 의해서 선택된 비트선쌍에 공급된다.

클럭발생회로(350)은 외부에서 공급되는 로우스트로브신호 Ext. ZRAS 및 외부에서 공급되는 칼럼스트로브신호 Ext. ZCAS에 응답해서 각 내부회로의 동작을 제어하는 내부클럭을 발생한다. 출력버퍼회로(347)의 동작은 이 클럭신호 및 외부에서 인가된 출력인에이블신호 Ext. ZOE에 의해서 제어된다. 입력버퍼회로(358)은 클럭발생회로(350)으로 부터의 클러신호 및 외부에서 인가된 라이트인에이블신호 Ext. ZWE에 의해서 제어된다.

제7도에 도시한 DRAM회로의 구성이 제13도에 도시한 DRAM회로의 구성과 다른 점은 I/O제어회로(354)에서 출력버퍼회로(347)로의 데이터의 전송이 상보형 데이터버스RBUS 및 ZRBUS에 의해서 실행된다는 점이다.

제8도는 제7도에 도시한 DRAM의 I/O제어회로(354)에서 출력버퍼회로(347)까지의 회로구성을 도시한 개략

적 블록도이다.

제8도에 도시한 회로구성과 제14도에 도시한 종래예 사이에는 다른 점이 있다.

첫째는 데이터선 IO 및 ZIO의 출력이 제3실시예에서 설명한 상보차동증폭기(1000)에 의해 증폭되는 점이다.

둘째는 셀렉터/데이터래치회로(920)이 셀렉터회로(230) 및 각각 클럭발생회로(350)으로 부터의 클럭신호 φ1에 의해 제어되는 래치회로(240a) 및 (240b)로 구성되어 있는 점이다.

셋째는 데이터선 및 데이터버스가 모두 상보형으로 배치되어 있는 점이다.

셀렉터회로(230)은 외부어드레스신호Add에 따라서 상보차동증폭기(1000)의 출력RD 및 ZRD와 데이터버스의 접속을 개폐한다.

데이터래치회로(240a) 및 (240b)에 있어서, 클럭신호φ1, H레벨인 경우는 클럭된 인버터(242)가 비활성으로 되어, 입력신호를 인버터(243)에 의해 반전시킨 신호가 각각의 데이터래치회로(240a) 및 (240b)에서 출력된다. 한편, 클럭신호φ1이 L레벨인 경우에는 클럭된 인버터(242)가 활성으로 되어 입력신호의 값을 유지한다.

제9도는 출력버퍼(347)를 도시한 회로도이다.

출력버퍼(347)은 NAND게이트(202), (203), 인버터(204), (205) 및 N채널 MOS트랜지스터(206), (207)을 포함한다. 제1전위에 있어서의 제1전원노드N1과 이 제1전위보다 낮은 제2전위를 입력하는 제2전원노드N2 사이에는 N채널 MOS트랜지스터(206) 및 (207)이 직렬로 접속된다.

트랜지스터(206) 및 (207) 사이의 노드는 외부출력단자DOUT와 접속된다. NAND게이트(202)의 입력단자에는 신호OEM과 데이터버스RUBS로 부터의 신호RBUS가 각각 입력된다. NAND게이트(202)의 출력단자와 트랜지스터(206)의 게이트 사이에는 인버터(204)가 접속된다.

NAND게이트(203)에는 신호OEM과 데이터버스ZRBUS로 부터의 신호ZRBUS가 입력된다. NAND게이트(203)의 출력단자와 트랜지스터(207)의 게이트 사이에는 인버터(205)가 접속된다.

따라서, 출력버퍼(347)은 다음과 같은 동작을 한다.

신호OEM이 L레벨인 경우는 신호RBUS 및 ZRBUS의 값에 관계없이 트랜지스터(206) 및 (207)은 비도통상태이므로, 외부출력단자DOUT는 하이임피던스상태이다.

한편, 다음에는 신호OEM이 H레벨이고, 리드데이터가 출력버퍼(347)로 전달될때까지 신호RBUS, ZRBUS가 모두 L레벨인 경우에 대해서 고려한다. 이 상태에서 리드데이터가 전달되면 출력버퍼(347)은 다음과 같은 상태로 된다. 즉, 리드데이터가 출력버퍼(347)로 전달될 때까지 트랜지스터(206), (207)은 모두 비도통상태이고 외부출력단자DOUT는 하이임피던스상태이지만, 리드데이터가 전달되면 트랜지스터(206) 및 (207)중의 한쪽만이 도통상태로 되어 외부출력단자DOUT로 데이터신호가 출력된다.

다음에, 제8도에 도시한 리드회로의 동작에 대해서 설명한다. 제10도 및 제11도는 제8도에 도시한 리드회로의 동작을 설명하기 위한 타이밍도이다. 여기에서는 외부어드레스신호Add의 Y어드레스가 Y0에서 Y1로 변화하는 것으로 한다.

제10도 및 제11도에 따르면, 시각 t0에 있어서 외부어드레스신호의 Y어드레스가 Y0에서 Y1로 변화하면, 내부Y어드레스신호 AY0, AY1이 모두 H레벨에서 L레벨로 변화한다. 이때, 어드레스 천이검지회로(도시하지 않음)로부터 출력되는 펄스신호φ0이 발생한다.

신호φ0이 H레벨로 되면, 시각t1이 있어서 신호φ1이 H레벨로 된다. 그것에 따라서 칼럼디코더(304)가 동작하여 칼럼선택신호CSL이 L레벨로 된다.

또, 내부Y어드레스신호AY0, AY1이 모두 L레벨로 되면, 셀렉터회로(230)이 도통상태로 되어 신호RD, ZRD가 각각 데이터래치회로(240a), (240b)에 입력된다.

시각t1에 있어서는 차동증폭회로(1000)을 활성화하기 위한 신호P0이 L레벨이다. 이 때문에, 이 시점에 있어서의 차동증폭회로(1000)에서 출력되는 신호RD, ZRD는 H레벨이다.

따라서, 데이터래치회로(240a), (240b)에서 각각 출력되는 신호RDA, ZRDA는 L레벨로 되고, 이것에 의해 데이터버스구동호로(250)에서 출력되는 신호RBUS, ZRBUS가 L레벨로 된다. 이와 같이, 신호RDA, ZRDA 또는 신호RBUS, ZRBUS가 L레벨로 된 상태를 이하의 설명에 있어서 리세트상태라 한다.

이러한 리세트상태에 있어서, 외부컬럼어드레스스트로브신호Ext. ZCAS가 L로 되고 신호OEM이 H레벨로 되더라도, 외부출자단자DOUT는 하이임피던스상태를 유지한다.

그리고, 신호φ0, φ1이 모두 H레벨로 되면, 시각t2에 있어서 신호P0이 H레벨로 된다.

이것에 의해, 차동증폭회로(1000)이 동작한다. 이 때문에, I/O선쌍 IO 및 ZIO의 전위차가 증폭된다. 그 결과, 신호RD 및 ZRD가 모두 H레벨이었던 상태에서, 시각t3에 있어서 신호RD가 H레벨로 되고 신호ZRD가 L레벨로 된다. 단, 이것은 H레벨의 데이터의 리드시에 발생한다.

시각t3에 있어서, 신호RD가 H레벨로 되고 신호ZRD가 L레벨로 되면, 신호RDA, ZRDA가 모두 L레벨인 리세트상태에서 신호RDA가 H레벨이고 신호ZRDA가 L레벨인 상태로 변화한다. 이것에 의해, 신호RBUS, 신호ZRBUS가 모두 L레벨인 리세트상태에서 신호RBUS가 H레벨이고 신호ZRBUS가 L레벨인 상태로 변화한다.

이러한 상태에서는 출력버퍼(347)에 있어서 트랜지스터(206)이 도통상태로 되고, 그 결과 외부출력단자DOUT에 인가되는 외부출력데이터신호DOUT가 H레벨로 된다.

시각t1에 있어서 H레벨로 된 신호φ이 시각t4에 있어서 L레벨로 되면, 신호RD, ZRD가

데이터래치회로(240a), (240b)에 각각 축적된다.

이상의 동작에 있어서, 출력버퍼(347)이 신호출력상태로 되는 타이밍은 2개의 상보 신호RBUS와 ZRBUS중 어느 한쪽이 L레벨에서 H레벨로 되는 것에 의해 결정되므로, 종래예와 같이 외부타이밍신호에 의한 동작의 지연이 발생하지 않는다.

제12도는 출력버퍼(347)의 동작을 종래의 싱글데이터선 배치와 상보형 데이터선 배치를 비교해서 도시한 것이다.

제12도(a)는 데이터신호의 레벨과 유효클래그(신호φ3)의 관계를 도시한 도면이다. 유효플래그가 H레벨로 된 경우에 있어서만 출력데이터신호DOUT는 유효 데이터로서 인식된다.

한편, 제12도(b)는 상보형 데이터선의 경우의 데이터 값과 출력데이터DOUT의 관계를 도시한 도면이다.

상보형 데이터가 모두 L레벨인 경우는 출력데이터는 무효한 것으로 인식되고(이 경우, 출력신호는 하이임피던스상태로 된다), 상보데이터는 어느 한쪽이 H레벨로 되고 다른 한쪽이 L레벨로 된 경우에는 출력데이터가 유효 데이터로서 인식된다.

다음에 차동증폭회로를 다단구성으로 하는 경우의 이점에 대해서 기술한다.

제13도는 차동증폭회로의 출력파형과 이 차동증폭회로의 출력을 입력받는 다음단의 논리회로 예를들면 인버터의 출력과의 관계를 도시한 파형도이다.

제13도(a)는 상보차동증폭기로 입력파형을 도시한 것이다. 제13도(b)는 초단의 출력신호의 파형을 도시한 것이다. 제13도(c)는 초단의 출력에 따라서 예를들면 인버터(1)을 구동하는 경우의 인버터출력의 변화를 도시한 파형도이다.

도면에 있어서, 이 인버터(1)의 논리스레쉬홀드를 점선으로 나타낸다.

제13도(d)는 상보차동증폭기의 2단째의 출력을 도시한 파형도이다. 제13도(e)는 2단째의 출력에 따라서 예를들면 인버터(2)를 구동하는 경우의 인버터출력을 도시한 파형도이다.

초단의 출력에 의해서 인버터(1)을 구동시키면, 초단의 출력이 인버터의 논리스레쉬홀드 이하로될 때까지 많은 시간이 걸리므로, 인버터출력이 반전될 때까지 도면에 있어서 t11로 나타낸 시간이 필요로 된다.

한편, 2단째의 출력은 증폭율이 충분히 크기 때문에 인버터의 논리스레쉬홀드 이하로 될 때까지의 시간이 초단의 출력의 경우보다 짧아지므로, 인버터의 출력이 반전할 때까지 필요로 되는 시간t12가 상기 t11보다 짧아진다.

따라서, 데이터선으로의 출력을 2단증폭기로 구성하는 것에 의해 다음단의 구동회로나 논리회로의 지연시간을 단축하는 것이 가능하다.

이상, 본 발명을 상기 실시예에 의해서 상세하게 설명하였지만, 이것에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위내에서 여러 가지로 변경가능한 것은 물론이다.

(57) 청구의 범위

청구항 1

상보입력 사이의 전위레벨차를 증폭해서 상보출력을 발생하는 상보차동증폭기로서, 상기 상보입력을 초단의 상보입력으로서 입력하고 상기 입력된 상보입력을 순차 증폭하는 캐스캐이드접속된 여러단의 내부차동증폭수단을 구비하고, 상기 내부차동증폭수단의 각각은 상보내부출력을 발생하는 한쌍의 제1 및 제2내부출력노드, 그의 소오스가 제1전원전위에 결합되고 그의 게이트가 그의 드레인에 교차 접속되고 그의 드레인이 상기 한쌍의 내부출력노드에 각각 접속되는 한쌍의 제1도전형의 제1 및 제2MOS트랜지스터, 상기 한쌍의 제1도전형의 MOS트랜지스터에 병렬로 상기 제1전원과 상기 한쌍의 내부출력노드 사이에 각각 접속된 제1도전형의 다이오드접속의 제3 및 제4MOS트랜지스터 및 상기 한쌍의 내부출력노드와 제2전원사이에 접속되어, 초단의 경우는 상기 상보입력에 따라서, 다음단의 경우에는 이전단의 상기 상보내부출력에 따라서 제1~제4MOS트랜지스터를 구동하는 구동회로를 포함하는 것을 특징으로 하는 상보차동증폭기.

청구항 2

제1항에 있어서, 상기 제1 및 제2MOS트랜지스터는 모두 제1사이즈를 갖고, 상기 제3 및 제4MOS트랜지스터는 모두 제2사이즈를 갖고, 상기 제2사이즈는 상기 제1사이즈(여기에서, MOS트랜지스터의 사이즈는 (게이트폭)/(게이트길이)로 정의)보다 큰 것을 특징으로 하는 상보차동증폭기.

청구항 3

제2항에 있어서, 상기구동수단은 상기 제2전원에 접속되는 전류원과 그의 소오스가 상기 전류원에 접속되고, 그의 게이트에 초단에 경우는 상기 상보입력을, 다음단의 경우에는 이전단의 상기 상보내부출력을 각각 입력하고, 그의 드레인이 상기 내부출력노드에 각각 접속되는 한쌍의 제2도전형의 제5 및 제6MOS트랜지스터를 포함하는 것을 특징으로 하는 상보차동증폭기.

청구항 4

제3항에 있어서, 상기 상보차동증폭기는 제1 및 제2 내부차동증폭수단으로 이루어지는 2단 증폭기이고, 상기 제1 내부차동증폭수단의 상기 내부출력노드가 각각 상기 제2내부차동증폭수단의 상기 구동수단중의 상기 제5 및 제6MOS트랜지스터의 게이트에 직접 접속되는 것을 특징으로 하는 상보차동증폭기.

청구항 5

제3항에 있어서, 상기 상보차동증폭기의 초단의 상기 내부차동증폭수단은 그의 사이에 개재되어 있는 제3내부출력노드를 갖고, 상기 제1전원과 상기 전류원 사이에 직렬로 접속된 제1도전형의 제7MOS트랜지스터 및 제2도전형의 제8MOS트랜지스터와, 그의 사이에 개재되어 있는 제4내부입출력노드를 갖고, 상기 제1전원과 상기 전류원 사이에 직렬로 접속된 제1도전형의 제9MOS트랜지스터 및 제2도전형의 제10MOS트랜지스터를 포함하고, 상기 제8MOS트랜지스터의 게이트는 상기 제5MOS트랜지스터의 게이트와 공통으로 상기 상보입력의 한쪽을 입력하고, 상기 제7MOS트랜지스터의 게이트는 상기 제2내부출력노드에 접속되고, 상기 제10MOS트랜지스터의 게이트는 상기 제6MOS트랜지스터의 게이트와 공통으로 상기 상보입력의 다른쪽을 입력하고, 상기 제9MOS트랜지스터의 게이트는 상기 제1내부출력노드에 접속되고, 상기 제3 및 제4내부출력노드는 다음단의 입력에 각각 접속되는 상보차동증폭기.

청구항 6

제5항에 있어서, 상기 상보차동증폭기는 제1 및 제2내부차동증폭수단으로 이루어지는 2단 증폭기이고, 상기 제1내부차동증폭수단의 상기 제3 및 제4내부출력노드는 각각 상기 제2내부차동증폭수단의 구동수단중의 상기 제5 및 제6MOS트랜지스터의 게이트에 접속되고, 상기 제2내부차동증폭수단의 상기 제1 및 제2내부출력노드의 전위는 상기 상보출력으로서 출력되는 것을 특징으로 하는 상보차동증폭기.

청구항 7

제4항에 있어서, 상기 제1내부차동증폭수단의 전류원은 그의 게이트에 차동증폭기 활성화신호를 입력하는 제2도전형의 MOS트랜지스터인 것을 특징으로 하는 상보차동증폭기.

청구항 8

제6항에 있어서, 상기 제1내부차동증폭수단의 전류원은 그의 게이트에 차동증폭기 활성화신호를 입력하는 제2도전형의 MOS트랜지스터인 것을 특징으로 하는 상보차동증폭기.

청구항 9

제4항에 있어서, 상기 제2내부차동증폭수단의 전류원은 그의 게이트에 차동증폭기 활성화신호를 입력하는 제2도전형의 MOS트랜지스터인 것을 특징으로 하는 상보차동증폭기.

청구항 10

제6항에 있어서, 상기 제2내부차동증폭수단의 전류원은 그의 게이트에 차동증폭기 활성화신호를 입력하는 제2도전형의 MOS트랜지스터인 것을 특징으로 하는 상보차동증폭기.

청구항 11

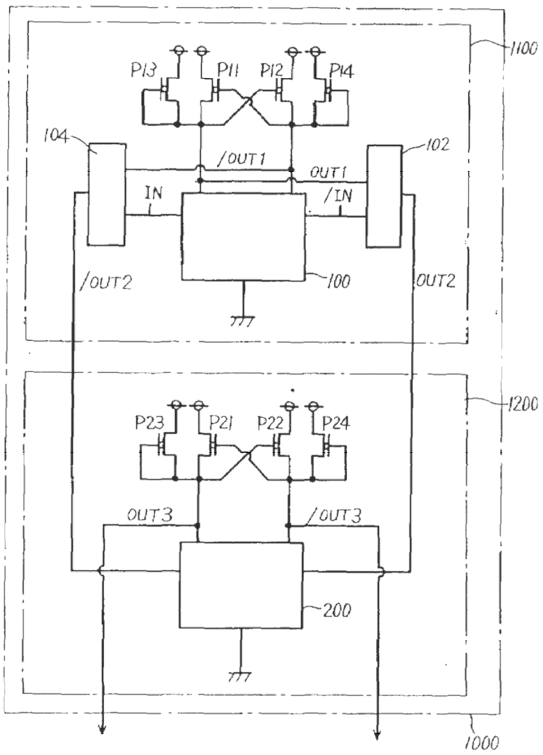
여러개의 워드선, 상기 여러개의 워드선과 교차하는 여러개의 비트선상 및 상기 워드선과 상기 비트선쌍에 접속된 여러개의 메모리셀을 포함하는 메모리셀 어레이, 상기 비트선쌍에 스위칭수단을 거쳐서 각각 접속된 여러개의 I/O선쌍 및 상기 여러개의 I/O선쌍의 각각에 대응해서 마련되어 선택적으로 동작하고, 대응하는 I/O선쌍 사이의 전위차를 증폭해서 상보입력으로서 입력하는 여러개의 상보차동증폭기를 구비하고, 상기 상보차동증폭기의 각각은 상기 상보입력을 초단의 상보입력으로서 입력하고, 상기 입력된 상보입력을 순차 증폭하는 캐스캐이드 접속된 여러단의 내부차동증폭수단을 포함하며, 상기 내부차동증폭수단의 각각은 상보내부출력을 발생하는 한쌍의 제1 및 제2내부출력노드, 그의 소오스가 제1전원전위가 결합되고 그의 게이트가 그의 드레인에 교차 접속되고 그의 드레인이 상기 한쌍의 내부출력노드에 각각 접속되는 한쌍의 제1도전형의 제1 및 제2MOS트랜지스터, 상기 한쌍의 제1도전형의 MOS트랜지스터에 병렬로 상기 제1전원과 상기 한쌍의 내부출력노드 사이에 각각 접속된 제1도전형의 다이오접속의 제3 및 제4MOS트랜지스터를 포함하고, 상기 제1 및 제2MOS트랜지스터는 모두 제1사이즈를 갖고, 상기 제3 및 제4MOS트랜지스터는 모두 제2사이즈를 갖고, 상기 제2사이즈는 상기 제1사이즈(여기에서, MOS트랜지스터의 사이즈는 (게이트폭)/(게이트길이)로 정의)보다 크며, 상기 내부차동증폭수단의 각각은 상기 한쌍의 내부출력노드와 제2전원 사이에 접속되어, 초단의 경우는 상기 상보입력에 따라서, 다음단의 경우에는 이전단의 상기 상보내부출력에 따라서 상기 제1~제4MOS트랜지스터를구동하는 구동수단을 또 갖는 반도체메모리장치.

청구항 12

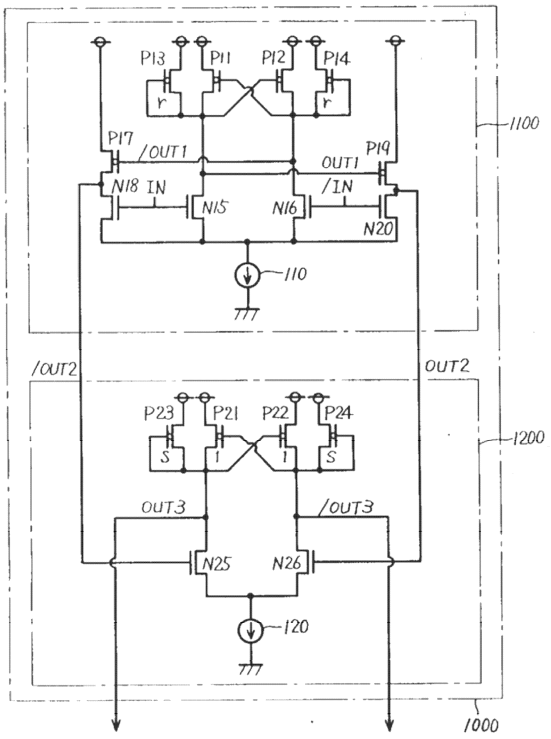
제11항에 있어서, 상기 상보차동증폭기의 상보출력의 제1출력신호를 전송하기 위한 제1데이터선, 상기 상보차동증폭기의 상보출력의 제2출력신호를 전소하기 위한 제2데이터선, 상기 제1 및 제2출력신호를 각각 제1 및 제2데이터선으로 전달하는 구동수단 및 상기 제1 및 제2데이터선으로부터 신호를 입력하고 그 신호의 전위에 응답해서 하이임피던스상태 또는 신호출력상태로 되는 출력버퍼수단을 또 구비하고, 상기 출력버퍼수단은 상기 제1 및 상기 제2데이터선으로 부터의 신호의 전위레벨차에 따라서 상기 하이임피던스상태에서 상기 신호출력 상태로 천이하는 것을 특징으로 하는 반도체메모리장치.

도면

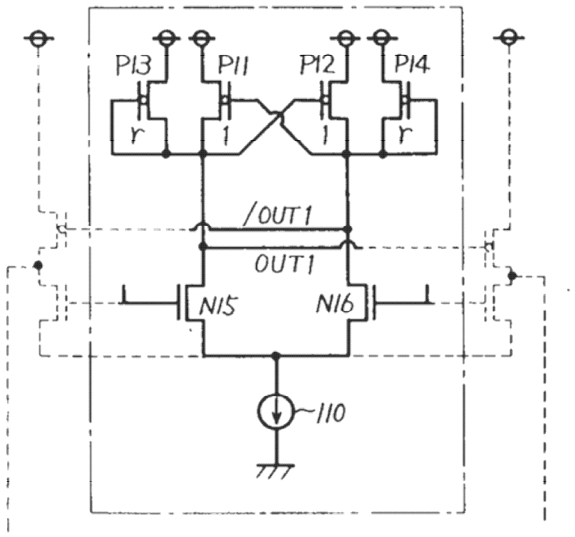
도면1


1100
P13
P11
P12
P14
104
/OUT1
OUT1
102
IN
/IN
/OUT2
100
OUT2
1200
P23
P21
P22
P24
OUT3
/OUT3
200
1000

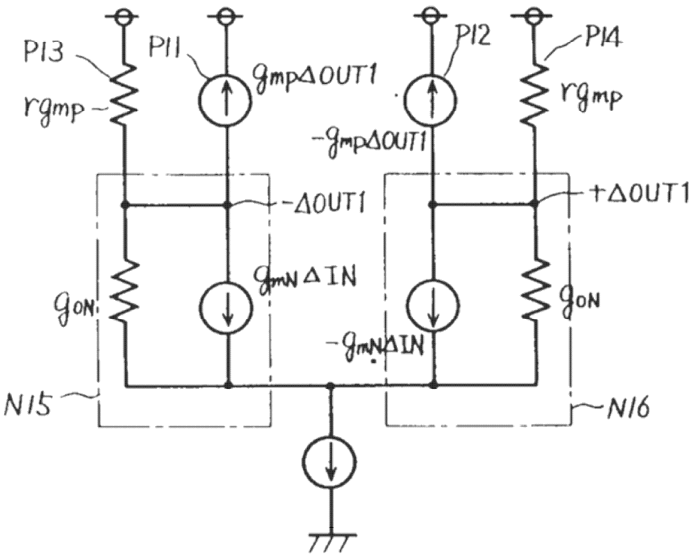
도면2


1100
P13
P11
P12
P14
r
P17
/OUT1
OUT1
P19
N18
IN
N15
N16
/IN
N20
110
/OUT2
OUT2
1200
P23
P21
P22
P24
S
l
OUT3
/OUT3
N25
N26
120
1000

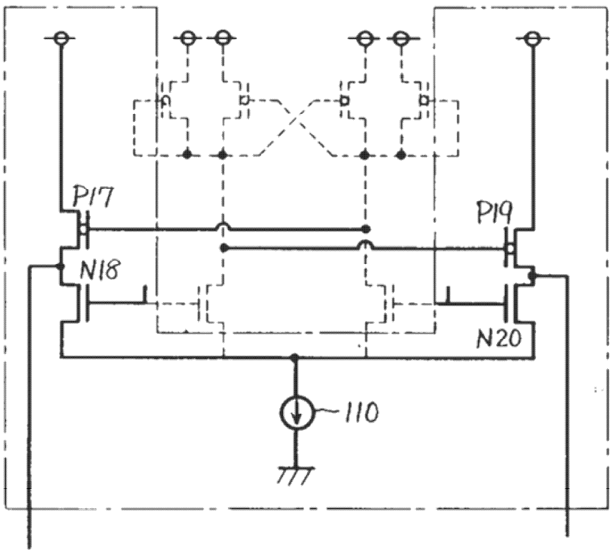
도면3a


P13
P11
P12
P14
r
1
1
r
/OUT1
OUT1
N15
N16
I10

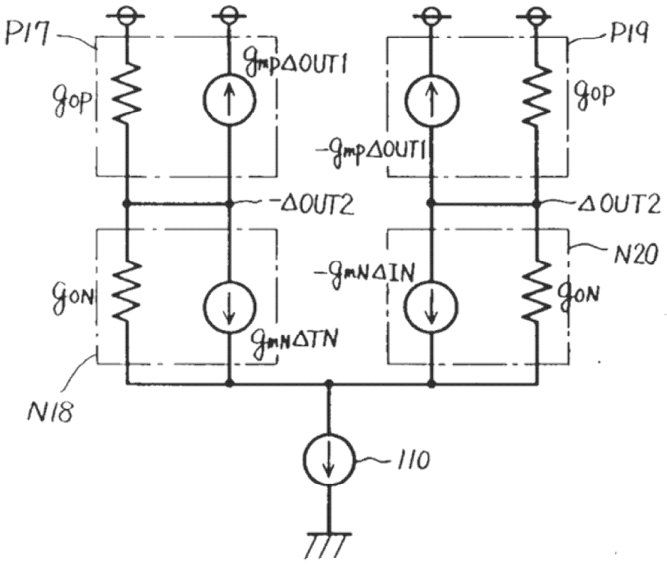
도면3b


P13
P11
P12
P14
rgmp
gmpΔOUT1
-gmpΔOUT1
rgmp
-ΔOUT1
+ΔOUT1
gON
gmNΔIN
-gmNΔIN
gON
N15
N16

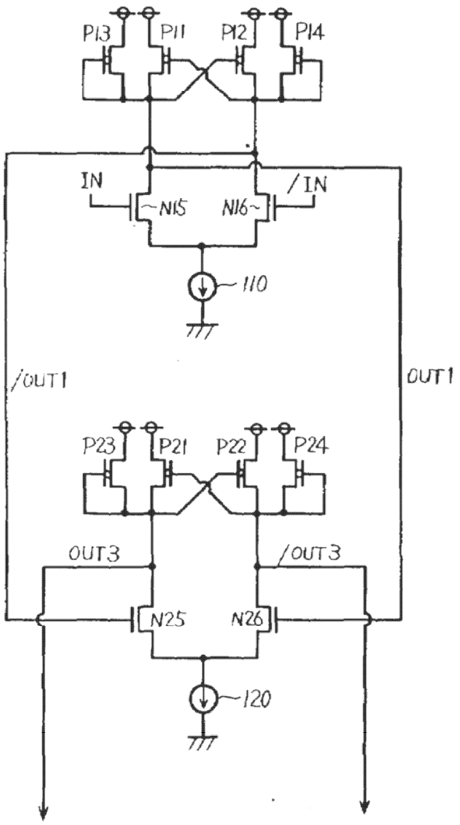
도면4a


P17
P19
N18
N20
110

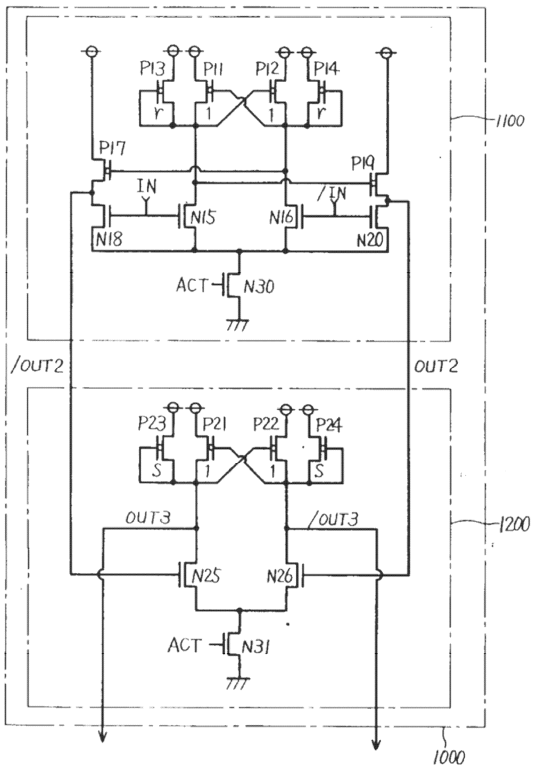
도면4b


P17
P19
gmpΔOUT1
gop
gop
-gmpΔOUT1
-ΔOUT2
ΔOUT2
N20
gon
-gmNΔIN
gon
gmNΔTN
N18
110

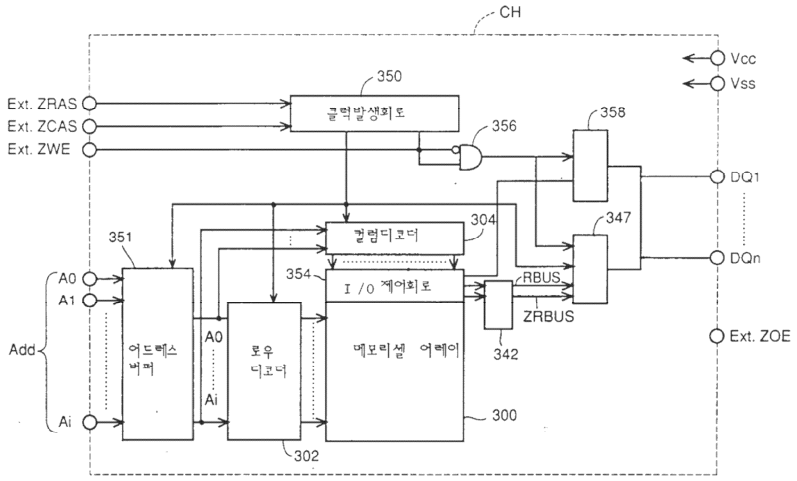
도면5


P13
P11
P12
P14
IN
/IN
N15
N16
110
/OUT1
OUT1
P23
P21
P22
P24
OUT3
/OUT3
N25
N26
120

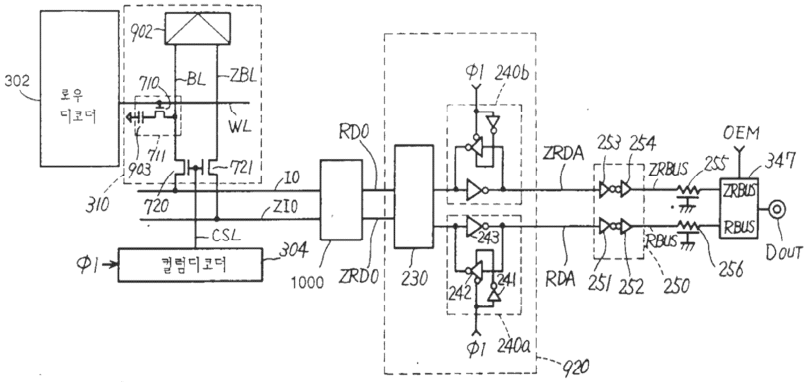
도면6


P13
P11
P12
P14
1100
P17
P19
IN
/IN
N15
N16
N18
N20
ACT
N30
/OUT2
OUT2
P23
P21
P22
P24
OUT3
/OUT3
1200
N25
N26
ACT
N31
1000

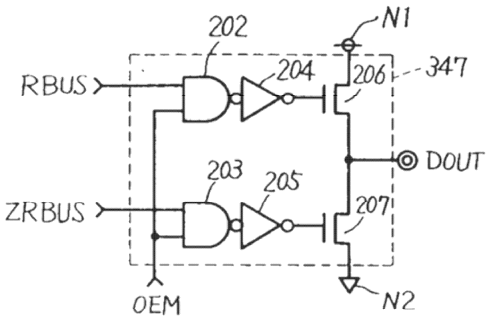
도면7


CH
Vcc
Vss
350
Ext. ZRAS
Ext. ZCAS
Ext. ZWE
클럭발생회로
356
358
DQ1
347
304
컬럼디코더
351
DQn
354
I/O 제어회로
RBUS
ZRBUS
A0
A1
Add
어드레스 버퍼
A0
Ai
로우 디코더
메모리셀 어레이
342
Ext. ZOE
Ai
300
302

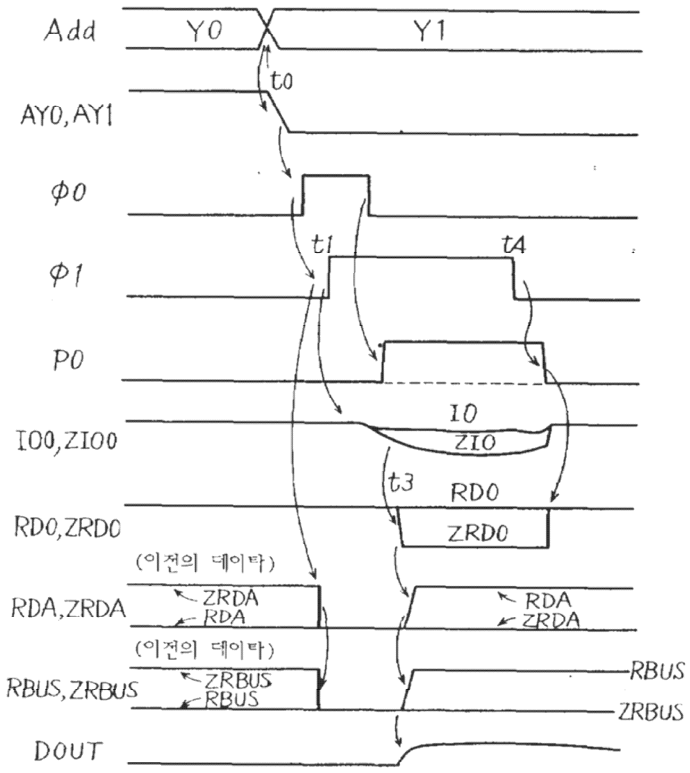
도면8


902
302
로우 디코더
710
BL
ZBL
WL
711
903
721
310
720
I0
ZI0
CSL
Φ1
컬럼디코더
304
1000
RD0
ZRD0
230
Φ1 240b
243
242
241
Φ1 240a
920
ZRDA
RDA
253 254
ZRBUS
255
OEM
347
ZRBUS
RBUS
RBUS
251 252
250
256
DOUT

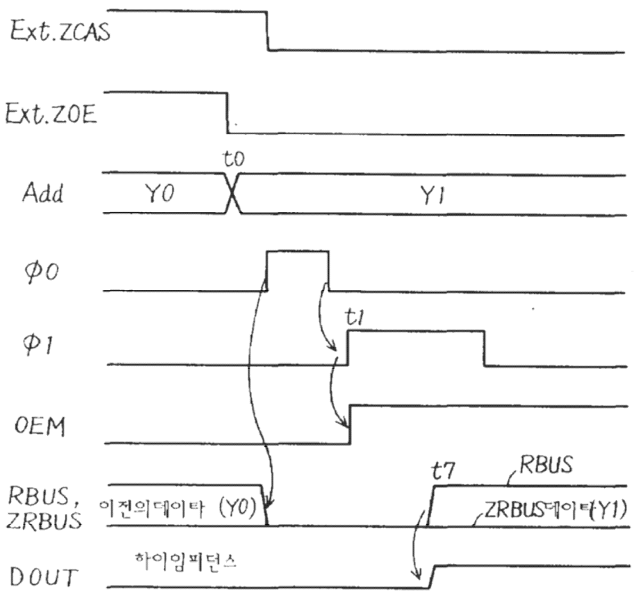
도면9


202
N1
RBUS
204
206
347
DOUT
203
205
ZRBUS
207
OEM
N2

도면10


Add
Y0
Y1
t0
AY0, AY1
φ0
φ1
t1
t4
P0
IO0, ZIO0
IO
ZIO
t3
RD0
ZRD0
RD0, ZRD0
(이전의 데이타)
RDA, ZRDA
ZRDA
RDA
RDA
ZRDA
(이전의 데이타)
RBUS, ZRBUS
ZRBUS
RBUS
RBUS
ZRBUS
DOUT

도면11


Ext.ZCAS
Ext.ZOE
t0
Add
Y0
Y1
φ0
φ1
t1
OEM
t7
RBUS
RBUS, ZRBUS
이전의데이타 (Y0)
ZRBUS데이타(Y1)
DOUT
하이임피던스

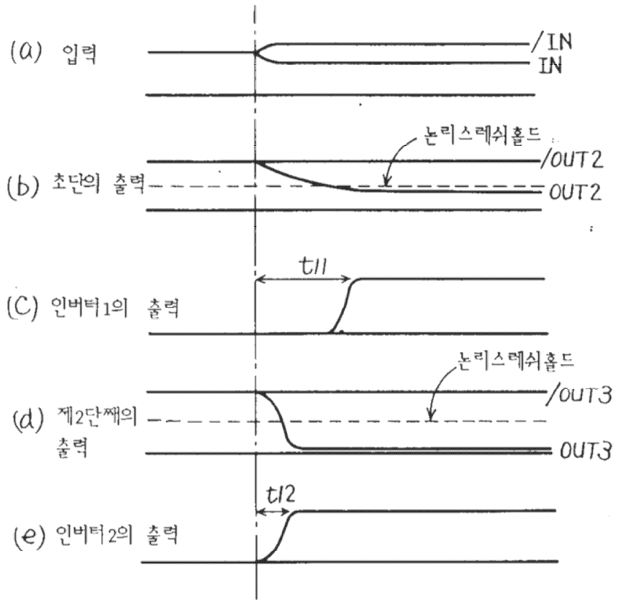
도면12a

데이타	임의	H	L
유효 플래그 (φ)	L	H	H
유효	무효	H	L

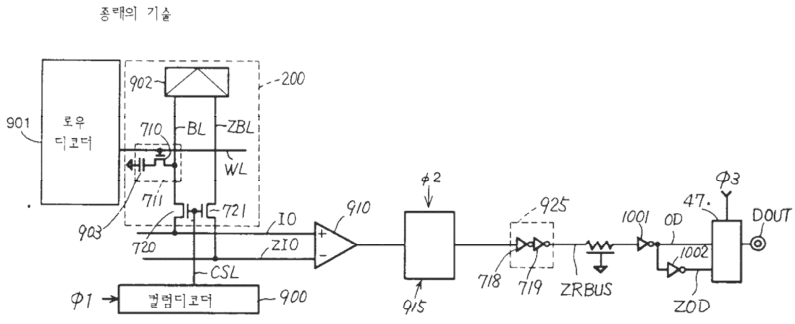
도면12b

데이타	H	H	L
/ 데이타	L	H	H
유효	금지	H	L

도면13

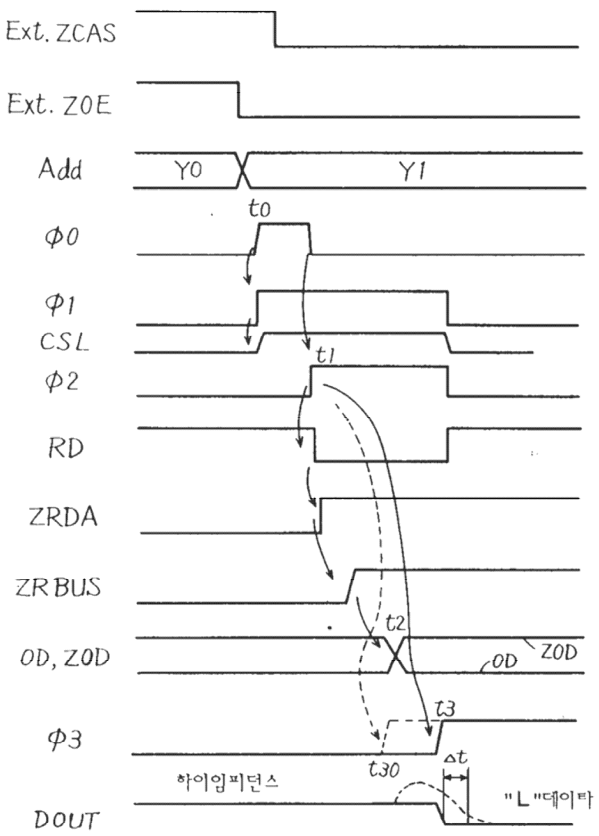


도면14



도면15

종래의 기술



도면16

종래의 기술

