

특허청구의 범위

청구항 1

기관 상에 침착된 게이트 전극, 게이트 절연막, 능동층, 및 보호 절연막을 이 순서로 포함하는 바텀-게이트 박막 트랜지스터(bottom-gate thin-film transistor)에 있어서,

상기 보호 절연막은 100nm이하의 두께를 갖고, 상기 보호 절연막은 상기 능동층, LDD 영역, 및 소스-드레인 영역 중 어느 하나 위에 형성되는, 바텀-게이트 박막 트랜지스터.

청구항 2

제 1 항에 있어서,

상기 능동층은 폴리실리콘 막을 포함하는, 바텀-게이트 박막 트랜지스터.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 보호 절연막은 5 내지 50nm의 두께를 갖는, 바텀-게이트 박막 트랜지스터.

청구항 4

바텀-게이트 박막 트랜지스터를 제조하는 방법에 있어서:

기관 상에 게이트 전극을 형성하는 단계(1)와;

상기 게이트 전극 상에 게이트 절연막을 형성하는 단계(2)와;

상기 게이트 절연막 상에 능동층에 대한 전구체 막(precursor film) 및 보호 절연막을 포함하는 적층체(laminate)를 형성하는 단계(3)로서, 상기 보호 절연막은 100nm이하의 두께를 갖는, 상기 적층체 형성 단계(3)와;

상기 보호 절연막을 통하여 상기 능동층에 대한 상기 전구체 막의 LDD 영역 또는 소스-드레인 영역에 도펀트(dopant)를 주입하는 단계(4)와;

도핑되지 않은 부분이 상기 능동층을 구성하도록 상기 주입된 도펀트를 활성화하는 단계(5)를 포함하는, 바텀-게이트 박막 트랜지스터 제조 방법.

청구항 5

제 4 항에 있어서,

상기 능동층은 폴리실리콘 막을 포함하는, 바텀-게이트 박막 트랜지스터 제조 방법.

청구항 6

제 5 항에 있어서,

상기 단계(3)에서, 비정질 실리콘 막이 상기 게이트 절연막 상에 형성되며, 상기 비정질 실리콘 막은 상기 폴리실리콘 막을 형성하기 위해 결정화되며, 상기 보호 절연막은 상기 폴리실리콘 막 상에 형성되는, 바텀-게이트 박막 트랜지스터 제조 방법.

청구항 7

제 5 항에 있어서,

상기 단계(3)에서, 비정질 실리콘 막이 상기 게이트 절연막 상에 형성되며, 상기 보호 절연막은 상기 비정질 실리콘 막 상에 연속적으로 형성되며, 그 후 상기 비정질 실리콘 막이 폴리실리콘 막을 형성하기 위해 결정화되는, 바텀-게이트 박막 트랜지스터 제조 방법.

청구항 8

제 5 항에 있어서,

상기 단계(3)에서, 비정질 실리콘 막dl 상기 게이트 절연막 상에 형성되며, 상기 보호 절연막은 상기 비정질 실리콘 막의 표면 산화(surface oxidation)에 의해 상기 비정질 실리콘 막의 표면 상에 형성되며, 그 후 상기 비정질 실리콘 막이 폴리실리콘 막을 형성하기 위해 결정화되는, 바텀-게이트 박막 트랜지스터 제조 방법.

청구항 9

제 4 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 단계(4) 다음에, 상기 보호 절연막에 형성된 결함들이 복구되는, 바텀-게이트 박막 트랜지스터 제조 방법.

청구항 10

액정 디스플레이 장치에 있어서:

제 1 항에 따른 바텀-게이트 박막 트랜지스터의 보호 절연막 상에 형성된 층간 절연막, 투명 전극, 및 배향층(alignment layer)을 포함하는 TFT 기판과;

대향 전극(counter electrode)이 제공된 대향 기판과;

상기 TFT 기판과 상기 대향 기판 사이에 개재된 액정을 포함하는, 액정 디스플레이 장치.

청구항 11

액정 디스플레이 장치를 제조하는 방법에 있어서:

제 4 항에 따른 방법에 의해 바텀-게이트 박막 트랜지스터를 제조하는 단계와;

TFT 기판을 구성하기 위해 상기 바텀-게이트 박막 트랜지스터의 보호 절연막 상에 층간 절연막, 투명 전극, 및 배향층을 형성하는 단계와;

상기 TFT 기판과 대향 전극이 제공된 대향 기판 사이에 액정을 개재시키는 단계를 포함하는, 액정 디스플레이 장치 제조 방법.

청구항 12

유기 EL 장치에 있어서:

제 1 항에 따른 바텀-게이트 박막 트랜지스터와;

상기 바텀-게이트 박막 트랜지스터에 의해 구동되는 유기 EL 소자를 포함하는, 유기 EL 장치.

청구항 13

유기 EL 장치를 제조하는 방법에 있어서:

제 4 항에 따른 방법에 의해 바텀-게이트 박막 트랜지스터를 제조하는 단계와;

상기 바텀-게이트 박막 트랜지스터의 보호 절연막 상에 층간 절연막을 형성하는 단계와;

상기 바텀-게이트 박막 트랜지스터에 의해 구동되는 유기 EL 소자를 상기 층간 절연막 상에 형성하는 단계를 포함하는, 유기 EL 장치 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 바텀-게이트 박막 트랜지스터들(bottom-gate thin-film transistors)과 이를 제조하는 방법들에 관한 것이며, 또한, 이 바텀-게이트 박막 트랜지스터들을 사용하는 액정 디스플레이 장치들과 유기 EL 장치(organic

EL devices)들에 관한 것이다.

- <15> 박막 트랜지스터들(TFTs)은 일반적으로 액티브 매트릭스 액정 디스플레이 장치들, 액티브 매트릭스 유기 EL 디스플레이 장치들 등에서 스위칭 소자들로서 사용된다. 박막 트랜지스터는 두가지 넓은 카테고리들로 나누어진다. 즉, 바텀-게이트 타입과 탑-게이트 타입이다. 바텀-게이트 박막 트랜지스터에서, 게이트 전극은 능동층 아래에 침착되고, 바텀-게이트 박막 트랜지스터는 탑-게이트 박막 트랜지스터보다 우수한 신뢰성을 갖는다. 부가적으로, 바텀-게이트 박막 트랜지스터들의 구조가, 예를 들어 MODERN LIQUID CRYSTAL PROCESS TECHNOLOGY '99(Press Journal, 1998, pp.53 to 59), FLAT PANEL DISPLAY 1999(Nikkei BP, 1998, pp.132 to 139), 및 일본 무심사 특허 출원 공보 제 8-279618 호에 상세히 기술된다.
- <16> 도 6은 종래의 바텀-게이트 박막 트랜지스터를 사용하는 액정 디스플레이 장치의 개략적인 섹션도이며, 도 7a 내지 도 7g와 도 8h 내지 도 8i는 액정 디스플레이 장치를 제조하는 단계들을 나타낸다.
- <17> 제조 공정에서, 먼저, Cr, Al, Mo, 또는 Ta와 같은 금속으로 구성되는 게이트 전극(2)이 약 200nm의 두께로 투명 유리 기판(1) 상에 형성되고, Cs 전극(3)이, 도 7a에 도시된 바와 같이, 유사하게 형성된다.
- <18> 게이트 절연막(6)이 게이트 전극(2) 상에 침착되며, 게이트 절연막(6)은 예를 들어 50nm의 두께의 실리콘 질화막(4)과 150nm의 두께의 실리콘 산화막(5)으로 구성된다. 게이트 절연막(6)이 침착된 후, 비정질 실리콘 막이 50nm의 두께로 연속적으로 침착된다. 이 비정질 실리콘 막은 그 후 도 7b에 도시된 바와 같이 폴리실리콘 막(7)을 형성하기 위해 적외선 램프로 열 어닐링, 레이저 어닐링 등으로 결정화된다.
- <19> 다음으로, 실리콘 산화물로 구성된 보호 절연막(8)이 도 7c에 도시된 바와 같이 200nm의 두께로 형성된다. 레지스트는 보호 절연막(8)상에 위치되고, 마스크로서 게이트 전극(2)을 사용하여 뒷 표면으로부터 노출시켜, 레지스트가 게이트 전극(2)과 자기-정렬되어 채널-형성 섹션 상에 패터닝된다. 보호 절연막(8)은 마스크로서 레지스트를 사용하여 에칭되어 제거되어서, 도 7d에 도시된 바와 같이, 보호 절연막(8)이 게이트 전극(2)과 자기-정렬된 채널-형성 섹션에 남는다. 에칭 공정에서, 불화수소 산-기반 습식 에칭(hydrofluoric acid-based wet etching) 또는 불소-기반 건식 에칭(fluorine-based dry etching)이 일반적으로 사용된다.
- <20> 다음으로, 인 이온 또는 비소 이온과 같은 이온들이 도 7e에 도시된 바와 같이 가볍게 도핑된 드레인(LDD) 영역(9)을 형성하기 위해 마스크로서 실리콘 산화물로 구성된 보호 절연막(8)을 사용하여 주입된다. 다음으로, N-채널 소스-드레인-주입 레지스트 마스크(SD-injecting mask)가 레지스트 등을 사용하여 형성되고, 게이트 전극(2)과 폴리실리콘 막(7)을 포함하는 보조 캐패시터 영역과 소스-드레인 영역(SD 영역)의 폴리실리콘 막(7) 상의 보호 절연막(8)은 도 7f에 도시된 바와 같이 불화수소 산-기반 습식 에칭 또는 불소-기반 건식 에칭에 의해 제거된다. 다음으로 N-채널 소스-드레인 영역(SD 영역 ; 10)이 고집적으로 인, 비소 등의 주입에 의해 형성된다. 또한, 주입된 인과 같은 도펀트를 활성화하기 위해, 열 어닐링 또는 레이저 어닐링이 수행되어 폴리실리콘 막(7)의 도핑되지 않은 부분이 능동층을 구성하여, 도 7g에 도시된 바와 같이 TFT(100)가 얻어진다.
- <21> 다음으로, 비소가 TFT(100)을 갖는 기판(1)의 섹션 상에 위치되고, 폴리실리콘 막(7) 및 보호 절연막(8)의 원하지 않는 부분들이 도 8h에 도시된바와 같이 패터닝된다. 이러한 경우에, 보호 절연막(8)의 에칭은 불화수소 산-기반 습식 에칭 또는 불소-기반 건식 에칭에 의해 보통 수행된다. 폴리실리콘 막(7)의 에칭은 F-기반 또는 Cl-기반 건식 에칭에 의해 자주 수행된다.
- <22> 다음으로, 층간 절연막(13)을 형성하기 위해, 실리콘 질화막(14)(300nm)과 실리콘 산화막(15)(200nm)들이 도 8i에 도시된 바와 같이 연속적으로 침착된다.
- <23> 층간 절연막(13) 및 게이트 절연막(6)들은 폴리실리콘 막(7) 상의 접촉-형성 섹션과 게이트 전극(2) 상의 접촉-형성 섹션(도시하지 않음)에서 에칭에 의해 제거되어, 도 8j에 도시된 바와 같이 접촉 홀들(16)이 만들어 진다. Al과 같은 금속을 접촉 홀들(16)에 삽입하여, 소스 전극(17) 및 드레인 전극(18)들이 도 8k에 도시된 바와 같이 형성된다.
- <24> 다음으로, 유기 평탄화 막, 실리콘 질화 평탄화 막 등으로 구성된 평탄화 층(19)이, 액정 디스플레이 패널의 투명한 전극과 패드-형성 섹션과의 접촉을 형성하기 위한 섹션을 포함하지 않는 영역에 형성된다. ITO 등으로 구성된 투명 전극(20)이 다음으로 픽셀 섹션을 커버하기 위해 형성되고, 배향층(21)이 투명 전극(20) 상에 형성된다. 그리하여, TFT 기판(201)이 도 8l에 도시된 바와 같이 얻어진다.
- <25> 도 6에 도시된 액정 디스플레이 장치(200)는 이렇게 얻어진 TFT 기판(201), 대향 전극(202)이 제공되는 대향 기판(203), 및 두 기판들 사이에 개재된 액정(204)을 포함하는 패널 구조를 갖는다.

- <26> 도 6 내지 도 81에 도시된 종래의 액정 디스플레이 장치에 사용되는 TFT(100)에서, 보조 캐패시터는 고집적으로 인 등으로 도핑된 폴리실리콘 막(7)과 Cs 전극(3)(게이트 전극(2)과 같은 층)에 의해 구성되며, 이러한 모양을 형성하기 위해, 폴리실리콘 막(7) 상의 보호 절연막(8)은 도 7d 및 7f에 도시된 바와 같이 두 번 에칭하여 제거되어야 한다. 그러므로, 복잡한 공정이 요구되어, 생산성의 개선을 방해한다.
- <27> 부가적으로, 보호 절연막(8)이 제 1 에칭(도 7d 참고)에 의해 제거되는 영역에서, 폴리실리콘 막(7)이 제 2 에칭(도 7f 참고)에 의해 보호 절연막(8)을 제거하는 단계에서 시작부터 노출된다. 이 스테이지에서, 폴리실리콘 막(7)은 N-채널이 인 이온, 비소 이온 등의 주입에 의해 형성되는 LDD 영역(9)으로 변형되어서, 핀홀들 등이 알칼리성 레지스트 스트리퍼와 불화수소 산-기반 에칭 용액에 의해 부식되므로 쉽게 발생한다. 결과적으로, 이 섹션 내의 폴리실리콘 막(7)과 이들 아래의 게이트 절연막(6)(특히 실리콘 산화막(5))은 불화수소 산-기반 에칭에 의해 에칭될 수 있으며, 폴리실리콘 막(7)과 Cs 전극(3)(또는 게이트 전극(2))사이의 게이트 절연막(6)의 브레이크다운 전압을 감소하는 결과를 갖는다.
- 발명이 이루고자 하는 기술적 과제**
- <28> 따라서, 본 발명의 목적은 바텀-게이트 박막 트랜지스터와 이를 제조하는 방법을 제공하는 것이며, 본 발명에서는, 공정 단계들을 감소시켜 생산성이 개선되고, 게이트 절연막의 불충분한 브레이크다운 전압이 개선되며, 생산물의 수율이 개선된다.
- <29> 본 발명의 발명자들은 종래의 바텀-게이트 TFT를 제조하기 위한 공정에서 약 200nm 대신에 100nm이하로 보호 절연막(8)의 두께를 설정하고, LDD 영역(9) 또는 소스-드레인 영역(10)이 다음으로 형성될 때 보호 절연막(8)을 통하여 도펀트를 주입하여, 보호 절연막(8)의 에칭 단계를 제거하는 것이 가능하고, 게이트 절연막(6)의 불충분한 브레이크다운 전압이 극복될 수 있다는 것을 발견하였으며, 또한, 이러한 TFT의 구조 또는 이를 제조하는 방법이 액정 디스플레이 장치들과 TFT들에 의해 구동된 유기 EL 장치들에 사용될 수 있다는 것을 발견하였다.
- <30> 본 발명의 한 양상에서, 바텀-게이트 박막 트랜지스터는 게이트 전극, 게이트 절연막, 능동층, 및 보호 절연막을 포함하며, 이들은 기판 상에 이와 같은 순서로 침착되며, 여기서 상기 보호 절연막은 100nm이하의 두께를 갖고, 능동층, LDD 영역, 및 소스-드레인 영역 중 하나 위에 형성된다. 양호하게는, 바텀-게이트 박막 트랜지스터에서 능동층은 폴리실리콘 막으로 구성된다.
- <31> 본 발명의 다른 양상에서, 바텀-게이트 박막 트랜지스터를 제조하는 방법은 기판 상에 게이트 전극을 형성하는 단계(1); 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계(2); 게이트 절연막 상의 보호 절연막과, 능동층에 대한 전구체 막(precursor film)을 포함하는 적층체(laminate)를 형성하는 단계로서, 상기 보호 절연막은 100nm이하의 두께를 갖는 단계(3); 상기 보호 절연막을 통해 상기 능동층에 대한 상기 전구체 막의 소스-드레인 영역 또는 LDD 영역에 도펀트를 주입하는 단계(4); 및 도핑되지 않은 부분이 상기 능동층을 구성하도록 상기 주입된 도펀트를 활성화하는 단계(5)를 포함한다.
- <32> 본 발명에 따라, 바텀-게이트 TFT에서, 능동층을 형성하기 위한 폴리실리콘 막 상의 보호 절연막이 100nm이하의 두께를 갖고, LDD 영역 또는 소스-드레인 영역이 보호 절연막을 통해 형성되어서, LDD 영역 또는 소스-드레인 영역을 형성하기 위한 보호 절연막의 에칭이 요구되지 않는다. 그러므로, 공정 단계들의 수가 감소될 수 있고, TFT의 생산성이 개선될 수 있다. 또한, 게이트 절연막의 불충분한 브레이크다운 전압을 방지할 수 있으며, 능동층의 라인 결함들과 포인트 결함들이 상당히 감소되어, 생산품의 수율을 개선한다.
- <33> 본 발명의 다른 양상에서, 액정 디스플레이 장치는 층간 절연막, 투명한 전극, 및 위에서 설명된 바텀-게이트 박막 트랜지스터의 보호 절연막 상에 형성되는 배향층을 포함하는 TFT 기판과; 대향 전극이 제공되는 대향 기판과; 상기 TFT 기판과 상기 대향 기판 사이에 개재된 액정을 포함한다.
- <34> 본 발명의 또다른 양상에서, 액정 디스플레이 장치를 제조하는 방법은, 위에서 설명한 방법에 의해 바텀-게이트 박막 트랜지스터를 만드는 단계와; TFT 기판을 구성하기 위해 바텀-게이트 박막 트랜지스터의 보호 절연막 상에 층간 절연막, 투명 전극, 및 배향층을 형성하는 단계와; 대향 전극이 제공되는 대향 기판과 상기 TFT 기판 사이에 액정을 개재하는 단계를 포함한다.
- <35> 본 발명의 또다른 양상에서, 유기 EL 장치는 위에서 설명한 바텀-게이트 박막 트랜지스터와 상기 바텀-게이트 박막 트랜지스터에 의해 구동되는 유기 EL 소자를 포함한다.
- <36> 본 발명의 또다른 양상에서, 유기 EL 장치를 제조하는 방법은, 위에서 설명한 방법으로 바텀-게이트 박막 트랜지스터를 만드는 단계와; 상기 바텀-게이트 박막 트랜지스터의 보호 절연막 상에 층간 절연막을 형성하는 단계

와; 상기 바텀-게이트 박막 트랜지스터에 의해 구동되는 유기 EL 소자를 상기 층간 절연막 상에 형성하는 단계를 포함한다.

발명의 구성 및 작용

- <37> 본 발명은 도면들을 참고로 더욱 상세히 설명될 것이다. 도면들에서, 동일한 숫자들은 동일하거나 동등한 소자들을 나타낸다.
- <38> 도 1은 본 발명의 실시예에서의 바텀-게이트 박막 트랜지스터를 사용하는 액정 디스플레이 장치의 개략적인 섹션도이고, 도 2a 내지 2f 및 도 3g 내지 3j들은 도 1에 도시된 액정 디스플레이 장치를 제조하는 단계들을 나타내는 개략적인 섹션도이다.
- <39> 본 발명의 제조 공정에서, 기판 상에 게이트 전극을 형성하는 단계(1)와 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계(2)들은 종래의 제조 방법과 동일한 방법으로 수행된다. 즉, 단계(1)에서, Cr, Al, Mo, 또는 Ta와 같은 금속으로 구성되는 게이트 전극(2)이 투명 유리 기판(1) 상에 10에서 400nm의 두께로 형성된다. 게이트 전극(2)은 필요에 따라 산화 처리되며, 게이트 산화막의 부분으로서 작용하는 절연 층은 게이트 전극(2)상에 형성될 수 있다. Cs 전극(3)은 도 2a에 도시된 바와 같이 이와 유사한 방법으로 형성된다.
- <40> 단계(2)에서, 게이트 절연막(6)이 게이트 전극(2)상에 형성되고, 게이트 절연막(6)은 예를 들어 플라즈마 CVD에 의해 침착된 10에서 100nm의 두께의 실리콘 질화막(4)과 플라즈마 CVD에 의해 침착된 50에서 200nm의 두께의 실리콘 산화막(5)으로 도 2b에 도시된 바와 같이 구성된다. 대안적으로, 실리콘 질화막(4)과 실리콘 산화막(5)은 ECR-CVD 또는 열 CVD에 의해 형성될 수 있다.
- <41> 이 실시예에서, 본 발명의 제조 방법의 단계(3)에서, 즉, 게이트 절연막 상의 보호 절연막과, 능동층에 대한 전구체 막을 포함하는 적층체를 형성하는 단계에서, 상기 보호 절연막은 100nm이하의 두께를 갖고, 게이트 절연막(6)이 형성된 후, 비정질 실리콘 막이 10 내지 100nm의 두께로 플라즈마 CVD에 의해 침착되며, 상기 비정질 실리콘 막은 그 후 도 2c에 도시된 바와 같이 폴리실리콘 막(7)을 형성하기 위해 적외선 램프, 레이저 어닐링 등으로 열 어닐링하여 결정화된다. 이 폴리실리콘 막(7)은 능동층을 구성한다. 이 폴리실리콘 막(7)은 열 CVD 등에 의해 직접 형성될 수 있다.
- <42> 그 다음, 실리콘 산화물로 구성되는 보호 절연막(8)이 도 2c에 도시된 바와 같이 열 CVD, 플라즈마 CVD 등에 의해 100nm이하의 두께로 형성된다.
- <43> 위에서 설명한 바와 같이, 본 발명에서, 보호 절연막(8)이 100nm이하의 두께로 형성되며, LDD 영역 또는 소스-드레인 영역을 형성하는 다음 단계에서, 인 또는 비소와 같은 도펀트가 보호 절연막(8)을 에칭하지 않고 보호 절연막(8)을 통해서 주입된다. 그리하여, 종래의 방법에서 보호 절연막(8)의 에칭 공정(도 7d와 7f를 참고)이 제거될 수 있어서, 생산성을 향상한다. 부가적으로, 폴리실리콘 막(7)이 불필요하게 에칭되지 않으므로, 게이트 절연막(6)의 불충분한 브레이크다운 전압이 방지될 수 있으며, 폴리실리콘 막(7)의 포인트 결함들과 라인 결함들이 상당히 감소되어 생산물의 수율을 개선한다.
- <44> 보호 절연막(8)의 두께는 보호 절연막(8)을 통해서 인 또는 비소와 같은 도펀트를 주입하기 위해 사용되는 주입기의 제한된 가속 전압으로 인하여 100nm이하로 설정된다. 양호하게는, 보호 절연막(8)의 두께는 낮은 가속 전압의 가속기를 사용하여 생산 비용을 감소하기 위해 50nm이하로 설정된다. 반면에, 보호 절연막(8)이 형성되지 않으면, LDD 영역을 형성하는 단계에서, LDD 영역을 형성하기 위한 레지스트 마스크(LDD-주입 마스크)가 능동층으로서 폴리실리콘 막(7)과 직접 접촉하게 되고, 소스-드레인 영역을 형성하는 다음 단계에서, N-채널 SD-주입 마스크와 P-채널 SD-주입 마스크들은 폴리실리콘 막(7)과 직접 접촉하게 되어 폴리실리콘 막(7)의 열화를 가져온다. 그러므로, 양호하게는, 보호 절연막(8)은 5nm이상의 두께를 갖는다.
- <45> 이 실시예에서, 본 발명의 제조 방법에서의 단계(4)에서, 즉 보호 절연막을 통하여 능동층에 대한 전구체 막의 소스-드레인 영역 또는 LDD 영역에 도펀트를 주입하는 단계에서, 먼저, LDD-주입 마스크(22)가 보호 절연막(8)상에 형성되고, LDD 영역(9)이 도 2d에 도시된 바와 같이 인, 비소 등을 주입하여 형성된다. 다음으로, N-채널 소스-드레인 영역(SD 영역; 10)을 형성하기 위해, N-채널 SD-주입 마스크(11)가 형성되고, 인, 비소 등이 고 집적으로 주입된다. 이 스테이지에서, 주입이 게이트 전극(2)과 폴리실리콘 막(7)에 의해 형성된 보조 캐패시터 영역 내의 폴리실리콘 막(7) 상에서도 수행되므로, 레지스트 마스크는 보조 캐패시터 영역에 형성되지 않는다. 부가적으로, C-MOS 회로 등이 구성될 때, P-채널 소스-드레인 영역을 형성하기 위해, 마스크가 레지스트 등을 사용하여 다시 형성되고, 붕소 등이 주입된다.

- <46> 다음으로, 본 발명의 단계(5)에서, 인과 같은 주입된 도펀트를 활성화하기 위해, 열 어닐링 또는 레이저 어닐링이 수행된다. 그리하여, 도 2e에 도시된 바와 같이 TFT(100A)가 얻어진다.
- <47> 액티브 소자로서 TFT(100A)를 사용하여 액정 디스플레이 장치를 제조하기 위해, 레지스트가 TFT(100A)를 갖는 섹션 상에 위치되고, 보호 절연막(8)과 폴리실리콘 막(7)의 원하지 않는 부분들이 도 2f에 도시된 바와 같이 패터닝된다. 이러한 경우에, 보호 절연막(8)이 대개 불화수소 산-기반 습식 에칭 또는 불소-기반 건식 에칭에 의해 에칭된다. 폴리실리콘 막(7)의 에칭은 F-기반 또는 Cl-기반 건식 에칭에 의해 종종 수행된다.
- <48> 다음으로, 층간 절연막(13)이 형성되며, 소스 전극(17) 및 드레인 전극(18)이 형성되고, 투명 전극(20)이 형성되며, 배향층(21)이 종래의 방법과 유사한 방법으로 투명 전극(20) 상에 형성된다. 즉, 층간 절연막(13)을 형성하기 위해, 실리콘 질화막(14)(50 내지 500nm)과 실리콘 산화막(15)(50 내지 500nm)들이 도 3g에 도시된 바와 같이 연속적으로 침착된다. 다음으로, 접촉 홀들(16)이 도 3h에 도시된 바와 같이 게이트 절연막(6)과 층간 절연막(13)을 에칭하여 만들어지고, Al과 같은 금속이 도 3i에 도시된 바와 같이 소스 전극(17)과 드레인 전극(18)을 형성하기 위해 접촉 홀들(16)에 삽입된다. 유기 아크릴 수지, 실리콘 질화 평탄화 막 등으로 구성되는 유기 평탄화 막으로 구성되는 평탄화 층(19)이 액정 디스플레이 패널의 투명 전극과 패드-형성 섹션의 접촉을 형성하기 위한 섹션을 포함하지 않는 영역에 형성된다. 다음으로, ITO 등으로 구성되는 투명 전극(20)이 픽셀 섹션을 커버하기 위해 형성되고, 배향층(21)이 투명 전극(20) 상에 형성된다. 그리하여, 액티브 소자로서 본 발명의 TFT(100A)를 갖는 액정 디스플레이 장치를 위한 TFT 기관(201A)이 도 3j에 도시된 바와 같이 얻어진다.
- <49> 도 1에 도시된 액정 디스플레이 장치(200A)는 공지된 대향 전극(202)이 제공되는 대향 기관(203)과 TFT 기관(201A)을 결합하고, 공지된 공정으로 두 기관들 사이에 액정(204)을 개재하여 제조된다.
- <50> 본 발명의 실시예에서 TFT와 이의 제조 방법이 TFT를 사용하는 액정 디스플레이 장치(200A)를 참고로 설명되었다. 본 발명은 위의 실시예에 한정되지 않는다는 것을 주지해야 하며, 또한 본 발명은 능동층에 대한 전구체 막 상에 보호 절연막(8)이 100nm이하의 두께를 갖고, 도펀트가 LDD 영역 또는 소스-드레인 영역을 형성하기 위해 보호 절연막(8)을 통해 주입되는 것에 관한 다양한 변경들을 커버하도록 의도된다.
- <51> 예를 들어, 위에서 설명된 본 발명의 실시예에서의 TFT(100A)에서, 도펀트가 주입된 능동층에 대한 전구체 막이 폴리실리콘 막(7)이라 하더라도, 능동층에 대한 전구체 막은 여기에 한정되지 않는다. 예를 들어, 비정질 실리콘 막, 실리콘-게르마늄 합금 막, 또는 실리콘 카바이드 막이 능동층에 대한 전구체 막으로서 사용될 수 있다. 공정 호환성에 관하여, 폴리실리콘 막이 양호하게 사용된다.
- <52> 본 발명의 실시예에서 TFT(100A)를 제조하는 방법에서의 단계(3)에서, 비정질 실리콘 막이 게이트 절연막(6) 상에 침착되고, 이 비정질 실리콘 막은 결정화되어 폴리실리콘 막(7)을 형성하며, 보호 절연막(8)이 폴리실리콘 막(7)상에 침착된다. 그러나, 비정질 실리콘 막이 CVD 등에 의해 형성된 후, 비정질 실리콘 막을 결정화하는 대신에, 보호 절연막(8)이 진공상태를 파괴하지 않고 CVD에 의해 연속적으로 형성될 수 있으며, 그 후 비정질 막은 결정화되어 폴리실리콘 막(7)을 형성할 수 있다. 그리하여, 폴리실리콘 막(7)이 열화되는 것으로부터 더욱 보호될 수 있다.
- <53> 더욱이, 본 발명의 실시예의 TFT(100A)를 제조하는 방법에서의 단계(3)에서, 실리콘 산화물로 구성되는 보호 절연막(8)이 플라즈마 CVD 등에 의해 형성된다. 그러나, 보호 절연막(8)은 폴리실리콘 막(7)을 형성하기 위해 비정질 실리콘 막의 표면 산화에 의해 형성될 수 있다. 예를 들어, 표면 산화를 수행하기 위해, 비정질 실리콘 막은 약 400℃의 뜨거운 스팀 또는 오존에 노출될 수 있으며, 또한, 대기 함유 산소에서 자외선 빛으로 조사될 수 있다. 이러한 방법에서, 5에서 20nm의 두께의 실리콘 산화막이 만족스러운 두께 제어로 형성될 수 있으므로, 폴리실리콘 막의 두께 제어성과 결정화의 제어성이, 비정질 실리콘 막이 폴리실리콘 막(7)을 형성하기 위해 레이저 어닐링 등으로 결정화될 때, 개선된다. 대안적으로, 보호 절연막(8)은 약 1 MPa의 고압력(고압력 어닐링)에서 600℃에서 저온 열 산화를 수행하여 형성될 수 있다.
- <54> 본 발명에서, 도펀트가 LDD 영역 또는 소스-드레인 영역을 형성하기 위해 보호 절연막(8)을 통해 주입되므로, 결함들이 보호 절연막(8)에 발생한다. 특히, LDD 영역에서, 도펀트의 양이 작으므로, 저항의 변화가 보호 절연막(8)의 상부의 결함들로 인해 발생된다. 더욱이, 공정 동안, 에싱(ashing) 등이 고정된 레지스트를 스트립하기 위해 수행되며, 이것 또한 채널 또는 LDD 영역 위의 보호 절연막(8)에 결함들을 유발한다. 그러므로, 결함들을 복구하기 위한 처리가 적절하게 수행된다. 특히, 소스-드레인 영역(10)이 단계(4)에서 형성된 후, 또는 층간 절연막(13)이 형성된 후, 약 200 내지 650℃에서 열 에너지 조사, RTA, 레이저 조사 등이 양호하게 수행된다. 특히, 양호하게, 결함들을 복구하기 위한 처리가 주입된 도펀트를 활성화하는 단계 또는 실리콘 질화막(14)의 형

성에 뒤따르는 폴리실리콘 막(7)의 수소화 단계와 결합된다. 이것은 단계들의 수가 증가하지 않기 때문이다. 도펀트를 활성화하는 단계에서, 동시에 결합 복구를 수행하기 위해서, 양호하게, 온도가 RTA 등에 의해 약 600℃까지 순간적으로 상승한다.

<55> 본 발명에서의 TFT 또는 이를 제조하기 위한 방법은 드라이빙 소자로서 TFT를 갖는 유기 EL 장치와 이를 제조하는 방법에 사용될 수 있다.

<56> 예를 들어, 도 4에 도시된 유기 EL 장치(300)은 위에서 설명된 방법에 따라 TFT 기판을 형성하여 제조될 수 있으며, 유기 EL 장치를 제조하기 위한 공지된 방법에 따라, 즉, 아래에서 설명되는 일본 무심사 특허 출원 공보 제 11-251069 또는 10-189252에서 공지된 방법에 따라 제조될 수 있다. 먼저, 투명 유리 기판(1)상에, TFT(100A)가 형성되며, 게이트 전극(2), 게이트 절연막(6), 폴리실리콘 막(7)을 포함하는 능동층과, 100nm이하의 두께를 갖는 보호 절연막(8)들이 이러한 순서로 침착된다. 다음으로, 층간 절연막(13)이 TFT(100A) 상에 형성되며, 소스 전극(17)과 드레인 전극(18)들이 형성되고, 평탄화 층(19)이 형성되며, 접촉홀(23)이 평탄화 층(19) 내에 만들어 진다. 유기 EL 소자(30)의 캐소드 층(31)이 평탄화 층(19) 상에 형성되고, 캐소드 층(31)이 접촉 층(23)을 통하여 TFT(100A)의 소스 전극(17)에 전기적으로 연결된다. 전자 전달 층(32), 발광층(33), 및 홀-전달 층(34)들은 캐소드 층(31) 상에 이러한 순서로 형성되며, 애노드 층(35)이 홀-전달 층(34) 상에 더 형성된다. 유기 EL 소자(30)에서, 애노드 층(35)으로부터 주입된 홀들과 캐소드 층(31)으로부터 주입된 전자들은 빛을 발생하기 위해 발광층(33)에서 재결합되고, 발광이 본 발명의 TFT에 의해 구동된 유기 EL 장치(300)가 제조된다. 부가적으로, 유기 EL 장치(300)에서, 빛은 애노드 층(35)의 측면에서 방출된다.

<57> 유기 EL 소자(30) 자신의 층 구조와 개별적인 층들에 대한 물질들은 특별히 제한되지 않으며, TFT(100A)와 유기 EL 소자(30) 사이의 평탄화 층(19) 형성 방법과 물질은 특별히 제한되지 않는다.

<58> 예를 들어, 평탄화 층(19)은 폴리이미드 막 또는 아크릴 막과 같은 합성 수지 막, SOG 막, 규산염 유리 막, 실리콘 옥시니트리드 막, 실리콘 니트리드 막, 또는 실리콘 산화막으로 구성될 수 있다.

<59> 예를 들어, 캐소드 층(31)은 마그네슘-인듐 합금 또는 알루미늄-리튬 합금으로 구성될 수 있다. 전자-전달 층(32)은 Bebq2(10-벤조[h]퀴놀리놀-베릴륨 복합체 ; 10-benzo[h]quinolinol-beryllium complex)로 구성될 수 있으며, 발광층(33)은 Bebq2, 쿼인아크리돈(quinacridone) 유도체를 함유하는 8-퀴놀리놀-알루미늄 복합체(8-quinolinol-aluminum complex)로 구성될 수 있다. 홀-전달 층(34)은 TDP(4,4',4''-tris-(methylphenylpheylylamino)triphenylamine), MTDATA(4,4'-bis-(3-methylphenylpheylylamino)biphenyl), 또는 α -NPD(α -naphthylphenyldiamine)으로 구성될 수 있으며, 애노드 층(35)은 Pt, Rh, 또는 Pd로 구성될 수 있다. 개별적인 층들은 증기 침착 등에 의해 형성될 수 있다. 부가적으로, 포지티브 전극 층(35)은 ITO 등을 사용하는 스퍼터링에 의해 형성될 수 있다.

<60> 도 5는 TFT에 의해 구동된 또 다른 유기 EL 장치의 개략적인 섹션도이며, 여기서 TFT(100A) 상의 유기 EL 소자(30)의 층 구조가 도 4에 도시된 유기 EL 소자(30)의 구조로부터 역으로 된다. 이 유기 EL 소자에서, 애노드 층(35), 홀-전달 층(34), 발광층(33), 전자-전달 층(32), 및 캐소드 층(31)들은 평탄화 층(19)상에 이러한 순서로 침착된다. 이 유기 EL 소자에서 빛은 기판(1)의 측면으로부터 방출된다.

<61> 부가적으로, 본 발명은 위에서 설명된 유기 EL 장치에만 제한되는 것이 아니며, 본 발명은 본 발명의 TFT가 사용되는 한 다양한 변형을 커버하도록 의도된다는 것을 주지해야 한다.

발명의 효과

<62> 본 발명에서는, 바텀-게이트 박막 트랜지스터와 이를 제조하는 방법을 제공하여, 공정 단계들을 감소시켜 생산성이 개선되고, 게이트 절연막의 불충분한 브레이크다운 전압이 개선되며, 생산물의 수율이 개선된다.

도면의 간단한 설명

<1> 도 1은 본 발명의 실시예에서 TFT를 사용하는 액정 디스플레이 장치의 개략적인 섹션도.

<2> 도 2a 내지 도 2f들은 도 1에 도시된 액정 디스플레이 장치를 제조하는 단계들을 도시하는 개략적인 섹션도.

<3> 도 3g 내지 도 3j들은 도 2a 내지 도 2f에 도시된 단계들 다음의 액정 디스플레이 장치를 제조하는 단계들을 도시하는 개략적인 섹션도.

<4> 도 4는 본 발명의 실시예에서 TFT를 사용하는 유기 EL 장치의 개략적인 섹션도.

<5> 도 5는 본 발명의 실시예에서 TFT를 사용하는 유기 EL 장치의 개략적인 섹션도.

<6> 도 6은 종래의 TFT를 사용하는 액정 디스플레이 장치의 개략적인 섹션도.

<7> 도 7a 내지 도 7g들은 도 6에 도시된 액정 디스플레이 장치를 제조하는 단계들을 나타내는 개략적인 섹션도.

<8> 도 8h 내지 도 8l들은 도 7a 내지 도 7g에 도시된 단계들 다음의 액정 디스플레이 장치를 제조하는 단계들을 도시하는 개략적인 섹션도.

<9> *도면의 주요부분에 대한 부호의 설명*

<10> 1 : 투명 유리 기판 2 : 게이트 전극

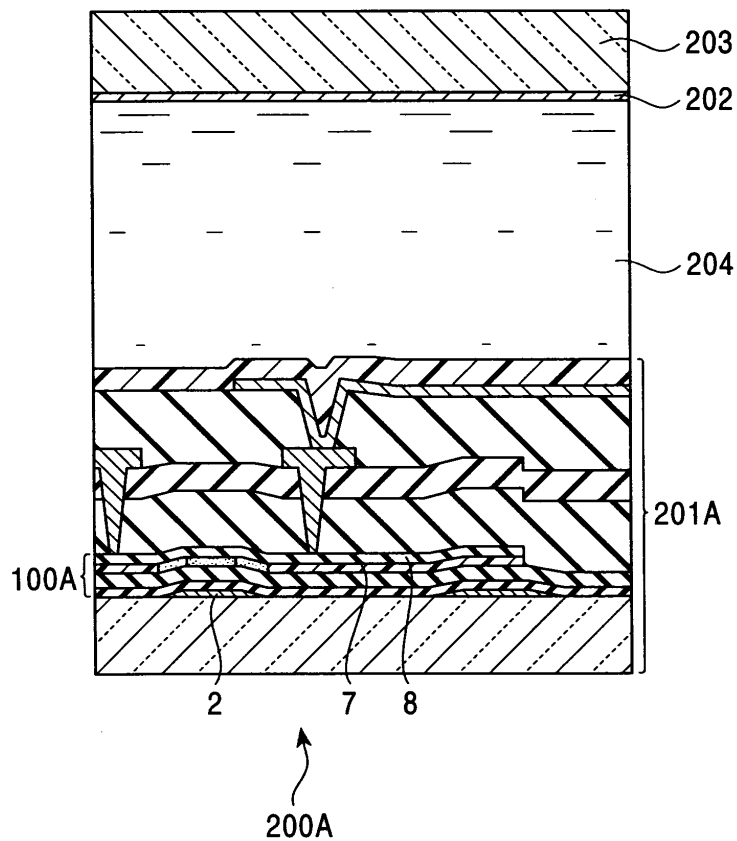
<11> 3 : Cs 전극 4 : 실리콘 질화막

<12> 5 : 실리콘 산화막 6 : 게이트 절연막

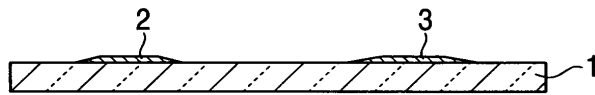
<13> 7 : 폴리실리콘 막 8 : 보호 절연막

도면

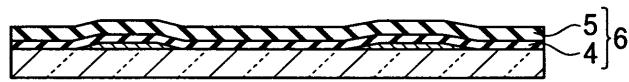
도면1



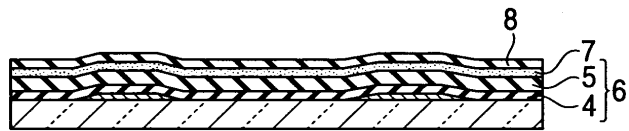
도면2a



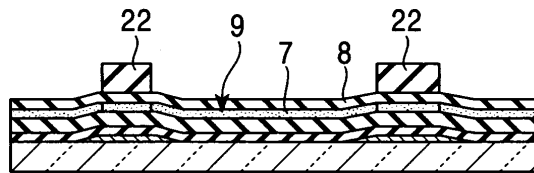
도면2b



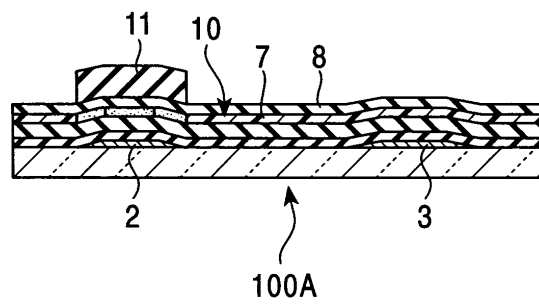
도면2c



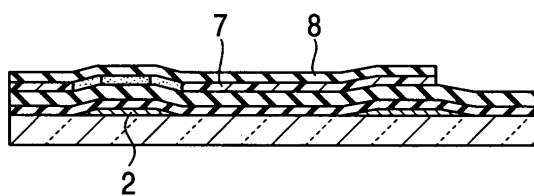
도면2d



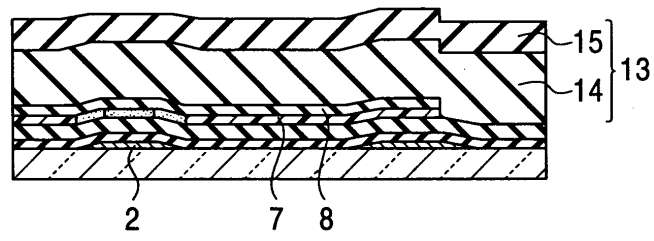
도면2e



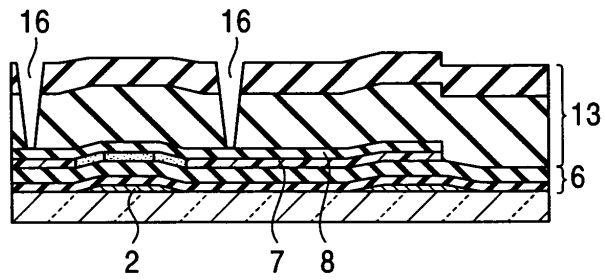
도면2f



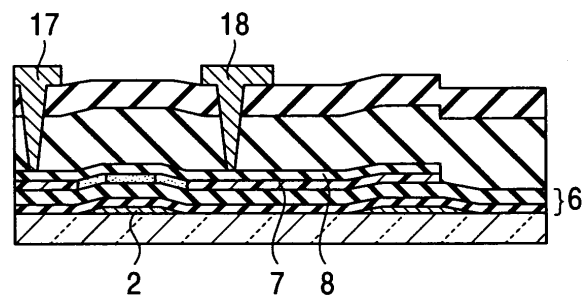
도면3g



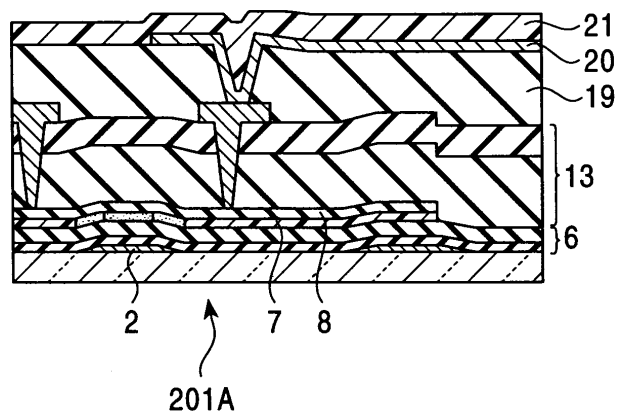
도면3h



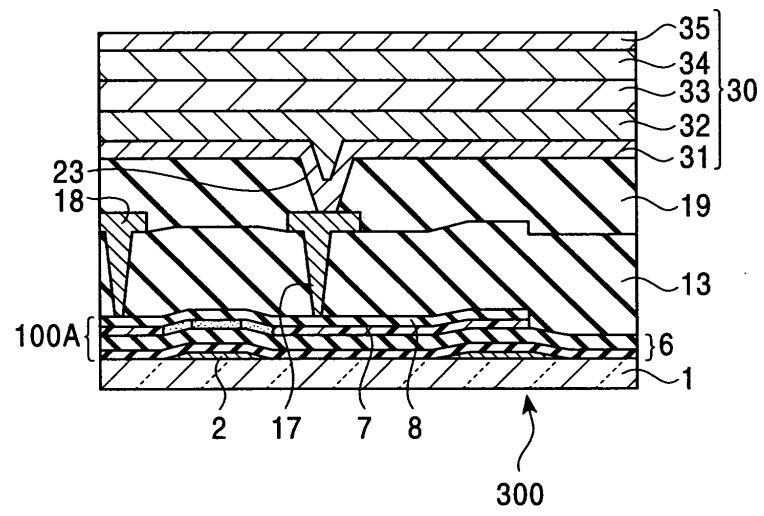
도면3i



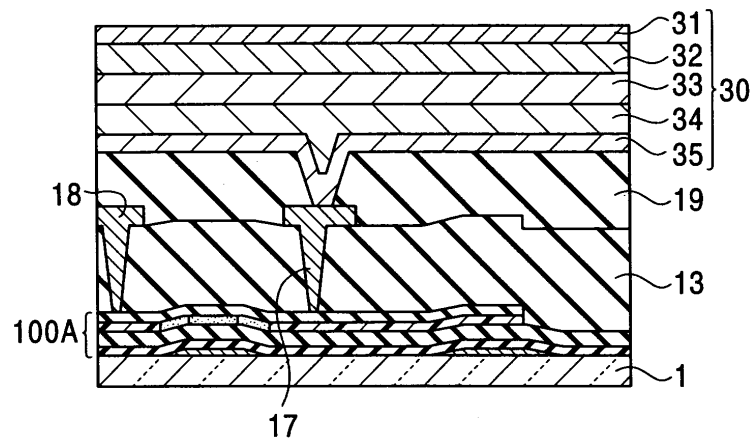
도면3j



도면4

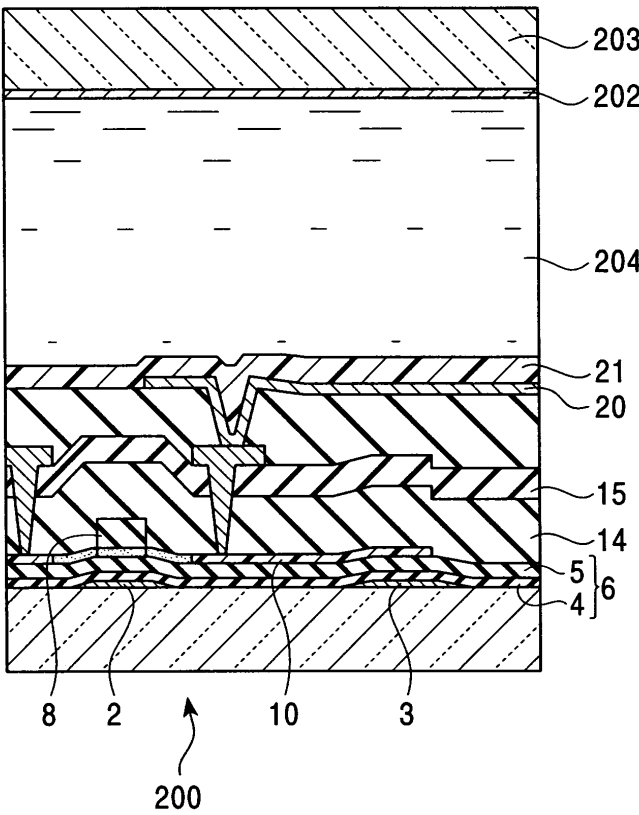


도면5

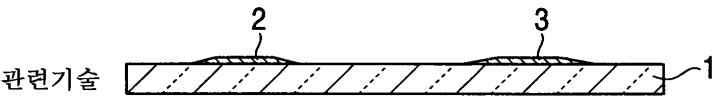


도면6

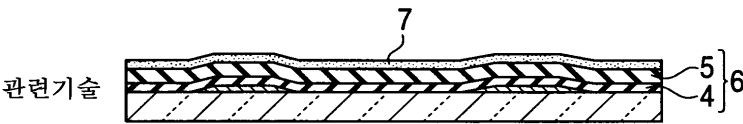
관련기술



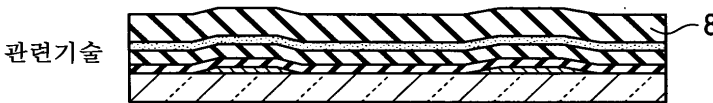
도면7a



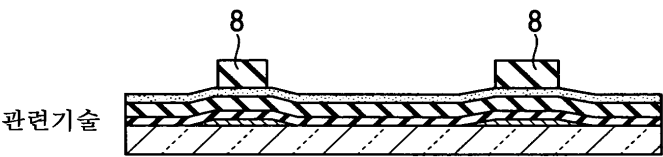
도면7b



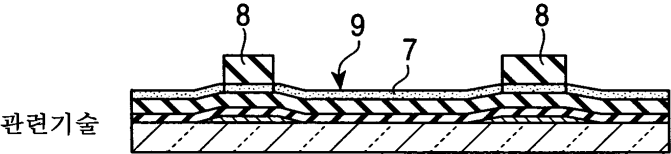
도면7c



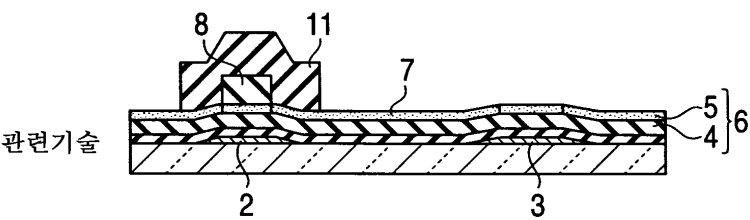
도면7d



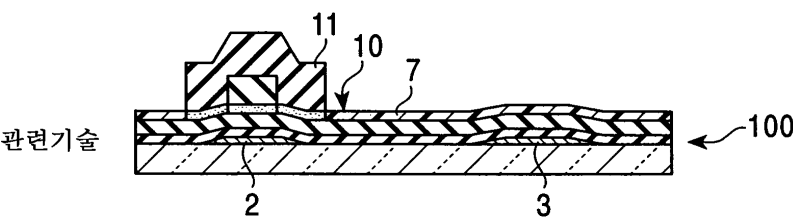
도면7e



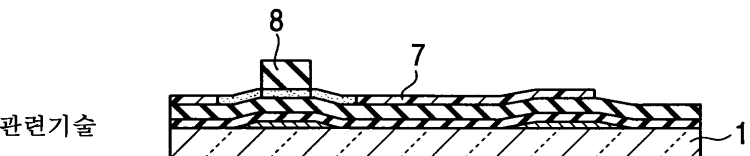
도면7f



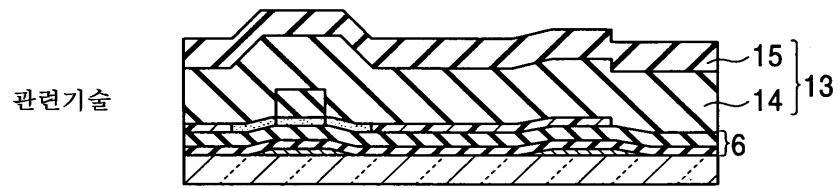
도면7g



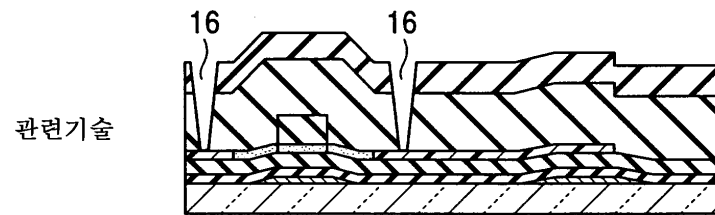
도면8h



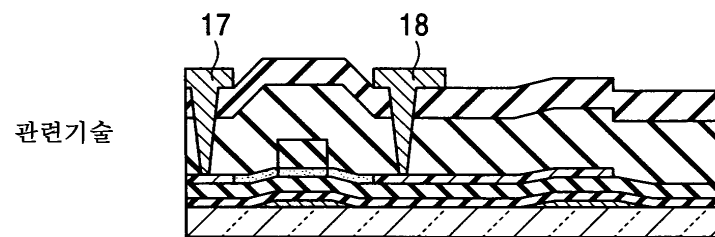
도면8i



도면8j



도면8k



도면8l

