

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2024-502642
(P2024-502642A)

(43)公表日 令和6年1月22日(2024.1.22)

(51)国際特許分類	F I	テーマコード(参考)
H 0 3 L 7/081(2006.01)	H 0 3 L 7/081	5 J 0 2 2
H 0 3 L 7/197(2006.01)	H 0 3 L 7/197	5 J 1 0 6
H 0 3 M 1/82 (2006.01)	H 0 3 M 1/82	

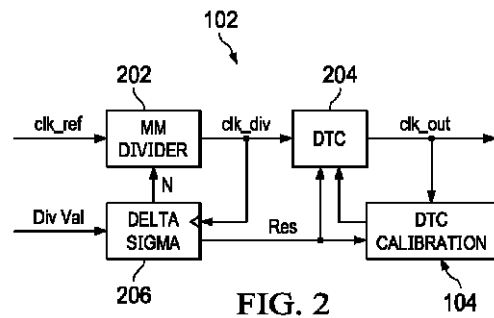
審査請求 未請求 予備審査請求 未請求 (全25頁)

(21)出願番号	特願2023-542527(P2023-542527)	(71)出願人	507107291
(86)(22)出願日	令和4年1月12日(2022.1.12)		テキサス インスツルメンツ インコーポ レイテッド
(85)翻訳文提出日	令和5年9月11日(2023.9.11)		アメリカ合衆国 テキサス州 7 5 2 6 5 - 5 4 7 4 ダラス メール ステーション 3 9 9 9 ピーオーボックス 6 5 5 4 7 4
(86)国際出願番号	PCT/US2022/012085	(74)代理人	230129078
(87)国際公開番号	WO2022/155176		弁護士 佐藤 仁
(87)国際公開日	令和4年7月21日(2022.7.21)	(72)発明者	ミカエル ヘンダーソン ペロット
(31)優先権主張番号	63/136,243		アメリカ合衆国 0 3 0 6 0 ニュー ハ ンプシャー州 ナシュア, ユニット デ ィー 3 7, スピット ブルック ロード 3 9
(32)優先日	令和3年1月12日(2021.1.12)	F ターム(参考)	5J022 AB01 CE01
(33)優先権主張国・地域又は機関	米国(US)		5J106 AA04 CC01 CC30 CC41
(31)優先権主張番号	17/573,323		最終頁に続く
(32)優先日	令和4年1月11日(2022.1.11)		
(33)優先権主張国・地域又は機関	米国(US)		
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA 最終頁に続く		

(54)【発明の名称】 デジタル・時間変換器のパラメトリック誤差の較正

(57)【要約】

幾つかの例において、回路は、クロック分周器(102)と、クロック分周器に結合される較正回路(104)とを含む。クロック分周器は、デジタル・時間変換器(DTC)(204)を含む。較正回路は、DTCの利得誤差及びパラメトリック積分非線形性(INL)誤差を判定し、利得誤差及びINL誤差を補償するように利得調整値及びINL調整値を判定し、利得調整値及びINL調整値に従ってDTCの動作を改変して利得誤差及びINL誤差を補正するように構成される。



【特許請求の範囲】

【請求項 1】

回路であって、

入力クロック信号を受信するように構成される第 1 の入力と、第 2 の入力と、出力とを有するマルチモジュラス (MM) 分周器と、

デルタシグマ変調器であって、分周値を受け取るように構成される第 1 の入力と、前記 MM 分周器の前記出力に結合される第 2 の入力と、前記 MM 分周器の前記第 2 の入力に結合される第 1 の出力と、第 2 の出力とを有する前記デルタシグマ変調器と、

第 1 の入力と、第 2 の入力と、第 3 の入力と、出力とを有するデジタル・時間変換器 (DTC) であって、前記第 1 の入力前記 MM 分周器の前記出力に結合され、前記第 2 の入力前記デルタシグマ変調器の前記第 2 の出力に結合される、前記デジタル・時間変換器 (DTC) と、

10

前記 DTC の前記出力に結合される第 1 の入力と、前記デルタシグマ変調器の前記第 2 の出力に結合される第 2 の入力と、前記 DTC の前記第 3 の入力に結合される出力とを有する較正回路と、

を含む、回路。

【請求項 2】

請求項 1 に記載の回路であって、前記較正回路が、

第 1 の入力と、第 2 の入力と、第 1 の出力と、第 2 の出力と、を有する相関回路であって、前記相関回路の前記第 1 の入力位相誤差信号を受信するように構成され、前記相関回路の前記第 2 の入力前記デルタシグマ変調器の前記第 2 の出力に結合される、前記相関回路と、

20

前記相関回路の前記第 1 の出力に結合される第 1 の入力と、前記相関回路の前記第 2 の出力に結合される第 2 の入力と、第 1 の出力と、第 2 の出力と、を有するフィードバック制御回路と、

前記 MM 分周器の前記出力に結合される第 1 の入力と、前記デルタシグマ変調器の前記第 2 の出力に結合される第 2 の入力と、前記フィードバック制御回路の前記第 2 の出力に結合される第 3 の入力と、前記 DTC の前記第 3 の入力に結合される出力と、を有するパラメトリック積分非線形性 (INL) 補償回路と、

前記フィードバック制御回路の前記第 1 の出力及び前記 DTC の第 4 の入力に結合される入力とを有する利得補償回路と、

30

を含む、回路。

【請求項 3】

請求項 2 に記載の回路であって、前記較正回路が、入力及び出力を有する較正位相ロッキングループ (PLL) を含み、前記 PLL 入力前記 DTC 出力と前記 PLL 出力において提供される前記位相誤差信号とに結合され、

前記較正 PLL が、

前記 DTC の前記出力に結合される第 1 の入力と、第 2 の入力と、出力と、を有する線形位相検出器 (PD) と、

前記線形 PD の前記出力に結合される入力と、出力と、を有するループフィルタと、

40

前記 DTC の前記出力に結合される第 1 の入力と、第 2 の入力と、前記相関回路の第 1 の入力に結合される出力と、を有するパンパン PD と、

前記パンパン PD 出力に結合される入力と、出力と、を有する同調制御回路と、

前記ループフィルタ出力及び前記同調制御回路出力に結合される入力と、出力と、を有する電圧制御発振器 (VCO) と、

前記 VCO 出力に結合される入力と、前記線形 PD の前記第 1 の入力及び前記パンパン PD の前記第 1 の入力に結合される出力と、を有する分周器と、

を含む、回路。

【請求項 4】

請求項 1 に記載の回路であって、

50

第 1 の入力と、第 2 の入力と、第 1 の出力と、第 2 の出力と、を有する検出器回路であって、前記検出器回路の前記第 1 の入力基準信号受信するように構成され、前記検出器回路の前記第 2 の入力前記 D T C 出力に結合され、前記検出器回路の前記第 1 の出力前記較正回路の第 3 の入力に結合される、前記検出器回路と、

前記検出器回路の前記第 2 の出力に結合される入力と、前記 M M 分周器の前記第 1 の入力に結合される出力と、を有する電圧制御発振器 (V C O) と、
をさらに含む、回路。

【請求項 5】

請求項 4 に記載の回路であって、
前記較正回路が、

第 1 の入力と、第 2 の入力と、第 1 の出力と、第 2 の出力と、を有する相関回路であって、前記相関回路の前記第 1 の入力前記検出器回路の前記第 1 の出力に結合され、前記相関回路の前記第 2 の入力前記デルタシグマ変調器の前記第 2 の出力に結合される、前記相関回路と、

前記相関回路の前記第 1 の出力に結合される第 1 の入力と、前記相関回路の前記第 2 の出力に結合される第 2 の入力と、第 1 の出力と、第 2 の出力と、を有するフィードバック制御回路と、

パラメトリック積分非線形性 (I N L) 補償回路であって、前記フィードバック制御回路の前記第 2 の出力に結合される第 1 の入力と、前記フィードバック制御回路の前記第 2 の出力に結合される第 2 の入力と、前記デルタシグマ変調器の前記第 2 の出力に結合される第 3 の入力と、前記 D T C の前記第 3 の入力に結合される出力と、を有する、前記 I N L 補償回路と、

前記フィードバック制御回路の前記第 1 の出力及び前記 D T C の第 4 の入力に結合される入力を有する利得補償回路と、

を含む、回路。

【請求項 6】

請求項 5 に記載の回路であって、
前記検出器回路が、

前記基準信号を受信するように構成される第 1 の入力と、前記 D T C の前記出力に結合される第 2 の入力と、出力と、を有する線形位相検出器 (P D) と、

前記線形 P D の前記出力に結合される入力と、前記 V C O の前記入力に結合される出力と、を有するループフィルタと、

前記基準信号を受信するように構成される第 1 の入力と、前記 D T C の前記出力に結合される第 2 の入力と、前記相関回路の前記第 1 の入力に結合される出力と、を有するバンバン P D と、

前記バンバン P D 出力に結合される入力と、前記 V C O の前記入力に結合される出力と、を有する同調制御回路と、

を含む、回路。

【請求項 7】

請求項 4 に記載の回路であって、
前記較正回路が、

位相誤差信号を判定するため、前記 D T C の出力を前記基準信号と比較し、

相関値を判定するため、前記位相誤差信号を、各々が前記デルタシグマ変調器の残余誤差の関数である、複数の基底関数と相関させ、

前記相関値をゼロ平均に収束させるため、前記相関に基づいて前記 D T C の利得及びパラメトリック積分非線形性 (I N L) 調整を制御する、

ように構成される、

回路。

【請求項 8】

請求項 1 に記載の回路であって、

10

20

30

40

50

前記較正回路が、

位相誤差信号を判定するため、前記 D T C の出力を第 2 の入力クロック信号と比較し

、
相関値を判定するため、前記位相誤差信号を、各々が前記デルタシグマ変調器の残余誤差の関数である、複数の基底関数と相関させ、

前記相関値をゼロ平均に収束させるため、前記相関に基づいて、前記 D T C の利得及びパラメトリック積分非線形性 (I N L) 調整を制御する、

ように構成される、

回路。

【請求項 9】

10

回路であって、

デジタル・時間変換器 (D T C) を含むクロック分周器と、

前記クロック分周器に結合される較正回路と、

を含み、

前記較正回路が、

前記 D T C の利得誤差及びパラメトリック積分非線形性 (I N L) 誤差を判定し、

前記利得誤差及び前記 I N L 誤差を補償するために、利得調整値及び I N L 調整値を判定し、

前記利得誤差及び前記 I N L 誤差を補正するために、前記利得調整値及び前記 I N L 調整値に従って、前記 D T C の動作を改変する、

20

ように構成される、

回路。

【請求項 10】

請求項 9 に記載の回路であって、前記 D T C の前記利得誤差及び前記 I N L 誤差を判定するために、前記較正回路が、

位相誤差信号を判定するため、前記 D T C の出力信号を基準信号と比較し、

相関値を判定するため、前記位相誤差信号を、各々が前記クロック分周器のデルタシグマ変調器の残余誤差の関数である、複数の基底関数と相関させ、

前記判定された相関値に基づいて前記利得調整値及び前記 I N L 調整値を判定する、

ように構成され、判定された前記利得調整値及び前記 I N L 調整値が、前記相関値をゼロ平均に集束させる、

30

回路。

【請求項 11】

請求項 10 に記載の回路であって、前記位相誤差信号を判定するために、前記較正回路が、前記基準信号を前記 D T C の前記出力信号と比較して前記位相誤差信号を提供するように構成されるバンバン位相検出器を含む、回路。

【請求項 12】

請求項 10 に記載の回路であって、前記複数の基底関数が、前記位相誤差のための少なくとも一つの基底関数と、前記 I N L 誤差のための少なくとも一つの基底関数とを含む、回路。

40

【請求項 13】

請求項 12 に記載の回路であって、前記複数の基底関数がゼロ直流電流成分を有する、回路。

【請求項 14】

請求項 12 に記載の回路であって、前記複数の基底関数が、基本周波数のための第 1 の基底関数と、第 2 高調波周波数のための第 2 の基底関数とを含む、回路。

【請求項 15】

請求項 10 に記載の回路であって、前記較正回路が、前記相関を実施する前に前記基底関数をフィルタリングするように構成される、回路。

【請求項 16】

50

請求項 9 に記載の回路であって、前記較正回路が、ルックアップテーブルに従って前記 D T C の不一致誤差を補正するように構成される、回路。

【請求項 17】

システムであって、
制御信号を提供するように構成されるコントローラと、
前記コントローラに結合され、受信されるクロック信号を改変して、前記制御信号に従って改変クロック信号を形成するように構成されるデジタル・時間変換器 (D T C) を含むクロック分周器と、

前記クロック分周器に結合される較正回路であって、前記較正回路が、
前記 D T C の利得誤差及びパラメトリック積分非線形性 (I N L) 誤差を判定し、
前記利得誤差及び前記 I N L 誤差を補償するために、利得調整値及び I N L 調整値を判定し、

前記利得誤差及び前記 I N L 誤差を補正するために、前記利得調整値及び前記 I N L 調整値に従って、前記 D T C の動作を改変する、

ように構成される、前記較正回路と、

前記クロック分周器に結合され、前記クロック分周器から前記改変されたクロック信号を受信し、前記改変されたクロック信号に従って動作するように構成される構成要素と、
を含む、システム。

【請求項 18】

請求項 17 に記載のシステムであって、前記 D T C の前記利得誤差及び前記 I N L 誤差を判定するために、前記較正回路が、

位相誤差信号を判定するため、前記 D T C の出力信号を基準信号と比較し、

相関値を判定するため、前記位相誤差信号を、各々が前記クロック分周器のデルタシグマ変調器の残余誤差の関数である、複数の基底関数と相関させ、

前記判定された相関値に基づいて前記利得調整値及び前記 I N L 調整値を判定する、

ように構成され、判定された前記利得調整値及び前記 I N L 調整値が、前記相関値をゼロ平均に集束させる、

システム。

【請求項 19】

請求項 18 に記載のシステムであって、前記位相誤差信号を判定するために、前記較正回路が、前記基準信号を前記 D T C の前記出力信号と比較して前記位相誤差信号を提供するように構成されるバンバン位相検出器を含む、システム。

【請求項 20】

請求項 18 に記載のシステムであって、前記複数の基底関数が、互いに直交しており、前記位相誤差のための少なくとも一つの基底関数と、前記 I N L 誤差のための少なくとも一つの基底関数とを含む、システム。

【発明の詳細な説明】

【背景技術】

【0001】

電子システムにおける様々な電気構成要素は、異なるクロック周波数で動作する。その結果、第 1 の周波数を有する第 1 のクロック信号が分周されて、第 2 の周波数を有する第 2 のクロック信号が形成され得る。この分周を実施するための幾つかの手法において、それらの有用性が制限されることがある。

【発明の概要】

【0002】

幾つかの例において、回路が、マルチモジュラス (M M) 分周器と、デジタルデルタシグマ変調器と、デジタル・時間変換器 (D T C) と、較正回路とを含む。 M M 分周器は、入力クロック信号を受信するように構成される第 1 の入力と、第 2 の入力と、出力とを有する。デルタシグマ変調器は、分周値を受け取るように構成される第 1 の入力と、 M M 分周器の出力に結合される第 2 の入力と、 M M 分周器の第 2 の入力に結合される第 1 の出力

と、第 2 の出力とを有する。D T C は、第 1 の入力、第 2 の入力、第 3 の入力、及び出力を有し、第 1 の入力は M M 分周器の出力に結合され、第 2 の入力はデルタシグマ変調器の第 2 の出力に結合される。較正回路は、D T C 出力に結合される第 1 の入力と、デルタシグマ変調器の第 2 の出力に結合される第 2 の入力と、第 3 の D T C 入力に結合される出力とを有する。

【 0 0 0 3 】

幾つかの例において、回路が、クロック分周器と、クロック分周器に結合される較正回路とを含む。クロック分周器は、デジタル・時間変換器 (D T C) を含む。較正回路は、D T C の利得誤差及びパラメトリック積分非線形性 (I N L) 誤差を判定し、利得誤差及び I N L 誤差を補償するための利得調整値及び I N L 調整値を判定し、利得誤差及び I N L 誤差を補正するために利得調整値及び I N L 調整値に応じて D T C の動作を改変するように構成される。

10

【 0 0 0 4 】

幾つかの例において、システムが、コントローラと、クロック分周器と、較正回路と、構成要素を含む。コントローラは、制御信号を提供するように構成される。クロック分周器は、コントローラに結合され、D T C を含み、D T C は、改変されたクロック信号を形成するために、受け取ったクロック信号を制御信号に従って改変するように構成される。較正回路はクロック分周器に結合される。較正回路は、D T C の利得誤差及びパラメトリック積分非線形性 (I N L) 誤差を判定し、利得誤差及び I N L 誤差を補償するための利得調整値及び I N L 調整値を判定し、利得誤差及び I N L 誤差を補正するために利得調整値及び I N L 調整値に応じて D T C の動作を改変するように構成される。構成要素は、クロック分周器に結合されており、クロック分周器から改変されたクロック信号を受信し、改変されたクロック信号に従って動作するように構成される。

20

【 図面の簡単な説明 】

【 0 0 0 5 】

【 図 1 】 様々な例に従った電子デバイスのブロック図である。

【 0 0 0 6 】

【 図 2 】 様々な例に従った、較正回路を備えたクロック分周器のブロック図である。

【 0 0 0 7 】

【 図 3 】 様々な例に従った、較正回路を備えたクロック分周器のブロック図である。

30

【 0 0 0 8 】

【 図 4 】 様々な例に従った較正位相ロックループ (P L L) のブロック図である。

【 0 0 0 9 】

【 図 5 】 様々な例に従った較正 P L L のブロック図である。

【 0 0 1 0 】

【 図 6 】 様々な例に従った較正 P L L のブロック図である。

【 0 0 1 1 】

【 図 7 】 様々な例に従った較正 P L L のブロック図である。

【 0 0 1 2 】

【 図 8 】 様々な例に従った較正 P L L のブロック図である。

40

【 0 0 1 3 】

【 図 9 】 様々な例に従った較正 P L L のブロック図である。

【 0 0 1 4 】

【 図 1 0 】 様々な例に従った、較正回路を備えたクロック分周器を含む P L L のブロック図である。

【 0 0 1 5 】

【 図 1 1 】 様々な例に従った、較正回路を備えたクロック分周器を含む P L L のブロック図である。

【 0 0 1 6 】

【 図 1 2 】 様々な例に従った検出器のブロック図である。

50

【 0 0 1 7 】

【 図 1 3 】 様々な例に従った検出器のブロック図である。

【 0 0 1 8 】

【 図 1 4 】 様々な例に従った検出器のブロック図である。

【 0 0 1 9 】

【 図 1 5 】 様々な例に従った、クロック分周器における信号のタイミング図である。

【 0 0 2 0 】

【 図 1 6 】 様々な例に従った基底関数の図である。

【 0 0 2 1 】

【 図 1 7 】 様々な例に従った、拡張された基底関数の図である。

10

【 0 0 2 2 】

【 図 1 8 】 様々な例に従った、簡略化された基底関数の図である。

【 0 0 2 3 】

【 図 1 9 】 様々な例に従った、クロック分周器における利得及びパラメトリック積分非線形性 (I N L) 補正の過渡シミュレーションである。

【 0 0 2 4 】

【 図 2 0 A 】 様々な例に従った、 I N L 打ち消しがディセーブルされた状態のクロック分周器の位相ノイズスペクトルである。

【 0 0 2 5 】

【 図 2 0 B 】 様々な例に従った、 I N L 打ち消しがイネーブルされた状態のクロック分周器の位相ノイズスペクトルである。

20

【 発明を実施するための形態 】

【 0 0 2 6 】

クロック分周には、整数分周などの幾つかの手法が存在する。しかし、整数分周では、選択可能な出力クロック信号周波数の分解能を制限する、入力クロック信号と出力クロック信号との間に存在する整数関係により、その有用性が制限され得る。出力周波数分解能に対するこのような制限を回避するための一つの解決策は、分数出力分周器 (F O D) を実装することである。分数出力分周器は、その分周値を、平均分周クロック周波数が入力クロック信号と分周クロック信号との間の整数関係に制約されないように、入力クロック信号を分周する時間に合わせて動的に変化させる。ここで、分周クロック信号は、プログラムされた値に対応する平均周波数を有する。ただし、分周値が動的に変化すると、分周クロック信号に瞬時位相エラーが生じ得、その結果、分周クロック信号にジッタが生じ得る。ジッタは、分周クロック信号の立ち上がりエッジと、分周クロック信号の平均周波数と同じ周波数を有する理想クロック信号の対応する立ち上がりエッジとの間の瞬時時間変化とみなし得る。

30

【 0 0 2 7 】

幾つかの例において、理想クロック信号は、周期的なクロック信号である (例えば、各クロックサイクルは同じ周期を有する)。位相誤差により、分周クロックの周期がクロックサイクルごとに変化し、理想クロック信号の周期と一致しないことがある。この不一致は、入力クロック信号と分周クロック信号との間の位相誤差又は時間誤差を定量化する残余誤差信号に従って分周クロック信号を改変するデジタル・時間変換器 (D T C) などによって補正され得る。ただし、 D T C の実装は、 D T C が分周クロック信号を改変して分周値の動的な変化による残余誤差信号を打ち消すので、補正誤差を導入することがある。このような補正誤差には、利得誤差、パラメトリック積分非線形性 (I N L) 誤差、及び不一致誤差が含まれる。利得誤差は、入力クロック周期又は入力クロック周期の整数倍に対応する理想的なフルスケール範囲と比較した、 D T C の時間におけるフルスケール範囲の誤差に対応する。 I N L は、 D T C を制御する入力残余の関数として説明され得るゼロ利得誤差の仮定の下での誤差に対応する。不一致誤差は、 D T C を制御する入力残余の関数として説明されることに簡単には従わない入力残余の個々の設定の誤差に対応する。

40

【 0 0 2 8 】

50

不一致誤差は、DTCを制御する入力残余の関数として説明されることに簡単には従わないので、不一致誤差の補正はルックアップテーブル(LUT)を介して実施されることがある。不一致誤差が温度変化にわたって比較的安定している場合、LUTのエントリ値を判定するための測定及び計算がオフラインで実施され得る。このような例において、残りの懸念される誤差は利得誤差及びINL誤差であり、これらは温度によって大きく変化し得る。したがって、利得誤差及びINL誤差は、オフラインではなく、実質的に連続して補正され得る。幾つかの例において、利得誤差及びINL誤差の連続的な補正は、LUTを介した不一致誤差のオフライン校正を伴う。

【0029】

本記載の例は、クロック信号を形成する際に導入される利得誤差及びINL誤差を補正するのに有用な回路を提供する。例えば、本記載の回路は、利得及びINL誤差値を推定し、利得及びINL調整値を判定し、利得及びINL調整値に従ってDTCの利得及びINLを改変して、DTCの利得誤差及びINL誤差を改変でき、そのため出力クロック信号への影響が軽減され得る。幾つかの例において、このような較正は、入力クロック信号と出力クロック信号の間の整数関係の制約を回避し、出力クロック信号を形成するプロセスにおいて出力クロック信号に導入される利得誤差又はINL誤差の影響を軽減しながら、本質的に周期的であり、理想クロック信号とほぼ同等である、出力クロック信号を提供し得る。

【0030】

図1は、様々な例に従った電子デバイス100のブロック図である。電子デバイス100は、任意の適切なデバイスとし得、その範囲は本明細書において限定されない。例えば、電子デバイス100は、分周技術又は周波数通倍技術などにより、第1のクロック信号の第1の周波数から変化する第2の周波数を有する第2のクロック信号を有することが有用なデバイスとし得る。したがって、電子デバイス100はクロック分周器102を含む。クロック分周器102は、FODなどの様々な形態のものとし得る。FODは、分周器などの開ループの状況で、又は位相ロックループ内などの閉ループの状況で実装され得る。クロック分周器102は較正回路104を含む。様々な例において、較正回路104は、クロック分周器102の誤差、又はクロック分周器102に関連する誤差を推定、計算、又はその他の方式で判定し、誤差に基づいて調整値を判定し、調整値に基づいてクロック分周器102の補正又は較正によりこのような誤差を補正する。

【0031】

電子デバイス100はコントローラ106も含む。コントローラ106は、クロック分周器102及び/又は較正回路104に結合し得、様々な制御信号又は他のデータをクロック分周器102及び/又は較正回路104に提供し得る。これらの信号は、少なくとも基準クロック(例えば、クロック分周器102に対する入力クロック)と、クロック分周器102が出力クロックを形成するために入力クロック(又は、クロック分周器102が入力クロックを分周する値)を分周する周波数とを含み得る。他の例において、基準クロックは、分数N又は整数Nの周波数シンセサイザなどの発振器又は位相ロックループなどの別の構成要素(図示せず)によって提供される。幾つかの例において、コントローラ106は、クロック分周器102から出力クロックを受け取る。他の例において、電子デバイス100は構成要素108を含む。構成要素108は、クロック分周器102に結合し得、クロック分周器102から出力クロック信号を受信し得る。様々な例において、構成要素108は、無線トランシーバ、分周器、位相ロックループ(例えば、分数N又は整数Nの周波数シンセサイザなど)、通信又は他のシグナリングにおいて有用な構成要素、或いは入力クロックとは異なり、高分解能で設定される周波数を有する出力クロック信号を受信することから恩恵を受け得る他の構成要素などの任意の適切な構成要素である。

【0032】

図2は、様々な例に従った、較正回路104を備えたクロック分周器102のブロック図である。幾つかの例において、図2に示すクロック分周器102は、開ループFODである。幾つかの例において、クロック分周器102は、マルチモジュラス(MM)分周器

202、デジタルデルタシグマ変調器206、DTC204、及び較正回路104を含む。幾つかの例において、MM分周器202は、図2において`clk_ref`として示す基準クロック信号などの入力クロック信号を受信するように構成される第1の入力を有する。MM分周器202は、第2の入力及び出力も有する。デルタシグマ変調器206は、図2において`Div Val`として示す、整数及び分数成分を含む分周値を受け取るように構成される第1の入力を有する。分周値は、デジタルフォーマット又はデジタルドメインにおけるものとし得、デルタシグマ変調器206によって図2において`N`として示す一連の分周値に、それらの平均が`Div Val`に対応するように変換される。デルタシグマ変調器206は、MM分周器202の第2の入力に結合される第1の出力を有し、この結合を介してMM分周器202に`N`を提供する。デルタシグマ変調器206はさらに、MM分周器202の出力に結合される第2の入力と、第2の出力とを含む。DTC204は、MM分周器202の出力に結合される第1の入力と、デルタシグマ変調器206の第2の出力に結合される第2の入力と、第3の入力と、出力とを有する。幾つかの例において、DTC204は、図2において`Res`として示す残余誤差信号をデルタシグマ変調器206から受信する。DTC204は、その出力において、図2において`clk_out`として示す出力クロック信号を提供する。較正回路104は、DTC204の出力に結合される第1の入力と、デルタシグマ変調器206の第2の出力に結合される第2の入力と、DTC204の第3の入力に結合される出力とを有する。幾つかの例において、較正回路104は、MM分周器202の出力に結合される第3の入力を有する。

10

【0033】

20

動作の一例において、デルタシグマ変調器206は、`Div Val`を受け取り、`Div Val`に基づいて`N`を判定し、`N`をMM分周器202に提供する。デルタシグマ変調器206はさらに、その第2の出力において`Res`を提供する。MM分周器202は、`clk_ref`及び`N`を受け取り、これらに基づいて、図2において`clk_div`として示す分周クロック信号を提供する。DTC204は、`clk_div`及び`Res`を受け取り、これらに基づいて`clk_out`を提供する。較正回路104は、`clk_div`、`clk_out`、及び`Res`を受け取り、これらに基づいて、DTC204によって`clk_out`に導入される利得誤差及びINL誤差を軽減するためにクロック分周器102を較正するための利得及びINL誤差調整値を判定する。幾つかの例において、較正回路104はまた、LUTなどを介して、上述したように、DTC204における不一致誤差を補正する。

30

【0034】

図3は、様々な例に従った、較正回路104を備えたクロック分周器102のブロック図である。クロック分周器102及び較正回路104は、図2を参照して上記したように結合され動作し、その説明は図3を参照して繰り返さない。幾つかの例において、較正回路104は、較正位相ロックループ(PLL)302、相関回路304、フィルタ及び累積回路306、INL補償回路308、及び利得補償回路310を含む。較正PLL302は、DTC204の出力に結合される入力と、出力とを有する。相関回路304は、較正PLL302の出力に結合される第1の入力と、デルタシグマ変調器206の第2の出力に結合される第2の入力と、第1の出力と、第2の出力とを有する。フィルタ及び累積回路306は、相関回路304の第1の出力に結合される第1の入力と、相関回路304の第2の出力に結合される第2の入力と、第1の出力と、第2の出力とを有する。INL補償回路308は、MM分周器202の出力に結合される第1の入力と、デルタシグマ変調器206の第2の出力に結合される第2の入力と、フィルタ及び累積回路306の第2の出力に結合される第3の入力と、DTC204の第2の入力に結合される出力とを有する。幾つかの例において、INL補償回路308の出力とDTC204の第2入力との間の結合が、図2を参照して上述した、デルタシグマ変調器206の第2の出力とDTC204の第2の入力との間の結合を置き換える。利得補償回路310は、フィルタ及び累積回路306の第1の出力に結合される入力と、DTC204の第3の入力に結合される出力とを有する。幾つかの例において、DTCにおける不一致誤差を補正するために、L U

40

50

T (図示せず) がデルタシグマ変調器 2 0 6 の第 2 の出力と D T C 2 0 4 との間に結合される。

【 0 0 3 5 】

動作の一例において、較正 P L L 3 0 2 は、 c l k _ o u t を受け取り、 c l k _ o u t に基づいて、図 3 において P D c a l として示す位相誤差信号を判定する。 P D c a l は、 c l k _ o u t の瞬時位相誤差を相関回路 3 0 4 に提供し、相関回路 3 0 4 は、 P D c a l 、 R e s 、並びに利得誤差及び I N L 誤差の基底関数に基づいて相関を実施する。応用例によっては、 P D c a l は、位相誤差が正又は負のいずれであることを示し、例えば、バンバン (b a n g - b a n g) 位相検出器 (図示せず) 又は任意の他の適切な構成要素によって判定され得る。次いで、 P D c a l は、 R e s 及び基底関数に基づく信号と相関される。例えば、 R e s は、一つ又は複数の基底関数に従って相関回路 3 0 4 によってマッピングされ、その結果得られる信号が、フィルタリングされ得、適用されるオフセットを有し得る。幾つかの例において、このフィルタリングは本質的にハイパスである。幾つかの例において、フィルタリング及びオフセットの適用は任意選択であり、いずれかが省かれてもよい。その後、相関回路 3 0 4 によって相関が実施され、相関回路 3 0 4 は、まず、一つ又は複数の基底関数に従って R e s をマッピングすることによってつくられる信号で P D c a l を乗算し、次いで、相関回路 3 0 4 の相関フィルタによってフィルタリングして、相関誤差値を得る。例えば、この相関に基づいて、相関回路 3 0 4 は、利得相関誤差値 (C o r r _ g a i n) 及び I N L 相関誤差値 (C o r r _ I N L) を提供する。フィルタ及び累積回路 3 0 6 は、利得相関誤差値及び I N L 相関誤差値を受け取り、利得調整値 (G a i n _ a d j) 及び I N L 調整値 (I N L _ a d j) を判定する。フィルタ及び累積回路 3 0 6 は、 G a i n _ a d j を D T C 2 0 4 に提供し、 I N L _ a d j を I N L 補償回路 3 0 8 に提供する。幾つかの例において、 G a i n _ a d j は、利得補償回路 3 1 0 のデルタシグマデジタルアナログ変換器 (D A C) (図示せず) に提供され、判定された利得誤差を補正するために D T C 2 0 4 を制御する。例えば、 D T C 2 0 4 の抵抗、電流、電圧、又は静電容量が、判定された利得誤差を補正するために、 G a i n _ a d j に従って改変され得る。 I N L 補償回路 3 0 8 は、 c l k _ d i v (I N L 補償回路 3 0 8 のクロック動作のためなどの) R e s 及び I N L _ a d j を受け取り、これらに基づいて補償残余誤差信号を判定する。幾つかの例において、 I N L 補償回路 3 0 8 は、補償残余誤差信号を判定するために、 I N L _ a d j を R e s に加算する加算器を含む。 I N L 補償回路 3 0 8 は、補償残余誤差信号の判定に関連するデータを格納するレジスタも含み得、これらのレジスタは c l k _ d i v によってクロックされ得る。補償残余誤差信号は、 I N L 補償回路 3 0 8 によって、それが受信した入力信号に基づいて、(例えば、上述のように加算器などを介する) 計算、 L U T 、又はその両方を介して判定され得る。 I N L 補償回路 3 0 8 は、補償残余誤差信号を D T C 2 0 4 に提供する。他の例において、 I N L _ a d j と R e s の加算は、 D T C 2 0 4 内で実施され、そのため、 I N L 補償回路 3 0 8 が省かれ、 D T C 2 0 4 が補償残余誤差信号の代わりに I N L _ a d j を直接受け取る。補償残余誤差信号及び G a i n _ a d j に基づいて、 D T C 2 0 4 は、 c l k _ o u t の判定及び提供に補償を適用して、 c l k _ o u t の値に対する D T C 2 0 4 の利得誤差及び / 又は I N L 誤差の影響を低減する。

【 0 0 3 6 】

図 4 は、様々な例に従った較正 P L L 3 0 2 のブロック図である。幾つかの例において、較正 P L L 3 0 2 は、線形位相検出器 (P D) 4 0 2 、ループフィルタ 4 0 4 、バンバン位相検出器 (B B P D) 4 0 8 、同調制御回路 4 1 0 、電圧制御発振器 (V C O) 4 1 2 、分周器 4 1 4 を含む。幾つかの例において、線形 P D 4 0 2 は、 c l k _ o u t を受け取るように構成される (例えば、 c l k _ o u t を受け取るために D T C 2 0 4 の出力に結合される) 第 1 の入力と、第 2 の入力と、出力とを有する。ループフィルタ 4 0 4 は、線形 P D 4 0 2 の出力に結合される入力と、出力とを有する。 B B P D 4 0 8 は、 c l k _ o u t を受け取るように構成される (例えば、 c l k _ o u t を受け取るために D T C 2 0 4 の出力に結合される) 第 1 の入力と、第 2 の入力と、出力とを有する。 B B

PD408は、その出力においてPDcalを提供する。実装によっては省かれ得る同調制御回路410は、BB PD408の出力に結合される入力と、出力とを有する。VCO412は出力を有し、アナログ回路及び/又はデジタル論理を含み得る、ループフィルタ404又は同調制御回路410の出力に結合される入力を有する。分周器414は、VCO412の出力に結合される入力と、線形PD402の第2の入力(省かれぬ場合)及びBB PD408の第2の入力に結合される出力とを有する。分周器414は、その出力において、図4においてDiv Outとして示す分周器出力信号を提供する。

【0037】

動作の一例において、線形PD402は、clk_outとDiv Outとの間で周波数ロックを提供して、較正PLL302の定常状態動作中にこれら1つの間の線形関係を維持する。線形PD402の出力信号が、ループフィルタ404によってフィルタリングされ、VCO412に提供される。BB PD408は、定常状態動作中にBB PD408が正の位相誤差値と負の位相誤差値との間で切り替わるように、Div Outの位相をシフトする。したがって、BB PD408は、clk_outの位相誤差がDiv Outに対して負又は正のいずれであることを示すPDcalを提供する。例えば、PDcalの第1の値が、clk_outの位相誤差が正であることを示し、PDcalの第2の値が、clk_outの位相誤差が負であることを示す。したがって、PDcalは、較正PLL302の定常状態動作中に、ほぼ均等な発生確率を有する2つの出力値間を行ったり来たりする。例えば、PDcalが、clk_outの位相が負であることをより頻繁に示す場合、同調制御回路410は、VCO412の位相をシフトするために補正信号をVCO412に送出し、補正信号はループフィルタ404の出力と合わさり、これにより、PDcalは負の値と正の値の確率がほぼ均等になる。PDcalがclk_outの位相が正であることをより頻繁に示す場合、同様の機能性が実施される。分周器414は、プログラムされた値によりVCO412の出力信号を分周して、clk_outと同じ周波数のDiv Outを提供する一方で、VCO412の動作制限内の周波数でのVCO412の動作を容易にする。

【0038】

図5は、様々な例に従った較正PLL302のブロック図である。幾つかの例において、較正PLL302は、線形PD502、ループフィルタ504、BB PD506、同調制御回路508、VCO510、及び分周器512を含む。幾つかの例において、線形PD502は、dフリップフロップ514、dフリップフロップ516、ANDゲート518、及び遅延回路520を含む。ループフィルタ504は、抵抗器522、インバータ524、抵抗器526、コンデンサ528、抵抗器530、及びコンデンサ532を含む。VCO510は、バラクタ534及びバラクタ536を含む。幾つかの例において、dフリップフロップ514は、論理1値を受け取るデータ入力と、clk_outを受け取るクロック入力と、リセット入力と、出力とを有する。dフリップフロップ516は、論理1値を受け取るデータ入力と、Div Outを受け取るクロック入力と、リセット入力と、出力とを有する。ANDゲート518は、dフリップフロップ514の出力に結合される第1の入力と、dフリップフロップ516の出力に結合される第2の入力と、出力とを有する。遅延回路520は、ANDゲート518の出力に結合される入力と、dフリップフロップ514及びdフリップフロップ516のリセット入力に結合される出力とを有する。抵抗器522は、dフリップフロップ514の出力と、ノード540との間に結合される。インバータ524は、dフリップフロップ516の出力に結合される入力と、抵抗器526を介してノード540に結合される出力とを有する。コンデンサ528は、ノード540と接地電圧電位との間に結合される。抵抗器530は、ノード540とノード542の間に結合される。コンデンサ532は、ノード542と接地電圧電位との間に結合される。バラクタ534は、ノード542に結合される入力と、出力とを有する。バラクタ536は、同調制御回路508の出力に結合される入力と、出力とを有する。バラクタ534及びバラクタ536のそれぞれの出力において提供される出力信号は加算されて、バラクタ534及びバラクタ536の静電容量に基づいて判定される周波数を有する

、図5にFvcoとして示す信号を提供する。線形PD502及びループフィルタ504は、線形動力学に従ってDiv Outの位相及び周波数をclk_outへのロックを可能にする一方、BB PD506及び同調制御回路508は、PDcalが、上述したように、定常状態動作中にほぼ均等な発生確率を有する2つの出力値間を行ったり来たりするように、clk_outとDiv Outの位相整合を提供する。

【0039】

図6は、様々な例に従った較正PLL302のブロック図である。幾つかの例において、較正PLLは、線形PD602、ループフィルタ604、BB PD606、BB制御回路608、デジタルデルタシグマDAC610、DAC及びフィルタ回路612、VCO614、及び分周器616を含む。幾つかの例において、VCO614は、図5のVCO510と実質的に同様であり、ここではその説明は図6を参照して繰り返さない。幾つかの例において、線形PD602、ループフィルタ604、BB PD606、及び分周器616は、図4を参照して上述した線形PD402、ループフィルタ404、BB PD408、及び分周器414と実質的に同様であり、ここではその説明は図6を参照して繰り返さない。BB制御回路608は、BB PD606の出力に結合される入力と、出力とを有する。デジタルデルタシグマ変調器610は、BB制御回路608の出力に結合される入力と、出力とを有する。DAC及びフィルタ回路612は、デジタルデルタシグマ変調器610の出力に結合される入力と、VCO614に結合される出力とを有する。

【0040】

動作の一例において、BB制御回路608は、BB PD606によって提供されるようなPDcalに基づいてBB同調信号を提供する。BB制御回路608は、デシメータ、アキュムレータ、ギアシフトなどを介して、任意の適切な処理に従ってBB同調信号を提供し得る。デジタルデルタシグマ変調器610並びにDAC及びフィルタ回路612は、BB同調信号を、デジタルフォーマット又はドメインからVCO614の制御に適するアナログ信号に変換する。幾つかの例において、DAC及びフィルタ回路612は省かれ得、VCO614は、BB同調信号を提供するためのよりデジタルな実装を実現するために、デジタルデルタシグマ変調器610に結合されるコンデンサのアレイ(図示せず)を含み得る。

【0041】

図7は、様々な例に従った較正PLL302のブロック図である。幾つかの例において、図7の較正PLL302は、図6の較正PLL302の要素を含み、それらに従って標される。ここではこれらの構成要素の説明は図7を参照して繰り返さない。較正PLL302は、測定回路702及び周波数制御回路704も含む。測定回路702は、clk_outを受け取るように構成される第1の入力と、分周器616の出力に結合される第2の入力と、出力とを有する。周波数制御回路704は、測定回路702の出力に結合される入力と、DAC及びフィルタ回路612の入力に結合される出力とを有する。測定回路702及び周波数制御回路704は、VCO614の周波数同調範囲を増大させる補助周波数制御経路を形成する。幾つかの例において、DAC及びフィルタ回路612は省かれ得、VCO614は、BB同調信号及び補助周波数制御経路を提供するためのよりデジタルな実装を実現するために、デジタルデルタシグマ変調器610及び周波数制御回路704に結合されるコンデンサのアレイを含み得る。

【0042】

図8は、様々な例に従った較正PLL302のブロック図である。幾つかの例において、図8の較正PLL302は、図7の較正PLL302の要素を含み、それらに従って標される。ここではこれらの構成要素の説明は図8を参照して繰り返さない。較正PLL302は、分周値選択回路802も含む。分周値選択回路802は、DAC及びフィルタ回路612の入力に結合される第1の入力と、イネーブル信号を受信するように構成される第2の入力と、分周器616に結合される出力とを有する。幾つかの例において、分周値選択回路802は、例えばVCO614の周波数制御のための適切な動作を実現するために、BB同調信号がVCO614のプログラムされた制限範囲内に保たれるように、分周

10

20

30

40

50

器 6 1 6 が V C O 6 1 4 の出力信号を分周する値を選択する。

【 0 0 4 3 】

図 9 は、様々な例に従った較正 P L L 3 0 2 のブロック図である。幾つかの例において、図 9 の較正 P L L 3 0 2 は、図 7 の較正 P L L 3 0 2 の要素の幾つかを含み、それらに従って標される。ここではこれらの構成要素の説明は図 9 を参照して繰り返さない。較正回路 3 0 2 は、複数の V C O 9 0 2 を含み、それらの各々は、V C O 6 1 4 として結合され得る。幾つかの例において、V C O 9 0 2 のうちの、較正 P L L 3 0 2 の特定の応用例に適する最低周波数において動作する V C O が、V C O 出力信号を提供し得、それにより、図 6 ~ 図 9 のものなどの他の例と比較して、較正 P L L 3 0 2 の電力消費が低減される。

10

【 0 0 4 4 】

図 1 0 は、様々な例に従った、較正回路 1 0 4 を備えたクロック分周器 1 0 2 を含む P L L 1 0 0 0 のブロック図である。幾つかの例において、P L L 1 0 0 0 は、その閉ループフィードバック内にクロック分周器 1 0 2 を含み、D i v V a l に従って F _ r e f から F _ v c o までの周波数逡倍を実施する。幾つかの例において、P L L 1 0 0 0 は、検出器 1 0 0 2、V C O 1 0 0 6、分周器 1 0 0 8、M M 分周器 1 0 1 0、D T C 1 0 1 2、及びデルタシグマ変調器 1 0 1 4 を含む。幾つかの例において、図 1 0 の P L L 1 0 0 0 は、本明細書において上述した図 2 のクロック分周器 1 0 2 によって提供されない、D T C 1 0 1 2 によって導入されるジッタのフィルタリングを、検出器 1 0 0 2 を介して提供し得る。

20

【 0 0 4 5 】

例示の実装において、検出器 1 0 0 2 は、基準信号 F _ r e f を受信するように構成される第 1 の入力と、第 2 の入力と、第 1 の出力と、第 2 の出力とを有する。V C O 1 0 0 6 は、検出器 1 0 0 2 の第 1 の出力に結合される入力と、出力とを有する。分周器 1 0 0 8 は、V C O 1 0 0 6 の出力に結合される入力と、分周器 1 0 0 8 が c l k _ o u t を提供するように構成される出力とを有する。実装によっては、高出力信号周波数が P L L 1 0 0 0 によって提供される例において、分周器 1 0 0 8 は省かれてもよい。幾つかの例において、分周器 1 0 0 8 は、異なる周波数における信号とし得る複数の出力信号をつくるために、複数の分周器を含み得る。M M 分周器 1 0 1 0 は、V C O 1 0 0 6 の出力に結合される第 1 の入力と、第 2 の入力と、出力とを有する。D T C 1 0 1 2 は、M M 分周器 1 0 1 0 の出力に結合される第 1 の入力と、第 2 の入力と、第 3 の入力と、検出器 1 0 0 2 の第 2 の入力に結合される出力とを有する。デルタシグマ変調器 1 0 1 4 は、M M 分周器 1 0 1 0 の出力に結合される入力と、M M 分周器 1 0 1 0 の第 2 の入力に結合される第 1 の出力と、第 2 の出力とを有する。較正回路 1 0 4 は、検出器 1 0 0 2 の第 2 の出力に結合される第 1 の入力と、デルタシグマ変調器 1 0 1 4 の第 2 の出力に結合される第 2 の入力と、D T C 1 0 1 2 に結合される出力とを有する。

30

【 0 0 4 6 】

P L L 1 0 0 0 の動作の一例において、検出器 1 0 0 2 は、図 1 0 において c l k _ o u t として示す D T C 1 0 1 2 の出力を F _ r e f と比較する。この比較に基づいて、検出器 1 0 0 2 は、P D c a l を較正回路 1 0 4 に提供し、定常状態において位相ロックを実現するために V C O 1 0 0 6 に提供される、図 1 0 において V c t r l として示す、制御信号を提供する。V C O 1 0 0 6 の出力信号の周波数が、F _ r e f に D i v V a l を乗じた周波数によって判定される。V C O 1 0 0 6 によって提供されるような F v c o が、P L L 1 0 0 0 の出力として直接提供されてもよいし、分周器 1 0 0 8 によって一つ又は複数の周波数に分周されてもよい。また、P L L 1 0 0 0 は、較正 P L L を省いてもよく、D T C 1 0 1 2 によって導入される高周波ノイズのフィルタリングを提供し得る。

40

【 0 0 4 7 】

M M 分周器 1 0 1 0 は、V C O 1 0 0 6 の出力を受け取り、デルタシグマ変調器 1 0 1 4 から N を受け取り、これらに基づいて、図 1 0 において c l k _ d i v として示す分

50

周クロック信号を提供する。DTC1012は、clk_div及び校正信号を受信し、これらに基づいてclk_outを提供する。校正回路104は、検出器1002からPdca1を受け取り、デルタシグマ変調器1014からResを受け取り、これらに基づいて、本明細書で上述したように、各々が、Resの関数である基底関数に従って相関を実施して、校正信号を判定し提供する。校正信号に基づいて、DTC1012は、clk_outの判定及び提供に補償を適用し、clk_outの値に対するDTC1012の利得誤差及び/又はINL誤差の影響を低減する。幾つかの例において、PLL1000は、DTC1012の利得誤差及びINL誤差に対する補償回路によって判定される相関値が平均してゼロに収束するように、校正回路104によって提供される校正信号を継続的に調整する。

10

【0048】

図11は、様々な例に従った、校正回路104を備えたPLL1000のブロック図である。PLL1000は、図10を参照して上述したように結合され動作し、その説明の一部は図11を参照して繰り返さない。幾つかの例において、校正回路104は、相関回路1016、フィルタ及び累積回路1018、INL補償回路1020、及び利得補償回路1022を含む。

【0049】

例示の実装において、検出器1002は、F_refを受信するように構成される第1の入力と、第2の入力と、第1の出力と、第2の出力とを有する。VCO1006は、検出器1002の第1の出力に結合される入力と、出力とを有する。分周器1008は、VCO1006の出力に結合される入力と、分周器1008がclk_outを提供するように構成される出力とを有する。他の例において、Fvcoがclk_outとして提供されるので、分周器1008は省かれる。MM分周器1010は、VCO1006の出力に結合される第1の入力と、第2の入力と、出力とを有する。DTC1012は、MM分周器1010の出力に結合される第1の入力と、第2の入力と、第3の入力と、検出器1002の第2の入力に結合される出力とを有する。デルタシグマ変調器1014は、MM分周器1010の出力に結合される入力と、MM分周器1010の第2の入力に結合される第1の出力と、第2の出力とを有する。相関回路1016は、検出器1002の第2の出力に結合される第1の入力と、デルタシグマ変調器1014の第2の出力に結合される第2の入力と、第1の出力と、第2の出力とを有する。フィルタ及び累積回路1018は、相関回路1016の第1の出力に結合される第1の入力と、相関回路1016の第2の出力に結合される第2の入力と、第1の出力と、第2の出力とを有する。INL補償回路1020は、デルタシグマ変調器1014の第2の出力に結合される第1の入力と、フィルタ及び累積回路1018の第2の出力に結合される第2の入力と、DTC1012の第3の入力に結合される出力とを有する。利得補償回路1022は、フィルタ及び累積回路1018の第1の出力に結合される入力と、DTC1012の第2の入力に結合される出力とを有する。幾つかの例において、利得補償回路1022は、図3の利得補償回路310と実質的に同様に機能し、ここではそのような説明は図10を参照して再度繰り返さない。

20

30

【0050】

PLL1000の動作の一例において、検出器1002は、図11においてclk_outとして示すDTC1012の出力を、図11においてF_refとして示す基準信号と比較する。この比較に基づいて、検出器1002は、Pdca1を相関回路1016に提供し、図11においてVctrlとして示す制御信号をVCO1006に提供する。周波数Fvcoが、プログラムされた値によって判定される、分周器1008の分周値を乗じた周波数F_refによって判定される。VCO1006によって提供されるようなOutが、PLL1000の出力として直接提供されてもよいし、分周器1008によって一つ又は複数の周波数に分周されてもよい。また、PLL1000は、校正PLLを省いてもよく、DTC1012によって導入される高周波ノイズのフィルタリングを提供し得る。

40

50

【 0 0 5 1 】

MM分周器1010は、Fvcoを受け取り、デルタシグマ変調器1014からNを受け取り、これらに基づいて、図11においてclk_divとして示す分周クロック信号を提供する。DTC1012は、clk_div、補償残余誤差信号、及びGain_adjを受け取り、これらに基づいてclk_outを提供する。相関回路1016は、検出器1002からPDcalを受け取り、デルタシグマDAC1014からResを受け取り、これらに基づいて、本明細書で上述したように、それぞれResの関数である基底関数に従って相関を実施して、それぞれ、図11においてCorr_gain及びCorr_INLとして示す、利得及びINLのための相関値を判定し提供する。フィルタ及び累積回路1018は、Corr_gain及びCorr_INLを受け取り、これらに基づいて、それぞれ、図11においてINL_adj及びGain_adjとして示す、利得及びINL調整値を判定する。INL補償回路1020は、Res及びINL_adjを受け取り、これらに基づいて、補償残余誤差信号を判定し、DTC1012に提供する。補償残余誤差信号及びGain_adjに基づいて、DTC1012は、clk_outの判定及び提供に補償を適用して、clk_outの値に対するDTC1012の利得誤差及び/又はINL誤差の影響を低減する。例えば、DTC1012は、デルタシグマDAC(図示せず)を介してGain_adjをデジタル値からアナログ値に変換し得、デルタシグマDACによって提供される、得られたアナログ値に基づいてDTC1012の抵抗、電流、電圧、又は静電容量を制御して、判定された利得誤差を補正し得る。幾つかの例において、PLL1000は、DTC1012の利得誤差及びINL誤差に対する補償回路によって判定される相関値が平均してゼロに収束するように、較正回路104によって提供される較正信号を継続的に調整する。幾つかの例において、LUT(図示せず)がデルタシグマ変調器1014の第2の出力とDTC1012との間に結合されて、DTC1012における不一致誤差を補正する。

10

20

【 0 0 5 2 】

図12は、様々な例に従った検出器1002のブロック図である。幾つかの例において、検出器1002は、線形PD1202、ループフィルタ1204、BB PD1208、及び同調制御回路1210を含む。幾つかの例において、線形PD1202、ループフィルタ1204、BB PD1208、及び同調制御回路1210は、結合され、図4を参照して上述した線形PD402、ループフィルタ404、BB PD408、及び同調制御回路410と実質的に同様に動作し、図4の信号Div_Outが図12の信号Divで置き換えられている。したがって、ここではこれらの構成要素の説明は、図12を参照して繰り返さない。

30

【 0 0 5 3 】

図13は、様々な例に従った検出器1002のブロック図である。幾つかの例において、検出器1002は、線形PD1302、ループフィルタ1304、オフセット遅延回路1306、及びBB PD1308を含む。線形PD1302は、F_refを受信するように構成される第1の入力と、Divを受信するように構成される第2の入力と、出力とを有する。ループフィルタ1304は、線形PD1302の出力に結合される第1の入力と、V_ctrlが提供される出力とを有する。オフセット遅延回路1306は、Divを受け取るように構成される第1の入力と、オフセット較正信号を受信するように構成される第2の入力と、出力とを有する。BB PD1308は、F_refを受け取るように構成される第1の入力と、オフセット遅延回路1306の出力に結合される第2の入力と、PDcalが提供される出力とを有する。

40

【 0 0 5 4 】

動作の一例において、線形PD1302は、F_refとDivとの間の位相ロックを提供し、検出器1002の特性(不整合を含む)に従ってF_refとDivとの間の定常状態位相誤差を維持する。線形PD1302の出力信号が、ループフィルタ1304によってフィルタリングされ、V_ctrlとして提供される。オフセット遅延回路1306は、PDcalを監視してDivの位相をシフトする制御回路(図示せず)から受け取ら

50

れ得るオフセット較正信号に従って $D_{i v}$ を遅延させ、そのため、検出器 1002 の定常状態動作中に $P D_{c a l}$ の負値と正值の確率が最終的にほぼ均等になる。このシフトに基づいて、 $B B_{P D 1308}$ は、 $F_{r e f}$ の瞬時位相が遅延した $D_{i v}$ に対して負又は正のいずれであることを示す $P D_{c a l}$ を提供する。例えば、 $P D_{c a l}$ の第 1 の値が、 $F_{r e f}$ の位相が負であることを示し、 $P D_{c a l}$ の第 2 の値が、 $F_{r e f}$ の位相が正であることを示す。

【0055】

図 14 は、様々な例に従った検出器 1002 のブロック図である。幾つかの例において、検出器 1002 は、線形 $P D 1402$ 、ループフィルタ 1404、及びアナログデジタル変換器 (ADC) 1406 を含む。線形 $P D 1402$ は、 $F_{r e f}$ を受け取るように構成される第 1 の入力と、 $D_{i v}$ を受け取るように構成される第 2 の入力と、出力とを有する。ループフィルタ 1404 は、線形 $P D 1402$ の出力に結合される第 1 の入力と、 $V_{c t r l}$ が提供される第 1 の出力と、第 2 の出力とを有する。ADC 1406 は、ループフィルタ 1404 の第 2 の出力に結合される第 1 の入力と、オフセット較正信号を受信するように構成される第 2 の入力と、 $P D_{c a l}$ が提供される出力とを有する。

10

【0056】

図 15 は、様々な例に従った、クロック分周器 102 における信号のタイミング図 1500 である。タイミング図 1500 は、本明細書で上述したような、 $c l k_{r e f}$ 、 $c l k_{d i v}$ 、及び $c l k_{o u t}$ を示す。図 1500 が示すように、 $c l k_{d i v}$ は、 $R e s$ と、 $c l k_{o u t}$ を形成する際の説明した誤り訂正技術とによって制御される DTC によって補正される、異なる継続時間の期間 (例えば、ジッタ) を有し得る。

20

【0057】

図 16 は、様々な例に従った、実装するのに計算がそれほど複雑ではない基底関数の図 1600 である。図 1600 は、利得基底関数 1605 及び INL 基底関数 1610 を示す。幾つかの例において、利得基底関数 1605 と INL 基底関数 1610 は、直交し、各々、平均値がゼロである。他の例において、基底関数 1605 と基底関数 1610 は、非直交であり得、及び / 又は、非ゼロ平均成分が導入され得る。

【0058】

図 17 は、様々な例に従った、拡張された基底関数の図 1700 である。図 1700 は、利得基底関数 1705、基本 INL 基底関数 1710、及び第 2 高調波 INL 基底関数 1715 を示す。幾つかの例において、利得基底関数 1705 と、基本 INL 基底関数 1710 と、第 2 高調波 INL 基底関数 1715 とは直交し、それぞれ、平均値がゼロである。他の例において、基底関数 1705 と、基底関数 1710 と、基底関数 1715 とは、非直交であり得、及び / 又は、非ゼロ平均成分が導入され得る。

30

【0059】

図 18 は、様々な例に従った、簡略化された基底関数の図 1800 である。図 1800 は、利得基底関数 1805 及び INL 基底関数 1810 を示す。幾つかの例において、利得基底関数 1805 と INL 基底関数 1810 は、直交し、それぞれ、平均値がゼロである。他の例において、基底関数 1805 と基底関数 1810 は、非直交であり得、及び / 又は、非ゼロ平均成分が導入され得る。幾つかの例において、簡略化された基底関数は、図 16 及び / 又は図 17 の基底関数よりも計算的にシンプルである (例えば、計算の複雑さ及び / 又は電力が少なくて済む)。他の例において、より複雑な基底関数の計算に関連する計算の複雑さ及び / 又は電力の増加に対して、より複雑な基底関数から生じる性能の向上に価値がある場合など、より複雑な基底関数が有用となり得る。

40

【0060】

図 19 は、様々な例に従った、クロック分周器における利得及び INL 補正の過渡シミュレーション 1900 である。幾つかの例において、クロック分周器は、本明細書で上述したようなクロック分周器 102 である。過渡シミュレーション 1900 は、 $P D_{c a l}$ 、 $G a i n_{a d j}$ 、及び $I N L_{a d j}$ を示す。

【0061】

50

図 20 A は、様々な例に従った、INL 打ち消しがディセーブルされた状態の `clk_out` の位相ノイズスペクトル 2000 である。幾つかの例において、`clk_out` は、本明細書で上述したようなクロック分周器 102 によって提供される。図 20 A に示すように、左側の縦軸は、1 ヘルツ (Hz) あたりの搬送波 (dbc) に対するデシベルの単位でスペクトル密度 ($L(f)$) を表し、右側の縦軸は dbc を表し、横軸は搬送波周波数からの周波数オフセットをメガヘルツ (MHz) の単位で表す。位相ノイズスペクトル 2000 が示すように、INL 打ち消しがディセーブルされているクロック分周器の幾つかの例において、この例では約 -39 dbc である、或る大きさを有するスプリアスが約 156 MHz の搬送波周波数に存在し得る。

【0062】

図 20 B は、様々な例に従った、INL 打ち消しがイネーブルされた状態の `clk_out` の位相ノイズスペクトル 2005 である。幾つかの例において、`clk_out` は、本明細書で上述したようなクロック分周器 102 によって提供される。図 20 B の軸の単位の説明は図 20 A のものと同じとし得る。位相ノイズスペクトル 2005 によって示されるように、INL 打ち消しがイネーブルされるクロック分周器の幾つかの例において、図 20 A に示すスプリアスが低減され、この例は、値が約 -39 dbc から値が約 -80 dbc まで減少していることを示している。

【0063】

「結合する」という用語は、本明細書全体にわたって用いられる。この用語は、本記載と矛盾しない機能的関係を可能にする、接続、通信、又は信号経路を包含し得る。例えば、デバイス A が、或る動作を実施するためにデバイス B を制御するための信号を提供する場合、第 1 の例において、デバイス A がデバイス B に結合され、或いは、第 2 の例において、デバイス A は、介在する構成要素 C を介してデバイス B に結合され、この場合、デバイス A によって提供される制御信号を介してデバイス B がデバイス A によって制御されるように、介在する構成要素 C はデバイス A とデバイス B との間の機能的関係を実質的に変更させない。

【0064】

或るタスク又は機能を実施するように「構成される」デバイスは、製造時に製造業者によってその機能を実施するように構成（例えば、プログラム及び/又は配線）され得、及び/又は製造後にユーザによってその機能及び/又は他の付加的な又は代替の機能を実施するように構成可能（又は再構成可能）とされ得る。こういった構成は、デバイスのファームウェア及び/又はソフトウェアプログラミングにより、ハードウェア構成要素の構築及び/又はレイアウト、並びにデバイスの相互接続により、或いはこれらの組み合わせによりなされ得る。

【0065】

或る構成要素を含むと本明細書に記載される回路又はデバイスが、代わりに、これらの構成要素に結合されて、記載された回路要素又はデバイスを形成するように適合され得る。例えば、一つ又は複数の半導体要素（トランジスタなど）、一つ又は複数の受動要素（抵抗器、コンデンサ、及び/又はインダクタなど）、及び/又は、一つ又は複数の供給源（電圧及び/又は電流源など）を含むと説明される構造が、代わりに、単一の物理デバイス（例えば、半導体ダイ及び/又は集積回路 (IC) パッケージ）内の半導体要素のみを含み得、また、製造時又は製造後のいずれかにおいて、例えば、エンドユーザー及び/又は第三者によって、受動要素及び/又は供給源の幾つかに結合されて記載された構造を形成するように適合され得る。

【0066】

本明細書において或る構成要素が特定のプロセス技術のものとして説明されることがあるが、これらの構成要素は、他のプロセス技術の構成要素と交換されてもよい。本明細書に記載の回路は、構成要素の交換前に利用可能であった機能性と少なくとも部分的に同様の機能性を提供するようにこういった交換された構成要素を含むように再構成可能である。抵抗器として図示される構成要素は、特に明記されない限り、概して、直列及び/又は

10

20

30

40

50

並列に結合されて、図示の抵抗器によって表されるインピーダンス量を提供する、任意の一つ又は複数の要素を表す。例えば、本明細書において単一の構成要素として図示及び説明される抵抗器又はコンデンサが代わりに、同じノード間で、それぞれ、並列に結合される複数の抵抗器又はコンデンサであってもよい。例えば、本明細書において単一の構成要素として図示及び説明される抵抗器又はコンデンサが代わりに、その単一の抵抗器又はコンデンサとして同じ二つのノード間に、それぞれ、直列に結合される複数の抵抗器又はコンデンサであってもよい。

【 0 0 6 7 】

前述の記載における「接地電位」という語句は、シャーシ接地、アース接地、浮遊接地、仮想接地、デジタル接地、共通接地、及び/又は、本記載の教示に適用可能な又は適切な、任意のその他の形態の接地接続を含む。特に明記されない限り、或る値に先行する「約」、「ほぼ」、又は「実質的に」は、記載されている値の±10パーセントを意味する。特許請求の範囲内で、説明した例における改変が可能であり、他の例も可能である。

10

【 図 面 】

【 図 1 】

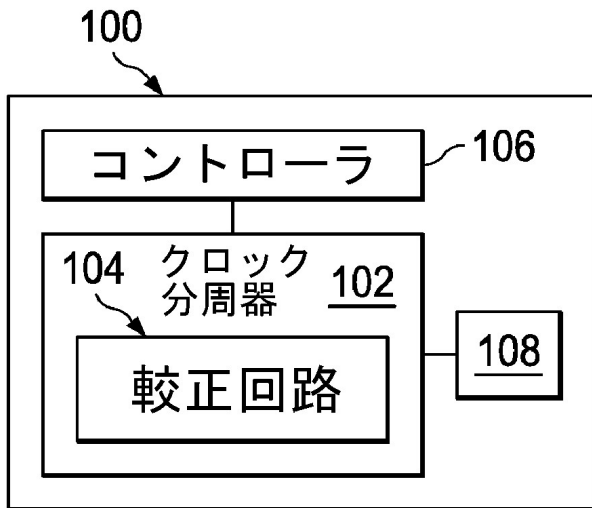


FIG. 1

【 図 2 】

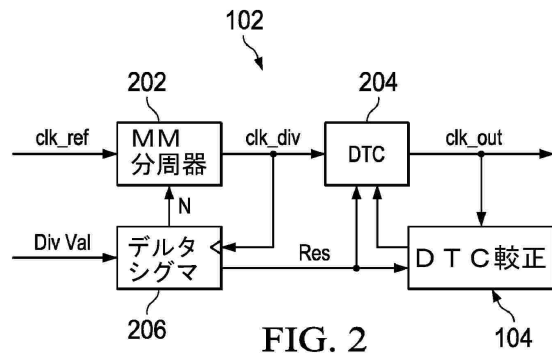


FIG. 2

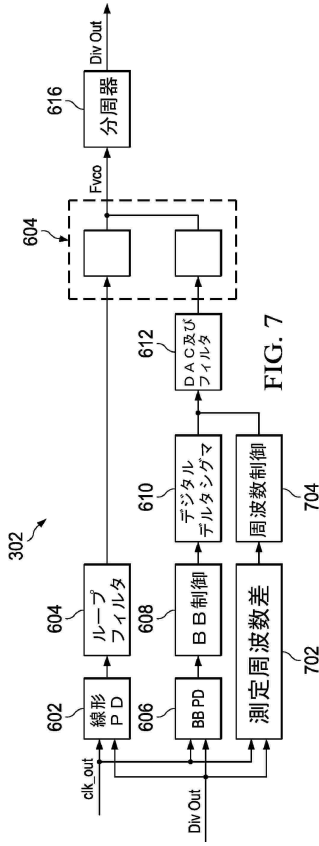
20

30

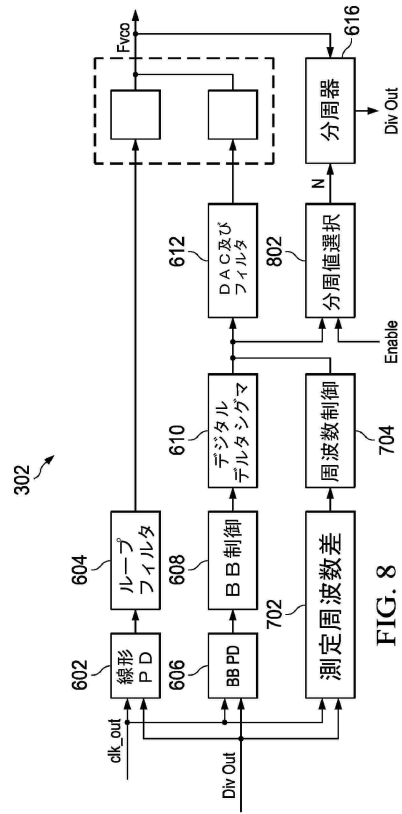
40

50

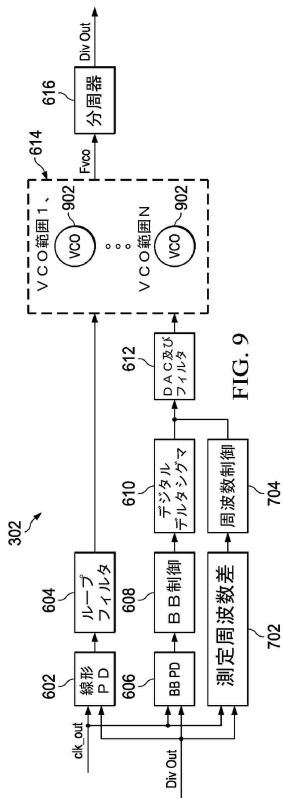
【 図 7 】



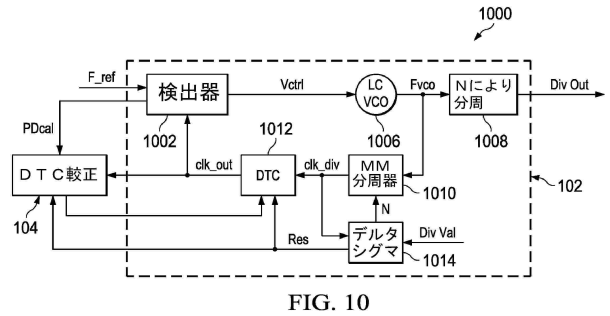
【 図 8 】



【 図 9 】



【 図 10 】



10

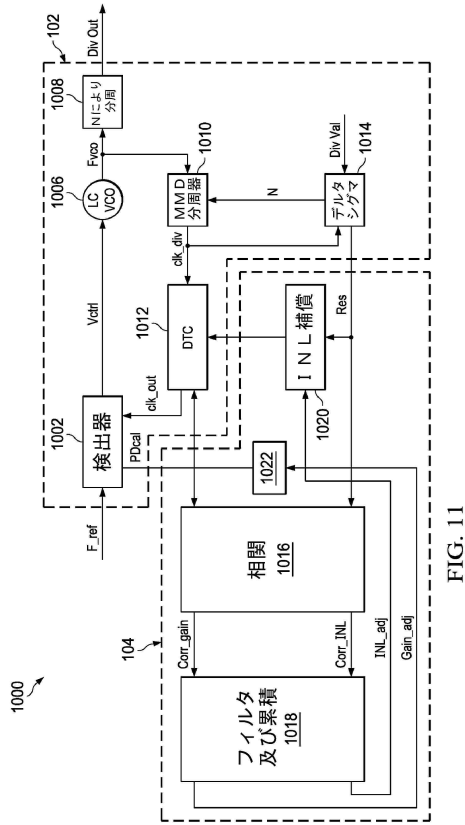
20

30

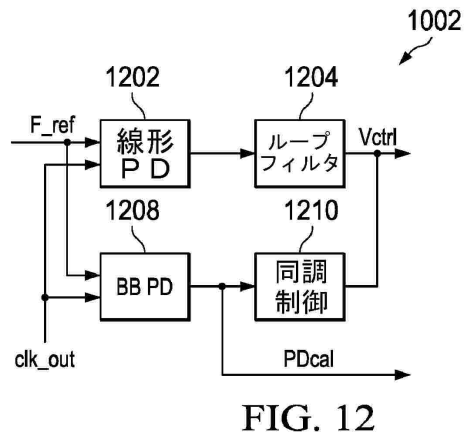
40

50

【 図 1 1 】



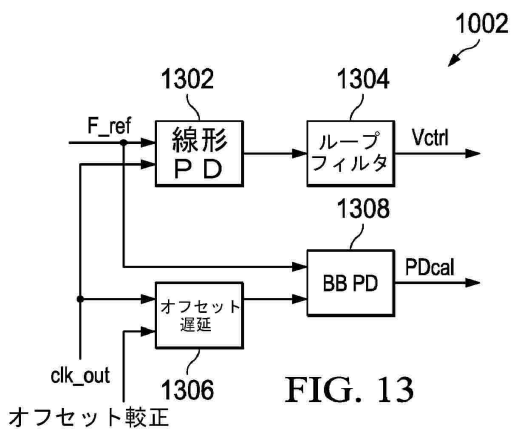
【 図 1 2 】



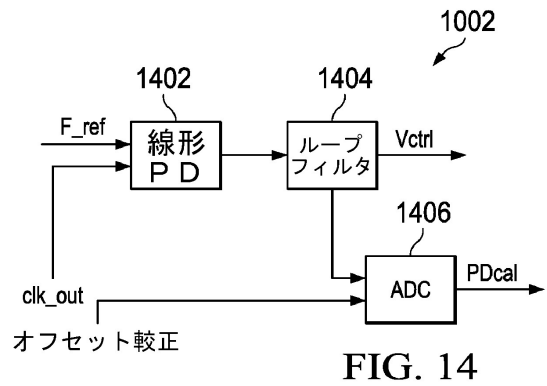
10

20

【 図 1 3 】



【 図 1 4 】

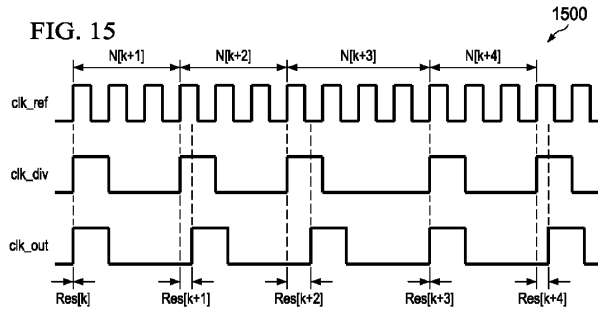


30

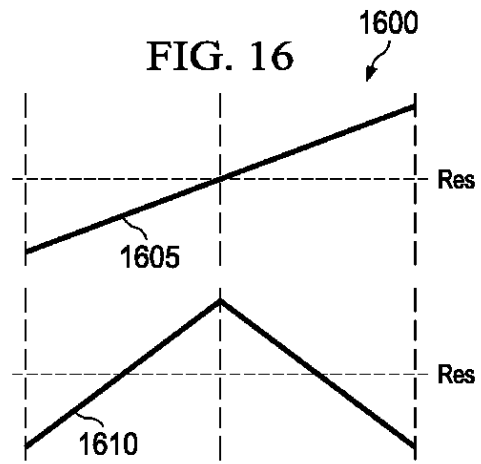
40

50

【 図 1 5 】

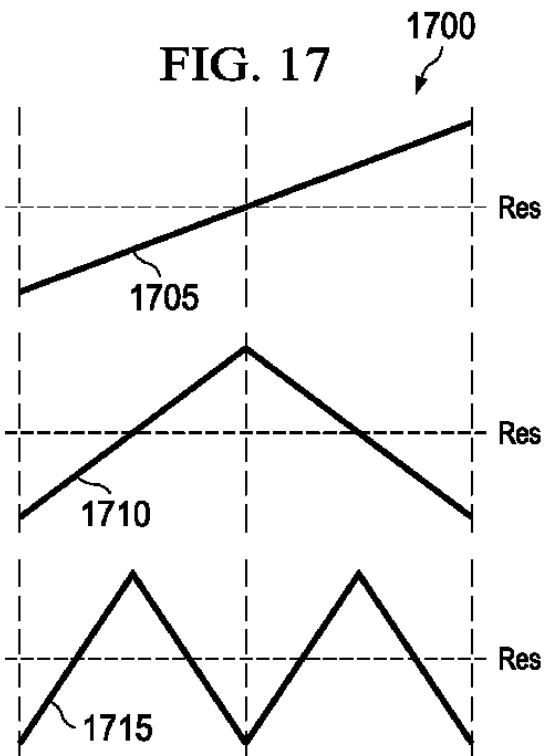


【 図 1 6 】



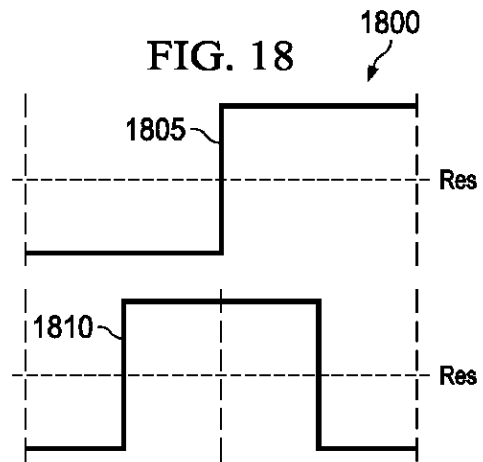
10

【 図 1 7 】



20

【 図 1 8 】



30

40

50

【図 19】

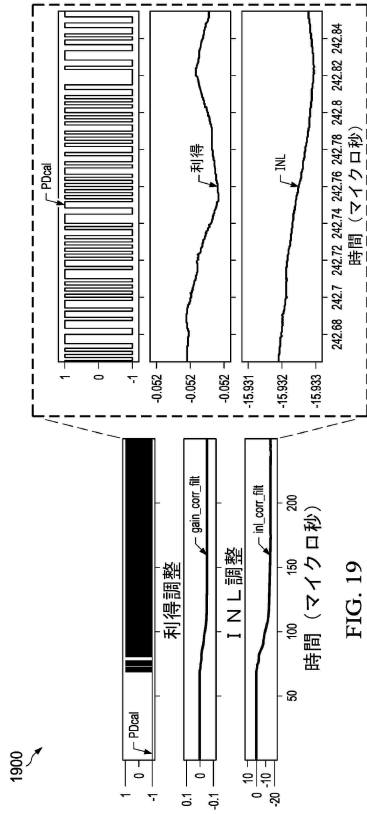


FIG. 19

【図 20 A】

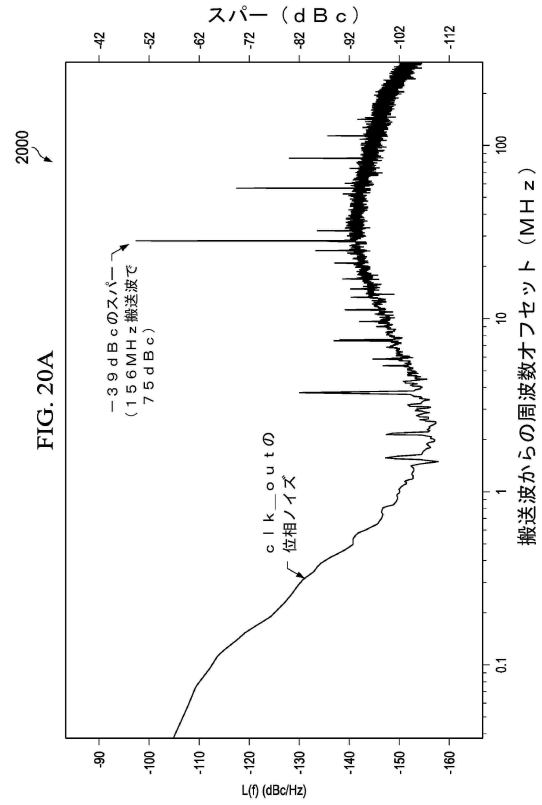


FIG. 20A

10

20

【図 20 B】

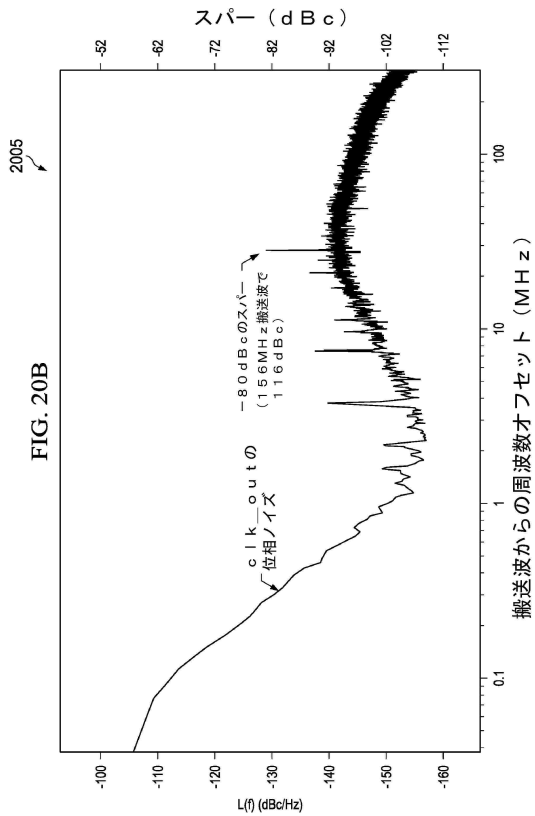


FIG. 20B

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US 2022/012085		
A. CLASSIFICATION OF SUBJECT MATTER				
<i>H03M 1/82 (2006.01)</i> <i>H03K 3/02 (2006.01)</i>				
According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED				
Minimum documentation searched (classification system followed by classification symbols)				
H03M 1/00, 1/10, 1/66, 1/82, H03K 3/00, 3/02				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched				
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)				
PatSearch (RUPTO internal), USPTO, PAJ, Esp@cenet, DWPI, EAPATIS, PATENTSCOPE				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
Y A	US 8860514 B2 (SILICON LAB INC) 14.10.2014, claim 1, col. 2, lines 40-46, fig. 1	9, 16-17 1-8, 10-15, 18-20		
Y	US 8994573 B2 (INTEL MOBILE COMM GMBH) 31.03.2015, col. 10, lines 8-12, 35-38, 43-47, 62-66, fig. 11A	9, 16-17		
Y	US 10707883 B2 (SI-WARE SYSTEMS S.A.E.) 07.07.2020, col. 16, lines 58-60	9, 16-17		
A	US 2016/0373120 A1 (SI WARE SYSTEMS S A E) 22.12.2016	1-20		
A	US 9678481 B1 (INTEGRATED DEVICE TECH) 13.06.2017	1-20		
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.				
* Special categories of cited documents: <table style="width: 100%; border: none;"> <tr> <td style="width: 50%; vertical-align: top;"> "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td style="width: 50%; vertical-align: top;"> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			"A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
"A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family			
Date of the actual completion of the international search		Date of mailing of the international search report		
23 March 2022 (23.03.2022)		07 April 2022 (07.04.2022)		
Name and mailing address of the ISA/RU: Federal Institute of Industrial Property, Berezhkovskaya nab., 30-1, Moscow, G-59, GSP-3, Russia, 125993 Facsimile No: (8-495) 531-63-18, (8-499) 243-33-37		Authorized officer G. Razhev Telephone No. 8 499 240 25 91		

Form PCT/ISA/210 (second sheet) (July 2019)

10

20

30

40

50

フロントページの続き

,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,D
K,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),O
A(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,B
B,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD
,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,IT,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,
LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,
RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,Z
W

F ターム (参考)

CC53 CC59 DD24 FF09 GG10 HH02 JJ06 KK25 KK31 QQ02