

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7679585号
(P7679585)

(45)発行日 令和7年5月20日(2025.5.20)

(24)登録日 令和7年5月12日(2025.5.12)

(51)国際特許分類

H 0 2 M 3/155(2006.01)

F I H 0 2 M 3/155 R

請求項の数 8 (全14頁)

(21)出願番号	特願2023-537088(P2023-537088)	(73)特許権者	521065355
(86)(22)出願日	令和4年11月1日(2022.11.1)		エルジー エナジー ソリューション リ
(65)公表番号	特表2024-503580(P2024-503580		ミテッド
	A)		大韓民国 ソウル ヨンドゥンボーグ ヨ
(43)公表日	令和6年1月26日(2024.1.26)		イーデロ 1 0 8 タワー1
(86)国際出願番号	PCT/KR2022/016944	(74)代理人	110000877
(87)国際公開番号	WO2023/120955		弁理士法人R Y U K A国際特許事務所
(87)国際公開日	令和5年6月29日(2023.6.29)	(72)発明者	キム、ピェオン ゴン
審査請求日	令和5年6月20日(2023.6.20)		大韓民国 ソウル ヨンドゥンボーグ ヨ
(31)優先権主張番号	10-2021-0182457		イーデロ 1 0 8 タワー1 エルジー エ
(32)優先日	令和3年12月20日(2021.12.20)		ナジー ソリューション リミテッド内
(33)優先権主張国・地域又は機関	韓国(KR)	審査官	尾家 英樹

最終頁に続く

(54)【発明の名称】 D C − D C コンバータ

(57)【特許請求の範囲】

【請求項1】

少なくとも一つの電力トランジスター、前記少なくとも一つの電力トランジスターに並列に連結されたスナバ回路、および電源電圧の供給を受けて前記少なくとも一つの電力トランジスターのスイッチング動作を制御するスイッチ制御回路を含む集積回路と、前記集積回路の外部において、前記電源電圧と前記スナバ回路との間に連結されている外部抵抗とを含み、

前記スナバ回路は、
少なくとも二つのスナバを含み、
前記少なくとも二つのスナバのそれぞれは、直列連結された抵抗、第1トランジスター、およびキャパシタを含み、
前記外部抵抗は、前記少なくとも二つのスナバのうちのいずれか一つの第1トランジスターのゲートに連結されている、コンバータ。

【請求項2】

前記少なくとも二つのスナバのうちのいずれか一つの第1トランジスターは、前記外部抵抗を通じて供給される前記電源電圧によりターンオンされる、請求項1に記載のコンバータ。

【請求項3】

前記少なくとも二つのスナバのうち前記ターンオンされる第1トランジスターを含むスナバを除いた残りのスナバの第1トランジスターはターンオフされる、請求項2に記載の

コンバータ。

【請求項 4】

少なくとも一つの電力トランジスターと、前記少なくとも一つの電力トランジスターに並列に連結されたスナバ回路と、電源電圧の供給を受けて前記少なくとも一つの電力トランジスターを制御するスイッチ制御回路とを含む集積回路と、

前記集積回路の外部において、前記電源電圧と前記スナバ回路との間に連結されている抵抗ボックスとを含み、

前記スナバ回路は、

少なくとも二つの抵抗、前記少なくとも二つの抵抗のそれぞれに直列連結された少なくとも二つの第 1 トランジスター、少なくとも二つのキャパシタ、および前記少なくとも二つのキャパシタのそれぞれに直列連結された少なくとも二つの第 2 トランジスターを含み、前記抵抗ボックスは、

前記少なくとも二つの抵抗のうちのいずれか一つに直列連結された第 1 トランジスターのゲートに連結された第 1 外部抵抗と、

前記少なくとも二つのキャパシタのうちのいずれか一つに直列連結された第 2 トランジスターのゲートに連結された第 2 外部抵抗と、

を含む、コンバータ。

【請求項 5】

前記少なくとも二つの抵抗のうちのいずれか一つに直列連結された第 1 トランジスターは、前記第 1 外部抵抗を通じて供給される前記電源電圧によりターンオンされ、

前記少なくとも二つのキャパシタのうちのいずれか一つに直列連結された第 2 トランジスターは、前記第 2 外部抵抗を通じて供給される前記電源電圧によりターンオンされる、請求項 4 に記載のコンバータ。

【請求項 6】

前記少なくとも二つの抵抗のうち前記ターンオンされる第 1 トランジスターに直列連結された抵抗を除いた残りの抵抗に直列連結された第 1 トランジスターはターンオフされ、

前記少なくとも二つのキャパシタのうち前記ターンオンされる第 2 トランジスターに直列連結されたキャパシタを除いた残りのキャパシタに直列連結された第 2 トランジスターはターンオフされる、請求項 5 に記載のコンバータ。

【請求項 7】

前記抵抗ボックスは、前記少なくとも二つの抵抗のうちの他の一つに直列連結された第 1 トランジスターのゲートに連結された第 3 外部抵抗を更に含み、

前記スナバ回路の抵抗値は、前記少なくとも二つの抵抗のうちの一つおよび他の一つの並列合成抵抗である、請求項 4 から 6 のいずれか一項に記載のコンバータ。

【請求項 8】

前記抵抗ボックスは、前記少なくとも二つのキャパシタのうちの他の一つに直列連結された第 2 トランジスターのゲートに連結された第 3 外部抵抗を更に含み、

前記スナバ回路のキャパシタンス値は、前記少なくとも二つのキャパシタのうちの一つおよび他の一つの並列合成キャパシタンスである、請求項 4 から 6 のいずれか一項に記載のコンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願（ら）との相互引用

本出願は、2021 年 12 月 20 日付韓国特許出願第 10-2021-0182457 号に基づいた優先権の利益を主張し、当該韓国特許出願の文献に開示された全ての内容は本明細書の一部として含まれる。

【0002】

本開示は、DC-DC コンバータに関する。

【背景技術】

【0003】

DC-DCコンバータは、入力電圧を変換して必要な電圧レベルを有する出力電圧を供給する。DC-DCコンバータで、電圧スイッチングにより過度電圧が発生することがある。過度電圧による部品損傷を防止し、EMI放射ノイズを除去するためにスナバ(s n u b b e r)回路がDC-DCコンバータに適用され得る。

【0004】

ノイズ除去のためにはスナバ回路の抵抗およびキャパシタンスなどのスナバ値を変更して設計してスナバ回路を最適化する必要があるが、スナバ回路がIC素子内部に内蔵されている場合、IC素子を交替しない限りスナバ回路のスナバ値を変更することは難しい。

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の目的は、スナバ回路を含むDC-DCコンバータにおいて、スナバ回路がIC素子内部に内蔵されている場合、スナバ値を可变的に適用することができるDC-DCコンバータを提供することにある。

【課題を解決するための手段】

【0006】

発明の一特徴によるコンバータは、少なくとも一つの電力トランジスタおよび前記少なくとも一つの電力トランジスタに並列に連結されたスナバ回路を含む集積回路、および前記集積回路に供給される電源電圧と前記スナバ回路との間に連結されている選択抵抗を含み、前記スナバ回路は、少なくとも二つのスナバを含み、前記少なくとも二つのスナバのそれぞれは、直列連結された抵抗、第1トランジスタ、およびキャパシタを含み、前記選択抵抗は、前記少なくとも二つのスナバのうちのいずれか一つの第1トランジスタのゲートに連結されている。

【0007】

前記少なくとも二つのスナバのうちのいずれか一つの第1トランジスタは、前記選択抵抗を通じて供給される前記電源電圧によりターンオンされ得る。

【0008】

前記少なくとも二つのスナバのうちの前記いずれか一つを除いた残りのスナバの第1トランジスタはターンオフされ得る。

【0009】

前記集積回路は、前記電源電圧の供給を受けて前記少なくとも一つの電力トランジスタのスイッチング動作を制御するスイッチ制御回路をさらに含むことができる。

【0010】

発明の他の特徴によるコンバータは、少なくとも一つの電力トランジスタおよび前記少なくとも一つの電力トランジスタに並列に連結されたスナバ回路を含む集積回路、および前記集積回路に供給される電源電圧と前記スナバ回路との間に連結されている少なくとも二つの選択抵抗を含み、前記スナバ回路は、少なくとも二つの抵抗、前記少なくとも二つの抵抗のそれぞれに直列連結された少なくとも二つの第1トランジスタ、少なくとも二つのキャパシタ、および前記少なくとも二つのキャパシタのそれぞれに直列連結された少なくとも二つの第2トランジスタを含み、前記少なくとも二つの選択抵抗のうちの第1選択抵抗は、前記少なくとも二つの抵抗のうちのいずれか一つに直列連結された第1トランジスタのゲートに連結されており、前記少なくとも二つの選択抵抗のうちの第2選択抵抗は、前記少なくとも二つのキャパシタのうちのいずれか一つに直列連結された第2トランジスタのゲートに連結されている。

【0011】

前記少なくとも二つの抵抗のうちのいずれか一つに直列連結された第1トランジスタは、前記第1選択抵抗を通じて供給される前記電源電圧によりターンオンされ、前記少なくとも二つのキャパシタのうちのいずれか一つに直列連結された第2トランジスタは、前記第2選択抵抗を通じて供給される前記電源電圧によりターンオンされ得る。

10

20

30

40

50

【0012】

前記少なくとも二つの抵抗のうちのいずれか一つを除いた残りの抵抗に直列連結された第1トランジスタはターンオフされ、前記少なくとも二つのキャパシタのうちのいずれか一つを除いた残りのキャパシタに直列連結された第2トランジスタはターンオフされ得る。

【0013】

前記集積回路は、前記電源電圧の供給を受けて前記少なくとも一つの電力トランジスタを制御するスイッチ制御回路をさらに含むことができる。

【0014】

前記少なくとも二つの選択抵抗のうちの第3選択抵抗は、前記少なくとも二つの抵抗のうちの他の一つに直列連結された第1トランジスタのゲートに連結されており、前記スナバ回路の抵抗値は、前記少なくとも二つの抵抗のうちの一つおよび他の一つの並列合成抵抗であり得る。

10

【0015】

前記少なくとも二つの選択抵抗のうちの第3選択抵抗は、前記少なくとも二つのキャパシタのうちの他の一つに直列連結された第2トランジスタのゲートに連結されており、前記スナバ回路のキャパシタンス値は、前記少なくとも二つのキャパシタのうちの一つおよび他の一つの並列合成キャパシタンスであり得る。

【発明の効果】

【0016】

20

本開示を通じて、スナバ回路を含むDC-DCコンバータにおいて、スナバ回路がIC素子内部に内蔵されている場合、複数のスナバのうち、選択的にスナバ回路を構成するようにしたり、スナバ回路の抵抗値およびキャパシタンスを可変的に適用したりすることができるDC-DCコンバータを提供することができる。

【図面の簡単な説明】

【0017】

【図1】一実施形態によるコンバータを図式的に示すブロック図である。

【図2】一実施形態によるスナバ回路および抵抗ボックスを具現した一例を示す回路図である。

【図3】一実施形態による抵抗ボックスの一例を示す回路図である。

30

【図4】一実施形態によるスナバ回路および抵抗ボックスを具現した一例を示す回路図である。

【図5】一実施形態による抵抗ボックスの一例を示す回路図である。

【図6】一実施形態による抵抗ボックスの一例を示す回路図である。

【図7】一実施形態による抵抗ボックスの一例を示す回路図である。

【発明を実施するための形態】

【0018】

以下、添付した図面を参照して本明細書に開示された実施形態を詳細に説明し、同一または類似の構成要素には同一または類似の図面符号を付与し、これについての重複する説明は省略する。以下の説明で使用される構成要素に対する接尾辞「モジュール」および／または「部」は、明細書作成の容易さだけを考慮して付与されたり混用されたりするものであって、それ自体で互いに区別される意味または役割を有するものではない。また、本明細書に開示された実施形態を説明するに当たり、関連した公知技術に関する具体的な説明が本明細書に開示された実施形態の要旨を不明確にし得ると判断される場合、その詳細な説明を省略する。また、添付した図面は、本明細書に開示された実施形態を容易に理解できるようにするためのものに過ぎず、添付した図面により本明細書に開示された技術的な思想が制限されず、本発明の思想および技術範囲に含まれる全ての変更、均等物または代替物を含むものと理解されなければならない。

40

【0019】

第1、第2などのように序数を含む用語は、多様な構成要素を説明することに使用され

50

得るが、前記構成要素は前記用語により限定されない。前記用語は一つの構成要素を他の構成要素から区別する目的のみで使用される。

【0020】

本出願で、「含む」または「有する」などの用語は、明細書上に記載された特徴、数字、段階、動作、構成要素、部品またはこれらを組み合わせたものが存在することを指定しようとするものであり、一つまたはそれ以上の他の特徴や数字、段階、動作、構成要素、部品またはこれらを組み合わせたものの存在または付加可能性を予め排除しないものと理解されなければならない。

【0021】

図1から図7は、入力された直流電圧を直流電圧に変換するコンバータにおいて、スナバ回路を多様に構成することができるようにするコンバータ回路を説明する。

10

【0022】

図1は一実施形態によるコンバータを図式的に示すブロック図である。

【0023】

コンバータ1は、入力電圧 V_{in} をDC-DC変換して出力電圧 V_{out} を出力することができる。コンバータ1は、集積回路(Integrated Circuit、IC)10、抵抗ボックス20、および出力部30を含むことができる。コンバータ1は、PCB(Printed Circuit Board)基板に実装され得る。

【0024】

電源電圧 V_{CC} は、端子P1を通じてIC10に供給され得、電源電圧 V_{CC} は、抵抗ボックス20に供給され得る。

20

【0025】

入力電圧 V_{in} は、端子P1を通じてIC10に供給され得る。IC10は、入力電圧 V_{in} をDC-DC変換して出力電圧を端子P4および端子P5を通じて出力部30に伝達することができる。

【0026】

抵抗ボックス20は、複数の選択端子P11-P13を通じてIC10の構成を選択することができる。図1ではIC10が3個の選択端子P11-P13を含むものと示されているが、これは一例であり、発明はこれに限定されず、IC10は2以上の選択端子を含むもので具現され得る。

30

【0027】

IC10は、複数のトランジスタおよびスイッチ制御回路を通じて入力電圧を変換することができる。IC10は、スイッチ制御回路110、第1電力トランジスタQ1、第1抵抗R1、第1キャパシタC1、第2電力トランジスタQ2、スナバ(Snubber)回路120、およびインダクタLを含むことができる。

【0028】

スイッチ制御回路110は、端子P1を通じて入力された電源電圧 V_{CC} を電源にして、第1および第2電力トランジスタQ1、Q2のスイッチング動作を制御するためのトランジスタ制御信号QCS1、QCS2を生成することができる。第1電力トランジスタQ1および第2電力トランジスタQ2のスイッチング動作は、スイッチ制御回路110から供給されるトランジスタ制御信号QCS1、QCS2により制御され得る。

40

【0029】

第1抵抗R1および第1キャパシタC1は互いに直列に連結されて、第1電力トランジスタQ1と並列に連結されている。第1電力トランジスタQ1の一端はスイッチ制御回路110の一端に連結されている。第1電力トランジスタQ1の他端は第2電力トランジスタQ2の一端、スナバ回路120の端子P21、およびインダクタLの一端が連結されたノードに連結されている。第2電力トランジスタQ2の他端はスイッチ制御回路110の他端およびスナバ回路120の端子P22が連結されたノードに連結されている。スナバ回路120の端子P23はIC10の端子P5に連結されている。インダクタLの他端は端子P4に連結されており、スナバ回路120の端子P23は端子P5に連結

50

されている。

【0030】

出力部30には、キャパシタCおよび負荷Rが含まれ得る。出力部30で、出力電圧V_{out}の一端はキャパシタCの一端、負荷Rの一端が連結されたノードに連結されており、出力電圧V_{out}の他端はキャパシタCの他端、負荷Rの他端が連結されたノードに連結されている。

【0031】

トランジスター制御信号QCS1、QCS2のオンレベルはハイレベルであり、オフレベルはローレベルである。ハイレベルのトランジスター制御信号QCS1およびローレベルのトランジスター制御信号QCS2により第1電力トランジスターQ1がターンオンされ、第2電力トランジスターQ2がターンオフされると、入力電圧V_{in}がインダクタLに供給されて、インダクタLに流れる電流が増加することができる。ローレベルのトランジスター制御信号QCS1およびハイレベルのトランジスター制御信号QCS2により第1電力トランジスターQ1がターンオフされ、第2電力トランジスターQ2がターンオンされると、インダクタLに流れる電流は第2電力トランジスターQ2を通じて流れながら減少することができる。インダクタLに流れる電流は負荷Rに供給され、出力電圧V_{out}はキャパシタCにより一定のレベルに平滑化され得る。スイッチ制御回路110は、出力電圧V_{out}を感知し、出力電圧V_{out}が所定のレベルに維持され得るように第1および第2電力トランジスターQ1、Q2のスイッチング動作を制御することができる。

【0032】

以下、図2および図3を参照して、抵抗ボックス20の内部回路構成によるスナバ回路120の動作を説明する。

【0033】

図2は一実施形態によるスナバ回路および抵抗ボックスを具現した一例を示す回路図である。

【0034】

図2に示された一例によるスナバ回路は、抵抗、キャパシタ、およびトランジスターが直列に連結されたスナバ単位で動作することができる。

【0035】

スナバ回路120は、第1スナバ121、第2スナバ122、第3スナバ123、および複数のゲート抵抗RG21-RG23を含むことができる。第1スナバ121は、抵抗R21、キャパシタC21、およびトランジスターQ21を含み、第2スナバ122は、抵抗R22、キャパシタC22、およびトランジスターQ22を含み、第3スナバ123は、抵抗R23、キャパシタC23、およびトランジスターQ23を含むことができる。

【0036】

図2ではスナバ回路120が3個のスナバ121-123を含むものと示されているが、これは一例であり、発明はこれに限定されず、スナバ回路120は2以上のスナバを含むもので具現され得る。図2に示されているように選択端子P11-P13の個数は、スナバ回路120に含まれているスナバの個数に基づいて増減され得る。

【0037】

第1スナバ121の一端、第2スナバ122の一端、および第3スナバ123の一端は端子P21に連結されており、第1スナバ121の他端、第2スナバ122の他端、および第3スナバ123の他端は端子P22および端子P23が連結されたノードに連結されている。

【0038】

端子P21は、抵抗R21の一端、抵抗R22の一端、および抵抗R23の一端が連結されたノードに連結されている。

【0039】

抵抗R21の他端はトランジスターQ21の一端と連結されている。トランジスターQ21の他端はキャパシタC21の一端と連結されている。ゲート抵抗RG21の一端はト

10

20

30

40

50

ランジスターQ21のゲート端に連結されており、ゲート抵抗RG21の他端は選択端子P11に連結されている。

【0040】

抵抗R22の他端はトランジスターQ22の一端と連結されている。トランジスターQ22の他端はキャパシタC22の一端と連結されている。ゲート抵抗RG22の一端はトランジスターQ22のゲート端に連結されており、ゲート抵抗RG22の他端は選択端子P12に連結されている。

【0041】

抵抗R23の他端はトランジスターQ23の一端と連結されている。トランジスターQ23の他端はキャパシタC23の一端と連結されている。ゲート抵抗RG23の一端はトランジスターQ23のゲート端に連結されており、ゲート抵抗RG23の他端は選択端子P13に連結されている。

【0042】

キャパシタC21の他端、キャパシタC22の他端、およびキャパシタC23の他端は端子P22および端子P23が連結されたノードに連結されている。

【0043】

図2に示された実施形態によるスナバ回路120は、第1スナバ121、第2スナバ122、および第3スナバ123のうち、抵抗ボックス20の構成により選択された少なくとも一つを通じて動作することができる。

【0044】

抵抗ボックス20には複数の個別抵抗ボックス21-23が含まれ得る。図2では抵抗ボックス20が3個の個別抵抗ボックス21-23を含むものと示されているが、これは一例であり、発明はこれに限定されず、抵抗ボックス20は2以上の個別抵抗ボックスを含むもので具現され得る。個別抵抗ボックスの個数は、選択端子P11-P13の個数に基づいて増減することができる。

【0045】

複数の個別抵抗ボックス21-23のそれぞれには選択抵抗が含まれ得る。または、複数の個別抵抗ボックス21-23のそれぞれは開放(open circuit)され得る。以下、複数の個別抵抗ボックス21-23のうち、選択抵抗が含まれない抵抗ボックスは開放されたとみて説明する。

【0046】

以下、図3を参照して、抵抗ボックス20に含まれている個別抵抗ボックス21-23の一実施形態を説明する。

【0047】

図3は、一実施形態による抵抗ボックスの一例を示す回路図である。

【0048】

図3の例では、個別抵抗ボックス21に選択抵抗RS1が含まれ、残りの個別抵抗ボックス22、23には選択抵抗が含まれない。

【0049】

抵抗ボックス20に供給される電源電圧VCCは、複数の個別抵抗ボックス21-23のうち、選択抵抗が含まれる個別抵抗ボックス(例えば、21)を通じて複数の選択端子P11-P13のうち、対応する選択端子(例えば、P11)に電流を供給することができる。

【0050】

図2および図3のスナバ回路120および抵抗ボックス20を利用したコンバータ1で、トランジスターQ21が抵抗RS1および抵抗RG21を通じて供給される電源電圧VCCによりターンオンされる。トランジスターQ21のターンオンにより第1スナバ121が第2電力トランジスターQ2に対して並列に連結される。つまり、第2電力トランジスターQ2のスイッチング動作時に発生することができる過度電圧に対して第1スナバ121が動作することができる。

10

20

30

40

50

【0051】

トランジスタ Q_{21} のターンオンによりスナバ回路120の抵抗値は抵抗 R_{21} の抵抗値であり、スナバ回路120のキャパシタンスはキャパシタ C_{21} のキャパシタンスで決定され得る。

【0052】

以下、図4から図7を参照して、スナバの抵抗とキャパシタをそれぞれ制御することができる抵抗ボックス20の内部回路構成によるスナバ回路120の動作を説明する。

【0053】

図4は一実施形態によるスナバ回路および抵抗ボックスを具現した一例を示す回路図である。

【0054】

図4に示された一例によるスナバ回路は、図2に示された一例によるスナバ回路とは異なりスナバ単位で動作しないことができる。

【0055】

スナバ回路120は、複数の抵抗 $R_{21} - R_{23}$ 、複数のキャパシタ $C_{21} - C_{23}$ 、複数のトランジスタ $Q_{21} - Q_{23}$ 、 Q_{211} 、 Q_{221} 、 Q_{231} 、および複数のゲート抵抗 $R_{G21} - R_{G23}$ 、 R_{G211} 、 R_{G221} 、 R_{G231} を含むことができる。

【0056】

端子 P_{21} は抵抗 R_{21} の一端、抵抗 R_{22} の一端、および抵抗 R_{23} の一端が連結されたノードに連結されている。

【0057】

抵抗 R_{21} の他端はトランジスタ Q_{21} の一端と連結されている。ゲート抵抗 R_{G21} の一端はトランジスタ Q_{21} のゲート端に連結されており、ゲート抵抗 R_{G21} の他端は選択端子 P_{11} に連結されている。トランジスタ Q_{211} の一端はキャパシタ C_{21} の一端と連結されている。ゲート抵抗 R_{G211} の一端はトランジスタ Q_{211} のゲート端に連結されており、ゲート抵抗 R_{G211} の他端は選択端子 P_{14} に連結されている。

【0058】

抵抗 R_{22} の他端はトランジスタ Q_{22} の一端と連結されている。ゲート抵抗 R_{G22} の一端はトランジスタ Q_{22} のゲート端に連結されており、ゲート抵抗 R_{G22} の他端は選択端子 P_{12} に連結されている。トランジスタ Q_{221} の一端はキャパシタ C_{22} の一端と連結されている。ゲート抵抗 R_{G221} の一端はトランジスタ Q_{221} のゲート端に連結されており、ゲート抵抗 R_{G221} の他端は選択端子 P_{15} に連結されている。

【0059】

抵抗 R_{23} の他端はトランジスタ Q_{23} の一端と連結されている。ゲート抵抗 R_{G23} の一端はトランジスタ Q_{23} のゲート端に連結されており、ゲート抵抗 R_{G23} の他端は選択端子 P_{13} に連結されている。トランジスタ Q_{231} の一端はキャパシタ C_{23} の一端と連結されている。ゲート抵抗 R_{G231} の一端はトランジスタ Q_{231} のゲート端に連結されており、ゲート抵抗 R_{G231} の他端は選択端子 P_{16} に連結されている。

【0060】

ノード NN には、トランジスタ Q_{21} の他端、トランジスタ Q_{211} の他端、トランジスタ Q_{22} の他端、トランジスタ Q_{221} の他端、トランジスタ Q_{23} の他端、およびトランジスタ Q_{231} の他端が連結されている。

【0061】

キャパシタ C_{21} の他端、キャパシタ C_{22} の他端、およびキャパシタ C_{23} の他端は端子 P_{22} および端子 P_{23} が連結されたノードに連結されている。

【0062】

図4に示された実施形態によるスナバ回路120は、複数の抵抗 $R_{21} - R_{23}$ のうち

10

20

30

40

50

、抵抗ボックス 20 の構成により選択された少なくとも一つおよび複数のキャパシタ C 21 - C 23 のうち、抵抗ボックス 20 の構成により選択された少なくとも一つを通じて動作することができる。

【0063】

抵抗ボックス 20 には複数の個別抵抗ボックス 21 - 26 が含まれ得る。図 4 では抵抗ボックス 21 が 6 個の個別抵抗ボックス 21 - 26 を含むものと示されており、選択端子 P 11 - P 16 の個数が 6 個であると示されている。

【0064】

複数の個別抵抗ボックス 21 - 26 のそれぞれには選択抵抗が含まれ得る。または、複数の個別抵抗ボックス 21 - 26 のそれぞれは開放 (open circuit) され得る。以下、複数の個別抵抗ボックス 21 - 26 のうち、選択抵抗が含まれない抵抗ボックスは開放されたとみて説明する。

【0065】

以下、図 5 を参照して、抵抗ボックス 20 に含まれている個別抵抗ボックス 21 - 26 の一実施形態を説明する。

【0066】

図 5 は、一実施形態による抵抗ボックスの一例を示す回路図である。

【0067】

図 5 の例では、個別抵抗ボックス 21 に選択抵抗 R S 1 が含まれ、個別抵抗ボックス 25 に選択抵抗 R S 5 が含まれ、残りの個別抵抗ボックス 22 - 24、26 には選択抵抗が含まれない。

【0068】

抵抗ボックス 20 に供給される電源電圧 V C C は、複数の個別抵抗ボックス 21 - 26 のうち、選択抵抗が含まれる個別抵抗ボックス (例えば、21 および 25) を通じて複数の選択端子 P 11 - P 16 のうち、対応する選択端子 (例えば、P 11 および P 15) に電流を供給することができる。

【0069】

図 4 および図 5 のスナバ回路 120 および抵抗ボックス 20 を利用したコンバータ 1 で、トランジスタ Q 21 が抵抗 R S 1 および抵抗 R G 21 を通じて供給される電源電圧 V C C によりターンオンされ、トランジスタ Q 221 が抵抗 R S 5 および抵抗 R G 221 を通じて供給される電源電圧 V C C によりターンオンされる。トランジスタ Q 21 およびトランジスタ Q 221 のターンオンにより抵抗 R 21 およびキャパシタ C 22 が第 2 電力トランジスタ Q 2 に対して並列に連結される。

【0070】

トランジスタ Q 21 およびトランジスタ Q 221 のターンオンによりスナバ回路 120 の抵抗値は抵抗 R 21 の抵抗値であり、スナバ回路 120 のキャパシタンスはキャパシタ C 22 のキャパシタンスで決定され得る。

【0071】

また、図 4 のスナバ回路 120 を利用したコンバータ 1 で、スナバ回路 120 の抵抗値は複数の抵抗を利用した合成抵抗で決定されたり、スナバ回路 120 のキャパシタンスは複数のキャパシタを利用した合成キャパシタンスで決定されたりし得る。

【0072】

以下、図 6 および図 7 を参照して、スナバ回路 120 が合成抵抗または合成キャパシタンスを有するようにする抵抗ボックスの実施形態を説明する。

【0073】

図 6 は、一実施形態による抵抗ボックスの一例を示す回路図である。

【0074】

図 6 の例では、個別抵抗ボックス 21 に選択抵抗 R S 1 が含まれ、個別抵抗ボックス 23 に選択抵抗 R S 3 が含まれ、個別抵抗ボックス 25 に選択抵抗 R S 5 が含まれ、残りの個別抵抗ボックス 22、24、26 には選択抵抗が含まれない。

10

20

30

40

50

【0075】

抵抗ボックス20に供給される電源電圧VCCは、複数の個別抵抗ボックス21-26のうち、選択抵抗が含まれる個別抵抗ボックス（例えば、21、23、および25）を通じて複数の選択端子P11-P16のうち、対応する選択端子（例えば、P11、P13、およびP15）に電流を供給することができる。

【0076】

図4および図6のスナバ回路120および抵抗ボックス20を利用したコンバータ1で、トランジスタQ21が抵抗RS1および抵抗RG21を通じて供給される電源電圧VCCによりターンオンされ、トランジスタQ23が抵抗RS3および抵抗RG23を通じて供給される電源電圧VCCによりターンオンされ、トランジスタQ221が抵抗RS5および抵抗RG221を通じて供給される電源電圧VCCによりターンオンされる。トランジスタQ21、トランジスタQ23、およびトランジスタQ221のターンオンにより抵抗R21、抵抗R23、およびキャパシタC22が第2電力トランジスタQ2に対して並列に連結される。

10

【0077】

トランジスタQ21、トランジスタQ23、およびトランジスタQ221のターンオンによりスナバ回路120の抵抗値は抵抗R21および抵抗R23の並列合成抵抗値であり、スナバ回路120のキャパシタンスはキャパシタC22のキャパシタンスで決定され得る。

20

【0078】

図7は、一実施形態による抵抗ボックスの一例を示す回路図である。

【0079】

図7の例では、個別抵抗ボックス21に選択抵抗RS1が含まれ、個別抵抗ボックス25に選択抵抗RS5が含まれ、個別抵抗ボックス26に選択抵抗RS6が含まれ、残りの個別抵抗ボックス22-24には選択抵抗が含まれない。

【0080】

抵抗ボックス20に供給される電源電圧VCCは、複数の個別抵抗ボックス21-26のうち、選択抵抗が含まれる個別抵抗ボックス（例えば、21、25、および26）を通じて複数の選択端子P11-P16のうち、対応する選択端子（例えば、P11、P15、およびP16）に電流を供給することができる。

30

【0081】

図4および図7のスナバ回路120および抵抗ボックス20を利用したコンバータ1で、トランジスタQ21が抵抗RS1および抵抗RG21を通じて供給される電源電圧VCCによりターンオンされ、トランジスタQ221が抵抗RS5および抵抗RG221を通じて供給される電源電圧VCCによりターンオンされ、トランジスタQ231が抵抗RS6および抵抗RG231を通じて供給される電源電圧VCCによりターンオンされる。トランジスタQ21、トランジスタQ221、およびトランジスタQ231のターンオンにより抵抗R21、キャパシタC22およびキャパシタC23が第2電力トランジスタQ2に対して並列に連結される。

【0082】

トランジスタQ21、トランジスタQ221、およびトランジスタQ231のターンオンによりスナバ回路120の抵抗値は抵抗R21の抵抗値であり、スナバ回路120のキャパシタンスはキャパシタC22およびキャパシタC23の並列合成キャパシタンスで決定され得る。

40

【0083】

スナバ回路120には、図4および図6に示されているように複数の抵抗が含まれたり、図4および図7に示されているように複数のキャパシタが含まれたりし得る。またはスナバ回路120は、複数の抵抗および複数のキャパシタが含まれるように図6に示された抵抗ボックスおよび図7に示された抵抗ボックスが組み合わされた抵抗ボックスが適用され得る。

50

【0084】

一実施形態によるスナバ回路120を通じて、第2電力トランジスタQ2で発生し得るノイズを低減することができ、IC10内部に設けられたスナバ回路120のスナバ値をIC10外部に位置する抵抗ボックス20に含まれる選択抵抗の構成により調整することができる。スナバ値のIC10外部で調整してノイズ除去のためのデバッグ時間を短縮することができる。

【0085】

以上で本発明の実施形態について詳細に説明したが、本発明の権利範囲がこれに限定されるのではなく、本発明が属する分野における通常の知識を有する者が多様に変形および改良した形態も本発明の権利範囲に属する。

【符号の説明】

【0086】

- 1：コンバータ
- 10：IC
- 110：スイッチ制御回路
- 120：スナバ回路
- 121：第1スナバ
- 122：第2スナバ
- 123：第3スナバ
- 20：抵抗ボックス
- 21、22、23、24、25、26：個別抵抗ボックス
- 30：出力部

10

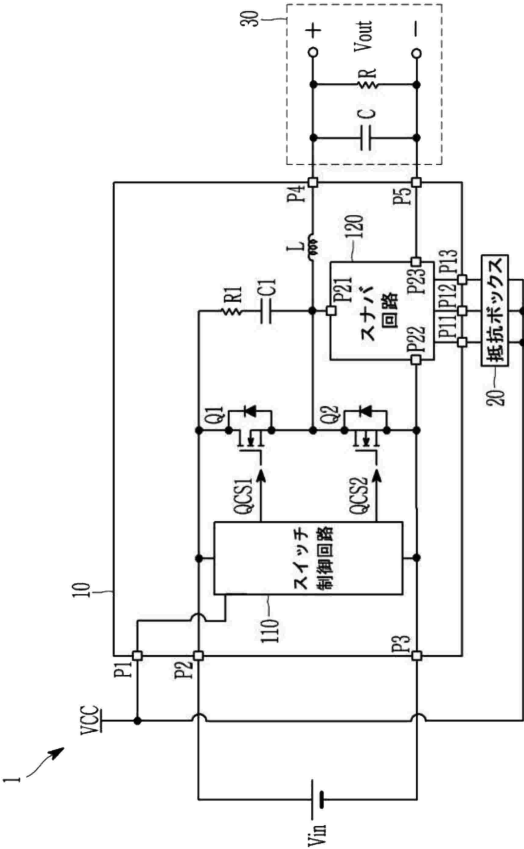
20

30

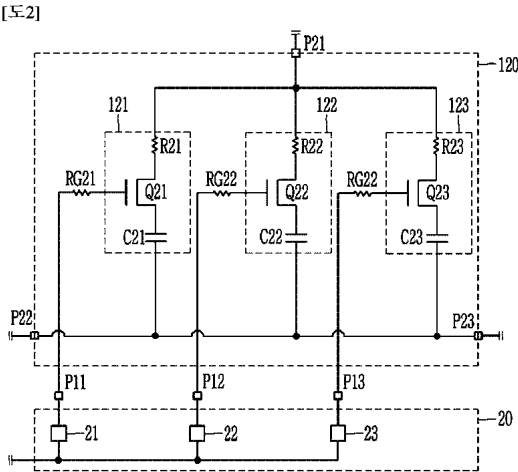
40

50

【図面】
【図 1】



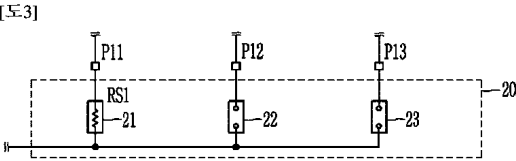
【図 2】



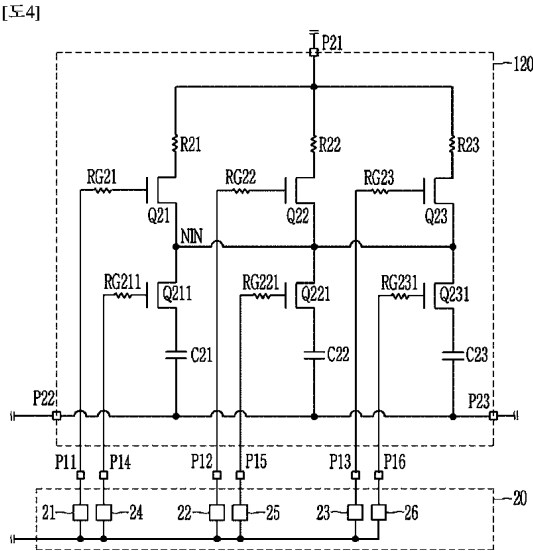
10

20

【図 3】



【図 4】

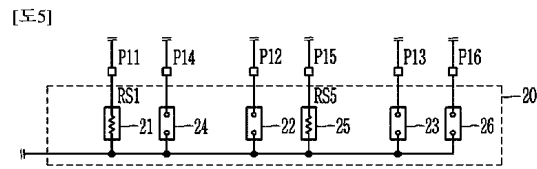


30

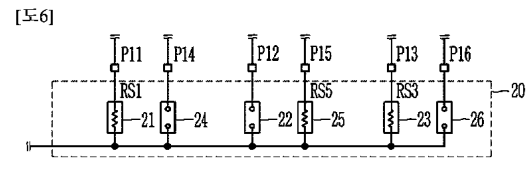
40

50

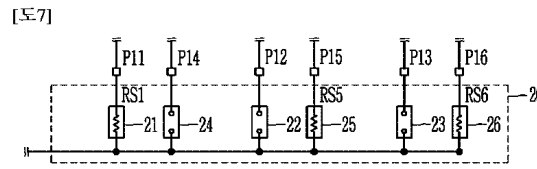
【図 5】



【図 6】



【図 7】



10

20

30

40

50

フロントページの続き

- (56)参考文献 米国特許出願公開第2020/0395842 (US, A1)
特開平08-250310 (JP, A)
特開2021-040462 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H02M 3/00-3/44