



CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

semiconductor material having an etching rate lower than that of the barrier layer; a gate electrode provided on the second surface side of the barrier layer; a drain electrode and a source electrode provided on the second surface side of the barrier layer with the gate electrode therebetween; and a recess provided between the gate electrode and the drain electrode and reaching the intermediate layer from the second surface side of the barrier layer.

(57) 要約: 本開示の一実施形態の第1の半導体デバイスは、基板と、基板の一の面側に設けられた第1の窒化物半導体を含むチャンネル層と、チャンネル層の基板とは反対側に設けられ、チャンネル層と対向する第1の面および第1の面とは反対側の第2の面を有すると共に、第1の窒化物半導体よりもバンドギャップの大きな第2の窒化物半導体を含む障壁層と、障壁層内に設けられ、障壁層よりもエッチングレートが低い半導体材料を含む中間層と、障壁層の第2の面側に設けられたゲート電極と、ゲート電極を間にして障壁層の第2の面側に設けられたドレイン電極およびソース電極と、ゲート電極とドレイン電極との間に設けられ、障壁層の第2の面側から中間層まで達する凹部とを備える。

明 細 書

発明の名称：

半導体デバイス、半導体モジュールおよび無線通信装置

技術分野

[0001] 本開示は、半導体デバイス、半導体モジュールおよび無線通信装置に関する。

背景技術

[0002] 例えば、特許文献1では、ゲート電極の下方からドレイン電極側にかけてチャネル層に凹部が形成された半導体装置が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2003-59947号公報

発明の概要

[0004] ところで、HEMTでは、デバイス特性の向上が望まれている。

[0005] デバイス特性を向上させることが可能な半導体デバイス、半導体モジュールおよび無線通信装置を提供することが望ましい。

[0006] 本開示の一実施形態に係る第1の半導体デバイスは、基板と、基板の一面側に設けられた第1の窒化物半導体を含むチャネル層と、チャネル層の基板とは反対側に設けられ、チャネル層と対向する第1の面および第1の面とは反対側の第2の面を有すると共に、第1の窒化物半導体よりもバンドギャップの大きな第2の窒化物半導体を含む障壁層と、障壁層内に設けられ、障壁層よりもエッチングレートが低い半導体材料を含む中間層と、障壁層の第2の面側に設けられたゲート電極と、ゲート電極を間にして障壁層の第2の面側に設けられたドレイン電極およびソース電極と、ゲート電極とドレイン電極との間に設けられ、障壁層の第2の面側から中間層まで達する凹部とを備えたものである。

[0007] 本開示の一実施形態に係る半導体モジュールは、上記本開示の一実施形態

の第1の半導体デバイスを有するものである。

[0008] 本開示の一実施形態に係る無線通信装置は、上記本開示の一実施形態の第1の半導体デバイスを有するものである。

[0009] 本開示の一実施形態の第2の半導体デバイスは、基板と、基板の一の面側に設けられた第1の窒化物半導体を含むチャネル層と、チャネル層の基板とは反対側に設けられ、チャネル層と対向する第1の面および第1の面とは反対側の第2の面を有すると共に、第1の窒化物半導体よりもバンドギャップの大きな第2の窒化物半導体を含む障壁層と、障壁層内に設けられ、障壁層よりもエッチングレートが低い半導体材料を含む中間層と、障壁層の第2の面側に設けられたゲート電極と、ゲート電極を間にして障壁層の第2の面側に設けられたドレイン電極およびソース電極と、チャネル層と障壁層との界面近傍に形成され、ゲート電極とドレイン電極との間に、ゲート電極とのソース電極との間よりも電子ガス濃度の低い低電子ガス領域を有する2次元電子ガス層とを備えたものである。

[0010] 本開示の一実施形態に係る第1、第2の半導体デバイス、一実施形態に係る半導体モジュールおよび一実施形態の無線通信装置では、第1の窒化物半導体を含むチャネル層に積層される、第1の窒化物半導体よりもバンドギャップの大きな第2の窒化物半導体を含む障壁層内に、障壁層よりもエッチングレートが低い半導体材料を含む中間層を設け、ゲート電極とドレイン電極との間に、障壁層の、チャネル層と対向する面とは反対側の面（第2の面）側から中間層まで達する凹部を設けるようにした。チャネル層の障壁層との界面近傍には2次元電子ガス層が形成される。上記構成とすることにより、ゲート電極とドレイン電極との間の電子ガス濃度がゲート電極とソース電極との間の電子ガス濃度よりも低くなる。これにより、障壁層にダメージを与えることなく、ゲート電極とドレイン電極との間の寄生容量を低減する。

図面の簡単な説明

[0011] [図1]図1は、本開示の一実施の形態に係る半導体デバイスの構成の一例を表す断面模式図である。

[図2]図2は、ソース電極とドレイン電極との間の電子ガス濃度を表す特性図である。

[図3]図3は、ゲート電極とソース電極との間とゲート電極とドレイン電極との間のバリア層の膜厚比と、ゲート電極とドレイン電極との寄生容量との関係を表す特性図である。

[図4]図4は、電子ガス濃度と閾値電圧との関係を表す特性図である。

[図5A]図5Aは、図1に示した半導体デバイスの製造方法の工程の一例を表す断面模式図である。

[図5B]図5Bは、図5Aに続く工程を表す断面模式図である。

[図5C]図5Cは、図5Bに続く工程を表す断面模式図である。

[図5D]図5Dは、図5Cに続く工程を表す断面模式図である。

[図5E]図5Eは、図5Dに続く工程を表す断面模式図である。

[図6]図6は、凹部におけるダメージ防止層の詳細な形状を表す断面模式図である。

[図7]図7は、比較例として半導体デバイスの構成の一例を表す断面模式図である。

[図8]図8は、本開示の変形例1に係る半導体デバイスの構成の一例を表す断面模式図である。

[図9]図9は、本開示の変形例2に係る半導体デバイスの構成の一例を表す断面模式図である。

[図10]図10は、半導体モジュールの構成を示す模式的な斜視図である。

[図11]図11は、無線通信装置の構成を示すブロック図である。

発明を実施するための形態

[0012] 以下、本開示における実施の形態について、図面を参照して詳細に説明する。以下の説明は本開示の一具体例であって、本開示は以下の態様に限定されるものではない。また、本開示は、各図に示す各構成要素の配置や寸法、寸法比等についても、それらに限定されるものではない。

[0013] なお、説明は以下の順序で行う。

1. 実施の形態（バリア層内にダメージ防止層を有する半導体デバイスの例）

1-1. 半導体デバイスの構成

1-2. 半導体デバイスの製造方法

1-3. 作用・効果

2. 変形例

2-1. 変形例1（半導体デバイスの構成の他の例）

2-2. 変形例2（半導体デバイスの構成の他の例）

3. 適用例

3-1. 半導体モジュールへの適用例

3-2. 無線通信装置への適用例

[0014] <1. 実施の形態>

[1-1. 半導体デバイスの構成]

図1は、本開示の一実施形態に係る半導体デバイス（半導体デバイス1）の断面構成の一例を模式的に表したものである。

[0015] 半導体デバイス1は、基板11と、バッファ層12と、チャネル層13と、スペーサ層14と、バリア層15とがこの順に積層された積層構造を有する。半導体デバイス1は、さらに、バリア層15上に設けられたゲート電極Gと、ゲート電極Gを間に基板11の面内方向（XY平面方向）に対向配置された一対のコンタクト層16と、コンタクト層16上に設けられたソース電極Sおよびドレイン電極Dと、ゲート電極Gとソース電極Sおよびドレイン電極Dとの間のバリア層15上に設けられた絶縁膜Zとを有する。半導体デバイス1は、例えばショットキー型ゲート構造を有する。

[0016] 半導体デバイス1は、2次元電子ガス層2DEGをチャネルとする高電子移動度トランジスタ（HEMT）である。2次元電子ガス層2DEGは、チャネル層13の分極の大きさと、バリア層15の分極の大きさとの差に起因して生じる。2次元電子ガス層2DEGは、チャネル層13のうち、例えばスペーサ層14との界面の近傍に生じる。

[0017] 本実施の形態では、バリア層15は、層内にバリア層15よりもエッチングレートが低いダメージ防止層15Bを有する。具体的には、バリア層15は、第1層15A、ダメージ防止層15Bおよび第2層15Cがこの順に積層された積層構造を有し、ダメージ防止層15Bは、第1層15Aおよび第2層15Cよりもエッチングレートが低く構成されている。バリア層15には、さらに、ゲート電極Gとドレイン電極Dとの間に、バリア層15の面15S2側から第2層15Cを貫通し、ダメージ防止層15Bまで達する凹部Hが設けられている。これにより、凹部H下方のチャネル層13の、スペーサ層14との界面の近傍に形成される2次元電子ガス層2DEGを構成する電子ガス濃度は、その他の領域（例えば、ゲート電極Gとソース電極Sとの間 L_{gs} や凹部H外側のゲート電極Gとドレイン電極Dとの間 L_{gd} ）の電子ガス濃度よりも低くなる。

[0018] 以下に、半導体デバイス1を構成する各部について詳細に説明する。

[0019] 基板11は、半導体デバイス1の支持体である。基板11は、例えば、化合物半導体基板である。具体的には、例えばIII-V族化合物半導体材料を含む半絶縁性の単結晶のGaN基板である。この他、基板11は、例えば、Si（珪素）基板、SiC（炭化珪素）基板、サファイア基板、GaN（窒化ガリウム）基板またはAlN（窒化アルミニウム）基板等を用いることができる。Si基板としては、例えば（111）面を主面とする単結晶のSi（111）基板が好適である。半導体デバイス1には、上述したようにバッファ層12が設けられている。バッファ層12は、基板11の格子定数とチャネル層13の格子定数との不整合を緩和することができる。そのため、基板11は、チャネル層13の格子定数と異なる格子定数の材料により構成されていてもよい。

[0020] なお、上記の材料を用いた基板11であれば、以下に記載する本開示の半導体デバイスの効果が得られる。Si（111）よりも単結晶性に優れ、より低い貫通転位密度が得られるSiCからなる基板やGaNからなる基板を用いた半導体デバイス1であれば、さらなるオフリーク電流の低減や高耐圧

化が期待できる。そのため、用途等に応じて好適な材料を選択して基板 1 1 を構成すればよい。

[0021] バッファ層 1 2 は、エピタキシャル成長された化合物半導体で構成される。基板 1 1 とチャネル層 1 3 との格子定数が異なる場合には、バッファ層 1 2 のチャネル層 1 3 が設けられる面の格子定数を制御することで、基板 1 1 とチャネル層 1 3 との間の格子不整合を緩和することができる。そのため、バッファ層 1 2 は、チャネル層 1 3 の結晶状態をより良好にするとともに、基板 1 1 の反りを抑制することができる。バッファ層 1 2 は、例えば、窒化物半導体で構成される。具体的には、基板 1 1 が単結晶の Si 基板からなり、チャネル層が GaN からなる場合には、バッファ層 1 2 は、例えば、AlN、AlGa_{0.5}N_{0.5}窒（化アルミニウムガリウム）、GaN 等で構成される。

[0022] なお、基板 1 1 およびチャネル層 1 3 の構成によっては、バッファ層 1 2 は省略しても構わない。

[0023] チャネル層 1 3 は、ソース電極 S とドレイン電極 D との間の電流経路の一部を構成するものである。チャネル層 1 3 は、スペーサ層 1 4 のバンドギャップおよびバリア層 1 5 のバンドギャップよりも小さなバンドギャップを有する窒化物半導体で構成される。チャネル層 1 3 は、バッファ層 1 2 の上に設けられる。チャネル層 1 3 は、チャネル層 1 3 の分極の大きさとバリア層 1 5 の分極の大きさとの差によって、バリア層 1 5 側の界面にキャリアを蓄積することができる。

[0024] チャネル層 1 3 は、エピタキシャル成長された窒化物半導体である、例えば、GaN（窒化ガリウム）により構成される。チャネル層 1 3 は、不純物が添加されていないアンドープの u-GaN で構成されてもよい。これにより、チャネル層 1 3 は、キャリアの不純物散乱を抑制することができ、キャリアの移動度をより高めることができる。

[0025] スペーサ層 1 4 は、チャネル層 1 3 のバンドギャップよりも大きなバンドギャップを有する窒化物半導体で構成される。スペーサ層 1 4 は、チャネル層 1 3 の上に設けられる。スペーサ層 1 4 は、バリア層 1 5 とチャネル層 1

3との間の合金散乱を低減し、その合金散乱によって2次元電子ガス層2DEGのキャリア移動度が低下することを抑制するようになっている。

[0026] スペーサ層14は、エピタキシャル成長された $\text{Al}_{x_1}\text{In}_{y_1}\text{Ga}_{(1-x_1-y_1)}\text{N}$ ($0 < x_1 \leq 1$, $0 \leq y_1 < 1$, $0 \leq x_1 + y_1 \leq 1$) により構成されている。スペーサ層141は、例えば、 AlN のような2元系の窒化物半導体で構成されてもよく、 AlGaInN のような3元系の窒化物半導体または AlInGaInN のような4元系の窒化物半導体で構成されてもよい。

[0027] スペーサ層14の厚みは、例えば、0.26nm以上3.0nm以下であることが好ましく、0.5nm以上1.5nm以下であることが特に好ましい。スペーサ層14の厚みが0.26nm以上である場合、スペーサ層14は、合金散乱を抑制する効果がより期待できる。一方、スペーサ層14の厚みが3.0nm以下である場合、スペーサ層14は、半導体デバイス1のバンドギャッププロファイルをより適切に制御することができる。このため、チャンネル層13に生じる2次元電子ガス層2DEGのキャリア密度をより高めることができる。

[0028] バリア層15は、チャンネル層13のバンドギャップよりも大きなバンドギャップを有する窒化物半導体で構成される。バリア層15は、スペーサ層14の上に設けられる。バリア層15は、自発分極またはpiezo分極により、チャンネル層13のうちのバリア層15の近くの領域にキャリアを蓄積させることができる。これにより、半導体デバイス1では、チャンネル層13のうちのバリア層15との界面近傍（ここで、スペーサ層14との界面近傍）の領域に、高移動度且つ高キャリア濃度の2次元電子ガス層2DEGを形成することができる。

[0029] バリア層15は、エピタキシャル成長された窒化物半導体である $\text{Al}_{x_2}\text{In}_{1-x_2}\text{N}$ ($0 < x_2 < 1$) により構成される。バリア層15は、例えば、不純物が添加されていないアンドープの $\text{u-Al}_{x_3}\text{In}_{(1-x_3)}\text{N}$ で構成されてもよい。バリア層15は、エピタキシャル成長された窒化物半導体である $\text{Al}_{(1-x_2-y_2)}\text{In}_{x_2}\text{Ga}_{y_2}\text{N}$ ($0 \leq x_2 < 1$, $0 \leq y_2 < 1$, $x_2 + y_2 \leq$

1) により構成されていてもよい。バリア層15は、例えば、不純物が添加されていないアンドープの $u-A_{(1-x_2-y_2)}In_{x_2}Ga_{y_2}N$ で構成されてもよい。このような場合、バリア層15は、チャネル層13におけるキャリアの不純物散乱を抑制することができ、キャリアの移動度をより高めることができる。

[0030] 2次元電子ガス層2DEGのキャリア密度は、例えば、バリア層15からチャネル層13までの各層のバンドギャッププロファイルによって制御することができる。2次元電子ガス層2DEGのキャリア密度を決める1つの因子として、バリア層15のコンダクションバンドミニマムの高さがある。

[0031] 例えば、各層のAl組成が高くなるほど各層の分極が大きくなる。このため、コンダクションバンドミニマムの傾きが大きくなる。また、各層の厚みが厚くなるほど、コンダクションバンドミニマムの高さが高くなる。したがって、バリア層15からチャネル層13までの各層の厚みおよび組成を適切に制御し、バリア層15のコンダクションバンドミニマムの高さを制御することで、2次元電子ガス層2DEGのキャリア密度を高めることができる。

[0032] 例えば、バリア層15は、スペーサ層14を構成する $A_{x_1}In_{y_1}Ga_{(1-x_1-y_1)}N$ よりもAl組成の割合が高い $A_{x_2}In_{(1-x_2)}N$ で構成されている。即ち、バリア層15は、スペーサ層14に対して $x_1 < x_2$ となるような窒化物半導体で構成されることで、より大きな分極を得ることができる。これにより、2次元電子ガス層2DEGのキャリア濃度をより高めることができる。バリア層15は、例えば、AlInNのような3元系の窒化物半導体で構成される。この他、バリア層15は、例えば、AlNのような2元系の窒化物半導体、AlGaNのような3元系の窒化物半導体またはAlInGaNのような4元系の窒化物半導体で構成されてもよい。バリア層15がAlInGaNからなる場合、バンドギャップや歪量に対し一定の設計マージンを得ることができる。更に、バリア層15がGaを含むことにより、バリア層15の単結晶性が向上する。

[0033] 本実施の形態では、バリア層15は、上記のように、例えば、第1層15

A、ダメージ防止層15Bおよび第2層15Cがこの順に積層された3層構造を有する。第1層15A、ダメージ防止層15Bおよび第2層15Cは、連続した結晶成長によって形成することができる。

[0034] ダメージ防止層15Bは、本開示の実施の形態における「中間層」の一具体例に相当するものである。ダメージ防止層15Bは、例えば、ドライエッチングによりゲート電極Gとドレイン電極Dとの間に凹部Hを形成する際のエッチングストッパ層として機能するものであり、第1層15Aおよび第2層15Cよりもエッチングレートが低い化合物半導体で構成されている。例えば、ダメージ防止層15Bは、Alを含み、そのAlの組成は、バリア層15を構成する他の層（第1層15Aおよび第2層15C）よりも低い。また、ダメージ防止層15Bは、Inを含み、そのInの組成は、バリア層15を構成する他の層（第1層15Aおよび第2層15C）よりも高い。

[0035] 具体的には、バリア層15を構成する他の層（第1層15Aおよび第2層15C）が $\text{Al}_{x2}\text{In}_{(1-x2)}\text{N}$ ($0 < x2 < 1$) で構成されている場合、ダメージ防止層15Bは、 $\text{Al}_{z2}\text{In}_{(1-z2)}\text{N}$ ($0 < z2 < 1$) で構成される。ここで、Alの組成は、 $x2 > z2$ を満たす。また、バリア層15を構成する他の層（第1層15Aおよび第2層15C）が $\text{Al}_{x2}\text{In}_{(1-x2)}\text{N}$ ($0 < x2 < 1$) で構成されている場合、ダメージ防止層15Bは、 $\text{In}_{w2}\text{Ga}_{(1-w2)}\text{N}$ ($0 < w2 < 1$) で構成される。ここで、Alの組成は、 $1 - x2 > w2$ を満たす。あるいは、バリア層15を構成する他の層（第1層15Aおよび第2層15C）が $\text{Al}_{(1-x2-y2)}\text{In}_{x2}\text{Ga}_{y2}\text{N}$ ($0 \leq x2 < 1$, $0 \leq y2 < 1$, $x2 + y2 \leq 1$) により構成されている場合、ダメージ防止層15Bは、 $\text{Al}_{(1-z2-w2)}\text{In}_{z2}\text{Ga}_{w2}\text{N}$ ($0 \leq z2 < 1$, $0 \leq w2 < 1$, $z2 + w2 \leq 1$) により構成される。ここで、Alの組成は、 $1 - x2 - y2 > 1 - z2 - w2$ を満たし、Inの組成は、 $x2 < z2$ を満たす。

[0036] バリア層15には、図1に示したように、ゲート電極Gとドレイン電極Dとの間に、バリア層15の面15S2側から第2層15Cを貫通し、ダメージ防止層15Bまで達する凹部Hが設けられている。詳細は後述するが、凹

部Hの底面にはダメージ防止層15Bが露出しており、凹部Hの底面に露出するダメージ防止層15Bの厚みは、第2層15Cによって覆われたダメージ防止層15Bの厚みより薄くなっている。このように、バリア層15の一部が除去され、バリア層15の厚みが削減された領域Xにおける2次元電子ガス層2DEGの電子ガスは、その他の領域の電子ガス濃度よりも低くなる。

[0037] 本実施の形態では、凹部Hは、ゲート電極Gとドレイン電極Dとの間に形成されている。ゲート電極Gとドレイン電極Dとの間における凹部Hの位置は、例えば、ゲート電極G寄りに設けられていることが好ましい。これにより、ドレイン電極Dが積層されたコンタクト層16と2次元電子ガス層2DEGとの接触抵抗が高くなることによるデバイス特性の劣化を抑えることができる。具体的には、凹部Hのゲート電極G側の端部は、ゲート電極Gの側面と一致（面一）、または、図1に示したように、ゲート電極Gの側面よりもドレイン電極D側に設けられていることが好ましい。凹部Hのドレイン電極D側の端部は、ドレイン電極Dの側面よりもゲート電極G側に設けられていることが好ましく、ドレイン電極Dの近傍ではバリア層15は十分な厚みを有する（例えば、第1層15A、ダメージ防止層15Bおよび第2層15Cの3層が積層されている）ことが好ましい。換言すると、ドレイン電極Dと凹部Hの端部までの距離I2は、ゲート電極Gと凹部Hの端部までの距離I1よりも大きいことが好ましい。

[0038] 図2は、ソース電極Sとドレイン電極Dとの間の電子ガス濃度の変化を表したものである。ソース電極Sとドレイン電極Dとの間においてバリア層15が一定の膜厚T1を有する場合、ソース電極Sとドレイン電極Dとの間における2次元電子ガス層2DEGの電子ガス濃度N_{s1}は略一定の濃度を有する。一方、例えば、ゲート電極Gとドレイン電極Dとの間に凹部Hが形成され、バリア層15の膜厚がT2に削減された場合、ゲート電極Gとソース電極Sとの間L_{gs}からゲート電極Gの直下まで（L_{gs} - G直下）は、バリア層15が一定の膜厚T1の場合と同様に2次元電子ガス層2DEGの電

子ガス濃度 N_{s1} であるのに対して、ゲート電極 G とドレイン電極 D との間 L_{gd} における 2 次元電子ガス層 2 DE G の電子ガス濃度 N_{s2} は低下する ($N_{s1} > N_{s2}$)。更に、詳細は後述するが、ダメージ防止層 15 B を形成せずにドライエッチングによって凹部 H を形成し、バリア層の膜厚が T_2' ($T_2 > T_2'$) に削減された場合のゲート電極 G とドレイン電極 D との間 L_{gd} における 2 次元電子ガス層 2 DE G の電子ガス濃度 N_{s2}' はさらに低下する ($N_{s2} > N_{s2}'$)。

[0039] 図 3 は、ゲート電極 G とソース電極 S との間 L_{gs} のバリア層 15 の膜厚 (T_1) とゲート電極 G とドレイン電極 D との間のバリア層 15 の膜厚 (T_2) との比 (T_2 / T_1) と、ゲート電極 G とドレイン電極 D との間の寄生容量との関係を表したものである。ゲート電極 G とドレイン電極 D との間 L_{gd} のバリア層 15 の膜厚を削減することにより、ゲート電極 G とドレイン電極 D との間 L_{gd} (正確には、凹部 H に対応する領域 X) の寄生容量 C_{gd} が低減される。

[0040] 図 4 は、電子ガス濃度と閾値電圧との関係を表す特性図である。半導体デバイス 1 を搭載した回路を駆動するためには、例えば、順方向へ $+1\text{ V} \sim +3\text{ V}$ 程度の範囲で電圧を印加する。一方で、順方向電圧の上限も存在する。順方向電圧の上限は以下のように決まる。例えば、本実施の形態の半導体デバイス 1 のようにショットキー型のトランジスタでは、リーク電流の増加によって決まる。また、後述する M I S (Metal Insulated Semiconductor) 型のトランジスタ (例えば、半導体デバイス 2、図 8 参照) では、順方向耐圧の限界によって決まる。そのため、駆動の開始点となる閾値電圧 (V_{th}) がある値 (例えば、約 -1.25 V) を超えて浅くなる (+ 側へ近づく) と回路として駆動できる範囲が狭くなり、特性が発揮できなくなる。以上のことから、ショットキー型の半導体デバイス 1 の電子ガス濃度の下限は、 $5.0 \times 10^{12} [\text{cm}^{-2}]$ となる。したがって、半導体デバイス 1 における領域 X における 2 次元電子ガス層 2 DE G の電子ガス濃度 N_{s2} は、 $5.0 \times 10^{12} [\text{cm}^{-2}]$ 以上であることが望ましい。また、M I S 型の半導体デバイ

ス2の電子ガス濃度の下限は、 $7.0 \times 10^{12} [\text{cm}^{-2}]$ となる。したがって、半導体デバイス2における領域Xにおける2次元電子ガス層2DEGの電子ガス濃度 N_{s1} は、 $7.0 \times 10^{12} [\text{cm}^{-2}]$ 以上であることが望ましい。

[0041] ゲート電極Gとソース電極Sとの間 L_{gs} や凹部H外側のゲート電極Gとドレイン電極Dとの間 L_{gd} のバリア層15の厚みは、例えば、3nm以上10nm以下であることが好ましい。このような場合、バリア層15は、半導体デバイス1のバンドギャッププロファイルをより適切に制御することができる。このため、チャネル層13に生じる2次元電子ガス層2DEGのキャリア密度をより高めることができる。凹部H内におけるバリア層15の厚みは、1nm以上5nm以下であることが好ましい。ダメージ防止層15Bの厚みは、少なくとも1原子層以上であればよく、第1層15Aの厚みを t_1 、第2層15Cの厚みを t_2 としたとき、第1層15Aの厚みと第2層15Cの厚みとの比(t_1/t_2)は、 $0.025 < t_1/t_2 < 1.0$ であることが好ましい。このことから、第1層15Aの厚みは、例えば、0.25nm以上5nm未満であることが好ましい。第2層15Cの厚みは、例えば、0.5nm以上10nm未満であることが好ましい。

[0042] コンタクト層16は、ゲート電極Gを間にして配置されるソース電極Sとドレイン電極Dとの間の電流経路の一部を構成するものである。コンタクト層16は、図1に示したように、ゲート電極Gを間にして配置されるソース電極Sおよびドレイン電極Dのそれぞれの下方に設けられ、それぞれ、2次元電子ガス層2DEGと電氣的に接続されている。

[0043] コンタクト層16は、チャネル層13と同じように、エピタキシャル成長された窒化物半導体である、例えば、GaNにより構成される。コンタクト層16は、例えば 10^{18}cm^{-3} 以上 10^{21}cm^{-3} 以下の範囲のキャリア濃度を有し、ドーパントとして例えばケイ素(Si)やゲルマニウム(Ge)を含む。コンタクト層16は、例えば有機金属気相成長(MOCVD)、分子線エピタキシー(MBE)、プラズマCVD(PECVD)またはスパッタ

リングによって形成される。

[0044] ゲート電極G、ソース電極Sおよびドレイン電極Dは、いずれも導電性材料により構成される。ゲート電極G、ソース電極Sおよびドレイン電極Dは、いずれも半導体層の上に設けられている。ゲート電極Gは、ソース電極Sとドレイン電極Dとの間に配置される。ゲート電極Gは、絶縁膜を介さずにバリア層15を構成する窒化物半導体と接触することでショットキー接合を形成する、ショットキーゲートである。ゲート電極Gは、例えば、Ni（ニッケル）層とAu（金）層とが順に積層された2層構造を有する。ソース電極Sおよびドレイン電極Dは、上記のように、ゲート電極Gを間に基板11の面内方向（XY平面方向）に対向配置された一对のコンタクト層16上にそれぞれ設けられている。ソース電極Sおよびドレイン電極Dは、Ti（チタン）層、Al（アルミニウム）層、Ni（ニッケル）層およびAu（金）層を順次積層した構造を有する。

[0045] 絶縁膜Zは、絶縁性材料にて構成される。絶縁膜Zは、バリア層15上のうち、ゲート電極G、ソース電極Sおよびドレイン電極Dのいずれにも覆われていない領域を覆うように設けられている。絶縁膜Zは、例えば、 Al_2O_3 （酸化アルミニウム）、 SiO_2 （二酸化珪素）、 Si_3N_4 （窒化珪素）または HfO_2 （酸化ハフニウム）等を構成材料としている。絶縁膜Zは、上述の構成材料からなる単層膜であってもよいし、上述の構成材料からなる層が複数積層された多層膜であってもよい。

[0046] [1-2. 半導体デバイスの製造方法]

次に、図5A～図5Eを参照して、本実施の形態に係る半導体デバイス1の製造方法の一例について説明する。図5A～図5Eは、半導体デバイス1の製造方法の各工程を示した断面模式図である。

[0047] まず、図5Aに示したように、例えば、基板11の上に、バッファ層12、チャンネル層13、スペーサ層14、第1層15A、ダメージ防止層15Bおよび第2層15Cを順次エピタキシャル成長させる。なお、基板11は、Si基板、サファイア基板、SiC基板、GaN基板、AlN基板、GaA

s基板、ZnO基板またはScAlMgO基板等を用いることができるが、以下ではSi基板を用いた場合を例示して説明を行う。

[0048] 例えば、まず、(111)面を主面とするSi基板をMOCVD (metal organic chemical vapor deposition) 装置に導入し、1000℃で10分程度のサーマルクリーニングを行う。そののち、AlNを700℃～1100℃程度で100nm～300nm程度の厚さとなるようエピタキシャル成長させることで、バッファ層12を形成する。

[0049] 次に、バッファ層12の上に、例えばGaNを900℃～1100℃程度で500nm～2000nmの厚さとなるようエピタキシャル成長させることで、チャネル層13を形成する。

[0050] 続いて、チャネル層13の上に、例えばAlNを900℃～1100℃で0.5nm～1.5nm程度の厚さとなるようエピタキシャル成長させることで、スペーサ層14を形成する。

[0051] 次に、スペーサ層14の上に、例えばAlInNを700℃～900℃で1nm～10nm程度エピタキシャル成長させることで、第1層15Aを形成する。次に、第1層15A上に、例えばAlInNを第1層15Aよりも低い成長温度で1原子層程度エピタキシャル成長させることで、ダメージ防止層15Bを形成する。その後、ダメージ防止層15B上に、例えばAlInNを700℃～900℃で1nm～10nm程度エピタキシャル成長させることで、第2層15Cを形成する。

[0052] 次に、図5Bに示したように、バリア層15上にレジストを塗布し、フォトリソグラフィおよびエッチング技術により所定の位置に開口を有するレジスト膜21を形成する。続いて、例えば、誘導結合プラズマエッチング (ICP-RIE) 等のドライエッチングを用いて開口内に露出したバリア層15の第2層15Cを除去し凹部Hを形成する。このとき、第2層15Cとダメージ防止層15Bとの素子絵が異なることにより、ドライエッチング中の反応生成物の気化、脱離速度に差が生まれるため、エッチング速度も異なる。これを利用し、繰り返し精度よくダメージ防止層15Bが露出した時点で

エッチングを停止させることができる。これにより、ダメージ防止層 15 B の下層側にあるバリア層 15（第 1 層 15 A）にエッチングダメージが入ることを最小限に抑制することができる。

[0053] なお、ダメージ防止層 15 B が露出するようにエッチングを停止させたとき、エッチング量は少ないがオーバーエッチングによって、例えば図 6 に示したように、ダメージ防止層 15 B も薄膜化される。よって、凹部 H の底面に露出したダメージ防止層 15 B の厚みと凹部 H 以外のダメージ防止層 15 B の厚みとの間に差が生まれ、段差が形成される。なお、第 2 層 15 C およびダメージ防止層 15 B に用いる化合物半導体次第で、ドライエッチング条件（例えば、圧力、ステージ温度またはバイアス）を最適化させる。

[0054] 次に、図 5 C に示したように、レジスト膜 21 を剥離した後、例えば、化学気相成長（CVD）法や原子層堆積（ALD）法を用いてバリア層 15 上に絶縁膜 Z を成膜する。

[0055] 続いて、図 5 D に示したように、絶縁膜 Z 上にレジストを塗布し、フォトリソグラフィおよびエッチング技術により所定の位置に開口を有するレジスト膜 22 を形成する。続いて、例えば、反応性イオンエッチング（RIE）等のドライエッチングを用いて開口内に露出した絶縁膜 Z を除去し開口 GH を形成する。

[0056] 次に、図 5 E に示したように、レジスト膜 22 を剥離した後、開口 GH を覆うように絶縁膜 Z 上に、例えば Ni / Au を順次成膜し、フォトリソグラフィおよびミリングによりゲート電極 G を形成する。これにより、ゲート電極 G は開口 GH を介してバリア層 15 と電氣的に接続される。

[0057] その後、ゲート電極 G と同様にして、フォトリソグラフィおよびエッチング技術より、ソース電極 S およびドレイン電極 D の形成位置の絶縁膜 Z を除去した後、全面にオーミック電極材料として、例えば Au / Ge 合金 / Ni / Au を順次成膜した後、リフトオフ法およびその後の合金化プロセスを経てソース電極 S およびドレイン電極 D を形成する。なお、ソース電極 S およびドレイン電極 D のコンタクト抵抗を下げるために、ソース電極 S およびド

レイン電極Dのそれぞれの下方にコンタクト層16を形成するようにしてもよい。

[0058] 以上の工程により、図1に示した半導体デバイス1を形成することができる。

[0059] [1-3. 作用・効果]

近年、窒化物半導体を用いたHEMTの研究開発が盛んに行われている。窒化物半導体は、SiおよびGaAs等と比較して、より大きなバンドギャップを有し、且つ六方晶に特有な分極を有する。したがって、窒化物半導体を用いたHEMTは、高耐圧、高耐熱、高飽和電子速度、高チャネル電子濃度といった特徴を有し、小型且つ高性能なパワーデバイスや高周波デバイスへの適用可能なトランジスタとして開発が進められている。

[0060] ところで、第5世代移動通信システム(5G)や第6世代移動通信システム(6G)といった次世代移動通信システムにおいては、データレートの向上のため、ミリ波帯の信号の使用が想定される。空間減衰が大きなミリ波帯域では、高いパワーの出力が求められるため、高周波および高効率を両立するパワーアンプの開発が求められている。同時に、消費電力が大きな送信用パワーアンプモジュールは、携帯電話の低消費電力化の流れから、その性能向上(高利得、高電力付加効率)が求められている。特に、近年、移動体通信のシステム高度化により、高い利得特性を持ったデバイスの開発が望まれている。これにより、モジュール内で使用される増幅用トランジスタにも高い利得特性が望まれている。

[0061] これらの要求を実現するために、GaN系材料からなる半導体デバイスが、GaAs系材料からなる半導体デバイスに代わる高出力且つ高周波な半導体デバイスとして期待されている。

[0062] GaN系材料からなるHEMT(以下、GaN-HEMTと称す)において利得特性を向上させるためには、一般にソース寄生抵抗 R_s を低減させるか、ゲート抵抗 R_g を低減させるか、あるいは、ゲート/ドレイン間の寄生容量 C_{gd} を低減させることが有効でなるといわれている。特に、ゲート/ド

レイン間の寄生容量 D_{dg} の低減による効果が大きい。

[0063] ゲート／ドレイン間の寄生容量 C_{gd} を低減させるためには、まず、ゲート電極とドレイン電極との間の距離を増やすことが考えられるが、デバイス自体のサイズが大きくなってしまったためにICチップ面積の増加を招き、デバイスの小型化を考えた場合の大きな障害となってしまう。

[0064] その他の手法として、ゲート電極とドレイン電極との間のみ2次元電子ガス層2DEGの電子ガス濃度を低減することが考えられ、例えば、図7に示した半導体デバイス100のように、ゲート電極Gとドレイン電極Dとの間のバリア層115をエッチングにより薄くすることが考えられる。しかしながら、GaN系の材料はウェットエッチングに対して耐性が高い。このため、バリア層115の薄膜化にはICP-RIEといったドライエッチングが用いられるが、ドライエッチングがバリア層115にダメージを与え、リークパスの増加や信頼性の低下、さらには、2次元電子ガス層2DEGの電子ガス濃度の極低下（例えば、図2に示した電子ガス濃度 N_s2' ）を引き起こすという課題がある。

[0065] これに対して、本実施の形態の半導体デバイス1では、バリア層15の層内にバリア層15よりもエッチングレートが低いダメージ防止層15Bを設けるようにした。これにより、ゲート電極Gとドレイン電極Dとの間のバリア層15をドライエッチングにより薄膜化する際にバリア層15へのダメージを防ぎつつ、ゲート電極Gとドレイン電極Dとの間の2次元電子ガス層2DEGの電子ガス濃度をゲート電極とソース電極との間の電子ガス濃度よりも低くすることができる。

[0066] 以上により、本実施の形態の半導体デバイス1によれば、ソース電極Sの寄生抵抗 R_s を増やすことなく、ゲート電極Gとドレイン電極Dとの間の寄生容量 C_{gd} を低減することができるため、利得特性といったデバイス特性を向上させることが可能となる。

[0067] 次に、本開示の変形例1，2および適用例について説明する。なお、上記実施の形態の半導体デバイスに対応する構成要素には同一の符号を付して説

明を省略する。

[0068] < 2. 変形例 >

(2 - 1. 変形例 1)

図 8 は、本開示の変形例 1 に係る半導体デバイス（半導体デバイス 2）の断面構成の一例を模式的に表したものである。

[0069] 上記実施の形態では、ゲート電極 G が絶縁膜を介さずにバリア層 15 と接触するショットキー接合型の半導体デバイス 1 を挙げて本技術を説明したが、本技術は、ショットキー接合型の半導体デバイスに限定されるものではない。本変形例の半導体デバイス 2 は、バリア層 15 上に絶縁膜 Z を介してゲート電極 G が配設された絶縁ゲート構造（MIS 型）を採用したものである。

[0070] 半導体デバイス 2 は、基板 11 と、バッファ層 12 と、チャネル層 13 と、スペーサ層 14 と、バリア層 15 と、絶縁膜 Z とがこの順に積層された積層構造を有する。半導体デバイス 2 は、さらに、絶縁膜 Z を介してバリア層 15 上に設けられたゲート電極 G と、ゲート電極 G を間に基板 11 の面内方向（XY 平面方向）に対向配置された一对のコンタクト層 16 と、コンタクト層 16 上に設けられたソース電極 S およびドレイン電極 D とを有する。

[0071] バリア層 15 は、上記実施の形態と同様に、層内にバリア層 15 よりもエッチングレートが低いダメージ防止層 15B を有する。具体的には、バリア層 15 は、第 1 層 15A、ダメージ防止層 15B および第 2 層 15C がこの順に積層された積層構造を有し、ダメージ防止層 15B は、第 1 層 15A および第 2 層 15C よりもエッチングレートが低く構成されている。バリア層 15 には、さらに、ゲート電極 G とドレイン電極 D との間に、バリア層 15 の面 15S2 側から第 2 層 15C を貫通し、ダメージ防止層 15B まで達する凹部 H が設けられている。これにより、凹部 H 下方のチャネル層 13 とスペーサ層 14 との界面の近傍に形成される 2 次元電子ガス層 2DEG を構成する電子ガス濃度は、その他の領域（例えば、ゲート電極 G とソース電極 S との間）の電子ガス濃度よりも低くなる。

[0072] このようにMIS型の半導体デバイス2においても、上記実施の形態と同様の効果を得ることができる。また、MIS型の半導体デバイス2では、GaN系HEMTの低損失化および高出力化が実現可能となる。

[0073] (2-2. 変形例2)

図9は、本開示の変形例2に係る半導体デバイス(半導体デバイス33)の断面構成の一例を模式的に表したものである。

[0074] 上記実施の形態では、チャンネル層13とバリア層15との間に単層からなるスペーサ層14を設けた例を示した。これに対して、本変形例の半導体デバイス3は、チャンネル層13とバリア層15との間に、第1スペーサ層24Aおよび第2スペーサ層24Bがこの順に積層された2層構造を有するスペーサ層24が設けられたものである。

[0075] 第1スペーサ層24Aは、チャンネル層13のバンドギャップよりも大きなバンドギャップを有する窒化物半導体で構成される。第1スペーサ層24Aは、チャンネル層13の上に設けられる。第1スペーサ層24Aは、バリア層15とチャンネル層13との間の合金散乱を低減し、その合金散乱によって2次元電子ガス層2DEGのキャリア移動度が低下することを抑制するようになっている。

[0076] 第1スペーサ層24Aは、エピタキシャル成長された $A_{1-x_4}In_{y_4}Ga_{(1-x_4-y_4)}N$ ($0 < x_4 < 1$, $0 \leq y_4 < 1$, $0 < x_4 + y_4 < 1$) により構成されている。例えば、第1スペーサ層24A1は、 AlN のような2元系の窒化物半導体で構成されてもよく、 $AlGa$ Nのような3元系の窒化物半導体または $AlInGa$ Nのような4元系の窒化物半導体で構成されてもよい。

[0077] 第2スペーサ層24Bは、チャンネル層のバンドギャップよりも大きなバンドギャップを有し、且つ、第1スペーサ層24Aのバンドギャップよりも小さなバンドギャップを有する窒化物半導体で構成される。第2スペーサ層24Bは、第1スペーサ層24A上に設けられる。第2スペーサ層24Bは、キャリアを捕獲する領域を形成している。これにより、駆動時のストレスに

より発生する2次元電子ガス層2DEGからゲート電極G側へ遷移するキャリア（ここでは電子）が第2スペーサ層24Bのエネルギーポテンシャル領域に捕獲（トラップ）される。ストレスには、電圧印加ストレスや高温印加ストレスが含まれている。

[0078] 第2スペーサ層24Bは、例えば、チャネル層13がGaNで構成されている場合には、第2スペーサ層24Bは、Al, GaおよびInを含む窒化物半導体で構成することができる。第2スペーサ層24Bは、エピタキシャル成長された $\text{Al}_{x5}\text{In}_{y5}\text{Ga}_{(1-x5-y5)}\text{N}$ ($0 < x5 < 1$, $0 < y5 < 1$, $0 < x5 + y5 \leq 1$) により構成されている。例えば、第2スペーサ層24Bは、AlInGaNのような4元系の窒化物半導体で構成される。ここで、第1スペーサ層24Aと第2スペーサ層24Bとは、 $x4 > x5$ 、 $x4 + y4 > x5 + y5$ を満たすように構成される。

[0079] スペーサ層24の厚みは、例えば、0.26nm以上3.0nm以下であることが好ましく、0.5nm以上1.5nm以下であることが特に好ましい。スペーサ層24の厚みが0.26nm以上である場合、スペーサ層24は、合金散乱を抑制する効果がより期待できる。一方、スペーサ層24の厚みが3.0nm以下である場合、スペーサ層24は、半導体デバイス1のバンドギャッププロファイルをより適切に制御することができる。このため、チャネル層13に生じる2次元電子ガス層2DEGのキャリア密度をより高めることができる。

[0080] スペーサ層24の厚みは、例えば、0.5nm以上5nm以下であることが好ましく、0.3nm以上3nm以下であることが特に好ましい。第1スペーサ層24Aは、第2スペーサ層24Bよりも厚く、例えば、0.5nm以上であることが好ましい。これにより、スペーサ層24は、合金散乱を抑制する効果がより期待できる。第2スペーサ層24Bの厚みは、例えば、0.8nm以上であることが好ましい。これにより、駆動時のストレスにより発生する2次元電子ガス層2DEGからゲート電極G側へ遷移するキャリアを捕獲することができる。

[0081] このよう構成においても、上記実施の形態と同様の効果を得ることができる。

[0082] また、本変形例では、スペーサ層 24 を第 1 スペーサ層 24 A および第 2 スペーサ層 24 B がこの順に積層された 2 層構造とし、合金散乱を抑制する第 1 スペーサ層 24 A 上に、駆動時のストレスにより発生する 2 次元電子ガス層 2 D E G からゲート電極 G 側へ遷移するキャリアを捕獲する第 2 スペーサ層を設けるようにした。これにより、バリア層 15 や絶縁膜 Z においてキャリアが捕獲される前にキャリアが捕獲されるようになる。よって、半導体デバイス 3 の閾値電圧の変動を低減することが可能となる。

[0083] < 3. 適用例 >

(3-1. 半導体モジュール)

続いて、図 10 を参照して、本開示に係る技術の第 1 の適用例である半導体モジュールについて説明する。図 10 は、半導体モジュール 1000 の構成を示す模式的な斜視図である。

[0084] 図 10 に示したように、半導体モジュール 1000 は、例えば、エッジアンテナ 1020 と、複数のフロントエンド部品とが 1 つのチップ 1050 の上にモジュールとして実装されたアンテナ一体型モジュールである。エッジアンテナ 1020 は、例えば、チップ 1050 の上にアレイ状に複数形成されている。フロントエンド部品は、例えばスイッチ 1010、低ノイズアンプ 1041、バンドパスフィルタ 1042、およびパワーアンプ 1043 等である。半導体モジュール 1000 は、例えば、無線通信用のトランシーバとして用いられ得る。

[0085] 半導体モジュール 1000 は、例えば、スイッチ 1010、低ノイズアンプ 1041、またはパワーアンプ 1043 等を構成するトランジスタとして上記実施の形態等の半導体デバイス（例えば、半導体デバイス 1）を含む。例えば、より高い周波数帯域の電波を使用する第 5 世代移動体通信（5G）では、電波の伝搬損失がより大きくなってしまふ。そのため、5G に対応した半導体モジュール 1000 では、より高い電力で電波を送信することが望

まれる。半導体デバイス 1 を含む半導体モジュール 1000 は、デバイス特性を向上させることができるため、高出力、低消費電力、および高信頼性の無線通信を行うことが可能である。すなわち、半導体モジュール 1000 は、第 5 世代移動体通信（5G）に対してより好適に用いることが可能である。

[0086] （3-2. 無線通信装置）

次に、図 11 を参照して、本開示に係る技術の第 2 の適用例である無線通信装置について説明する。図 11 は、無線通信装置 2000 の構成を示すブロック図である。

[0087] 図 11 に示したように、無線通信装置 2000 は、アンテナ ANT と、アンテナスイッチ回路 2003 と、高電力増幅器 HPA と、高周波集積回路 RFIC（Radio Frequency Integrated Circuit）と、ベースバンド部 BB と、音声出力部 MIC と、データ出力部 DT と、インタフェース部 I/F（例えば、無線 LAN（Wireless Local Area Network：W-LAN）または Bluetooth（登録商標）等）とを備える。無線通信装置 2000 は、例えば、音声、データ通信および LAN 接続等の多機能を有する携帯電話システムである。

[0088] 無線通信装置 2000 では、送信時に、ベースバンド部 BB から高周波集積回路 RFIC、高電力増幅器 HPA およびアンテナスイッチ回路 2003 を介してアンテナ ANT に送信信号が出力される。また、無線通信装置 2000 では、受信時に、アンテナ ANT からアンテナスイッチ回路 2003 および高周波集積回路 RFIC を介してベースバンド部 BB に受信信号が入力される。ベースバンド部 BB にて処理された受信信号は、例えば、音声出力部 MIC、データ出力部 DT、またはインタフェース部 I/F から無線通信装置 2000 の外部に出力される。

[0089] 無線通信装置 2000 は、アンテナスイッチ回路 2003、高電力増幅器 HPA、高周波集積回路 RFIC またはベースバンド部 BB 等を構成するト

ランジスタとして上記実施の形態等の半導体デバイス（例えば、半導体デバイス１）を含む。これによれば、無線通信装置２０００は、デバイス特性をより向上させることができるため、高出力、低消費電力および高信頼性の無線通信を行うことが可能である。

[0090] 以上、実施の形態、変形例１，２および適用例を挙げて、本開示にかかる技術を説明した。ただし、本開示にかかる技術は、上記実施の形態等に限定されるわけではなく、種々の変形が可能である。例えば、上記実施の形態等では、半導体デバイス（例えば、半導体デバイス１）を構成する各層に窒化物半導体を用いてヘテロ接合型のデバイスを例に本技術を説明したが、本技術は、他の化合物半導体を用いたデバイスにも適用することができる。

[0091] 更に、実施形態で説明した構成および動作の全てが本開示の構成および動作として必須であるとは限らない。たとえば、各実施形態における構成要素のうち、本開示の最上位概念を示す独立請求項に記載されていない構成要素は、任意の構成要素として理解されるべきである。

[0092] 本明細書および添付の特許請求の範囲全体で使用される用語は、「限定的でない」用語と解釈されるべきである。例えば、「含む」または「含まれる」という用語は、「含まれるとして記載された状態に限定されない」と解釈されるべきである。「有する」という用語は、「有するとして記載された状態に限定されない」と解釈されるべきである。

[0093] 本明細書で使用した用語には、単に説明の便宜のために用いており、構成および動作を限定する目的で使用したわけではない用語が含まれる。たとえば、「右」、「左」、「上」、「下」等の用語は、参照している図面上での方向を示しているにすぎない。また、「内側」、「外側」という用語は、それぞれ、注目要素の中心に向かう方向、注目要素の中心から離れる方向を示しているにすぎない。これらに類似する用語や同様の趣旨の用語についても同様である。

[0094] なお、本明細書中に記載された効果はあくまで例示であって限定されるものではなく、また、他の効果があってもよい。

[0095] なお、本技術は以下のような構成を取ることも可能である。以下の構成の本技術によれば、ゲート電極とドレイン電極との間の電子ガス濃度がゲート電極とソース電極との間の電子ガス濃度よりも低くなる。これにより、障壁層へダメージを与えることなく、ゲート電極とドレイン電極との間の寄生容量を低減する。よって、デバイス特性を向上させることが可能となる。

(1)

基板と、

前記基板の一の面側に設けられた第1の窒化物半導体を含むチャネル層と

、

前記チャネル層の前記基板とは反対側に設けられ、前記チャネル層と対向する第1の面および前記第1の面とは反対側の第2の面を有すると共に、前記第1の窒化物半導体よりもバンドギャップの大きな第2の窒化物半導体を含む障壁層と、

前記障壁層内に設けられ、前記障壁層よりもエッチングレートが低い半導体材料を含む中間層と、

前記障壁層の前記第2の面側に設けられたゲート電極と、

前記ゲート電極を間にして前記障壁層の前記第2の面側に設けられたドレイン電極およびソース電極と、

前記ゲート電極と前記ドレイン電極との間に設けられ、前記障壁層の前記第2の面側から前記中間層まで達する凹部と

を備えた半導体デバイス。

(2)

前記中間層は、前記凹部の底部において露出しており、

前記凹部の底部に露出した前記中間層の膜厚は、前記障壁層に覆われた前記中間層の膜厚よりも薄い、前記(1)に記載の半導体デバイス。

(3)

前記中間層は、1原子層以上の膜厚を有する、前記(1)または(2)に記載の半導体デバイス。

(4)

前記ゲート電極と前記ドレイン電極との間の、前記凹部に直下の前記障壁層の膜厚を第1の膜厚、前記ゲート電極と前記ソース電極との間の前記障壁層の膜厚を第2の膜厚としたとき、前記第1の膜厚と前記第2の膜厚との比は、 $0.025 < \text{第1の膜厚} / \text{第2の膜厚} < 1.0$ の関係を満たす、前記(1)乃至(3)のうちのいずれか1つに記載の半導体デバイス。

(5)

前記凹部は、前記ゲート電極寄りに設けられている、前記(1)乃至(4)のうちのいずれか1つに記載の半導体デバイス。

(6)

前記凹部の前記ゲート電極側の第1の端部は、前記ゲート電極の側面と一致または前記ゲート電極の側面よりも前記ドレイン電極側に設けられ、

前記凹部の前記ドレイン電極側の第2の端部は、前記ドレイン電極の側面よりも前記ゲート電極側に設けられている、前記(1)乃至(5)のうちのいずれか1つに記載の半導体デバイス。

(7)

前記ドレイン電極と前記凹部の前記第2の端部との距離は、前記ゲート電極と前記凹部の第1の端部との距離よりも大きい、前記(6)に記載の半導体デバイス。

(8)

前記障壁層および前記中間層はそれぞれアルミニウムを含み、

前記中間層のアルミニウムの組成は、前記障壁層のアルミニウムの組成よりも低い、前記(1)乃至(7)のうちのいずれか1つに記載の半導体デバイス。

(9)

前記障壁層および前記中間層はそれぞれインジウムを含み、

前記中間層のインジウムの組成は、前記障壁層のインジウムの組成よりも高い、前記(1)乃至(8)のうちのいずれか1つに記載の半導体デバイス

。

(10)

前記チャネル層と前記障壁層との間にスペーサ層をさらに有する、前記(1)乃至(9)のうちのいずれか1つに記載の半導体デバイス。

(11)

前記スペーサ層は、前記チャネル層側から順に積層された第1のスペーサ層および第2のスペーサ層を含み、

前記第1のスペーサ層の厚みは、前記第2のスペーサ層の厚みよりも大きい、前記(10)に記載の半導体デバイス。

(12)

前記チャネル層は、Ga₂N(窒化ガリウム)を含む、前記(1)乃至(11)のうちのいずれか1つに記載の半導体デバイス。

(13)

前記基板は、Si(珪素)、サファイア、SiC(炭化珪素)、Ga₂N(窒化ガリウム)およびAlN(窒化アルミニウム)のうちの少なくとも1種を含む、前記(1)乃至(12)のうちのいずれか1つに記載の半導体デバイス。

(14)

基板と、

前記基板の一の面側に設けられた第1の窒化物半導体を含むチャネル層と、

前記チャネル層の前記基板とは反対側に設けられ、前記チャネル層と対向する第1の面および前記第1の面とは反対側の第2の面を有すると共に、前記第1の窒化物半導体よりもバンドギャップの大きな第2の窒化物半導体を含む障壁層と、

前記障壁層内に設けられ、前記障壁層よりもエッチングレートが低い半導体材料を含む中間層と、

前記障壁層の前記第2の面側に設けられたゲート電極と、

前記ゲート電極を間にして前記障壁層の前記第 2 の面側に設けられたドレイン電極およびソース電極と、

前記チャネル層と前記障壁層との界面近傍に形成され、前記ゲート電極と前記ドレイン電極との間に、前記ゲート電極との前記ソース電極との間よりも電子ガス濃度の低い低電子ガス領域を有する 2 次元電子ガス層とを備えた半導体デバイス。

(15)

前記障壁層と前記ゲート電極との間に絶縁膜をさらに有する、前記 (14) に記載の半導体デバイス。

(16)

前記ゲート電極と前記ドレイン電極との間の第 1 の電子ガス濃度と、前記ゲート電極と前記ソース電極との間の第 2 の電子ガス濃度とは、 $7.0 \times 10^{12} [\text{cm}^{-2}] \leq \text{第 1 の電子ガス濃度} < \text{第 2 の電子ガス濃度}$ の関係を有する、前記 (15) に記載の半導体デバイス。

(17)

前記障壁層上に前記ゲート電極が直接形成される、前記 (14) 乃至 (16) のうちのいずれか 1 つに記載の半導体デバイス。

(18)

前記ゲート電極と前記ドレイン電極との間の第 1 の電子ガス濃度と、前記ゲート電極と前記ソース電極との間の第 2 の電子ガス濃度とは、 $5.0 \times 10^{12} [\text{cm}^{-2}] \leq \text{第 1 の電子ガス濃度} < \text{第 2 の電子ガス濃度}$ の関係を有する、前記 (17) に記載の半導体デバイス

(19)

半導体デバイスを備え、

前記半導体デバイスは、

基板と、

前記基板の一の面側に設けられた第 1 の窒化物半導体を含むチャネル層と

、

前記チャネル層の前記基板とは反対側に設けられ、前記チャネル層と対向する第1の面および前記第1の面とは反対側の第2の面を有すると共に、前記第1の窒化物半導体よりもバンドギャップの大きな第2の窒化物半導体を含む障壁層と、

前記障壁層内に設けられ、前記障壁層よりもエッチングレートが低い半導体材料を含む中間層と、

前記障壁層の前記第2の面側に設けられたゲート電極と、

前記ゲート電極を間にして前記障壁層の前記第2の面側に設けられたドレイン電極およびソース電極と、

前記ゲート電極と前記ソース電極との間に設けられ、前記障壁層の前記第2の面側から前記中間層まで達する凹部と

を有する半導体モジュール。

(20)

半導体デバイスを備え、

前記半導体デバイスは、

基板と、

前記基板の一の面側に設けられた第1の窒化物半導体を含むチャネル層と、

前記チャネル層の前記基板とは反対側に設けられ、前記チャネル層と対向する第1の面および前記第1の面とは反対側の第2の面を有すると共に、前記第1の窒化物半導体よりもバンドギャップの大きな第2の窒化物半導体を含む障壁層と、

前記障壁層内に設けられ、前記障壁層よりもエッチングレートが低い半導体材料を含む中間層と、

前記障壁層の前記第2の面側に設けられたゲート電極と、

前記ゲート電極を間にして前記障壁層の前記第2の面側に設けられたドレイン電極およびソース電極と、

前記ゲート電極と前記ソース電極との間に設けられ、前記障壁層の前記第

2の面側から前記中間層まで達する凹部と
有する無線通信装置。

[0096] 本出願は、日本国特許庁において2023年7月20日に出願された日本特許出願番号2023-118667号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

[0097] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 基板と、
前記基板の一の面側に設けられた第1の窒化物半導体を含むチャンネル層と、
前記チャンネル層の前記基板とは反対側に設けられ、前記チャンネル層と対向する第1の面および前記第1の面とは反対側の第2の面を有すると共に、前記第1の窒化物半導体よりもバンドギャップの大きな第2の窒化物半導体を含む障壁層と、
前記障壁層内に設けられ、前記障壁層よりもエッチングレートが低い半導体材料を含む中間層と、
前記障壁層の前記第2の面側に設けられたゲート電極と、
前記ゲート電極を間にして前記障壁層の前記第2の面側に設けられたドレイン電極およびソース電極と、
前記ゲート電極と前記ドレイン電極との間に設けられ、前記障壁層の前記第2の面側から前記中間層まで達する凹部と
を備えた半導体デバイス。
- [請求項2] 前記中間層は、前記凹部の底部において露出しており、
前記凹部の底部に露出した前記中間層の膜厚は、前記障壁層に覆われた前記中間層の膜厚よりも薄い、請求項1に記載の半導体デバイス。
- [請求項3] 前記中間層は、1原子層以上の膜厚を有する、請求項1に記載の半導体デバイス。
- [請求項4] 前記ゲート電極と前記ドレイン電極との間の、前記凹部に直下の前記障壁層の膜厚を第1の膜厚、前記ゲート電極と前記ソース電極との間の前記障壁層の膜厚を第2の膜厚としたとき、前記第1の膜厚と前記第2の膜厚との比は、 $0.025 < \text{第1の膜厚} / \text{第2の膜厚} < 1.0$ の関係を満たす、請求項1に記載の半導体デバイス。
- [請求項5] 前記凹部は、前記ゲート電極寄りに設けられている、請求項1に記

載の半導体デバイス。

[請求項6] 前記凹部の前記ゲート電極側の第1の端部は、前記ゲート電極の側面と一致または前記ゲート電極の側面よりも前記ドレイン電極側に設けられ、

前記凹部の前記ドレイン電極側の第2の端部は、前記ドレイン電極の側面よりも前記ゲート電極側に設けられている、請求項1に記載の半導体デバイス。

[請求項7] 前記ドレイン電極と前記凹部の前記第2の端部との距離は、前記ゲート電極と前記凹部の第1の端部との距離よりも大きい、請求項6に記載の半導体デバイス。

[請求項8] 前記障壁層および前記中間層はそれぞれアルミニウムを含み、
前記中間層のアルミニウムの組成は、前記障壁層のアルミニウムの組成よりも低い、請求項1に記載の半導体デバイス。

[請求項9] 前記障壁層および前記中間層はそれぞれインジウムを含み、
前記中間層のインジウムの組成は、前記障壁層のインジウムの組成よりも高い、請求項1に記載の半導体デバイス。

[請求項10] 前記チャネル層と前記障壁層との間にスペーサ層をさらに有する、
請求項1に記載の半導体デバイス。

[請求項11] 前記スペーサ層は、前記チャネル層側から順に積層された第1のスペーサ層および第2のスペーサ層を含み、

前記第1のスペーサ層の厚みは、前記第2のスペーサ層の厚みよりも大きい、請求項10に記載の半導体デバイス。

[請求項12] 前記チャネル層は、GaN（窒化ガリウム）を含む、請求項1に記載の半導体デバイス。

[請求項13] 前記基板は、Si（珪素）、サファイア、SiC（炭化珪素）、GaN（窒化ガリウム）およびAlN（窒化アルミニウム）のうちの少なくとも1種を含む、請求項1に記載の半導体デバイス。

[請求項14] 基板と、

前記基板の一の面側に設けられた第1の窒化物半導体を含むチャンネル層と、

前記チャンネル層の前記基板とは反対側に設けられ、前記チャンネル層と対向する第1の面および前記第1の面とは反対側の第2の面を有すると共に、前記第1の窒化物半導体よりもバンドギャップの大きな第2の窒化物半導体を含む障壁層と、

前記障壁層内に設けられ、前記障壁層よりもエッチングレートが低い半導体材料を含む中間層と、

前記障壁層の前記第2の面側に設けられたゲート電極と、

前記ゲート電極を間にして前記障壁層の前記第2の面側に設けられたドレイン電極およびソース電極と、

前記チャンネル層と前記障壁層との界面近傍に形成され、前記ゲート電極と前記ドレイン電極との間に、前記ゲート電極との前記ソース電極との間よりも電子ガス濃度の低い低電子ガス領域を有する2次元電子ガス層と

を備えた半導体デバイス。

[請求項15] 前記障壁層と前記ゲート電極との間に絶縁膜をさらに有する、請求項14に記載の半導体デバイス。

[請求項16] 前記ゲート電極と前記ドレイン電極との間の第1の電子ガス濃度と、前記ゲート電極と前記ソース電極との間の第2の電子ガス濃度とは、 $7.0 \times 10^{12} [\text{cm}^{-2}] \leq \text{第1の電子ガス濃度} < \text{第2の電子ガス濃度}$ の関係性を有する、請求項15に記載の半導体デバイス。

[請求項17] 前記障壁層上に前記ゲート電極が直接形成される、請求項14に記載の半導体デバイス。

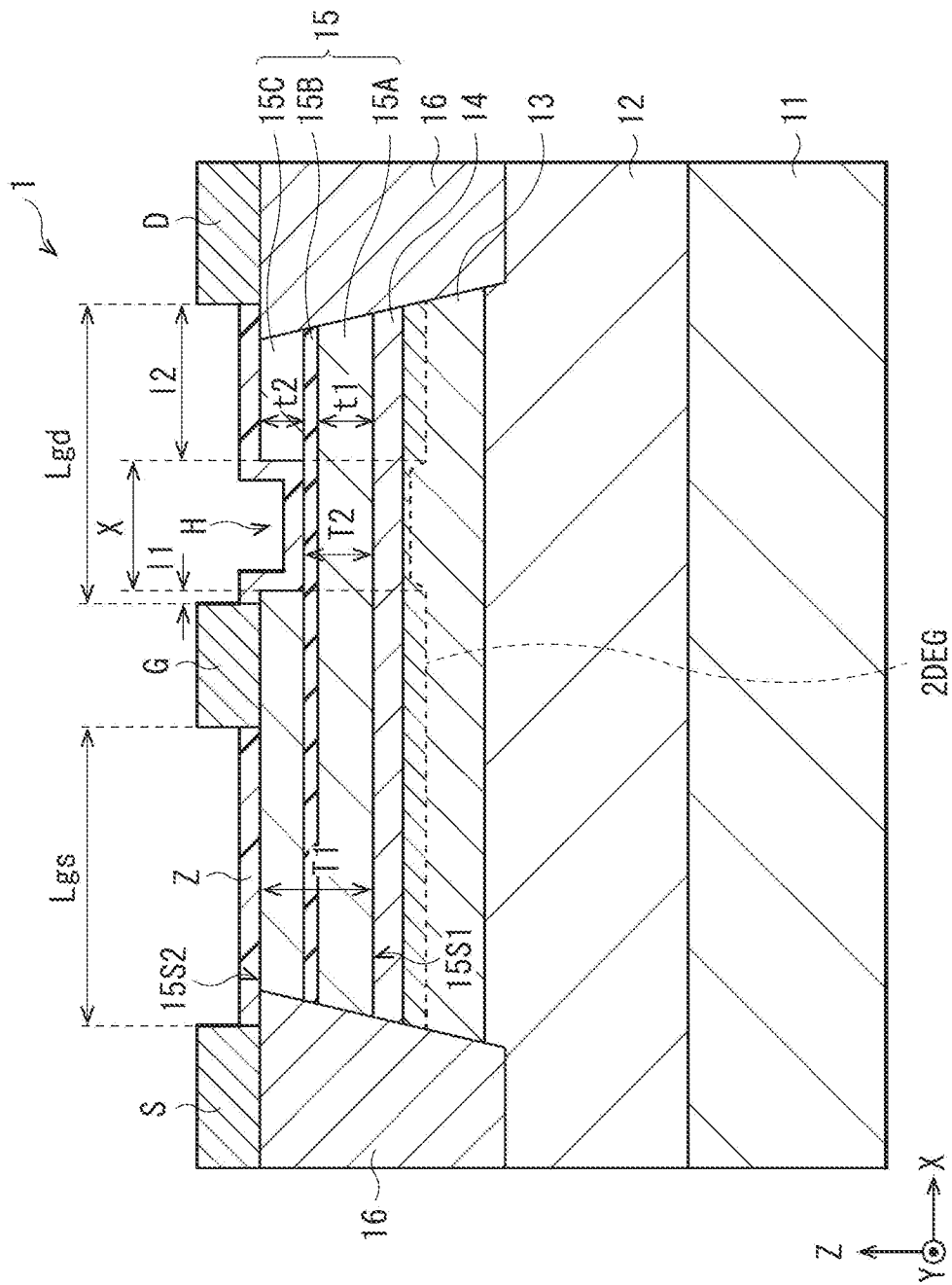
[請求項18] 前記ゲート電極と前記ドレイン電極との間の第1の電子ガス濃度と、前記ゲート電極と前記ソース電極との間の第2の電子ガス濃度とは、 $5.0 \times 10^{12} [\text{cm}^{-2}] \leq \text{第1の電子ガス濃度} < \text{第2の電子ガス濃度}$ の関係性を有する、請求項17に記載の半導体デバイス。

[請求項19] 半導体デバイスを備え、
 前記半導体デバイスは、
 基板と、
 前記基板の一の面側に設けられた第1の窒化物半導体を含むチャンネル層と、
 前記チャンネル層の前記基板とは反対側に設けられ、前記チャンネル層と対向する第1の面および前記第1の面とは反対側の第2の面を有すると共に、前記第1の窒化物半導体よりもバンドギャップの大きな第2の窒化物半導体を含む障壁層と、
 前記障壁層内に設けられ、前記障壁層よりもエッチングレートが低い半導体材料を含む中間層と、
 前記障壁層の前記第2の面側に設けられたゲート電極と、
 前記ゲート電極を間にして前記障壁層の前記第2の面側に設けられたドレイン電極およびソース電極と、
 前記ゲート電極と前記ソース電極との間に設けられ、前記障壁層の前記第2の面側から前記中間層まで達する凹部と
 を有する半導体モジュール。

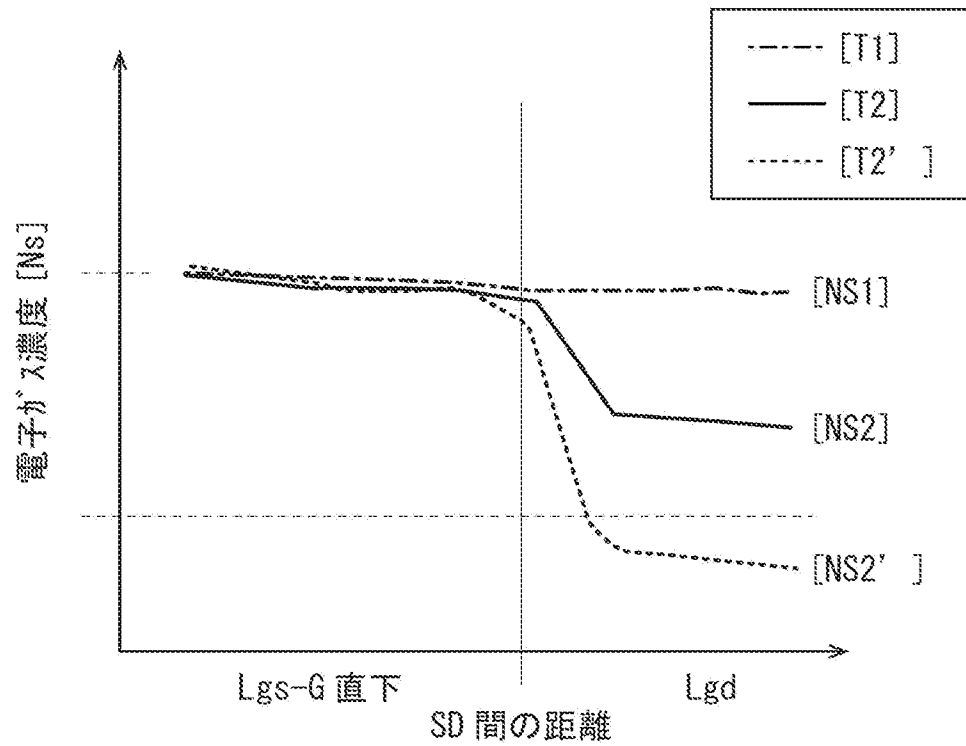
[請求項20] 半導体デバイスを備え、
 前記半導体デバイスは、
 基板と、
 前記基板の一の面側に設けられた第1の窒化物半導体を含むチャンネル層と、
 前記チャンネル層の前記基板とは反対側に設けられ、前記チャンネル層と対向する第1の面および前記第1の面とは反対側の第2の面を有すると共に、前記第1の窒化物半導体よりもバンドギャップの大きな第2の窒化物半導体を含む障壁層と、
 前記障壁層内に設けられ、前記障壁層よりもエッチングレートが低い半導体材料を含む中間層と、

前記障壁層の前記第 2 の面側に設けられたゲート電極と、
前記ゲート電極を間にして前記障壁層の前記第 2 の面側に設けられたドレイン電極およびソース電極と、
前記ゲート電極と前記ソース電極との間に設けられ、前記障壁層の前記第 2 の面側から前記中間層まで達する凹部と
有する無線通信装置。

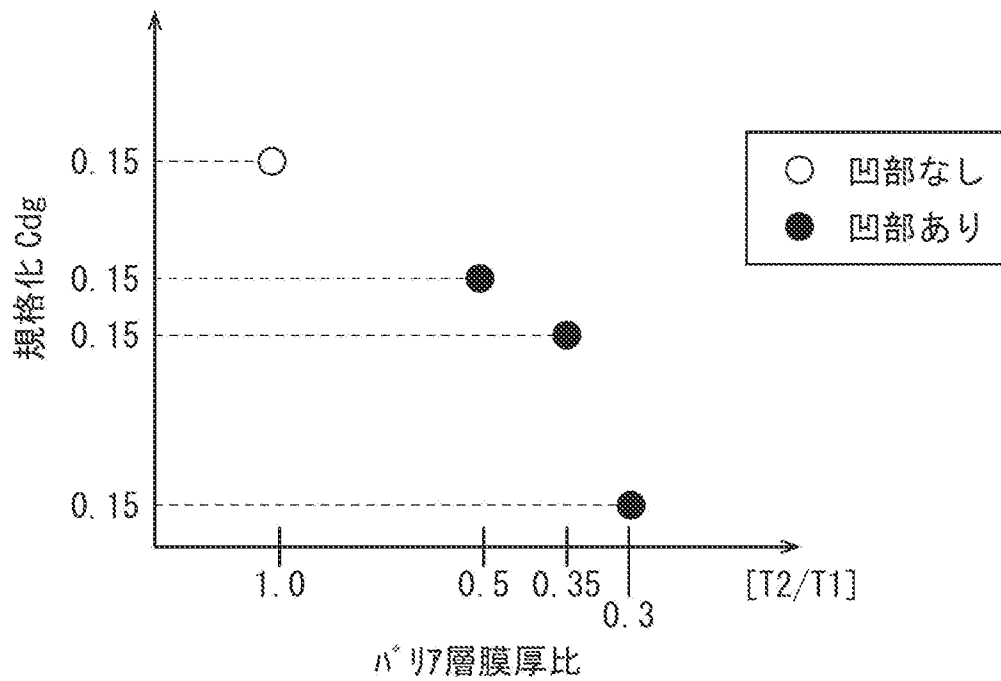
[図1]



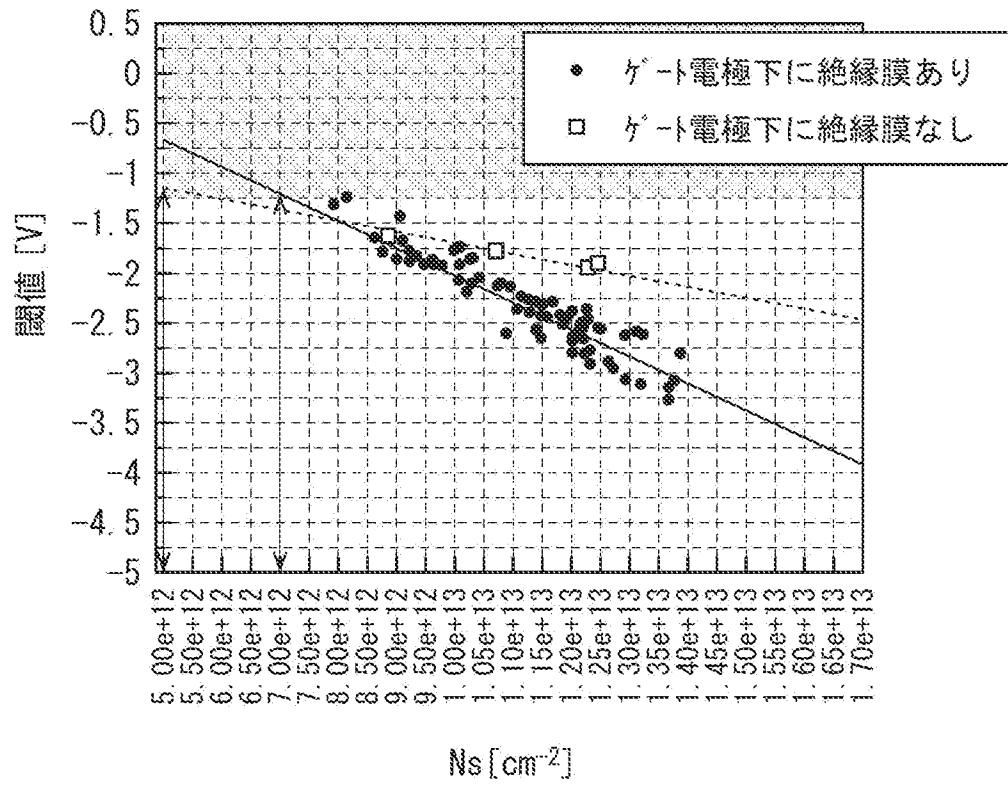
[図2]



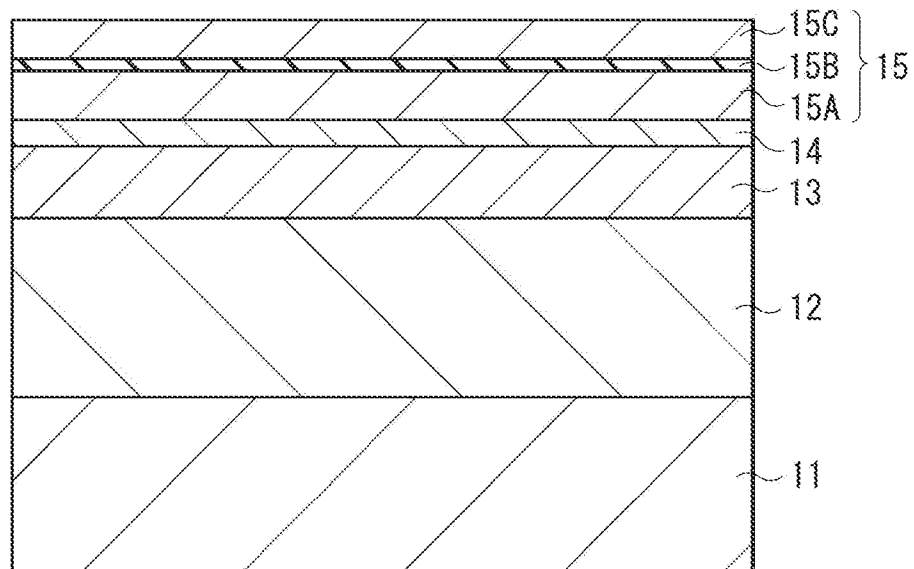
[図3]



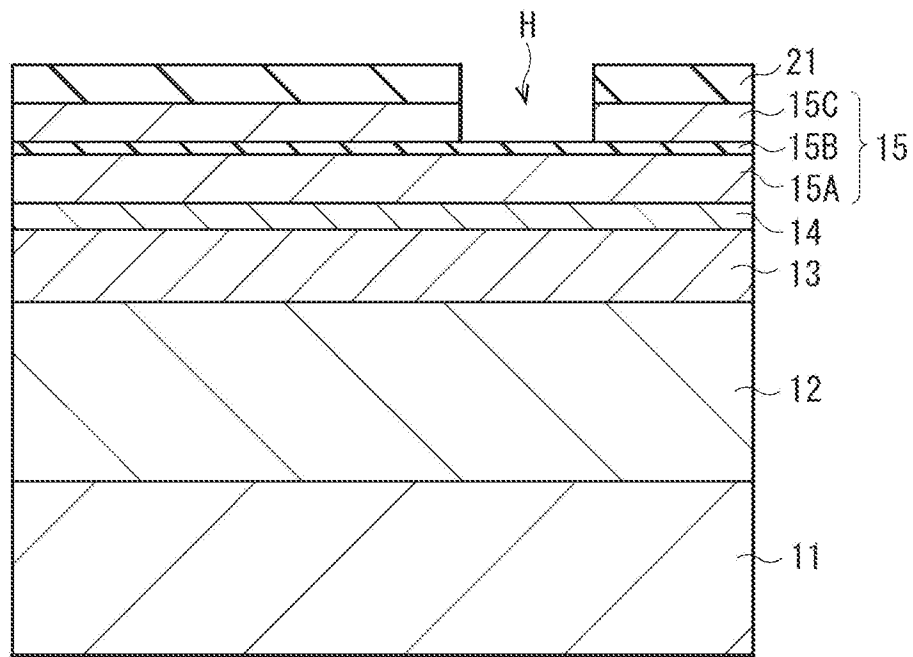
[図4]



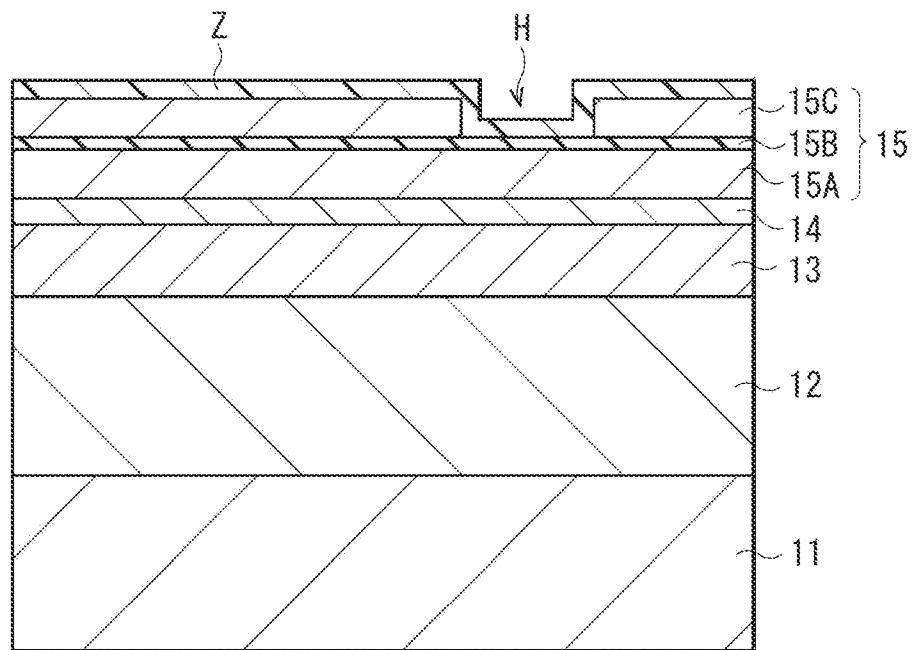
[図5A]



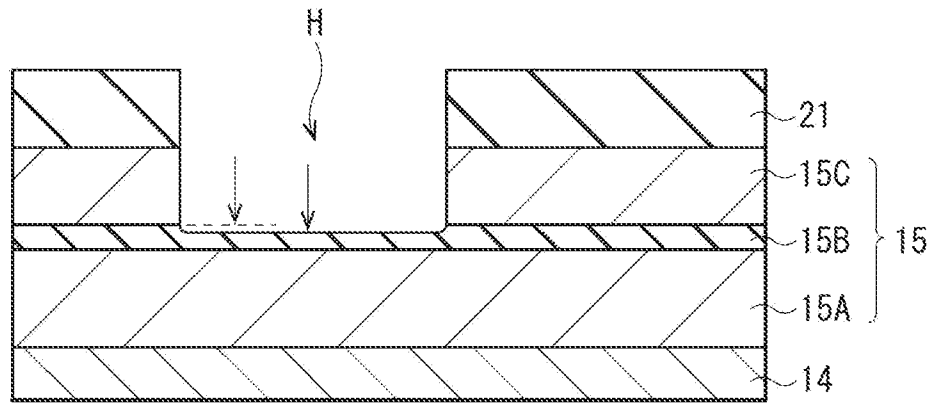
[図5B]



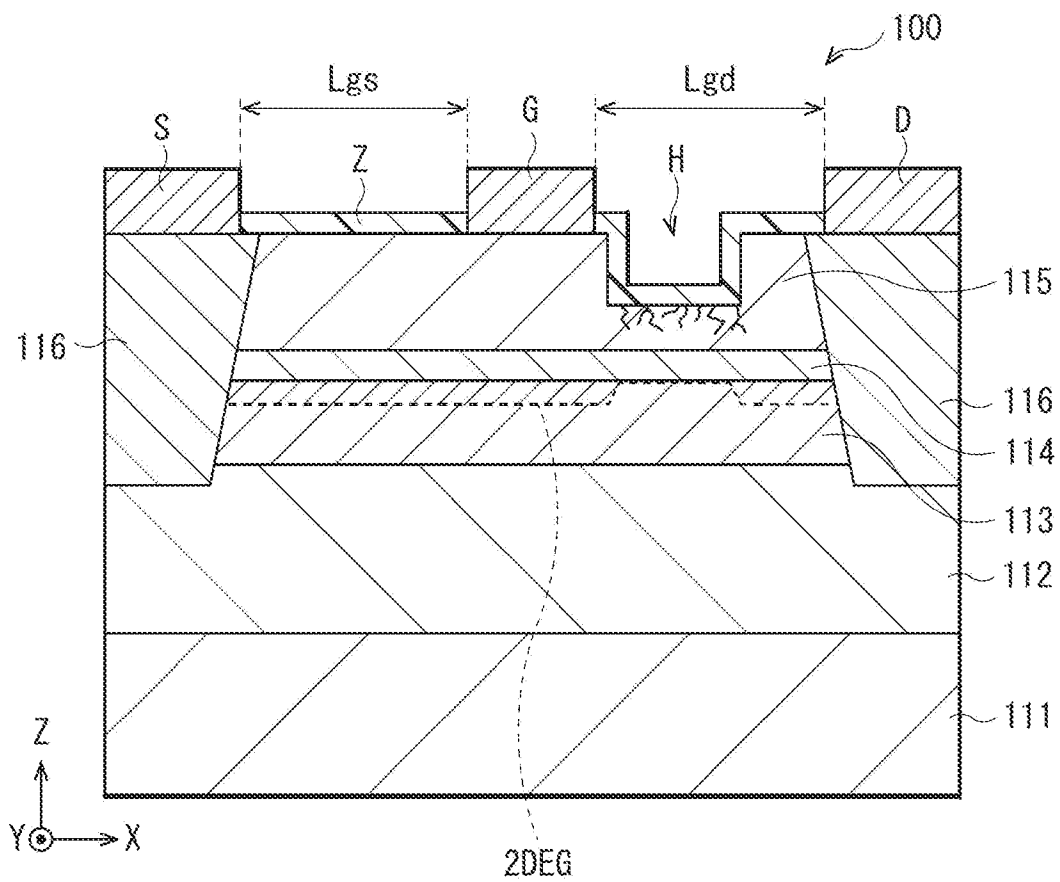
[図5C]



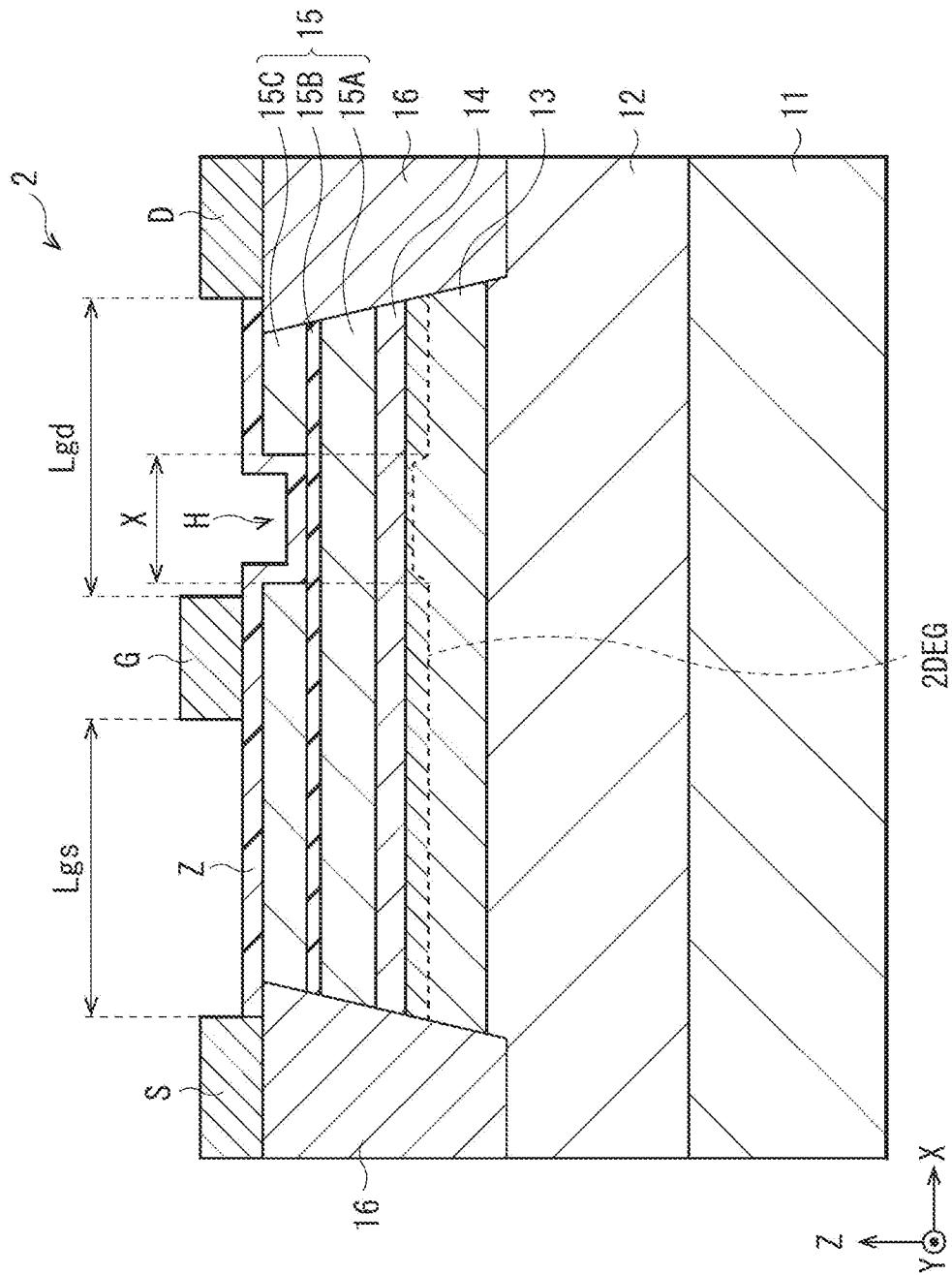
[図6]



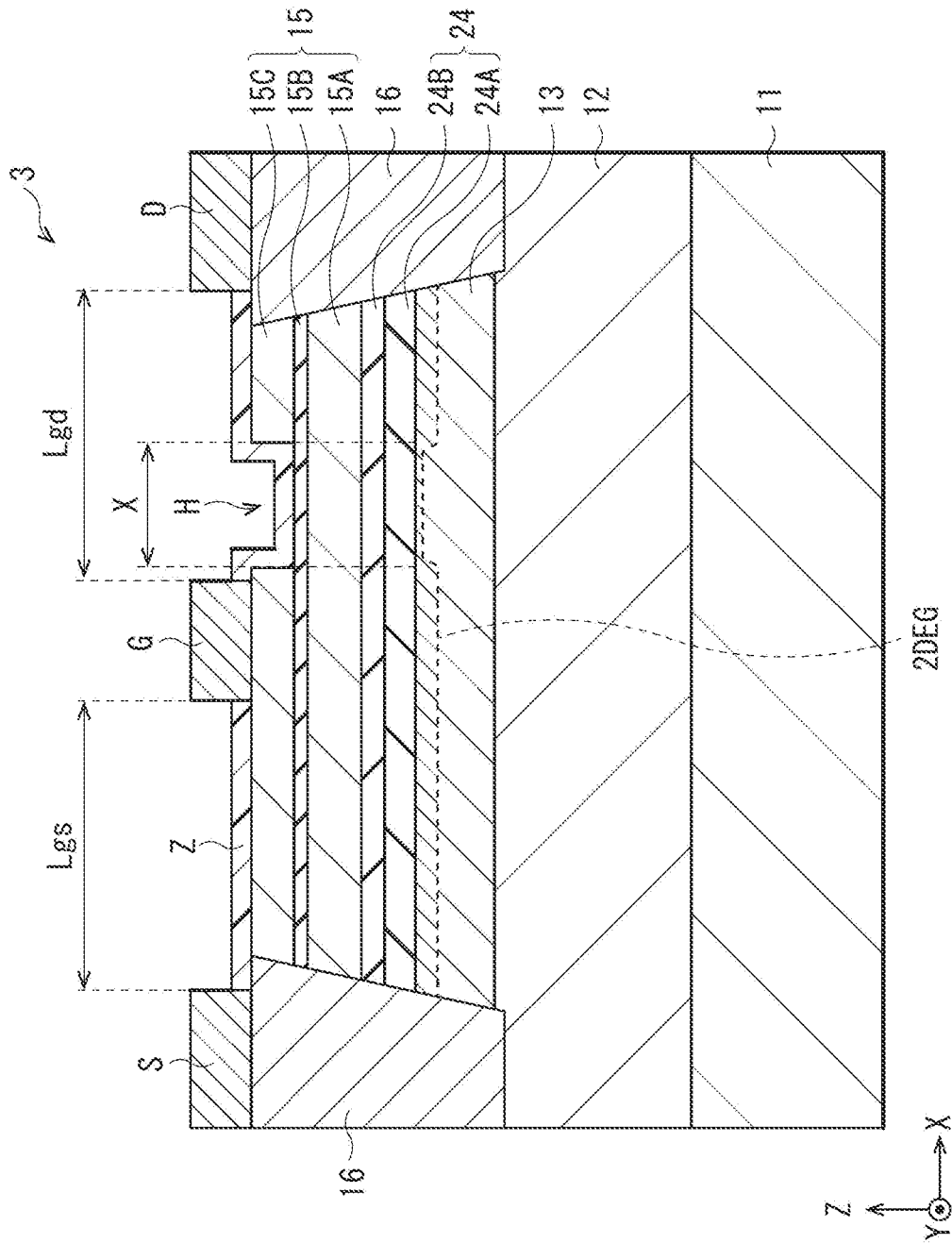
[図7]



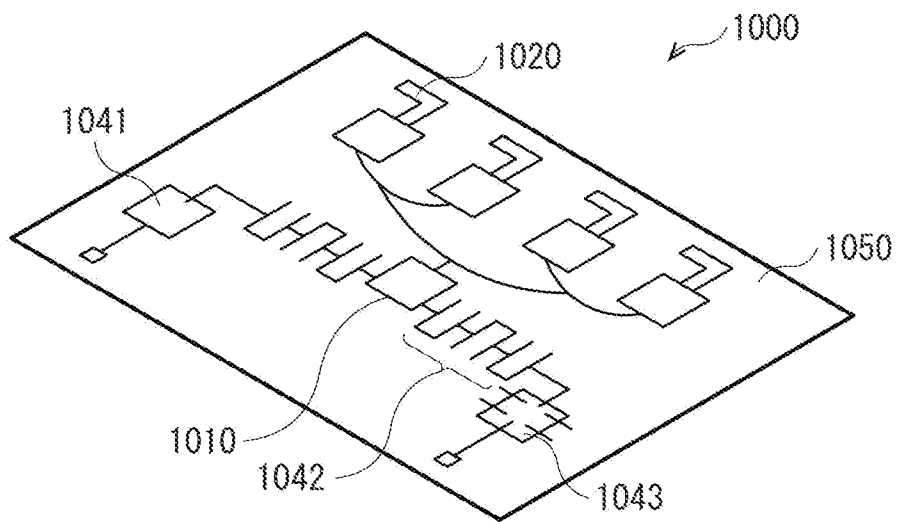
[図8]



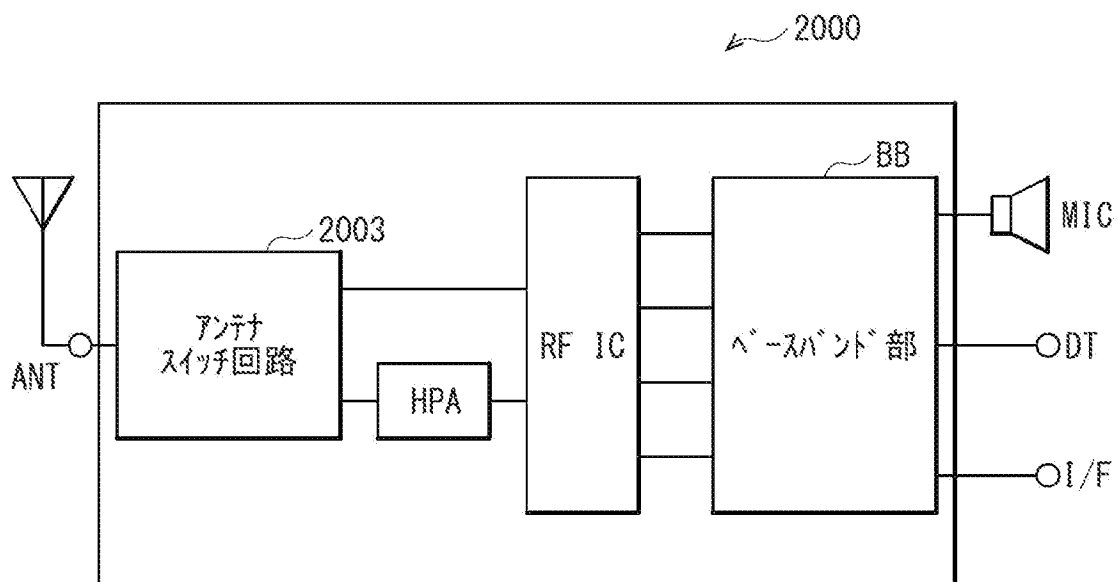
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/022300

A. CLASSIFICATION OF SUBJECT MATTER H01L 29/778 (2006.01)i; H01L 21/338 (2006.01)i; H01L 29/812 (2006.01)i FI: H01L29/80 H; H01L29/80 G According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L29/778; H01L21/338; H01L29/812 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2017-521869 A (TRANSPHORM INC.) 03 August 2017 (2017-08-03) paragraphs [0027]-[0037], [0088]-[0105], [0115], fig. 1, 10-13	1-6, 12-15 10, 11, 17, 19, 20 7-9, 16, 18
Y A	WO 2016/181441 A1 (FUJITSU LIMITED) 17 November 2016 (2016-11-17) paragraphs [0013]-[0049], fig. 1-4, 7	10 1-9, 11-20
Y A	US 2012/0217506 A1 (INTERNATIONAL RECTIFIER CORPORATION) 30 August 2012 (2012-08-30) column 2, line 58 to column 4, line 59, column 6, lines 48-54, fig. 1-3	10, 11 1-9, 12-20
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 01 August 2024		Date of mailing of the international search report 13 August 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/022300

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-008244 A (MITSUBISHI ELECTRIC CORPORATION) 15 January 2015 (2015-01-15)	17
A	paragraphs [0017]-[0033], fig. 1, 2	1-16, 18-20
Y	WO 2023/286307 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 19 January 2023 (2023-01-19)	19, 20
A	paragraphs [0088]-[0098], fig. 23, 24	1-18
A	JP 2012-054471 A (FUJITSU LIMITED) 15 March 2012 (2012-03-15)	1-20
	paragraphs [0013]-[0044], fig. 1-8	

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/022300

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2017-521869	A	03 August 2017	US 2016/0020313 A1 paragraphs [0043]-[0053], [0104]-[0121], [0131], fig. 1, 10-13 WO 2016/014439 A2 CN 106537560 A	
WO	2016/181441	A1	17 November 2016	US 2018/0047840 A1 paragraphs [0030]-[0066], fig. 1-4, 7	
US	2012/0217506	A1	30 August 2012	(Family: none)	
JP	2015-008244	A	15 January 2015	(Family: none)	
WO	2023/286307	A1	19 January 2023	(Family: none)	
JP	2012-054471	A	15 March 2012	US 2012/0056191 A1 paragraphs [0026]-[0076], fig. 1-6 CN 102386213 A TW 201218376 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 29/778(2006.01)i; H01L 21/338(2006.01)i; H01L 29/812(2006.01)i

FI: H01L29/80 H; H01L29/80 G

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/778; H01L21/338; H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2017-521869 A（トランスフォーム インコーポレーテッド）03.08.2017（2017 - 08 - 03） 段落[0027]-[0037], [0088]-[0105], [0115], 図1, 10-13	1-6, 12-15
Y		10, 11, 17, 19, 20
A		7-9, 16, 18
Y	WO 2016/181441 A1（富士通株式会社）17.11.2016（2016 - 11 - 17） 段落[0013]-[0049], 図1-4, 7	10
A		1-9, 11-20
Y	US 2012/0217506 A1（INTERNATIONAL RECTIFIER CORPORATION）30.08.2012（2012 - 08 - 30） 第2欄第58行-第4欄59行, 第6欄第48行-54行, 第1図-第3図	10, 11
A		1-9, 12-20

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

01.08.2024

国際調査報告の発送日

13.08.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

杉山 芳弘 5F 6311

電話番号 03-3581-1101 内線 3514

様式 PCT/ISA/210（第2ページ）（2022年7月）

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-008244 A (三菱電機株式会社) 15.01.2015 (2015 - 01 - 15)	17
A	段落[0017]-[0033], 図1, 2	1-16, 18-20
Y	WO 2023/286307 A1 (ソニーセミコンダクタソリューションズ株式会社) 19.01.2023 (2023 - 01 - 19)	19, 20
A	段落[0088]-[0098], 図23, 24	1-18
A	JP 2012-054471 A (富士通株式会社) 15.03.2012 (2012 - 03 - 15)	1-20
	段落[0013]-[0044], 図1-8	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/022300

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-521869	A	03.08.2017	US 2016/0020313 A1 段落[0043]-[0053], [0104]- [0121], [0131], 図1, 10-13 WO 2016/014439 A2 CN 106537560 A	
WO	2016/181441	A1	17.11.2016	US 2018/0047840 A1 段落[0030]-[0066], 図1-4, 7	
US	2012/0217506	A1	30.08.2012	(ファミリーなし)	
JP	2015-008244	A	15.01.2015	(ファミリーなし)	
WO	2023/286307	A1	19.01.2023	(ファミリーなし)	
JP	2012-054471	A	15.03.2012	US 2012/0056191 A1 段落[0026]-[0076], 図1-6 CN 102386213 A TW 201218376 A	