

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 29.06.10.

30 Priorité : 18.12.09 KR 1020090126780.

43 Date de mise à la disposition du public de la
demande : 24.06.11 Bulletin 11/25.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Ce dernier n'a pas été
établi à la date de publication de la demande.*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : LG DISPLAY CO., LTD — KR.

72 Inventeur(s) : KIM MIN-KYU.

73 Titulaire(s) : LG DISPLAY CO., LTD.

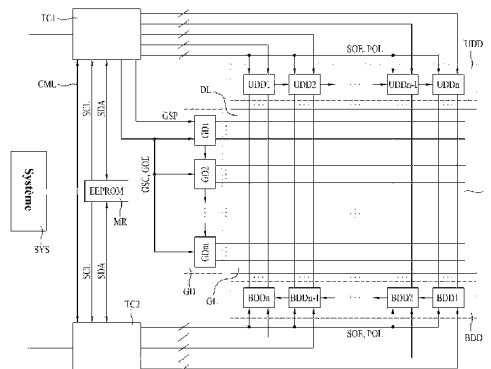
74 Mandataire(s) : CABINET HIRSCH POCHART ET
ASSOCIES.

54 DISPOSITIF D'AFFICHAGE A CRISTAUX LIQUIDES.

57 La présente invention concerne un dispositif d'affichage à cristaux liquides dans lequel, afin d'améliorer la qualité de l'image, des données d'image sont appliquées à un côté de lignes de données par un circuit intégré de commande de données supérieure (UDD1 à UDDn) et des données d'image sont appliquées à l'autre côté des lignes de données par un circuit intégré de commande de données inférieure (BDD1 à BDDn).

Le dispositif comprend en outre un premier contrôleur de synchronisation (TC1) pour générer et délivrer un signal de commande de données supérieure aux circuits intégrés de commande de données supérieures (UDD1 à UDDn) pour commander le fonctionnement des circuits intégrés de commande de données supérieures, et un deuxième contrôleur de synchronisation (TC2) pour générer et délivrer un signal de commande de données inférieure aux circuits intégrés de commande de données inférieures (BDD1 à BDDn) pour commander le fonctionnement des circuits intégrés de commande de données inférieures.

Application à un panneau d'affichage à cristaux liquides permettant d'augmenter la vitesse de charge des lignes de données et des pixels.



DISPOSITIF D'AFFICHAGE A CRISTAUX LIQUIDES

La présente invention concerne des dispositifs d'affichage à cristaux liquides et, plus particulièrement, un dispositif d'affichage à cristaux liquides qui permet
5 d'améliorer une vitesse de charge des pixels.

Alors que la taille du dispositif d'affichage à cristaux liquides augmente, les longueurs des lignes de grille et des lignes de données du dispositif d'affichage à cristaux liquides augmentent en proportion. Alors que la longueur de la ligne de données augmente, augmentant la résistance et la capacitance de la ligne de données
10 pour amener une partie de la ligne de données éloignée d'une borne de sortie d'un dispositif de commande de données à recevoir une tension de pixel avec un décalage relativement important comparé à une autre partie, la vitesse de charge du pixel connecté à la partie de ligne de données ne peut pas, mais devient médiocre, rendant de ce fait une qualité d'image médiocre.

Un objet de la présente invention consiste à proposer un dispositif d'affichage à cristaux liquides dans lequel des données d'image sont appliquées à un côté de lignes de données par un circuit intégré de commande de données supérieure et les données d'image sont appliquées à l'autre côté des lignes de données par un circuit intégré de commande de données inférieure pour augmenter les vitesses de charge
15 pour la ligne de données et les pixels pour améliorer une qualité d'image.

Des avantages, objets et caractéristiques supplémentaires de l'invention seront en partie exposés dans la description qui suit et deviendront en partie évidents aux hommes du métier lors de l'examen de ce qui suit ou peuvent être appris par une pratique de l'invention. Les objectifs et d'autres avantages de l'invention peuvent être
20 réalisés et atteints par la structure particulièrement présentée dans la description écrite et les revendications de celle-ci ainsi que sur les dessins joints.

Pour atteindre ces objets et autres avantages et selon l'objet de l'invention, telle que mise en oeuvre et généralement décrite ici, un dispositif d'affichage à cristaux liquides comprend un panneau d'affichage pour afficher une image sur celui-ci, une pluralité de circuits intégrés de commande de grille pour acheminer des impulsions de balayage pour commander les lignes de grille sur le panneau d'affichage, une pluralité de circuits intégrés de commande de données supérieures pour appliquer des tensions de pixel aux lignes de données d'un côté du panneau d'affichage respectivement, une pluralité de circuits intégrés de commande de données inférieure pour appliquer des tensions de pixel aux lignes de données de
30 l'autre coté du panneau d'affichage respectivement, un premier contrôleur de synchronisation pour générer et délivrer un signal de commande de données supérieure aux circuits intégrés de commande de données supérieures pour

commander le fonctionnement des circuits intégrés de commande de données supérieures, et un deuxième contrôleur de synchronisation pour générer et délivrer un signal de commande de données inférieure aux circuits intégrés de commande de données inférieures pour commander le fonctionnement des circuits intégrés de commande de données inférieures.

Selon un mode de réalisation, le premier contrôleur de synchronisation reçoit et réarrange des données d'image provenant d'un système et les délivre aux circuits intégrés de commande de données supérieures, en correspondance avec des tops de synchronisation, les circuits intégrés de commande de données supérieures génèrent les tensions de pixel sur la base des données d'image provenant du premier contrôleur de synchronisation, le deuxième contrôleur de synchronisation reçoit et réarrange des données d'image provenant d'un système et les délivre aux circuits intégrés de commande de données inférieures, en correspondance avec des tops de synchronisation, et les circuits intégrés de commande de données inférieures génèrent les tensions de pixel sur la base des données d'image provenant du deuxième contrôleur de synchronisation.

Selon un mode de réalisation, le premier contrôleur de synchronisation délivre les données d'image en commençant par le circuit intégré de commande de données supérieure positionné au niveau d'un bord latéral du panneau d'affichage jusqu'au circuit intégré de commande de données supérieure positionné au niveau de l'autre bord latéral du panneau d'affichage les uns après les autres, et le deuxième contrôleur de synchronisation délivre les données d'image en commençant par le circuit intégré de commande de données inférieures positionné au niveau d'un bord latéral du panneau d'affichage jusqu'au circuit intégré de commande de données inférieures positionné au niveau de l'autre bord latéral du panneau d'affichage les uns après les autres.

L'un ou l'autre des premier et deuxième contrôleurs de synchronisation peut être opérationnel dans un mode maître ou dans un mode esclave en fonction d'un signal de commande de mode externe, et lorsque le premier contrôleur de synchronisation est commandé dans le mode maître, le premier contrôleur de synchronisation génère et achemine un signal de grille vers les circuits intégrés de commande de grille pour commander le fonctionnement des circuits intégrés de commande de grille en plus des données d'image et du signal de commande de données supérieure, et lorsque le deuxième contrôleur de synchronisation est commandé dans le mode maître, le deuxième contrôleur de synchronisation génère et achemine le signal de grille vers les circuits intégrés de commande de grille pour commander le fonctionnement des circuits intégrés de commande de grille en plus des données d'image et du signal de commande de données supérieure, et lorsque le

premier contrôleur de synchronisation est commandé dans le mode esclave, le premier contrôleur de synchronisation achemine les données d'image et le signal de commande de données supérieure vers les circuits intégrés de commande de données supérieures, et lorsque le deuxième contrôleur de synchronisation est commandé
5 dans le mode esclave, le deuxième contrôleur de synchronisation achemine les données d'image et le signal de commande de données supérieure vers les circuits intégrés de commande de données inférieures.

Selon un mode de réalisation, les premier et deuxième contrôleurs de synchronisation sont commandés dans des modes opposés l'un à l'autre.

10 Selon un mode de réalisation, le dispositif d'affichage à cristaux liquides comprend en outre au moins une ligne de communication connectée entre le premier contrôleur de synchronisation et le deuxième contrôleur de synchronisation, et le contrôleur de synchronisation dans le mode maître commande le fonctionnement du contrôleur de synchronisation dans le mode esclave par l'intermédiaire de la ligne de
15 communication, partiellement.

Selon un mode de réalisation, le contrôleur de synchronisation dans le mode maître commande les synchronisations de sortie pour acheminer les tensions de pixel de celle-ci vers les lignes de données ainsi que les synchronisations de sortie pour acheminer les tensions de pixel du contrôleur de synchronisation dans le mode
20 esclave vers les lignes de données par l'intermédiaire de la ligne de communication.

Selon un mode de réalisation, le dispositif d'affichage à cristaux liquides comprend en outre une mémoire dans laquelle diverses données de correction sont mémorisées pour la correction des données d'image provenant des premier et deuxième contrôleurs de synchronisation, dans lequel une période de temps pendant
25 laquelle le contrôleur de synchronisation dans le mode maître récupère les données de correction dans la mémoire et une période de temps pendant laquelle le contrôleur de synchronisation dans le mode esclave récupère les données de correction dans la mémoire sont différentes l'une de l'autre, et le contrôleur de synchronisation dans le mode maître commande une période de temps pendant laquelle le contrôleur de
30 synchronisation dans le mode maître récupère les données de correction dans la mémoire et commande également une période de temps pendant laquelle le contrôleur de synchronisation dans le mode esclave récupère les données de correction dans la mémoire.

Selon un mode de réalisation, le dispositif d'affichage à cristaux liquides
35 comprend en outre une mémoire dans laquelle diverses données de correction sont mémorisées pour la correction des données d'image provenant des premier et deuxième contrôleurs de synchronisation, dans lequel une période de temps pendant laquelle le contrôleur de synchronisation dans le mode maître récupère les données

de correction dans la mémoire et une période de temps pendant laquelle le contrôleur de synchronisation dans le mode esclave récupère les données de correction dans la mémoire sont différentes l'une de l'autre.

On doit comprendre que la description générale qui précède et la description
5 détaillée qui suit de la présente invention sont toutes deux exemplaires et explicatives et sont destinées à fournir une explication supplémentaire de l'invention telle que revendiquée.

Les dessins joints, qui sont inclus pour permettre une compréhension
supplémentaire de l'invention et qui sont incorporés dans cette demande et qui
10 constituent une partie de celle-ci, illustrent un ou des modes de réalisation de l'invention et servent avec la description à expliquer le principe de l'invention. Sur les dessins :

La figure 1 illustre un schéma de circuit d'un dispositif d'affichage à cristaux
liquides selon un mode de réalisation préféré de la présente invention.

15 La figure 2 illustre un schéma de principe d'un dispositif de commande de données supérieure comportant les circuits intégrés de commande de données supérieures de la figure 1, en détail.

La figure 3 illustre un diagramme de synchronisation d'un signal de commande de lecture délivré à un contrôleur de synchronisation.

20 Il va maintenant être fait référence en détail aux modes de réalisation spécifiques de la présente invention, dont des exemples sont illustrés sur les dessins joints. A chaque fois que cela est possible, les mêmes numéros de référence seront utilisés sur tous les dessins pour faire référence à des parties identiques ou similaires.

La figure 1 illustre un schéma de circuit d'un dispositif d'affichage à cristaux
25 liquides selon un mode de réalisation préféré de la présente invention.

En faisant référence à la figure 1, le dispositif d'affichage à cristaux liquides comprend un panneau d'affichage PN comportant une pluralité de pixels définis par une pluralité de lignes de grille GL et une pluralité de lignes de données DL se croisant mutuellement, une pluralité de circuits intégrés de commande de grille GD1
30 à GDm pour acheminer des impulsions de balayage les unes après les autres pour commander les lignes de grille GL, une pluralité de circuits intégrés de commande de données supérieures UDD1 à UDDn pour appliquer des tensions de pixel aux lignes de données d'un côté du panneau d'affichage PN respectivement, une pluralité de circuits intégrés de commande de données inférieures BDD1 à BDDn pour appliquer
35 des tensions de pixel aux lignes de données de l'autre côté du panneau d'affichage PN respectivement, un premier contrôleur de synchronisation TC1 pour générer et délivrer un signal de commande de données supérieure aux circuits intégrés de commande de données supérieures UDD1 à UDDn pour commander le

fonctionnement des circuits intégrés de commande de données supérieures UDD1 à UDDn, et un deuxième contrôleur de synchronisation TC2 pour générer et délivrer un signal de commande de données inférieure aux circuits intégrés de commande de données inférieures UDD1 à UDDn pour commander le fonctionnement des circuits
 5 intégrés de commande de données inférieures UDD1 à UDDn.

La figure 2 illustre un schéma de principe d'un dispositif de commande de données supérieure DD comportant les circuits intégrés de commande de données supérieures UDD1 à UDDn de la figure 1, comprenant un réseau de registres à décalage 101, un réseau de bascules 102, un réseau de multiplexeurs, un réseau de
 10 convertisseurs numérique/analogique (N/A) et un réseau de mémoires tampons.

Le réseau de registres à décalage 101 décale séquentiellement une impulsion de début de source provenant du premier contrôleur de synchronisation TC1 en réponse au signal d'horloge de décalage de source pour générer des impulsions d'horloge d'échantillonnage.

15 Le réseau de bascules 102 échantillonne les données d'image provenant du premier contrôleur de synchronisation TC1 18 en réponse aux impulsions d'horloge d'échantillonnage provenant du réseau de registres à décalage 101 et verrouille les données d'image d'une partie de ligne ainsi échantillonnées. Le réseau de bascules 102 achemine également les données d'image des parties de ligne ainsi verrouillées à
 20 un instant en réponse à un signal de validation de source SOE provenant du premier contrôleur de synchronisation TC1 18.

Le réseau de multiplexeurs 103 achemine les données d'image provenant du réseau de bascules 102 dans des unités de période horizontale telles qu'elles sont ou décale les données d'image des parties de ligne provenant du réseau de bascules 102
 25 d'une ligne vers les lignes de sortie côté droit avant d'acheminer les données d'image. Si les données d'image du réseau de bascules 102 sont des données d'une période horizontale impaire, le réseau de multiplexeurs 103 achemine les données d'image des parties de ligne provenant du réseau de bascules 102 telles qu'elles sont. Autrement, si les données d'image provenant du réseau de bascules 102 sont des
 30 données d'une période horizontale paire, le réseau de multiplexeurs 103 décale les données d'image des parties de ligne provenant du réseau de bascules 102 d'une ligne vers les lignes de sortie côté droit avant d'acheminer les données d'image, respectivement.

Le réseau de convertisseurs numérique/analogique (N/A) 104 décode les
 35 données d'image provenant du réseau de multiplexeurs 103 en des valeurs analogiques et sélectionne une tension de compensation de gamma positive GH ou une tension de compensation de gamma négative GL dans les valeurs analogiques ainsi décodées en réponse à un signal de commande de polarité POL provenant du

premier contrôleur de synchronisation TC1 18. C'est-à-dire que le réseau de convertisseurs numérique/analogique (N/A) 104 convertit les données numériques provenant du réseau de multiplexeurs 103 en la tension de compensation de gamma positive GH ou en la tension de compensation de gamma négative GL et les données numériques dont les lignes de sortie sont décalées par le réseau de multiplexeurs 103 en la tension de compensation de gamma positive GH ou en la tension de compensation de gamma négative GL.

Les données dont les lignes de sortie sont décalées à chaque ligne horizontale et dont les polarités sont inversées par le réseau de multiplexeurs 103 et le réseau de convertisseurs numérique/analogique (N/A) 104 sont appliquées aux lignes de données DL1 à DLi par le réseau de mémoires tampons 105.

Pendant ce temps, le dispositif de commande de données inférieures DD comportant les circuits intégrés de commande de données inférieures BDD1 à BDDn a également une configuration identique à celle du dispositif de commande de données supérieure UDD, excepté que le dispositif de commande de données inférieures DD est commandé par le deuxième contrôleur de synchronisation TC2 au lieu du premier contrôleur de synchronisation TC1.

Le dispositif de commande de grille GD comportant une pluralité de circuits intégrés de commande de grille GD1 à GDm délivre des impulsions de balayage aux lignes de grille GL les uns après les autres en utilisant l'impulsion de début de grille GSP, le signal d'horloge de décalage de grille GSC et la validation de sortie de grille GOE provenant de l'un des premier et deuxième contrôleurs de synchronisation TC1 et TC2.

Le premier contrôleur de synchronisation TC1 18 réarrange les données d'image provenant d'un système SYS et délivre les données d'image aux circuits intégrés de commande de données supérieures UDD1 à UDDn en correspondance avec des tops de synchronisation, et les circuits intégrés de commande de données supérieures UDD1 à UDDn génèrent les tensions de pixel sur la base des données d'image provenant du premier contrôleur de synchronisation TC1. Le premier contrôleur de synchronisation TC1 18 génère également un signal de commande de données supérieure et un signal de commande de grille en utilisant un signal de synchronisation horizontale Hsync, un signal de synchronisation verticale Vsync et des signaux d'horloge CLK provenant des systèmes SYS, respectivement.

Le signal de commande de données supérieure comprend le signal d'horloge de points, une impulsion de début de source, le signal d'horloge de décalage de source, une validation de source et un signal d'inversion de polarité POL. Le signal de commande de grille comprend une impulsion de début de grille GSP, le signal d'horloge de décalage de grille GSC et une validation de sortie de grille GOE.

Le deuxième contrôleur de synchronisation TC2 réarrange les données d'image provenant d'un système SYS et délivre les données d'image aux circuits intégrés de commande de données inférieures BDD1 à BDDn en correspondance avec des tops de synchronisation, et les circuits intégrés de commande de données inférieures BDD1 à BDDn génèrent les tensions de pixel sur la base des données d'image provenant du deuxième contrôleur de synchronisation TC2. Le deuxième contrôleur de synchronisation TC2 génère également un signal de commande de données inférieure et un signal de commande de grille en utilisant un signal de synchronisation horizontale Hsync, un signal de synchronisation verticale Vsync et des signaux d'horloge CLK provenant des systèmes SYS, respectivement.

Le signal de commande de données inférieure comprend le signal d'horloge de points, une impulsion de début de source, le signal d'horloge de décalage de source, une validation de source et un signal d'inversion de polarité POL. Le signal de commande de grille comprend une impulsion de début de grille GSP, le signal d'horloge de décalage de grille GSP et une validation de sortie de grille GOE.

Le premier contrôleur de synchronisation TC1 délivre les données d'image en commençant par le circuit intégré de commande de données supérieure positionné au niveau d'un bord latéral du panneau d'affichage PN jusqu'au circuit intégré de commande de données supérieure positionné au niveau de l'autre bord latéral du panneau d'affichage PN les uns après les autres. Par opposition, le deuxième contrôleur de synchronisation TC2 délivre les données d'image en commençant par le circuit intégré de commande de données inférieures positionné au niveau d'un bord latéral du panneau d'affichage PN jusqu'au circuit intégré de commande de données inférieures positionné au niveau de l'autre bord latéral du panneau d'affichage PN les uns après les autres. Par exemple, le premier contrôleur de synchronisation TC1 délivre les données d'image en commençant par le premier circuit intégré de commande de données supérieure jusqu'au n^{ième} circuit intégré de commande de données supérieure les uns après les autres, et le deuxième contrôleur de synchronisation TC2 délivre les données d'image en commençant par le premier circuit intégré de commande de données inférieures jusqu'au n^{ième} circuit intégré de commande de données inférieures les uns après les autres. Dans cet exemple, le premier contrôleur de synchronisation TC1 et le deuxième contrôleur de synchronisation TC2 acheminent les données d'image dans des ordres opposés l'un à l'autre. C'est-à-dire que le premier contrôleur de synchronisation TC1 achemine les données d'image en commençant par les données d'image du premier circuit intégré de commande de données supérieure jusqu'aux données d'image du n^{ième} circuit intégré de commande de données supérieure les uns après les autres, et le deuxième contrôleur de synchronisation TC2 achemine les données d'image en commençant

par les données d'image du premier circuit intégré de commande de données inférieures jusqu'aux données d'image du n^{ième} circuit intégré de commande de données inférieures les uns après les autres. En variante, il peut être fait en sorte que le deuxième contrôleur de synchronisation TC2 achemine les données d'image en commençant par les données d'image du n^{ième} circuit intégré de commande de données inférieures jusqu'aux données d'image du premier circuit intégré de commande de données inférieures les uns après les autres et que le premier contrôleur de synchronisation TC1 achemine les données d'image en commençant par les données d'image du n^{ième} circuit intégré de commande de données supérieure jusqu'aux données d'image du premier circuit intégré de commande de données supérieure les uns après les autres.

L'un ou l'autre du premier contrôleur de synchronisation TC1 et du deuxième contrôleur de synchronisation TC2 peut être mis en oeuvre dans un mode maître ou dans un mode esclave en fonction d'un signal de commande de mode externe.

En détail, lorsqu'il est commandé dans le mode maître, le premier contrôleur de synchronisation TC1 génère et achemine un signal de commande de grille vers les circuits intégrés de commande de grille GD1 à GDm pour commander le fonctionnement des circuits intégrés de commande de grille GD1 à GDm en plus des données d'image et du signal de commande de données supérieure. Par opposition, lorsqu'il est commandé dans le mode esclave, le premier contrôleur de synchronisation TC1 achemine les données d'image et le signal de commande de données supérieure vers les circuits intégrés de commande de données supérieures UDD1 à UDDn.

Pareillement, lorsqu'il est commandé dans le mode maître, le deuxième contrôleur de synchronisation TC2 génère et achemine un signal de commande de grille vers les circuits intégrés de commande de grille GD1 à GDm pour commander le fonctionnement des circuits intégrés de commande de grille GD1 à GDm en plus des données d'image et du signal de commande de données inférieure. Par opposition, lorsqu'il est commandé dans le mode esclave, le deuxième contrôleur de synchronisation TC2 achemine les données d'image et le signal de commande de données inférieure vers les circuits intégrés de commande de données inférieures BDD1 à BDDn.

Autrement dit, lorsqu'il est commandé dans le mode maître, le premier ou le deuxième contrôleur de synchronisation TC1 ou TC2 achemine les données d'image, le signal de commande de données et le signal de commande de grille. Cependant, lorsqu'il est commandé dans le mode esclave, le premier ou le deuxième contrôleur de synchronisation TC1 ou TC2 achemine des signaux autres que le signal de

commande de grille, c'est-à-dire, les données d'image et les signaux de commande de données.

Dans cet exemple, le premier et le deuxième contrôleur de synchronisation TC1 et TC2 sont commandés dans des modes opposés l'un à l'autre. C'est-à-dire que, lorsque le premier contrôleur de synchronisation TC1 est commandé dans le mode maître, le deuxième contrôleur de synchronisation TC2 est commandé dans le mode esclave, et par opposition, lorsque le premier contrôleur de synchronisation TC1 est commandé dans le mode esclave, le deuxième contrôleur de synchronisation TC2 est commandé dans le mode maître.

Au moins une ligne de communication CML est connectée entre le premier contrôleur de synchronisation TC1 et le deuxième contrôleur de synchronisation TC2. En effectuant une communication entre le premier contrôleur de synchronisation TC1 et le deuxième contrôleur de synchronisation TC2, les sorties du premier contrôleur de synchronisation TC1 et du deuxième contrôleur de synchronisation TC2 peuvent être synchronisés.

C'est-à-dire que le contrôleur de synchronisation dans le mode maître peut commander le fonctionnement d'un contrôleur de synchronisation dans le mode esclave partiellement par l'intermédiaire de la ligne de communication CML. En tant qu'exemple, le contrôleur de synchronisation dans le mode maître commande les synchronisations de sortie pour acheminer ses tensions de pixel vers les lignes de données DL ainsi que les synchronisations de sortie pour acheminer les tensions de pixel du contrôleur de synchronisation dans le mode esclave vers les lignes de données DL par l'intermédiaire de la ligne de communication CML. Pour cela, le contrôleur de synchronisation dans le mode maître commande le contrôleur de synchronisation dans le mode esclave de sorte que les deux contrôleurs de synchronisation délivrent les validations de sortie de source aux circuits intégrés de commande de données supérieures et inférieures UDD1 à UDDn et BDD1 à BDDn en même temps, respectivement.

La figure 1 illustre un exemple dans lequel le premier contrôleur de synchronisation TC1 est commandé dans le mode maître et le deuxième contrôleur de synchronisation TC2 est commandé dans le mode esclave. Par opposition, le premier contrôleur de synchronisation TC1 peut être commandé dans le mode esclave et le deuxième contrôleur de synchronisation TC2 peut être commandé dans le mode maître.

Le dispositif d'affichage à cristaux liquides selon un mode de réalisation préféré de la présente invention peut comprendre une mémoire MR dans laquelle diverses données de correction sont mémorisées pour la correction des données d'image provenant des premier et deuxième contrôleurs de synchronisation TC1 et

TC2. Dans cet exemple, une période de temps dans laquelle le contrôleur de synchronisation dans le mode maître récupère les données de correction dans la mémoire MR et une période de temps dans laquelle le contrôleur de synchronisation dans le mode esclave récupère les données de correction dans la mémoire MR sont différentes l'une de l'autre.

La mémoire MR peut être une mémoire EEPROM (mémoire à lecture seule programmable électriquement effaçable).

La figure 3 illustre un diagramme de synchronisation d'un signal de commande de lecture délivré au contrôleur de synchronisation.

En faisant référence à la figure 3, lorsque le contrôleur de synchronisation est commandé dans le mode maître, le contrôleur de synchronisation récupère les données de correction dans la mémoire MR après une période de temps t_1 en réponse à un premier signal de commande de lecture RS1 qui devient actif après la période de temps t_1 . Par opposition, lorsque le même contrôleur de synchronisation est commandé dans le mode esclave, le contrôleur de synchronisation récupère les données de correction dans la mémoire MR après une période de temps t_2 en réponse à un deuxième signal de commande de lecture RS2 qui devient actif après la période de temps t_2 . En tant qu'exemple, si le premier contrôleur de synchronisation TC1 est commandé dans le mode maître et que le deuxième contrôleur de synchronisation TC2 est commandé dans le mode esclave, le premier contrôleur de synchronisation TC1 communique avec la mémoire MR dans un système de communication I²C pendant la période de temps de lecture après la période de temps t_1 en réponse au premier signal de commande de lecture RS1 délivré de l'extérieur. Par opposition, le deuxième contrôleur de synchronisation TC2 communique avec la mémoire MR dans le système de communication I²C pendant la période de temps de lecture après la période de temps t_2 en réponse au deuxième signal de commande de lecture RS2 délivré de l'extérieur. Dans cet exemple la période de temps de lecture du premier contrôleur de synchronisation TC1 et la période de temps de lecture du deuxième contrôleur de synchronisation TC2 ne se superposent pas. SCL désigne un signal d'horloge de source, et SDA désigne un signal de données de source. Les premier et deuxième contrôleurs de synchronisation TC1 et TC2 récupèrent le signal de données de source des données de correction dans la mémoire MR, respectivement.

Ou bien le contrôleur de synchronisation dans le mode maître commande une période de temps de lecture pendant laquelle le même contrôleur de synchronisation lit les données de correction dans la mémoire MR, et commande également la période de temps de lecture du contrôleur de synchronisation dans le mode esclave par l'intermédiaire de la ligne de communication CML.

Pendant ce temps, '*reset*' sur la figure 3 indique un signal de réinitialisation. A un moment où la logique du signal de réinitialisation '*reset*' passe de bas à haut, les premier et deuxième contrôleurs de synchronisation TC1 et TC2 sont prêts pour lire la mémoire MR.

5 Comme cela a été décrit, le dispositif d'affichage à cristaux liquides de la présente invention présente les avantages suivants.

Premièrement, l'application des tensions de pixel aux côtés opposés des lignes de données permet d'améliorer une vitesse de charge des lignes de données et des pixels connectés à celles-ci.

10 Deuxièmement, la commande du premier contrôleur de synchronisation et du deuxième contrôleur de synchronisation dans l'un du mode maître et du mode esclave permet de commander les circuits intégrés de commande supérieurs et les circuits intégrés de commande inférieurs, régulièrement.

15 Troisièmement, le premier contrôleur de synchronisation et le deuxième contrôleur de synchronisation peuvent synchroniser les synchronisations de sortie par l'intermédiaire de la ligne de communication.

20 Quatrièmement, le réglage des périodes de temps de récupération du premier contrôleur de synchronisation et du deuxième contrôleur de synchronisation à des valeurs différentes l'une de l'autre permet aux deux contrôleurs de synchronisation de récupérer les données nécessaires en utilisant une seule mémoire.

25 Il sera évident aux hommes du métier que divers changements et modifications peut être apportés à la présente invention sans s'écarter de l'esprit ou de l'étendue de l'invention. Ainsi, il est attendu que la présente invention couvre les changements et modifications de la présente invention pourvu qu'ils tombent dans l'étendue des revendications jointes et de leurs équivalents.

REVENDICATIONS

1. Dispositif d'affichage à cristaux liquides comprenant :
 un panneau d'affichage pour afficher une image sur celui-ci ;
 5 une pluralité de circuits intégrés de commande de grille (GD1 à GDm) pour acheminer des impulsions de balayage pour commander les lignes de grille sur le panneau d'affichage ;
 une pluralité de circuits intégrés de commande de données supérieures (UDD1 à UDDn) pour appliquer des tensions de pixel aux lignes de données d'un
 10 côté du panneau d'affichage, respectivement ;
 une pluralité de circuits intégrés de commande de données inférieures (BDD1 à BDDn) pour appliquer les tensions de pixel aux lignes de données de l'autre coté du panneau d'affichage, respectivement ;
 un premier contrôleur de synchronisation (TC1) pour générer et délivrer un
 15 signal de commande de données supérieure aux circuits intégrés de commande de données supérieures pour commander le fonctionnement des circuits intégrés de commande de données supérieures (UDD1 à UDDn) ; et
 un deuxième contrôleur de synchronisation (TC2) pour générer et délivrer un signal de commande de données inférieure aux circuits intégrés de commande de
 20 données inférieures (BDD1 à BDDn) pour commander le fonctionnement des circuits intégrés de commande de données inférieures.
2. Dispositif d'affichage à cristaux liquides selon la revendication 1, dans lequel le premier contrôleur de synchronisation (TC1) reçoit et réarrange les données d'image provenant d'un système et les délivre aux circuits intégrés de commande de
 25 données supérieures (UDD1 à UDDn), en correspondance avec des tops de synchronisation,
 les circuits intégrés de commande de données supérieures génèrent les tensions de pixel sur la base des données d'image provenant du premier contrôleur de synchronisation (TC1),
 30 le deuxième contrôleur de synchronisation (TC2) reçoit et réarrange les données d'image provenant d'un système et les délivre aux circuits intégrés de commande de données inférieures (BDD1 à BDDn), en correspondance avec des tops de synchronisation, et
 les circuits intégrés de commande de données inférieures (BDD1 à BDDn)
 35 génèrent les tensions de pixel sur la base des données d'image provenant du deuxième contrôleur de synchronisation (TC2).
3. Dispositif d'affichage à cristaux liquides selon la revendication 1 ou 2, dans lequel le premier contrôleur de synchronisation (TC1) délivre les données

d'image en commençant par le circuit intégré de commande de données supérieure positionné au niveau d'un bord latéral du panneau d'affichage jusqu'au circuit intégré de commande de données supérieure positionné au niveau de l'autre bord latéral du panneau d'affichage les uns après les autres, et

5 le deuxième contrôleur de synchronisation (TC2) délivre les données d'image en commençant par le circuit intégré de commande de données inférieures positionné au niveau d'un bord latéral du panneau d'affichage jusqu'au circuit intégré de commande de données inférieures positionné au niveau de l'autre bord latéral du panneau d'affichage les uns après les autres.

10 4. Dispositif d'affichage à cristaux liquides selon l'une quelconque des revendications 1 à 3, dans lequel l'un ou l'autre des premier et deuxième contrôleurs de synchronisation peut être mis en oeuvre dans un mode maître ou dans un mode esclave en fonction d'un signal de commande de mode externe,

lorsque le premier contrôleur de synchronisation est commandé dans le mode
15 maître, le premier contrôleur de synchronisation génère et achemine un signal de grille vers les circuits intégrés de commande de grille (GD1 à GDm) pour commander le fonctionnement des circuits intégrés de commande de grille en plus des données d'image et du signal de commande de données supérieure,

lorsque le deuxième contrôleur de synchronisation (TC2) est commandé dans
20 le mode maître, le deuxième contrôleur de synchronisation génère et achemine le signal de grille vers les circuits intégrés de commande de grille (GD1 à GDm) pour commander le fonctionnement des circuits intégrés de commande de grille en plus des données d'image et du signal de commande de données supérieure,

lorsque le premier contrôleur de synchronisation (TC1) est commandé dans le
25 mode esclave, le premier contrôleur de synchronisation achemine les données d'image et le signal de commande de données supérieure vers les circuits intégrés de commande de données supérieures (UDD1 à UDDn), et

lorsque le deuxième contrôleur de synchronisation (TC2) est commandé dans
le mode esclave, le deuxième contrôleur de synchronisation achemine les données
30 d'image et le signal de commande de données supérieure vers les circuits intégrés de commande de données inférieures (BDD1 à BDDn).

5. Dispositif d'affichage à cristaux liquides selon la revendication 4, dans lequel les premier et deuxième contrôleurs de synchronisation sont commandés dans des modes opposés l'un à l'autre.

35 6. Dispositif d'affichage à cristaux liquides selon la revendication 5, comprenant en outre au moins une ligne de communication connectée entre le premier contrôleur de synchronisation (TC1) et le deuxième contrôleur de synchronisation (TC2), et le contrôleur de synchronisation dans le mode maître

commande le fonctionnement du contrôleur de synchronisation dans le mode esclave par l'intermédiaire de la ligne de communication, partiellement.

7. Dispositif d'affichage à cristaux liquides selon la revendication 6, dans lequel le contrôleur de synchronisation dans le mode maître commande les synchronisations de sortie pour acheminer ses tensions de pixel vers les lignes de données ainsi que les synchronisations de sortie pour acheminer les tensions de pixel du contrôleur de synchronisation dans le mode esclave vers les lignes de données par l'intermédiaire de la ligne de communication.

8. Dispositif d'affichage à cristaux liquides selon la revendication 7, comprenant en outre une mémoire dans laquelle diverses données de correction sont mémorisées pour la correction des données d'image provenant des premier et deuxième contrôleurs de synchronisation,

dans lequel une période de temps pendant laquelle le contrôleur de synchronisation dans le mode maître récupère les données de correction dans la mémoire et une période de temps pendant laquelle le contrôleur de synchronisation dans le mode esclave récupère les données de correction dans la mémoire sont différentes l'une de l'autre, et

le contrôleur de synchronisation dans le mode maître commande une période de temps pendant laquelle le contrôleur de synchronisation dans le mode maître récupère les données de correction dans la mémoire et commande également une période de temps pendant laquelle le contrôleur de synchronisation dans le mode esclave récupère les données de correction dans la mémoire.

9. Dispositif d'affichage à cristaux liquides selon la revendication 5, comprenant en outre une mémoire dans laquelle diverses données de correction sont mémorisées pour la correction des données d'image provenant des premier et deuxième contrôleurs de synchronisation,

dans lequel une période de temps pendant laquelle le contrôleur de synchronisation dans le mode maître récupère les données de correction dans la mémoire et une période de temps pendant laquelle le contrôleur de synchronisation dans le mode esclave récupère les données de correction dans la mémoire sont différentes l'une de l'autre.

FIG. 1

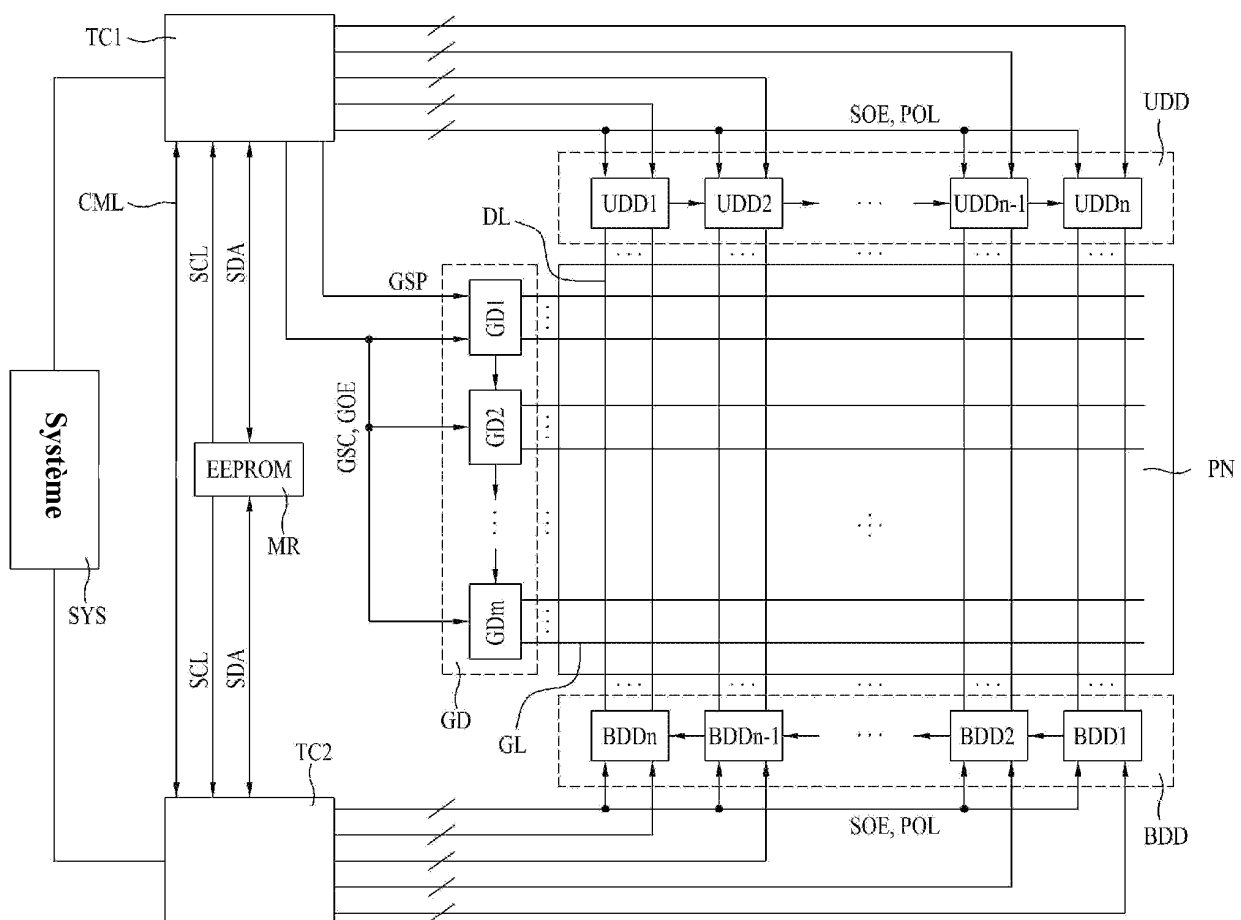


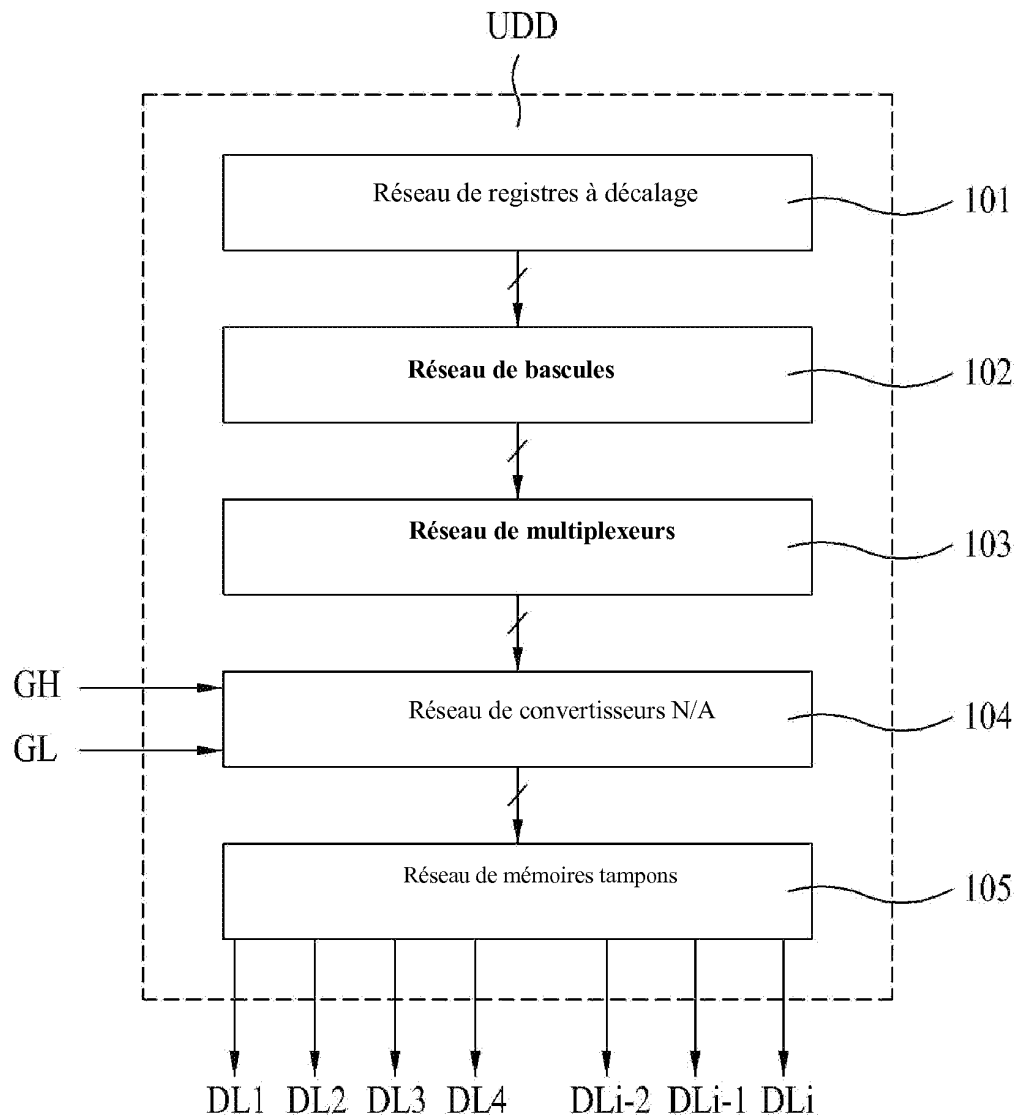
FIG. 2

FIG. 3