

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 12 月 3 日 (03.12.2020)



(10) 国际公布号
WO 2020/237635 A1

(51) 国际专利分类号:
G06F 1/16 (2006.01)

(21) 国际申请号: PCT/CN2019/089562

(22) 国际申请日: 2019 年 5 月 31 日 (31.05.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 鲁灯 (LU, Deng); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 曾涛 (ZENG, Tao); 中国广东省深圳市龙岗区坂田华为总部办公楼,

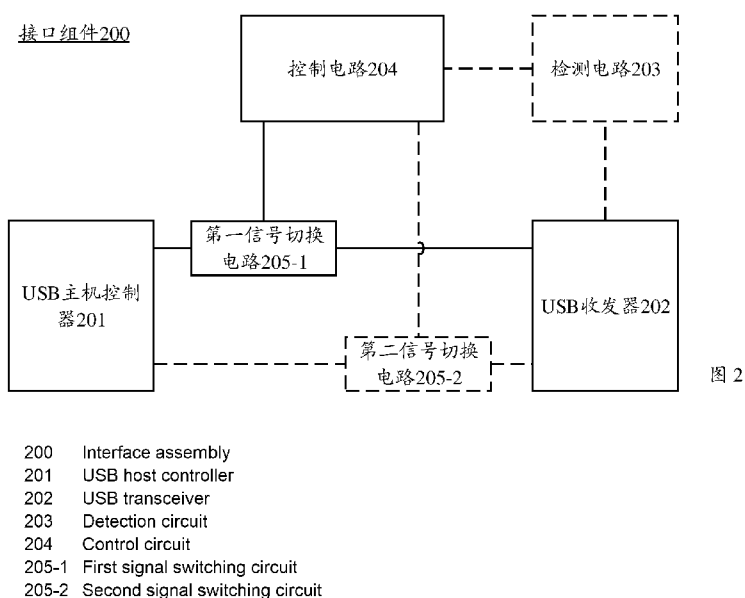
Guangdong 518129 (CN)。 郑科 (ZHENG, Ke); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 北京龙双利达知识产权代理有限公司 (LONGSUN LEAD IP LTD.); 中国北京市海淀区北清路68号院3号楼101, Beijing 100094 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: INTERFACE ASSEMBLY, CHIP, AND ELECTRONIC DEVICE

(54) 发明名称: 接口组件、芯片及电子设备



(57) Abstract: An interface assembly (200), a chip, and an electronic device. The interface assembly (200) comprises: a USB host controller (201), a USB transceiver (202), a control circuit (204), and a first signal switching circuit (205-1). The USB host controller (201) and the control circuit (204) are connected to the USB transceiver (202) by means of the first signal switching circuit (205-1). The control circuit (204) is used to control, when the USB transceiver (202) is not connected to an external device, the first signal switching circuit (205-1) to connect the control circuit (204) to the USB transceiver (202), such that the control circuit (204) controls

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

the USB transceiver (202) to enter a low power consumption state. In addition to the USB host controller (201), the control circuit (204) is further provided on the interface assembly (200) in the above technical solution, and a source of a signal for controlling the USB transceiver (202) can be switched by means of the first signal switching circuit (205-1). When the signal source is the control circuit (204), the control circuit (204) can control the USB transceiver (202) to enter the low power consumption state, thereby reducing power consumption of a USB interface.

(57) 摘要: 接口组件(200)、芯片和电子设备, 包括: USB主机控制器(201)、USB收发器(202)、控制电路(204)和第一信号切换电路(205-1), 其中, USB主机控制器(201)和控制电路(204)通过第一信号切换电路(205-1)与USB收发器(202)相连; 控制电路(204), 用于在USB收发器(202)未连接外部设备的情况下, 控制第一信号切换电路(205-1)连通控制电路(204)与USB收发器(202)之间的连接, 以使得控制电路(204)控制USB收发器(202)进入低功耗状态。上述技术方案中的接口组件(200)除包括USB主机控制器(201)以外还增加了控制电路(204), 可以通过第一信号切换电路(205-1)切换USB收发器(202)控制信号的来源, 当信号来源为控制电路(204)时, 控制电路(204)可以控制USB收发器(202)进入低功耗状态, 从而可以降低USB接口的功耗。

接口组件、芯片及电子设备

5 技术领域

本申请涉及电子设备领域，并且更具体地涉及接口组件、芯片及电子设备。

背景技术

10 现有的通用串行总线（universal serial bus，USB）接口的低功耗方案都是针对 USB 收发器连接外部设备的场景。但在个人电脑（personal computer，PC）、平板电脑、机顶盒、电视等产品的实际使用场景中，USB 收发器更多处于未连接外部设备的状态。

对于 USB 收发器未连接外部设备的场景则是按照 USB 接口处于空闲态处理的，以典型的 28 纳米（nm）工艺的芯片为例，一个 USB 接口的功耗将在 10 毫瓦（mW）以上。在此场景下，USB 接口则会产生较大的功耗。

15

发明内容

本申请提供接口组件、芯片和电子设备，可以降低 USB 接口的功耗。

20 第一方面，本申请提供了一种接口组件，所述接口组件包括：包括：通用串行总线 USB 主机控制器、USB 收发器、控制电路和第一信号切换电路，其中，所述 USB 主机控制器和所述控制电路通过所述第一信号切换电路与所述 USB 收发器相连；所述控制电路，用于在所述 USB 收发器未连接外部设备的情况下，控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接，以使得所述控制电路控制所述 USB 收发器进入低功耗状态。

25 上述技术方案中的接口组件除包括 USB 主机控制器以外还增加了控制电路，可以通过第一信号切换电路切换 USB 收发器控制信号的来源。也就是说，在一些情况下 USB 收发器可以由 USB 主机控制器控制，在另一些情况下 USB 收发器可以由控制电路控制。并且具体地在所述 USB 收发器未连接外部设备的情况下，控制电路可以控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接，以使得所述控制电路控制所述 USB 收发器进入低功耗状态，从而可以降低 USB 接口的功耗。

30 并且上述技术方案并未改变 USB 相关协议，可以避免引入 USB 兼容性问题。

在一种可能的实现方式中，所述控制电路，还用于在所述 USB 收发器连接外部设备的情况下，控制所述 USB 收发器退出所述低功耗状态；所述控制电路，还用于在所述 USB 收发器退出所述低功耗状态之后，控制所述第一信号切换电路断开所述控制电路与所述 USB 收发器之间的连接，并连通所述 USB 主机控制器与所述 USB 收发器之间的连接。

35 在一种可能的实现方式中，所述接口组件还包括第二信号切换电路，所述 USB 收发器和所述控制电路通过所述第二信号切换电路与所述 USB 主机控制器相连；所述控制电路，还用于在所述 USB 收发器未连接外部设备的情况下，控制所述第二信号切换电路连通所述控制电路与所述 USB 主机控制器之间的连接。

在一种可能的实现方式中，所述接口组件还包括检测电路，所述检测电路与所述控制电路以及所述 USB 收发器相连；所述检测电路，用于检测所述 USB 收发器上是否连接外部设备，并向所述控制电路传输检测结果；所述控制电路，具体用于在所述检测结果指示所述 USB 收发器未连接外部设备的情况下，控制所述 USB 收发器进入所述低功耗状态。

5 在一种可能的实现方式中，所述控制电路包括控制寄存器、状态寄存器、中断电路和中央处理单元 CPU；所述状态寄存器，用于存储所述检测电路的检测结果，并通过所述中断电路向所述 CPU 上报所述检测结果；所述 CPU，用于在所述检测结果指示所述 USB 收发器未连接外部设备的情况下，执行以下操作中的至少一个：通过配置所述控制寄存器中的第一控制信号，控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接；通过配置所述控制寄存器中的第二控制信号控制所述 USB 收发器进入所述低功耗状态；通过配置所述控制寄存器中的第三控制信号控制所述第二信号切换电路连通所述控制电路与所述 USB 主机控制器之间的连接。

10 在一种可能的实现方式中，所述 CPU，还用于在所述检测结果指示所述 USB 收发器连接外部设备的情况下，执行以下操作中的至少一个：通过配置所述控制寄存器中的所述第二控制信号控制所述 USB 收发器退出所述低功耗状态；在所述 USB 收发器退出所述低功耗状态之后，通过配置所述控制寄存器的所述第一控制信号控制所述第一信号切换电路断开所述控制电路与所述 USB 收发器之间的连接，并连通所述 USB 主机控制器与所述 USB 收发器之间的连接。

上述技术方案采用软件实现的方式对信号切换单元进行控制，成本较低。

20 在一种可能的实现方式中，所述控制电路包括控制寄存器、状态寄存器和控制逻辑电路；所述状态寄存器，用于存储所述检测电路的检测结果；所述控制逻辑电路，用于在所述检测结果指示所述 USB 收发器未连接外部设备的情况下，执行以下操作中的至少一个：控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接；控制所述 USB 收发器进入所述低功耗状态；控制所述第二信号切换电路连通所述控制电路与所述 USB 主机控制器之间的连接。

25 上述技术方案通过逻辑电路实现对信号切换电路的控制，相比于采用软件实现的方式，可以降低软件的复杂度。

30 在一种可能的实现方式中，所述控制逻辑电路，还用于在所述检测结果指示所述 USB 收发器上连接外部设备的情况下，执行以下操作中的至少一个：控制所述 USB 收发器退出所述低功耗状态；在所述 USB 收发器退出所述低功耗状态之后，控制所述第一信号切换电路断开所述控制电路与所述 USB 收发器之间的连接，并连通所述 USB 主机控制器与所述 USB 收发器之间的连接。

上述技术方案通过逻辑电路实现对信号切换电路的控制，相比于采用软件实现的方式，可以降低软件的复杂度。

35 在一种可能的实现方式中，所述第一信号切换电路包括第一输入端、第二输入端、第一输出端以及第一控制端，所述第一输入端、所述第一控制端分别与所述控制电路连接，所述第二输入端与所述 USB 主机控制器连接，所述第一输出端与所述 USB 收发器连接；所述第二信号切换电路包括第三输入端、第四输入端、第二输出端以及第二控制端，所述第三输入端、所述第二控制端分别与所述控制电路连接，所述第四输入端与所述 USB 收

发器连接, 所述第二输出端与所述 USB 主机控制器连接; 所述控制电路, 具体用于在所述 USB 收发器未连接外部设备的情况下, 通过所述第一控制端, 控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接, 以及, 通过所述第二控制端, 控制所述第二信号切换电路连通所述控制电路与所述 USB 主机控制器之间的连接; 所述控制电路, 具体还用于当所述 USB 收发器上连接外部设备的情况下, 通过所述第一控制端, 控制所述第一信号切换电路断开所述控制电路与所述 USB 收发器之间的连接, 以及通过所述第一控制端和所述第二控制端连通所述 USB 主机控制器与所述 USB 收发器之间的连接。

在一种可能的实现方式中, 所述检测电路包括滤波器, 所述滤波器与所述控制电路以及所述 USB 收发器相连, 用于检测所述 USB 收发器上是否连接外部设备。

在一种可能的实现方式中, 当所述 USB 收发器处于所述低功耗状态时, 所述 USB 收发器的锁相环 PLL 电路处于关闭状态。

由于 PLL 电路是 USB 收发器中的高功耗器件, 将 PLL 电路关闭。可以改用功耗较低 (或者说不产生额外功耗) 系统时钟信号来保证 USB 主机控制器的正常工作。这样可以使 USB 接口功耗降低。

第二方面, 本申请提供了一种控制方法, 所述方法应用于接口组件中, 所述接口组件包括通用串行总线 USB 主机控制器、USB 收发器、控制电路和第一信号切换电路, 其中, 所述 USB 主机控制器和所述控制电路通过所述第一信号切换电路与所述 USB 收发器相连, 所述方法包括: 在所述 USB 收发器未连接外部设备的情况下, 所述控制电路控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接, 以使得所述控制电路控制所述 USB 收发器进入低功耗状态。

在一种可能的实现方式中, 所述方法还包括: 在所述 USB 收发器连接外部设备的情况下, 所述控制电路控制所述 USB 收发器退出所述低功耗状态; 在所述 USB 收发器退出所述低功耗状态之后, 所述控制电路控制所述第一信号切换电路断开所述控制电路与所述 USB 收发器之间的连接, 并连通所述 USB 主机控制器与所述 USB 收发器之间的连接。

在一种可能的实现方式中, 所述接口组件还包括第二信号切换电路, 所述 USB 收发器和所述控制电路通过所述第二信号切换电路与所述 USB 主机控制器相连, 所述方法还包括: 在所述 USB 收发器未连接外部设备的情况下, 所述控制电路控制所述第二信号切换电路连通所述控制电路与所述 USB 主机控制器之间的连接。

在一种可能的实现方式中, 所述接口组件还包括检测电路, 所述检测电路与所述控制电路以及所述 USB 收发器相连, 所述方法还包括: 所述控制电路接收所述检测电路传送的检测结果, 所述检测结果用于指示所述 USB 收发器上是否连接外部设备; 在所述 USB 收发器未连接外部设备的情况下, 所述控制电路控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接, 以使得所述控制电路控制所述 USB 收发器进入低功耗状态, 包括: 在所述检测结果指示所述 USB 收发器未连接外部设备的情况下, 所述控制电路控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接, 并控制所述 USB 收发器进入所述低功耗状态。

在一种可能的实现方式中, 所述第一信号切换电路包括第一输入端、第二输入端、第一输出端以及第一控制端, 所述第一输入端、所述第一控制端分别与所述控制电路连接,

所述第二输入端与所述 USB 主机控制器连接, 所述第一输出端与所述 USB 收发器连接; 所述第二信号切换电路包括第三输入端、第四输入端、第二输出端以及第二控制端, 所述第三输入端、所述第二控制端分别与 said 控制电路连接, 所述第四输入端与所述 USB 收发器连接, 所述第二输出端与所述 USB 主机控制器连接; 在所述 USB 收发器未连接外部设备的情况下, 所述控制电路控制所述第一信号切换电路连通所述控制电路与 said USB 收发器之间的连接, 包括: 所述控制电路在所述 USB 收发器未连接外部设备的情况下, 通过所述第一控制端, 控制所述第一信号切换电路连通所述控制电路与 said USB 收发器之间的连接, 以及, 通过所述第二控制端, 控制所述第二信号切换电路连通所述控制电路与 said USB 主机控制器之间的连接; 所述控制电路在所述 USB 收发器上连接外部设备的情况下, 通过所述第一控制端, 控制所述第一信号切换电路断开所述控制电路与 said USB 收发器之间的连接, 以及通过所述第一控制端和所述第二控制端连通 said USB 主机控制器与 said USB 收发器之间的连接。

在一种可能的实现方式中, 所述检测电路包括滤波器, 所述滤波器与所述控制电路以及 said USB 收发器相连, 用于检测 said USB 收发器上是否连接外部设备。

在一种可能的实现方式中, 当 said USB 收发器处于 said 低功耗状态时, said USB 收发器的锁相环 PLL 电路处于关闭状态。

第三方面, 本申请提供了一种芯片, 所述芯片包括处理器以及如第一方面或第一方面的任意一种可能的实现方式中所述的接口组件。

第四方面, 本申请提供了一种电子设备, 所述电子设备包括处理器、存储器以及如第一方面或第一方面的任意一种可能的实现方式中所述的接口组件。

附图说明

图 1 是可以应用本申请实施例的技术方案的 USB 系统的示意性结构图。

图 2 是本申请实施例的接口组件的示意性结构图。

图 3 是本申请实施例的接口组件的信号流向的示意图。

图 4 是本申请实施例的接口组件的另一信号流向的示意图。

图 5 是本申请实施例的控制电路的示意性结构图。

图 6 是本申请实施例的另一控制电路的示意性结构图。

图 7 是 MUX 的示意性结构图。

图 8 是本申请另一实施例提供的接口组件的示意性结构图。

图 9 是本申请又一实施例提供的接口组件的示意性结构图。

具体实施方式

下面将结合附图, 对本申请中的技术方案进行描述。

本申请实施例的技术方案可以应用于各种需要降低接口功耗的设备或产品中, 只要该设备或产品中通过 USB 接口与外部设备进行数据传输即可。例如, PC、平板电脑、机顶盒、电视等。可以理解地, 本申请实施例的技术方案同样可以应用于其他类型的接口系统中, 例如高清晰度多媒体接口 (high definition multimedia interface, HDMI)、外部串行高技术配置 (external serial advanced technology attachment, E-SATA) 接口、视频图像阵列

(video graphics array, VGA) 接口等。本申请以 USB 接口为例, 对本申请的技术方案进行描述。

本申请实施例对 USB 接口的类型不作具体限定, 例如可以是 Micro-USB、Mini-USB、Sub-USB、USB-type C 等。

图 1 是可以应用本申请实施例的技术方案的 USB 系统的示意性结构图。如图 1 所示, USB 主机控制器 101 通过系统总线 115 连接到存储器 114 (例如, 双倍速率同步动态随机存储器 (double data rate synchronous dynamic random access memory, DDR SDRAM)、中央处理单元 (central processing unit, CPU) 1041 和 USB 收发器 102 相连, USB 主机控制器 101 在接收到 CPU 1041 下发的任务后, 通过 USB 收发器 102 实现存储器 104 与外部设备 106 之间的数据的读出或写入, 其中外部设备 106 与 USB 收发器 102 连接。

现有的 USB 接口的低功耗方案都是针对 USB 收发器连接 USB 设备的场景, 但在个人电脑 (personal computer, PC)、平板电脑、机顶盒、电视等产品的实际使用场景中, USB 收发器更多处于未连接 USB 设备的状态, 而对于 USB 收发器未连接 USB 设备的情况, 通常按照 USB 主机控制器和 USB 收发器处于空闲态处理, 而非进入挂起状态。以典型的 28 纳米 (nm) 工艺的芯片为例, 一个 USB 接口的功耗将在 10 毫瓦 (mW) 以上。在此场景下, USB 接口则会产生较大的功耗。因此, 本申请实施例基于接口组件 200, 提供了针对 USB 收发器未连接 USB 设备的场景的低功耗方案。

图 2 是本申请实施例的接口组件的示意性结构图。如图 2 所示, 接口组件 200 包括 USB 主机控制器 201、USB 收发器 202、控制电路 204 和第一信号切换电路 205-1。USB 主机控制器 201、USB 收发器 202 分别可与图 1 中的 USB 主机控制器 101、USB 收发器 102 对应。

其中, USB 主机控制器 201 和控制电路 204 通过第一信号切换电路 205-1 与 USB 收发器 202 相连。也就是说, 在 USB 主机控制器 201 与 USB 收发器 202 之间增加了控制电路 204 与第一信号切换电路 205-1。

本申请实施例对 USB 主机控制器 201 的类型不作具体限定, 例如增强主机控制接口 (enhanced host controller interface, EHCI) 主机控制器、通用主机控制接口 (universal host controller interface, UHCI) 主机控制器、开放主机控制接口 (open host controller interface, OHCI) 主机控制器等。

本申请实施例对 USB 收发器 202 的类型不作具体限定, 例如 USB2.0 收发器宏单元接口 (USB2.0 transceiver macrocell interface, UTMI) 收发器等。

控制电路 204 用于在 USB 收发器 202 未连接外部设备的情况下, 控制第一信号切换电路 205-1 连通控制电路 204 与 USB 收发器 202 之间的连接, 以使得控制电路 204 控制 USB 收发器 202 进入低功耗状态。其中, 连通控制电路 204 与 USB 收发器 202 之间的连接可以是连通二者之间的信号发送/接收。

具体地, 在第一信号切换电路 205-1 连通控制电路 204 和 USB 收发器 202 之间的连接的情况下, 控制电路 204 的发出的控制信号就可以到达 USB 收发器 202, 从而改变 USB 收发器 202 的状态。可选地, USB 收发器 202 处于低功耗状态时, 关闭至少部分电路以节省功耗, 例如, 低功耗状态为挂起状态。可选地, 当 USB 收发器 202 处于低功耗状态时, USB 收发器 202 的锁相环 PLL 电路关闭。由于在不改变现有的 USB 协议的情况下, 在本

申请实施例的技术方案中，USB 收发器 202 在未连接外部设备时，处于低功耗状态，而 USB 主机控制器 201 处于非低功耗状态，因此，为了使 USB 主机控制器 201 正常工作，在 USB 收发器 202 处于低功耗状态时，可以使 USB 主机控制器 201 连接到系统时钟信号。

也就是说，在 USB 收发器 202 连接外部设备的情况下，USB 收发器 202 由 USB 主机
5 控制器 201 控制，处于功耗较高的状态，以待进行数据传输；在 USB 收发器 202 未连接外部设备的情况下，USB 收发器 202 由控制电路 204 控制进入功耗较低的状态，例如低功耗状态，从而降低 USB 接口的功耗。

本申请实施例的第一信号切换电路 205-1 可以根据 USB 收发器 202 是否连接外部设备进行切换。作为一个示例，第一信号切换电路 205-1 可以由控制电路 204 控制，具体地，
10 控制电路 204 在 USB 收发器 202 连接外部设备的情况下，控制第一信号切换电路 205-1 连通 USB 主机控制器 201 与 USB 收发器 202 之间的连接，在 USB 收发器 202 未连接外部设备的情况下，控制第一信号切换电路 205-1 连通控制电路 204 向 USB 收发器 202 之间的连接。

可以理解地，本申请实施的接口组件还可以有更多控制电路，例如，两个控制电路或
15 者两个以上的控制电路，相应地，本申请实施例的第一信号切换电路 205-1 也可以进行更多路的信号的切换，例如，3 路或者大于 3 路等。以接口组件具有两个控制电路 204-1 和 204-2，第一信号切换电路 205-1 可以进行 3 路信号之间的切换为例，例如，在第一信号切换电路 205-1 连通 USB 主机控制器 201 与 USB 收发器之间的连接时，USB 收发器处于空闲态；在第一信号切换电路 205-1 连通控制电路 204-1 与 USB 收发器 202 之间的连接时，
20 USB 收发器处于低功耗状态；在第一信号切换电路 205-1 连通控制电路 204-2 与 USB 收发器 202 之间的连接时，USB 收发器处于空闲态和低功耗状态以外的其他状态。下面为了描述方便，以接口组件具有 1 控制电路 204，第一信号切换电路 205-1 可以进行两路信号之间的切换为例进行描述。

可选地，控制电路 204 还用于在 USB 收发器 202 连接外部设备的情况下，控制 USB
25 收发器 202 退出低功耗状态。例如，控制电路可以在 USB 收发器 202 上有外部设备插入时，控制 USB 收发器 202 退出低功耗状态。

可选地，控制电路 204，还用于在 USB 收发器 202 退出低功耗状态之后，控制第一信号切换电路 205-1 断开控制电路 204 与 USB 收发器 202 之间的连接，并连通 USB 主机控
30 制器 201 与 USB 收发器 202 之间的连接。

也就是说，在不改变现有的 USB 协议的情况下，在本申请实施例的技术方案中，USB 收发器 202 在未连接外部设备时，将 USB 收发器 202 切换到了低功耗状态，而 USB 主机控制器 201 处于空闲状态，而非低功耗状态，因此，在 USB 收发器 202 连接了外部设备时，为了避免由于 USB 收发器 202 和 USB 主机控制器 201 所处状态不一致导致的各种问题，需要先使 USB 收发器 202 恢复到正常状态，例如，开启在低功耗状态关闭的电路等，
35 使得 USB 收发器 202 恢复到正常状态，再导通 USB 主机控制器与 USB 收发器之间的信号连接。

可以理解地，当第一信号切换电路 205-1 连通控制电路 204 与 USB 收发器 202 之间的连接的情况下，USB 主机控制器 201 向 USB 收发器 202 发送的信号是断开的；当第一信号切换电路 205-1 连通 USB 主机控制器 201 与 USB 收发器 202 之间的连接的情况下，

控制电路 204 向 USB 收发器 202 发送的信号是断开的。这样可以避免信号之间的干扰。

可选地，接口组件 200 还包括第二信号切换电路 205-2。USB 收发器 202 和控制电路 204 通过第二信号切换电路 205-2 与 USB 主机控制器 201 相连。也就是说，可以第二信号切换电路 205-2 改变 USB 主机控制器 201 的输入信号的信号来源。控制电路 204 还用于在 USB 收发器 202 未连接外部设备的情况下，控制第二信号切换电路 205-2 连通控制电路 204 与 USB 主机控制器 201 之间的连接。

需要说明的是，第一信号切换电路 205-1 和第二信号切换电路 205-2 的控制信号可以为同一个控制信号，也可以是使用不同的控制信号。

也就是说，在 USB 收发器连接 USB 设备的情况下，由 USB 设备处于功耗较高的状态，以待进行数据传输，而在 USB 收发器没有连接 USB 设备的情况下，USB 控制器可由控制电路控制进入功耗较低的状态，例如低功耗状态，从而降低 USB 接口的功耗。

可选地，本申请实施例的接口组件 200 还包括检测电路 203，检测电路 203 与 USB 收发器 202、控制电路 204 相连，用于检测 USB 收发器 202 是否连接外部设备，并将检测结果发送给控制电路 204，以便控制电路 204 根据检测结果对第一信号切换电路 205-1、第二信号切换电路 205-2 和 USB 收发器 202 进行控制。

检测电路的检测结果可以用比特位的状态值或者检测电路输出信号的高低电平来表示。作为一个示例，用两个比特表示，其中一个比特表示是否有外部设备连接，一个比特位表示连接状态是否有变化。例如，当两个比特的状态值为 00 时，表示 USB 收发器 202 一直处于未连接外部设备的状态；当两个比特的状态值为 01 时，表示无外部设备连接并且状态发生改变，也就是说 USB 收发器 202 上的外部设备拔出；当两个比特的状态值为 10 时，表示有外部设备连接并且状态未发生改变，也就是说 USB 收发器 202 一直连接外部设备；当两个比特的状态值为 11 时，表示有外部设备连接并且状态发生改变，也就是说 USB 收发器 202 上插入外部设备。

下面结合图 3 和图 4 对接口组件 200 的信号流进行描述。

对于 USB 收发器 202 未连接外部设备的情况，如图 3 所示，检测电路 203 接收来自 USB 收发器 202 的第一信号 310，并在第一信号 310 指示 USB 收发器 202 未连接外部设备的情况下，生成第二信号 307，第二信号 307 用于向控制电路 204 指示 USB 收发器 202 未连接外部设备；控制电路 204 在接收到第二信号 307 之后，控制第一信号切换电路 205-1 断开 USB 主机控制器 201 与 USB 收发器 202 之间的连接，并连通控制电路 204 与 USB 收发器 202 之间的连接，使得控制电路 204 发出的第二控制信号 311 到达 USB 收发器 202；并且控制第二信号切换电路 205-2 断开 USB 主机控制器 201 与 USB 收发器 202 之间的连接，连通控制电路 204 与 USB 主机控制器 201 之间的连接；USB 收发器 202 在接收到第二控制信号 311 之后，进入低功耗状态。

对于 USB 收发器 202 连接外部设备的情况，如图 4 所示，检测电路 203 在第一信号 310 指示 USB 收发器 202 连接外部设备的情况下，生成第三信号 412，第三信号 412 用于向控制电路 204 指示 USB 收发器 202 连接外部设备；控制电路 204 在接收到第三信号 412 之后，在控制电路 204 与 USB 收发器 202 之间的信号连通的情况下，向 USB 收发器 202 发送第四控制信号 413；USB 收发器 202 在接收到第四控制信号 413 之后，退出低功耗状态；控制电路 204 在 USB 收发器 202 退出低功耗状态之后，控制第一信号切换电路 205-1

断开控制电路 204 与 USB 收发器之间的连接，并连通 USB 主机控制器 201 与 USB 收发器 202 之间的连接。

此外，在系统初始化的时候，USB 主机控制器 201 和 USB 收发器 202 默认使用来自控制电路 204 的信号。也就是说，如果 USB 收发器 202 从始至终未连接外部设备，USB 收发器 202 可以一直处于低功耗状态。这样，对于从未使用过的 USB 接口，同样可以降低功耗。

应理解，在切换 USB 收发器 202 和 USB 主机控制器 201 的信号来源的时候，控制电路 204 中用于控制第一信号切换电路 205-1 和第二信号切换电路 205-2 的信号始终保持连接。

本申请实施例对上述控制电路 204 的形式不作具体限定，只要其能够实现上文所述的功能即可。

作为一个示例，如图 5 所示，控制电路 204 包括控制寄存器 204-4、状态寄存器 204-1、中断电路 204-2 和 CPU 204-3。状态寄存器 204-1 用于存储检测电路 203 的检测结果，并通过中断电路 204-2 向 CPU 204-3 上报所述检测结果。CPU 204-3 用于在检测结果指示 USB 收发器 202 未连接外部设备的情况下，执行以下操作中的至少一个：

通过配置控制寄存器 204-4 中的第一控制信号，控制第一信号切换电路 205-1 连通控制电路 204 与 USB 收发器 202 之间的连接；通过配置所述控制寄存器 204-4 中的第二控制信号 311，控制 USB 收发器 202 进入低功耗状态；通过配置所述控制寄存器 204-4 中的第三控制信号，控制第二信号切换电路 205-2 连通控制电路 204 与 USB 主机控制器 201 之间的连接。

CPU 204-3 还用于在检测结果指示 USB 收发器 202 连接外部设备的情况下，执行以下操作中的至少一个：

通过配置控制寄存器 204-4 中的第二控制信号 311 控制 USB 收发器 202 退出低功耗状态；在 USB 收发器 202 退出低功耗状态之后，通过配置控制寄存器 204-4 的第一控制信号控制第一信号切换电路 205-1 断开控制电路 204 与 USB 收发器 202 之间的连接，并连通 USB 主机控制器 201 与 USB 收发器 202 之间的连接。

具体地，对于 USB 收发器 202 未连接外部设备的情况，状态寄存器 204-1 用于在接收到来自检测电路 203 的第二信号 307 之后，通过中断电路 204-2 向 CPU 204-3 上报第一中断事件，该第一中断事件为 USB 收发器 202 未连接外部设备（例如，在外部设备拔出时），CPU 204-3 用于根据第一中断事件，配置控制寄存器 204-4，以便控制寄存器 204-4 控制第一信号切换电路 205-1 断开 USB 主机控制器 201 与 USB 收发器 202 之间的连接，连通控制电路 204 与 USB 收发器 202 之间的连接，使得控制电路 204 发出的第二控制信号 311 到达 USB 收发器 202；并且控制第二信号切换电路 205-2 断开 USB 主机控制器 201 与 USB 收发器 202 之间的连接，连通控制电路 204 与 USB 主机控制器 201 之间的连接；USB 收发器 202 在接收到第二控制信号 311 之后，进入低功耗状态。

对于外部设备插入 USB 收发器 202 的情况，状态寄存器 204-1 用于在接收到来自检测电路 203 的第三信号 412 之后，通过中断电路 204-2 向 CPU 204-3 上报第二中断事件，该第一中断事件为 USB 收发器 202 连接外部设备（例如，在外部设备插入时），CPU 204-3 用于根据第二中断事件，配置控制寄存器 204-4，以便在控制电路 204 与 USB 收发器 202

之间的信号连通的情况下，向 USB 收发器 202 发送第四控制信号 413；USB 收发器 202 在接收到第四控制信号 413 之后，退出低功耗状态；控制电路 204 在 USB 收发器 202 退出低功耗状态之后，控制第一信号切换电路 205-1 断开控制电路 204 与 USB 收发器之间的连接，并连通 USB 主机控制器 201 与 USB 收发器 202 之间的连接。

5 作为另外一个示例，如图 6 所示，控制电路 204 包括控制寄存器 204-6、状态寄存器 204-5 和控制逻辑电路 204-7。状态寄存器 204-5 用于存储检测电路 203 的检测结果；控制逻辑电路 204-7 用于在检测结果指示 USB 收发器 202 未连接外部设备的情况下，执行以下操作中的至少一个：

10 控制第一信号切换电路 205-1 连通控制电路 204 与 USB 收发器 202 之间的连接；控制 USB 收发器 202 进入低功耗状态；控制第二信号切换电路 205-2 连通控制电路 204 与 USB 主机控制器 201 之间的连接。

控制逻辑电路 204-7 还用于在检测结果指示 USB 收发器 202 上连接外部设备的情况下，执行以下操作中的至少一个：

15 控制 USB 收发器 202 退出所述低功耗状态；在 USB 收发器 202 退出低功耗状态之后，控制第一信号切换电路 205-1 断开控制电路 204 与 USB 收发器 202 之间的连接，并连通 USB 主机控制器 201 与 USB 收发器 202 之间的连接。

20 具体地，对于 USB 收发器 202 未连接外部设备的情况，状态寄存器 204-5 用于在接收到来自检测电路 203 的第二信号 307 之后，生成第四信号，控制逻辑电路 204-7 用于在接收到第四信号之后，控制第一信号切换电路 205-1 连通控制逻辑电路 204-7 与 USB 收发器 202 之间的连接，以及控制寄存器 204-6 与 USB 收发器 202 之间的连接，控制第二信号切换电路 205-2 连通控制寄存器 204-6 与 USB 主机控制器 201 之间的连接，以便控制 USB 收发器 202 进入低功耗状态。

25 对于外部设备插入 USB 收发器 202 的情况，状态寄存器 204-5 用于在接收到来自检测电路的第三信号 412 之后，生成第五信号，控制逻辑电路 204-7 用于在接收到第五信号之后，控制 USB 收发器 202 退出低功耗状态，在 USB 收发器 202 退出低功耗状态后，控制第一信号切换电路 205-1 连通 USB 主机控制器 201 与 USB 收发器 202 之间的连接，控制第二信号切换电路 205-2 连通 USB 收发器 202 与 USB 主机控制器 201 之间的连接。

可以理解地，控制电路 204 也可以完全使用软件编程实现，或者完全通过硬件实现，或者通过软硬件结合的方式实现，本申请实施例对此不作具体限定。

30 本申请对第一信号切换电路 205-1 的形式不作具体限定。作为一个示例，第一信号切换电路 205-1 可以由一个或者多个复用器（multiplexer，MUX）实现。可选地，第一信号切换电路 205-1 包括第一输入端、第二输入端、第一输出端以及第一控制端，第一输入端、第一控制端分别与控制电路 204 连接，第二输入端与 USB 收发器 202 连接，第一输出端与 USB 主机控制器 201 连接。控制电路 204 在所述 USB 收发器未连接外部设备的情况下，
35 通过第一控制端，控制第一信号切换电路 205-1 连通控制电路 204 与 USB 收发器 202 之间的连接；当 USB 收发器 202 上连接外部设备的情况下，通过第一控制端，控制第一信号切换电路 205-1 断开控制电路 204 与 USB 收发器 202 之间的连接，连通 USB 主机控制器 201 发向 USB 收发器 202 的信号。

同样，第二信号切换电路 205-2 可以由一个或者多个 MUX 实现。可选地，第二信号

切换电路 205-2 包括第三输入端、第四输入端、第二输出端以及第二控制端，第三输入端、第二控制端分别与控制电路 204 连接，第四输入端与 USB 主机控制器 201 连接，第二输出端与 USB 收发器 202 连接。控制电路 204 在所述 USB 收发器未连接外部设备的情况下，可以通过控制第二控制端，控制第二信号切换电路 205-2 连通控制电路 204 与 USB 主机

5 控制器 201 之间的连接；当 USB 收发器 202 上连接外部设备的情况下，通过第二控制端，控制第二信号切换电路 205-2 断开控制电路 204 与 USB 主机控制器 201 之间的连接，连通 USB 收发器 202 发向 USB 主机控制器 201 的信号。

图 7 是 MUX 的示意性结构图。如图 7 所示，MUX 具有两个输入端 A 和 B、一个输出端 D，以及一个控制端 C。输入端 A 和 B 分别可以对应于上文的第一输入端、第二输入端，或第三输入端、第四输入端，输出端 D 可以对应于上文的第一输出端或第二输出端，控制端 C 可以对应于上文的第一控制端或第二控制端。控制电路 204 通过控制端 C，可以实现输出端 D=输入端 A 或输出端 D=输入端 B，从而实现信号切换。

10

应理解，本申请实施例 MUX 的实现方式不作具体限定，例如可以使用软件编程实现，也可以通过硬件实现，或者通过软硬件结合的方式实现。

本申请实施例对检测电路 203 的形式不作具体限定，只要其能实现检测 USB 收发器 202 是否连接外部设备即可。例如，检测电路 203 可以是滤波器。本申请对检测电路的实现方式不作具体限定，例如可以使用软件编程实现，也可以通过硬件实现，或者通过软硬件结合的方式实现。

15

下面结合具体地例子，对本申请实施例的技术方案进行详细描述。

图 8 是本申请另一实施例提供的接口组件的示意性结构图。图 8 中的 USB 主机控制器 801 可以对应于上文的主机控制器 201，USB2.0 收发器宏单元接口物理层 (UTMI physical layer, UTMI PHY) 802 可以对应于上文的 USB 收发器 202，控制电路 804 (包括中断电路 8042、CSR 8041 和 CPU 8043) 可以对应于上文的控制电路 204，10 个 MUX 可以对应于上文的信号切换电路 205，滤波器 803 可以对应于上文的检测电路 203。

20

以 EHCI 主机控制器和 UTMI PHY 为例，EHCI 主机控制器 (即逻辑层) 与 UTMI PHY (即物理层) 之间的接口标准为 UTMI，EHCI 主机控制器和 UTMI PHY 之间的信号描述如下：

25

utmi_linestate: 对应于 1 和 11，用于反馈 USB 总线连接情况的信号，根据 UTMI 接口协议，当 UTMI PHY 802 进入挂起 (suspend) 状态时，UTMI PHY 802 内部的锁相环 (phase locked loop, PLL) 时钟源关闭，但 utmi_linestate 信号可以通过组合逻辑电路直接反应得到，也就是说，UTMI PHY 802 进入低功耗状态后，utmi_linestate 信号仍然能够传递外部设备的连接情况。

30

utmi_hostdisconnect: 对应于 2 和 12，用于反馈 UTMI PHY 802 是否为断连的信号。

utmi_suspendm: 对应于 3 和 13，用于控制 UTMI PHY 802 是否待机 (即挂起状态) 的信号，低电平有效；

35

utmi_xcvselect[1:0]: 对应于 4 和 14，用于控制 UTMI PHY 802 是否选择高速通道的信号；

utmi_termselect: 对应于 5 和 15，用于控制 UTMI PHY 802 是否连接高速电阻的信号；

utmi_opmode[1:0]: 对应于 6 和 16，用于控制 UTMI PHY 802 是否工作在正常编码模

式的信号;

utmi_rx: 对应于 7 和 17, 用于 UTMI PHY 802 向 USB 主机控制器 801 发送从外部设备接收的数据;

5 utmi_tx: 对应于 8 和 18, 用于 UTMI PHY 802 向外部设备发送从 USB 主机控制器 801 接收的数据;

clk_utmi: 对应于 9 和 19, UTMI PHY 802 的工作时钟信号, 从 UTMI PHY 802 经由时钟门控 816 连接至 USB 主机控制器 801, 60MHz, 挂起状态下停钟;

clk_free: 对应于 10 和 20, UTMI PHY 802 的工作时钟信号, 从 UTMI PHY 802 经由时钟门控 817 连接至 USB 主机控制器 801, 60MHz, 挂起状态下不停钟。

10 如图 8 所示, 本申请实施例在 EHCI 主机控制器和 UTMI PHY 之间做一些增量电路设计, 以实现上文所述的方案。具体地, 在 utmi_linestate, utmi_hostdisconnect, utmi_rx, 之间分别设置 MUX 805-1、805-2 和 805-7, 在 utmi_suspendm, utmi_rcvselect[1:0], utmi_termselect, utmi_opmode[1:0], utmi_tx 之间分别设置 MUX 805-3、805-4、805-5 和 805-6, 在 clk_utmi, clk_free 之间分别设置 MUX 805-9 和 805-10, 其中, MUX 805-1、805-2 和 805-7 的输出端连接 USB 主机控制器 801, 控制端连接控制寄存器 804-4, 以及两个输入端分别连接至控制寄存器 804-4 和 UTMI PHY 802, MUX 805-3、805-4、805-5 和 805-6 的输出端连接 USB 收发器 802, 控制端连接控制寄存器 804-4, 以及两个输入端分别连接至控制寄存器 804-4 和 USB 主机控制器 801, MUX 805-9 和 805-10 的输出端连接 USB 主机控制器 801, 控制端连接控制寄存器 804-4, 以及两个输入端分别连接至系统时钟信号 818 和 UTMI PHY 802; 来自 UTMI PHY 802 的 utmi_linestate 信号除了作为 MUX 805-1 的输入, 还作为滤波器 803 的输入, 以便在 UTMI PHY 802 由控制电路 804 控制时, 让状态寄存器 804-1 可以获知 UTMI PHY 802 是否连接外部设备, 其中滤波器 803 为连接状态检测滤波器, 用于防止连接状态误检测; 中断电路 804-2 可以是电平触发的一个中断信号线, 可以信号保持高电平触发中断。

25 需要说明的是, 图 8 中的每个 MUX 的控制端 (即选择 (select) 信号) 连接均未示出, 实际上每个 MUX 的控制端均连接到控制寄存器 804-4。

接口组件 800 的初始设置为默认值, 具体配置如图 8 所示, 例如, utmi_termselect 输入为 1, clk_free/clk_utmi 等输入为系统时钟信号 (clk_from_crg) 818, 也就是说, 初始状态下, 由控制电路 804 控制 USB 主机控制器 801 和 UTMI PHY 802 之间连接状态。在 UTMI PHY 802 上没有外部设备插上时, 控制电路 804 (或称软件) 通过 MUX 控制 USB 主机控制器 801 和 UTMI PHY 802 之间的连接断开。在 UTMI PHY 802 上有外部设备插上时, 控制电路 804 再控制 UTMI PHY 802 和 USB 主机控制器 801 连通, 例如, USB 主机控制器 801 的 utmi_terselect 连接到 UTMI PHY 802 的 utmi_terselect, USB 主机控制器 801 的 clk_free/clk_utmi 连接到 UTMI PHY 802 的 clk_free/clk_utmi 等, 此时接口组件 800 恢复了正常模式。

35 接口组件 800 通过滤波器 803 检测 UTMI PHY 802 是否连接外部设备。具体地, 滤波器 803 被配置为利用 utmi_linestate 信号检测 UTMI PHY 802 是否连接外部设备。更具体地, 在 UTMI PHY 802 的当前状态为未连接外部设备的情况下, 如果滤波器 803 检测到 utmi_linestate[1:0] 等于 2'b00, 且持续时间大于 x 毫秒, 说明外部设备拔出 UTMI PHY 802;

在 UTMI PHY 802 的当前状态为连接外部设备的情况下，如果滤波器 803 检测到 utmi_linestate[1:0]不等于 2'b00，且持续时间大于 y 毫秒 (ms)，说明外部设备插入 UTMI PHY 802。

应理解，对于 x 的选取，应保证在有外部设备插入 UTMI PHY 802 的情况下，根据 USB 协议规定，utmi_linestate 至少要持续 3ms，才足以保证外部设备稳定连接上，所以 x 至少大于 3ms。进一步考虑到如果 x 选取过大，会使得检测时间很长。因此，优选地，x 的默认值可为 10ms，且 x 可以由寄存器配置。同理，对于 y 的选取，应保证在没有外部设备插入 UTMI PHY 802 的情况下，USB 总线不会出现持续时间大于 y 毫秒的 utmi_linestate 不等于 2'b00 的情况。按照 USB2.0 协议，y 至少是 0.25ms。y 的值过小，容易受到外部毛刺的干扰，而 y 的值变大，会使检测时间变长。因此，优选地，y 的默认值可为 10ms，且 y 可以由寄存器配置。这样，本申请实施例的方案可以保证插拔检测的可靠性，降低误检测。

下面描述接口组件 800 的主要工作流程。

1、初始化

系统初始化时候，USB 主机控制器 801 和 UTMI PHY 802 之间的连接状态为默认值，处于非连通状态。例如，控制电路 804 控制 clk_free/clk_utmi 为 clk_from_crg，utmi_suspendm 为 0 等，UTMI PHY 802 进入待机状态（或称低功耗状态）。如果一直没有外部设备插入 UTMI PHY 802，则 UTMI PHY 802 将一直处于低功耗状态。

2、设备插入

当有外部设备插入 UTMI PHY 802 的时候，滤波器 803 检测到外部设备插入，状态寄存器 804-1 存储连接状态，并通过中断电路 804-2 向 CPU 804-3 上报外部设备插入的中断事件，这时候软件收到中断事件，通过控制寄存器 804-4 设置 utmi_suspendm 为 1，让 UTMI PHY 802 退出待机状态，待 UTMI PHY 802 退出待机状态之后，设置 USB 主机控制器 801 和 UTMI PHY 802 之间的信号连通。连通 USB 主机控制器 801 和 UTMI PHY 802 之间的信号时，先控制连通 USB 主机控制器 801 和 UTMI PHY 802 之间的 clk_free/clk_utmi，后控制其他信号连通，完成之后 USB 主机控制器 801 和 UTMI PHY 802 则进入正常连接状态，之后的正常工作流程即与现有技术相同。

3、设备拔出

当有外部设备拔出 UTMI PHY 802 的时候，滤波器 803 检测到外部设备拔出，状态寄存器 804-1 存储连接状态，并通过中断电路 804-2 向 CPU 804-3 上报外部设备拔出的中断事件，这时候软件收到中断事件，先通过控制寄存器 804-4 控制 USB 主机控制器 801 和 UTMI PHY 802 之间的信号（例如，clk_free，clk_utmi 等）断开，然后设置 utmi_suspend 为 0，使 UTMI PHY 802 进入待机模式，即恢复到低功耗状态。

图 9 是本申请另一实施例提供的接口组件的示意性结构图。图 9 控制电路 904 包括控制寄存器 904-6、状态寄存器 904-5 和控制逻辑电路 904-7，其中控制逻辑电路 904-7 包括状态机。如图 9 所示，各 MUX 的控制端连接控制逻辑电路 904-7。

接口组件 800 和接口组件 900 的不同之处在于接口组件 800 有中断设计，需要软件配合逻辑实现上述处理流程，例如 CPU 804-3 在收到中断事件之后根据具体事件控制 UTMI PHY 802 进入或退出低功耗状态，而在接口组件 900 中，这些操作由控制逻辑电路 904-7

完成。接口组件 900 稍微增加了逻辑电路复杂度，换取的好处是不需要软件参与，避免增加软件的维护开销。

可选地，控制逻辑电路 904-7 可以采用现有的基本功能模块。

5 接口组件 900 的其他部分（例如，USB 主机控制器 901、UTMI PHY 902、滤波器 903 等）的结构和功能，以及接口组件 900 的工作流程可以参见图 8 的相关描述，在此不再赘述。

10 本申请实施例的技术方案，弥补了 USB2.0 协议的低功耗场景的考虑不足。在接口组件在未连接外部设备的情况下，将 UTMI PHY 配置为挂起状态，可以显著降低 USB 接口组件的整体功耗。以一个典型的 28 纳米（nm）工艺的芯片为例，UTMI PHY 的面积约是 USB 主机控制器的 10 倍，降低 PHY 的功耗可以显著降低 USB 的整体功耗。对于 USB 接口组件不接外部设备的场景，28nm 工艺的实测数据如下：如果 UTMI PHY 不进入低功耗状态，USB 接口组件的功耗约 15 毫瓦（mW）；如果 UTMI PHY 进入低功耗状态，USB 接口组件的功耗约 0.5mW，节省功耗 96% 以上。

15 本申请实施例还提供了一种控制方法。所述方法应用于接口组件中，所述接口组件包括通用串行总线 USB 主机控制器、USB 收发器、控制电路和第一信号切换电路，其中，所述 USB 主机控制器和所述控制电路通过所述第一信号切换电路与所述 USB 收发器相连，所述方法包括：在所述 USB 收发器未连接外部设备的情况下，所述控制电路控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接，以使得所述控制电路控制所述 USB 收发器进入低功耗状态。

20 可选地，所述方法还包括：在所述 USB 收发器连接外部设备的情况下，所述控制电路控制所述 USB 收发器退出所述低功耗状态；在所述 USB 收发器退出所述低功耗状态之后，所述控制电路控制所述第一信号切换电路断开所述控制电路与所述 USB 收发器之间的连接，并连通所述 USB 主机控制器与所述 USB 收发器之间的连接。

25 可选地，所述接口组件还包括第二信号切换电路，所述 USB 收发器和所述控制电路通过所述第二信号切换电路与所述 USB 主机控制器相连，所述方法还包括：在所述 USB 收发器未连接外部设备的情况下，所述控制电路控制所述第二信号切换电路连通所述控制电路与所述 USB 主机控制器之间的连接。

30 可选地，所述接口组件还包括检测电路，所述检测电路与所述控制电路以及所述 USB 收发器相连，所述方法还包括：所述控制电路接收所述检测电路传送的检测结果，所述检测结果用于指示所述 USB 收发器上是否连接外部设备；在所述 USB 收发器未连接外部设备的情况下，所述控制电路控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接，以使得所述控制电路控制所述 USB 收发器进入低功耗状态，包括：在所述检测结果指示所述 USB 收发器未连接外部设备的情况下，控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接，并控制所述 USB 收发器进入所述低功耗状态。

35 可选地，所述第一信号切换电路包括第一输入端、第二输入端、第一输出端以及第一控制端，所述第一输入端、所述第一控制端分别与所述控制电路连接，所述第二输入端与所述 USB 主机控制器连接，所述第一输出端与所述 USB 收发器连接；所述第二信号切换电路包括第三输入端、第四输入端、第二输出端以及第二控制端，所述第三输入端、所述

第二控制端分别与所述控制电路连接，所述第四输入端与所述 USB 收发器连接，所述第二输出端与所述 USB 主机控制器连接；在所述 USB 收发器未连接外部设备的情况下，所述控制电路控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接，包括：所述控制电路在所述 USB 收发器未连接外部设备的情况下，通过所述第一控制端，
5 控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接，以及，通过所述第二控制端，控制所述第二信号切换电路连通所述控制电路与所述 USB 主机控制器之间的连接；所述控制电路在所述 USB 收发器上连接外部设备的情况下，通过所述第一控制端，控制所述第一信号切换电路断开所述控制电路与所述 USB 收发器之间的连接，以及通过所述第一控制端和所述第二控制端连通所述 USB 主机控制器与所述 USB 收发器
10 之间的连接。

可选地，所述检测电路包括滤波器，所述滤波器与所述控制电路以及所述 USB 收发器相连，用于检测所述 USB 收发器上是否连接外部设备。

可选地，当所述 USB 收发器处于所述低功耗状态时，所述 USB 收发器的锁相环 PLL 电路处于关闭状态。

需要注意的是，本申请实施例中的“……中的至少一个”表示所列出的各项之一或其任意组合，例如，“A、B 和 C 中的至少一个”表示：单独存在 A，单独存在 B，单独存在 C，同时存在 A 和 B，同时存在 A 和 C，同时存在 B 和 C，同时存在 A、B 和 C 这六种情况。

本领域普通技术人员可以意识到，结合本文中所公开的实施例描述的各示例的单元及算法步骤，能够以电子硬件、或者计算机软件和电子硬件的结合来实现。这些功能究竟以
20 硬件还是软件方式来执行，取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能，但是这种实现不应认为超出本申请的范围。

所属领域的技术人员可以清楚地了解到，为描述的方便和简洁，上述描述的系统、装置和单元的具体工作过程，可以参考前述方法实施例中的对应过程，在此不再赘述。

在本申请所提供的几个实施例中，应该理解到，所揭露的系统、装置和方法，可以通过其它的方式实现。例如，以上所描述的装置实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，例如多个单元或组件可以结合或者可以集成到另一个系统，或一些特征可以忽略，或不执行。另一点，所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口，装置或单元的间接耦合或通信连接，可以是电性，机械或其它的形式。

所述作为分离部件说明的单元可以是或者也可以不是物理上分开的，作为单元显示的部件可以是或者也可以不是物理单元，即可以位于一个地方，或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

另外，在本申请各个实施例中的各功能单元可以集成在一个处理单元中，也可以是各个单元单独物理存在，也可以两个或两个以上单元集成在一个单元中。

所述功能如果以软件功能单元的形式实现并作为独立的产品销售或使用，可以存储在一个计算机可读取存储介质中。基于这样的理解，本申请的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计

算机，服务器，或者网络设备等）执行本申请各个实施例所述方法的全部或部分步骤。而前述的存储介质包括：U 盘、移动硬盘、只读存储器（read-only memory，ROM）、随机存取存储器（random access memory，RAM）、磁碟或者光盘等各种可以存储程序代码的介质。

- 5 以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1、一种接口组件，其特征在于，包括：通用串行总线 USB 主机控制器、USB 收发器、控制电路和第一信号切换电路，其中，所述 USB 主机控制器和所述控制电路通过所述第一信号切换电路与所述 USB 收发器相连；

所述控制电路，用于在所述 USB 收发器未连接外部设备的情况下，控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接，以使得所述控制电路控制所述 USB 收发器进入低功耗状态。

2、根据权利要求 1 所述的接口组件，其特征在于，

所述控制电路，还用于在所述 USB 收发器连接外部设备的情况下，控制所述 USB 收发器退出所述低功耗状态；

所述控制电路，还用于在所述 USB 收发器退出所述低功耗状态之后，控制所述第一信号切换电路断开所述控制电路与所述 USB 收发器之间的连接，并连通所述 USB 主机控制器与所述 USB 收发器之间的连接。

3、根据权利要求 1 或 2 所述的接口组件，其特征在于，所述接口组件还包括第二信号切换电路，所述 USB 收发器和所述控制电路通过所述第二信号切换电路与所述 USB 主机控制器相连；

所述控制电路，还用于在所述 USB 收发器未连接外部设备的情况下，控制所述第二信号切换电路连通所述控制电路与所述 USB 主机控制器之间的连接。

4、根据权利要求 1 至 3 中任一项所述的接口组件，其特征在于，所述接口组件还包括检测电路，所述检测电路与所述控制电路以及所述 USB 收发器相连；

所述检测电路，用于检测所述 USB 收发器上是否连接外部设备，并向所述控制电路传输检测结果；

所述控制电路，具体用于在所述检测结果指示所述 USB 收发器未连接外部设备的情况下，控制所述 USB 收发器进入所述低功耗状态。

5、根据权利要求 4 所述的接口组件，其特征在于，所述控制电路包括控制寄存器、状态寄存器、中断电路和中央处理单元 CPU；

所述状态寄存器，用于存储所述检测电路的检测结果，并通过所述中断电路向所述 CPU 上报所述检测结果；

所述 CPU，用于在所述检测结果指示所述 USB 收发器未连接外部设备的情况下，执行以下操作中的至少一个：

通过配置所述控制寄存器中的第一控制信号，控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接；

通过配置所述控制寄存器中的第二控制信号控制所述 USB 收发器进入所述低功耗状态；

通过配置所述控制寄存器中的第三控制信号控制所述第二信号切换电路连通所述控制电路与所述 USB 主机控制器之间的连接。

6、根据权利要求 5 所述的接口组件，其特征在于，所述 CPU，还用于在所述检测结

果指示所述 USB 收发器连接外部设备的情况下, 执行以下操作中的至少一个:

通过配置所述控制寄存器中的所述第二控制信号控制所述 USB 收发器退出所述低功耗状态;

- 5 在所述 USB 收发器退出所述低功耗状态之后, 通过配置所述控制寄存器的所述第一控制信号控制所述第一信号切换电路断开所述控制电路与所述 USB 收发器之间的连接, 并连通所述 USB 主机控制器与所述 USB 收发器之间的连接。

7、根据权利要求 4 所述的接口组件, 其特征在于, 所述控制电路包括控制寄存器、状态寄存器和控制逻辑电路;

所述状态寄存器, 用于存储所述检测电路的检测结果;

- 10 所述控制逻辑电路, 用于在所述检测结果指示所述 USB 收发器未连接外部设备的情况下, 执行以下操作中的至少一个:

控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接;

控制所述 USB 收发器进入所述低功耗状态;

控制所述第二信号切换电路连通所述控制电路与所述 USB 主机控制器之间的连接。

- 15 8、根据权利要求 7 所述的接口组件, 其特征在于, 所述控制逻辑电路, 还用于在所述检测结果指示所述 USB 收发器上连接外部设备的情况下, 执行以下操作中的至少一个:

控制所述 USB 收发器退出所述低功耗状态;

- 20 在所述 USB 收发器退出所述低功耗状态之后, 控制所述第一信号切换电路断开所述控制电路与所述 USB 收发器之间的连接, 并连通所述 USB 主机控制器与所述 USB 收发器之间的连接。

9、根据权利要求 3 至 8 中任一项所述的接口组件, 其特征在于,

所述第一信号切换电路包括第一输入端、第二输入端、第一输出端以及第一控制端, 所述第一输入端、所述第一控制端分别与所述控制电路连接, 所述第二输入端与所述 USB 主机控制器连接, 所述第一输出端与所述 USB 收发器连接;

- 25 所述第二信号切换电路包括第三输入端、第四输入端、第二输出端以及第二控制端, 所述第三输入端、所述第二控制端分别与所述控制电路连接, 所述第四输入端与所述 USB 收发器连接, 所述第二输出端与所述 USB 主机控制器连接;

- 30 所述控制电路, 具体用于在所述 USB 收发器未连接外部设备的情况下, 通过所述第一控制端, 控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接, 以及, 通过所述第二控制端, 控制所述第二信号切换电路连通所述控制电路与所述 USB 主机控制器之间的连接;

- 35 所述控制电路, 具体还用于当所述 USB 收发器上连接外部设备的情况下, 通过所述第一控制端, 控制所述第一信号切换电路断开所述控制电路与所述 USB 收发器之间的连接, 以及通过所述第一控制端和所述第二控制端连通所述 USB 主机控制器与所述 USB 收发器之间的连接。

10、根据权利要求 4 至 9 中任一项所述的接口组件, 其特征在于, 所述检测电路包括滤波器, 所述滤波器与所述控制电路以及所述 USB 收发器相连, 用于检测所述 USB 收发器上是否连接外部设备。

11、根据权利要求 1 至 10 中的任一项所述接口组件, 其特征在于, 当所述 USB 收发

器处于所述低功耗状态时，所述 USB 收发器的锁相环 PLL 电路处于关闭状态。

12、一种芯片，其特征在于，包括处理器以及如权利要求 1 至 11 中任一项所述的接口组件。

5 13、一种电子设备，其特征在于，包括处理器、存储器以及如权利要求 1 至 11 中任一项所述的接口组件。

14、一种控制方法，其特征在于，应用于接口组件中，所述接口组件包括通用串行总线 USB 主机控制器、USB 收发器、控制电路和第一信号切换电路，其中，所述 USB 主机控制器和所述控制电路通过所述第一信号切换电路与所述 USB 收发器相连，所述方法包括：

10 在所述 USB 收发器未连接外部设备的情况下，所述控制电路控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接，以使得所述控制电路控制所述 USB 收发器进入低功耗状态。

15 15、根据权利要求 14 所述的方法，其特征在于，所述方法还包括：

在所述 USB 收发器连接外部设备的情况下，所述控制电路控制所述 USB 收发器退出
15 所述低功耗状态；

在所述 USB 收发器退出所述低功耗状态之后，所述控制电路控制所述第一信号切换电路断开所述控制电路与所述 USB 收发器之间的连接，并连通所述 USB 主机控制器与所述 USB 收发器之间的连接。

20 16、根据权利要求 14 或 15 所述的方法，其特征在于，所述接口组件还包括第二信号切换电路，所述 USB 收发器和所述控制电路通过所述第二信号切换电路与所述 USB 主机控制器相连，所述方法还包括：

在所述 USB 收发器未连接外部设备的情况下，所述控制电路控制所述第二信号切换电路连通所述控制电路与所述 USB 主机控制器之间的连接。

25 17、根据权利要求 14 至 16 中任一项所述的方法，其特征在于，所述接口组件还包括检测电路，所述检测电路与所述控制电路以及所述 USB 收发器相连，所述方法还包括：

所述控制电路接收所述检测电路传送的检测结果，所述检测结果用于指示所述 USB 收发器上是否连接外部设备；

30 在所述 USB 收发器未连接外部设备的情况下，所述控制电路控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接，以使得所述控制电路控制所述 USB 收发器进入低功耗状态，包括：

在所述检测结果指示所述 USB 收发器未连接外部设备的情况下，所述控制电路控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接，并控制所述 USB 收发器进入所述低功耗状态。

35 18、根据权利要求 16 或 17 所述的方法，其特征在于，

所述第一信号切换电路包括第一输入端、第二输入端、第一输出端以及第一控制端，所述第一输入端、所述第一控制端分别与所述控制电路连接，所述第二输入端与所述 USB 主机控制器连接，所述第一输出端与所述 USB 收发器连接；

所述第二信号切换电路包括第三输入端、第四输入端、第二输出端以及第二控制端，所述第三输入端、所述第二控制端分别与所述控制电路连接，所述第四输入端与所述 USB

收发器连接，所述第二输出端与所述 USB 主机控制器连接；

在所述 USB 收发器未连接外部设备的情况下，所述控制电路控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接，包括：

- 5 所述控制电路在所述 USB 收发器未连接外部设备的情况下，通过所述第一控制端，控制所述第一信号切换电路连通所述控制电路与所述 USB 收发器之间的连接，以及，通过所述第二控制端，控制所述第二信号切换电路连通所述控制电路与所述 USB 主机控制器之间的连接；

- 10 所述控制电路在所述 USB 收发器上连接外部设备的情况下，通过所述第一控制端，控制所述第一信号切换电路断开所述控制电路与所述 USB 收发器之间的连接，以及通过所述第一控制端和所述第二控制端连通所述 USB 主机控制器与所述 USB 收发器之间的连接。

19、根据权利要求 17 或 18 所述的方法，其特征在于，所述检测电路包括滤波器，所述滤波器与所述控制电路以及所述 USB 收发器相连，用于检测所述 USB 收发器上是否连接外部设备。

- 15 20、根据权利要求 14 至 19 中的任一项所述方法，其特征在于，当所述 USB 收发器处于所述低功耗状态时，所述 USB 收发器的锁相环 PLL 电路处于关闭状态。

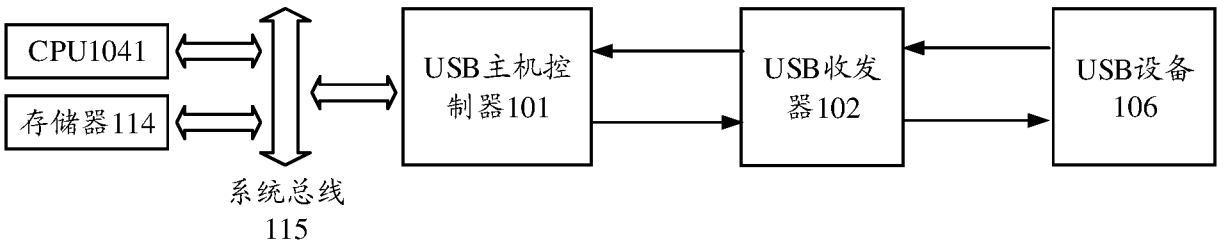


图 1

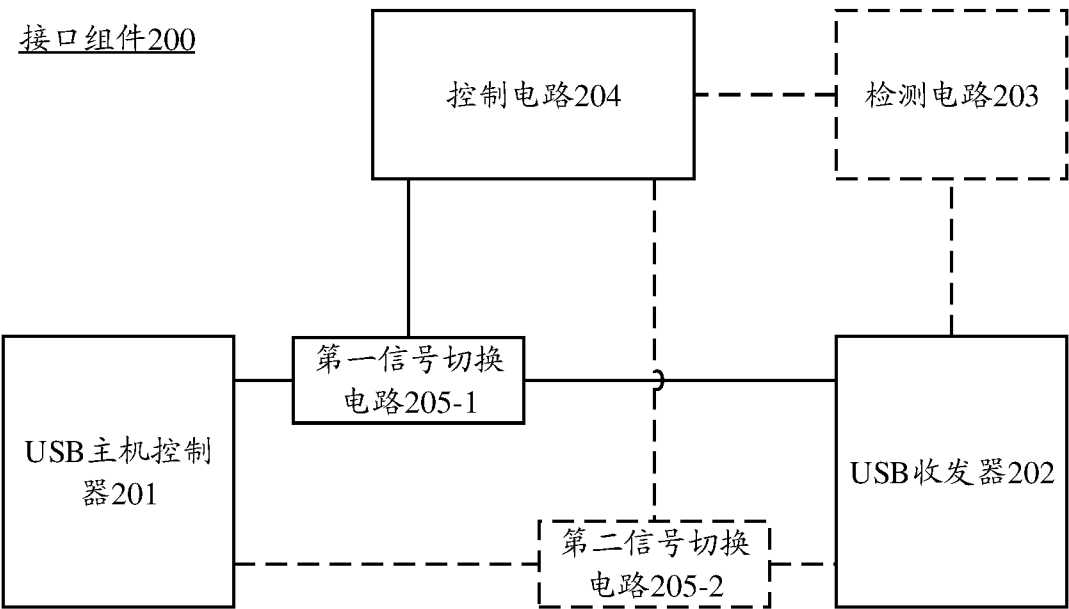


图 2

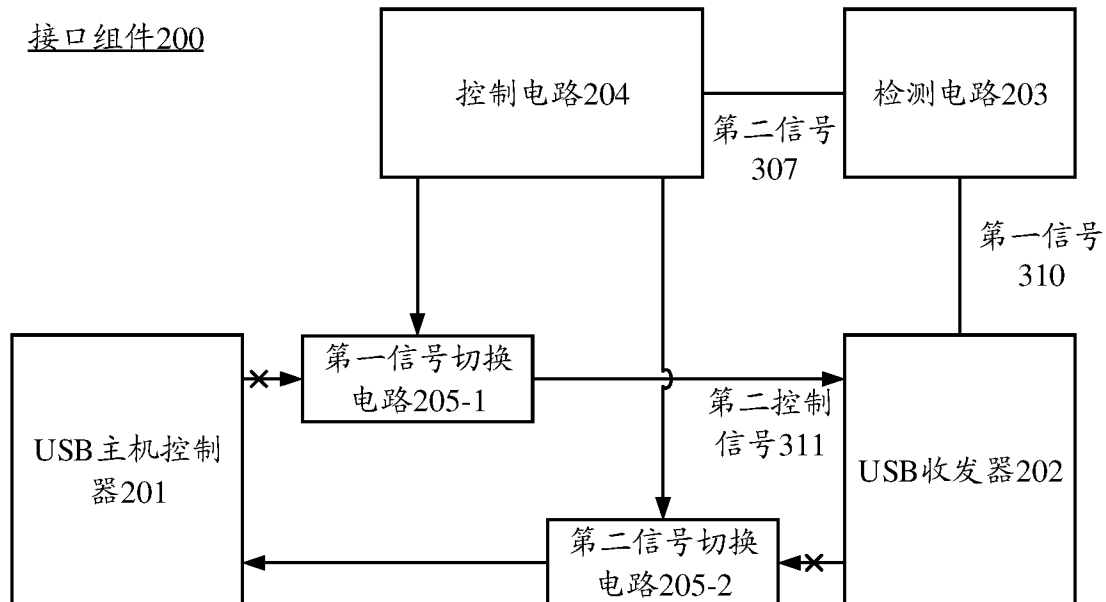


图 3

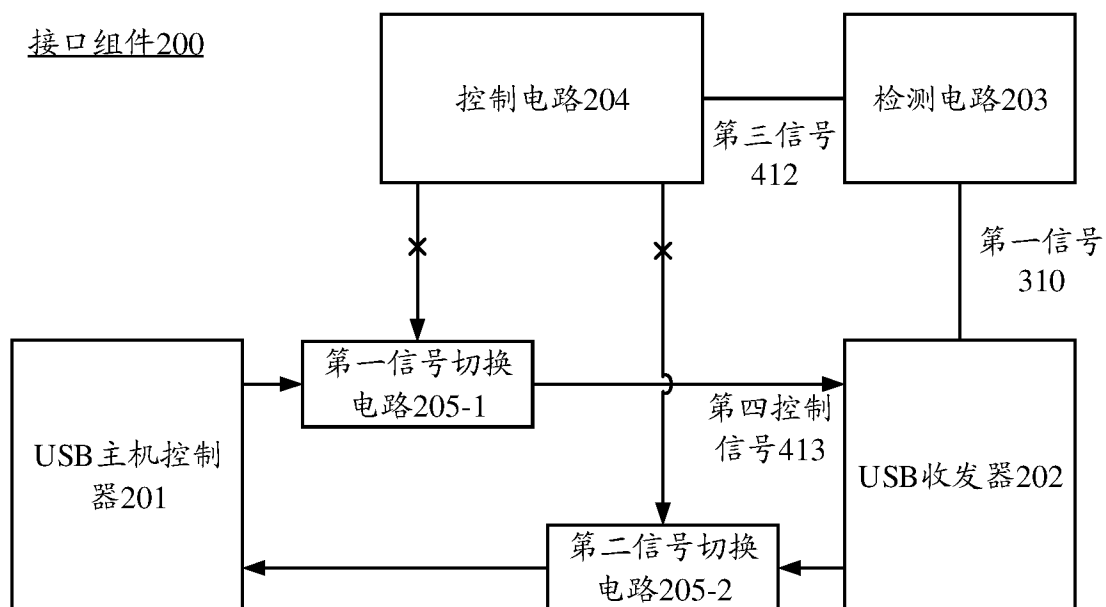


图 4

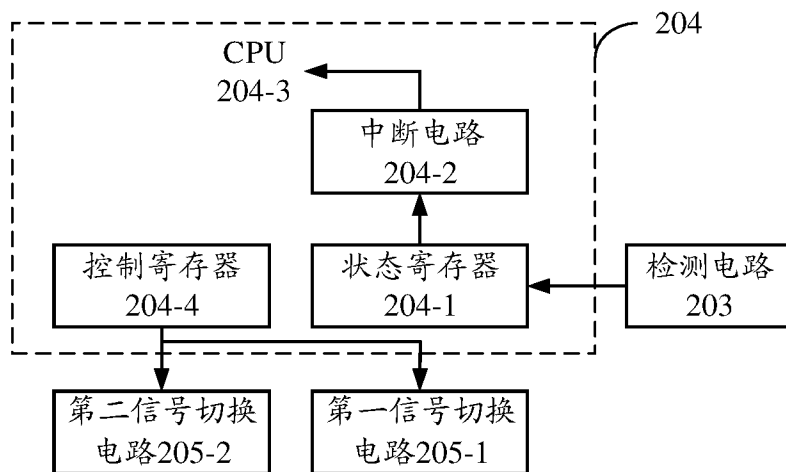


图 5

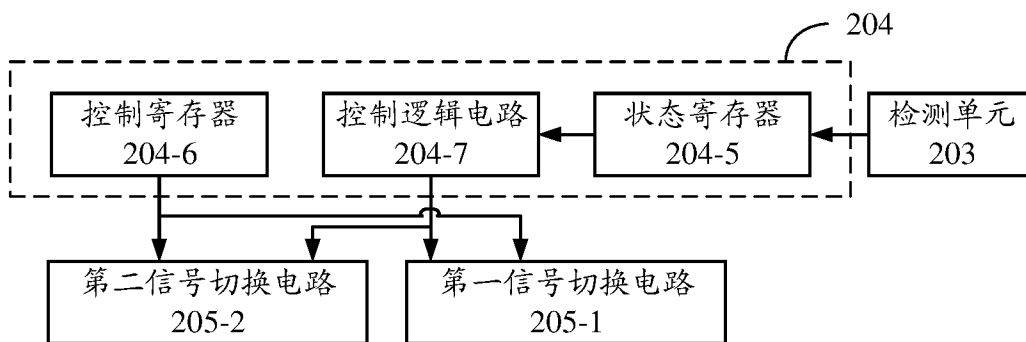


图 6

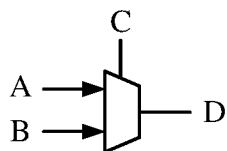


图 7

接口组件800

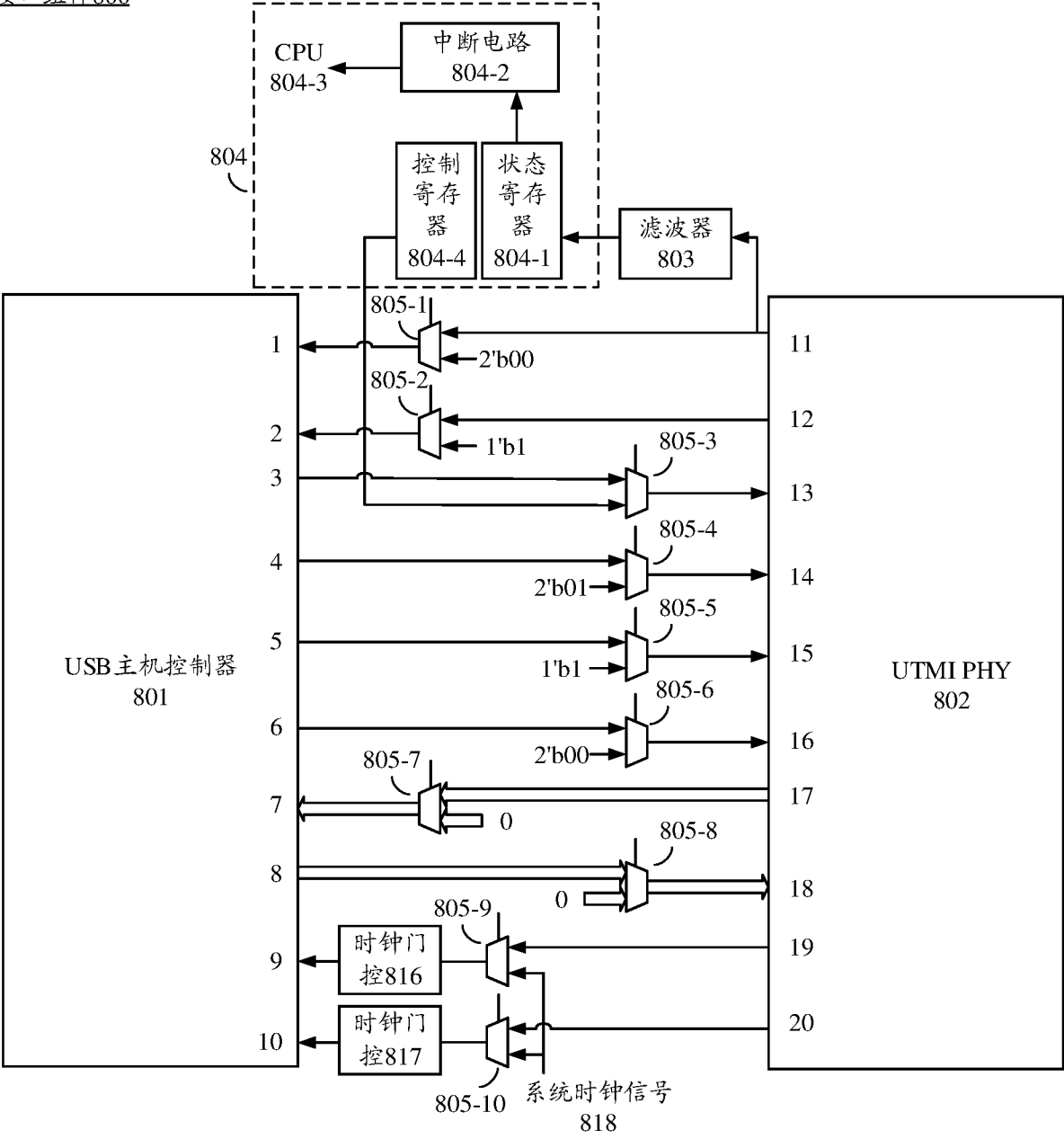


图 8

接口组件900

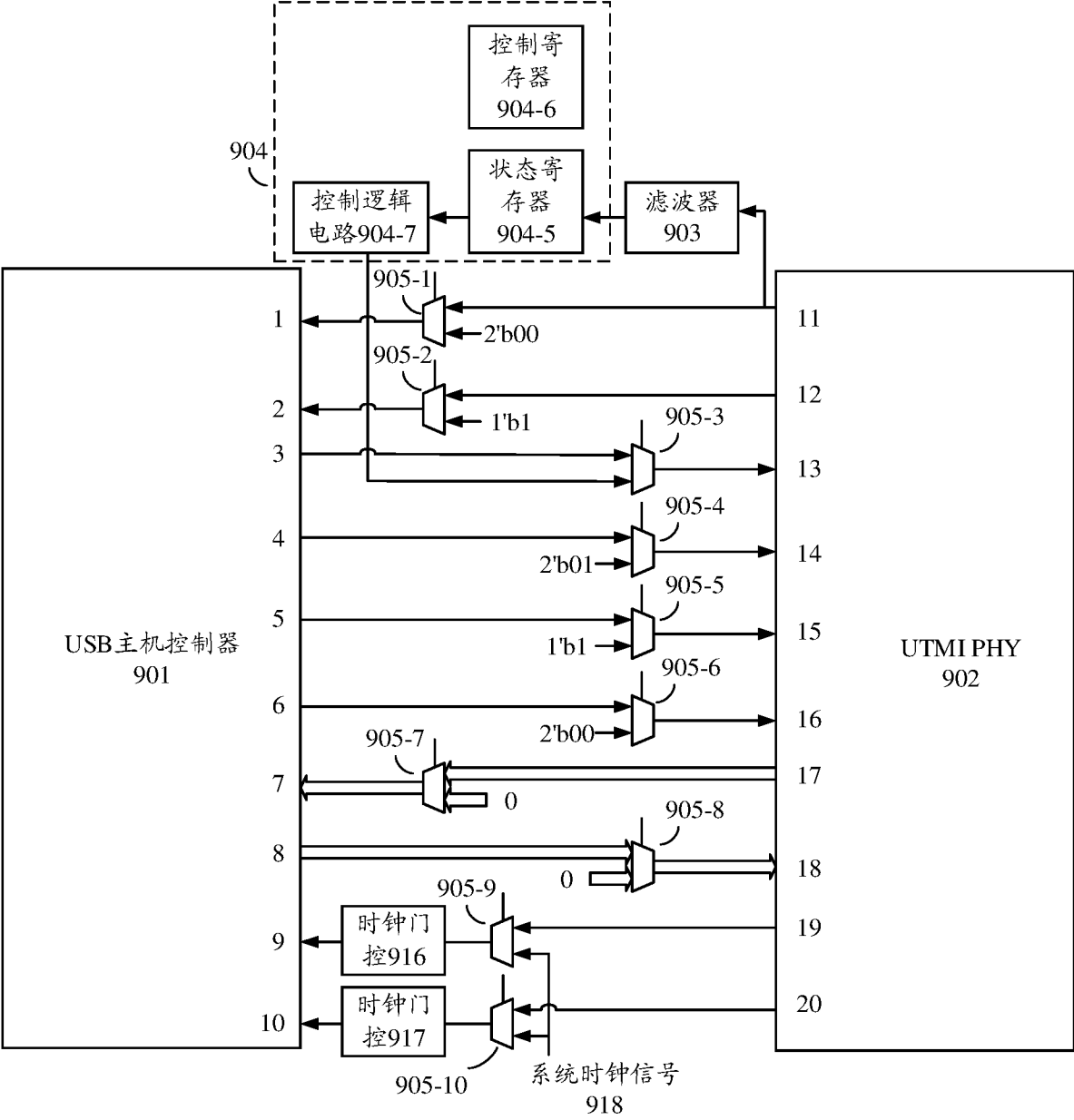


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/089562

A. CLASSIFICATION OF SUBJECT MATTER

G06F 1/16(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 接口组件, 芯片, 控制器, 收发器, 控制电路, 信号切换, 低功耗, 挂起, interface module, chip, controller, transceiver, control circuit, signal switch, low power dissipation, hang up

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 101997963 A (INVENTEC APPLIANCE CORP.) 30 March 2011 (2011-03-30) description, paragraphs [0006]-[0033], and figures 1-4B	1-20
Y	CN 104882155 A (XIAMEN RUILIAN INFORMATION TECHNOLOGY CO., LTD.) 02 September 2015 (2015-09-02) description, paragraphs [0005]-[0039], and figures 1-4	1-20
A	CN 105095132 A (MAINTEK COMPUTER (SUZHOU) CO., LTD. et al.) 25 November 2015 (2015-11-25) entire document	1-20
A	US 2015143138 A1 (GENESYS LOGIC, INC.) 21 May 2015 (2015-05-21) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

24 February 2020

Date of mailing of the international search report

13 March 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/089562

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	101997963	A	30 March 2011	None			
CN	104882155	A	02 September 2015	None			
CN	105095132	A	25 November 2015	None			
US	2015143138	A1	21 May 2015	CN	104657313	B	03 April 2018
				JP	2015103256	A	04 June 2015
				CN	104657313	A	27 May 2015
				US	10042801	B2	07 August 2018
				TW	I492044	B	11 July 2015
				TW	201520754	A	01 June 2015

国际检索报告

国际申请号

PCT/CN2019/089562

A. 主题的分类

G06F 1/16 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EP000C: 接口组件, 芯片, 控制器, 收发器, 控制电路, 信号切换, 低功耗, 挂起, interface module, chip, controller, transceiver, control circuit, signal switch, low power dissipation, hang up

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 101997963 A (英华达股份有限公司) 2011年 3月 30日 (2011 - 03 - 30) 说明书第[0006]-[0033]段, 附图1-4B	1-20
Y	CN 104882155 A (厦门睿联创信息科技有限公司) 2015年 9月 2日 (2015 - 09 - 02) 说明书第[0005]-[0039]段, 附图1-4	1-20
A	CN 105095132 A (名硕电脑苏州有限公司 等) 2015年 11月 25日 (2015 - 11 - 25) 全文	1-20
A	US 2015143138 A1 (GENESYS LOGIC, INC.) 2015年 5月 21日 (2015 - 05 - 21) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2020年 2月 24日

国际检索报告邮寄日期

2020年 3月 13日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

白露霜

电话号码 86-(10)53961390

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/089562

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	101997963	A	2011年 3月 30日	无	
CN	104882155	A	2015年 9月 2日	无	
CN	105095132	A	2015年 11月 25日	无	
US	2015143138	A1	2015年 5月 21日	CN 104657313 B	2018年 4月 3日
				JP 2015103256 A	2015年 6月 4日
				CN 104657313 A	2015年 5月 27日
				US 10042801 B2	2018年 8月 7日
				TW I492044 B	2015年 7月 11日
				TW 201520754 A	2015年 6月 1日