



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0077692  
(43) 공개일자 2009년07월15일

- |  |  |
|--|--|
| <p>(51) Int. Cl.<br/>G06F 17/50 (2006.01) H01L 21/00 (2006.01)</p> <p>(21) 출원번호 10-2009-0000779</p> <p>(22) 출원일자 2009년01월06일<br/>심사청구일자 없음</p> <p>(30) 우선권주장<br/>JP-P-2008-002806 2008년01월10일 일본(JP)</p> | <p>(71) 출원인<br/>소니 가부시끼 가이샤<br/>일본국 도쿄도 미나토쿠 코난 1-7-1</p> <p>(72) 발명자<br/>이즈하 교코<br/>일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼 가이샤내<br/>사에키 신이치로<br/>일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시끼 가이샤내</p> <p>(74) 대리인<br/>유미특허법인</p> |
|--|--|

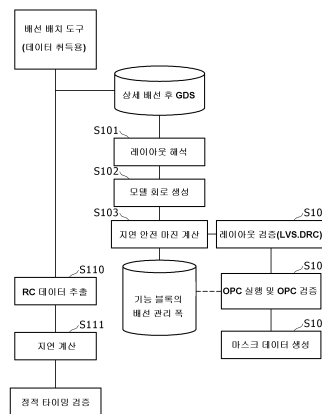
전체 청구항 수 : 총 12 항

**(54) 반도체 장치의 제조 방법, 반도체 장치의 제조 프로그램 및 반도체 장치의 제조 시스템**

**(57) 요약**

반도체 집적회로의 물리 레이아웃을 미리 정해진 범위 내에서 변화시킨 결과로서 생기는 양(quantity)인 용량값(capacitance), 저항값(resistance), 용량값의 변동(variation) 및 저항값의 변동을 계산하는 단계; 상기 반도체 집적회로의 물리 레이아웃을 기능 블록으로 분할하고, 상기 기능 블록 단위로 상기 물리 레이아웃을 해석하는 단계; 상기 계산한 용량값, 상기 계산한 저항값, 상기 계산한 용량값의 변동 및 상기 계산한 저항값의 변동과, 상기 기능 블록 각각의 소자부(element section) 및 배선부(wire section)에 제공된 지연 테이블로부터, 상기 기능 블록 각각에 대하여 신호 지연을 계산하는 단계; 및 상기 기능 블록 각각에 대하여 계산한 신호 지연과, 상기 물리 레이아웃에 대하여 수행된 해석의 결과에 기초하여, 상기 반도체 집적회로를 구성하는 모든 기능 블록에서의 신호 지연을 구하는 단계를 포함하는 반도체 장치의 제조 방법을 개시한다.

**대표도 - 도7**



## 특허청구의 범위

### 청구항 1

반도체 장치를 제조하는 반도체 장치의 제조 방법으로서,

반도체 집적회로의 물리 레이아웃을 미리 정해진 범위 내에서 변화시킨 결과로서 생기는 양(quantity)인 용량값(capacitance), 저항값(resistance), 용량값의 변동(variation) 및 저항값의 변동을 계산하는 단계;

상기 반도체 집적회로의 물리 레이아웃을 기능 블록으로 분할하고, 상기 기능 블록 단위로 상기 물리 레이아웃을 해석하는 단계;

상기 계산한 용량값, 상기 계산한 저항값, 상기 계산한 용량값의 변동 및 상기 계산한 저항값의 변동과, 상기 기능 블록 각각의 소자부(element section) 및 배선부(wire section)에 제공된 지연 테이블로부터, 상기 기능 블록 각각에 대하여 신호 지연을 계산하는 단계; 및

상기 기능 블록 각각에 대하여 계산한 신호 지연과, 상기 물리 레이아웃에 대하여 수행된 해석의 결과에 기초하여, 상기 반도체 집적회로를 구성하는 모든 기능 블록에서의 신호 지연을 구하는 단계

를 포함하는 반도체 장치의 제조 방법.

### 청구항 2

제1항에 있어서,

상기 신호 지연의 평균값, 및 상기 기능 블록의 타입 각각에 대하여 구한 신호 지연의 평균값을 계산하는 단계; 및

상기 기능 블록의 타입 각각에 대하여 구한 신호 지연의 평균값으로서 각각 계산된 각각의 평균값과, 모든 기능 블록에서의 상기 신호 지연의 평균값과의 차를 계산하는 단계를 더 포함하는 반도체 장치의 제조 방법.

### 청구항 3

제1항에 있어서,

상기 평균값 차, 상기 물리 레이아웃의 변화폭, 그리고 상기 용량값 및 저항값의 변화폭의 관계로부터 상기 기능 블록 각각에 대한 배선폭의 관리값을 구하는 단계를 더 포함하는 반도체 장치의 제조 방법.

### 청구항 4

제2항에 있어서,

상기 관리값에 기초하여 상기 물리 레이아웃의 배선폭을 변경(modify)하는 단계; 및

상기 변경한 물리 레이아웃에 대하여 광 근접 효과 보정(optical proximity correction) 및 광 근접 효과 보정 검증(optical proximity correction authentication)을 수행하여 마스크 데이터(mask data)를 생성하는 단계를 더 포함하는 반도체 장치의 제조 방법.

### 청구항 5

제3항에 있어서,

상기 관리값에 기초하여 상기 광 근접 효과 보정의 관리폭을 설정하여, 상기 설정한 관리폭의 범위 내의 양으로 상기 광 근접 효과 보정을 수행시키는, 반도체 장치의 제조 방법.

### 청구항 6

제2항에 있어서,

상기 관리값은, 상기 물리 레이아웃에 대하여 상기 광 근접 효과 보정을 수행하는 경우의 변동폭 또는 상기 반도체 집적회로의 설계에서의 변동폭 중 어느 하나인, 반도체 장치의 제조 방법.

**청구항 7**

제1항에 있어서,

상기 미리 정해진 범위는, 상기 반도체 집적회로의 제조 프로세스에서의 치수 변동에 기인한 변동 범위인, 반도체 장치의 제조 방법.

**청구항 8**

제1항에 있어서,

상기 지연 테이블은, 상기 기능 블록을 구성하는 소자의 신호 지연의 경사 및 배선의 신호 지연에서의 상수를 포함하는, 반도체 장치의 제조 방법.

**청구항 9**

제1항에 있어서,

상기 물리 레이아웃의 해석은, 상기 물리 레이아웃을 구성하는 기능 블록의 타입, 상기 기능 블록 타입 각각에 대한 기능 블록의 수, 각각의 기능 블록을 구성하는 소자의 타입, 소자 타입 각각에 대한 소자의 수, 각 소자 내의 배선의 길이와 소자들 사이의 배선 길이의 분포, 및 각 소자 내의 배선폭과 소자들 사이의 배선폭 분포에 대하여 수행되는 해석인, 반도체 장치의 제조 방법.

**청구항 10**

제2항에 있어서,

상기 관리폭에 기초하여 광 근접 효과 보정을 실행하여 마스크 데이터를 생성하는 단계; 및

상기 마스크 데이터를 사용하여 리소그래피 노광 장치에서 리소그래피 노광 프로세스, 현상 프로세스(image development process) 및 에칭 프로세스를 수행하는 단계에 의해, 상기 반도체 집적회로를 생성하는 프로세스를 더 포함하는 반도체 장치의 제조 방법.

**청구항 11**

컴퓨터에 의해 실행되는, 반도체 장치를 제조하기 위한 반도체 장치의 제조 프로그램으로서,

반도체 집적회로의 물리 레이아웃을 미리 정해진 범위 내에서 변화시킨 결과로서 생기는 양인 용량값, 저항값, 용량값의 변동 및 저항값의 변동을 계산하는 단계;

상기 반도체 집적회로의 물리 레이아웃을 기능 블록으로 분할하고, 상기 기능 블록 단위로 상기 물리 레이아웃을 해석하는 단계;

상기 계산한 용량값, 상기 계산한 저항값, 상기 계산한 용량값의 변동 및 상기 계산한 저항값의 변동과, 상기 기능 블록 각각의 소자부 및 배선부에 제공된 지연 테이블로부터, 상기 기능 블록 각각에 대하여 신호 지연을 계산하는 단계;

상기 기능 블록 각각에 대하여 계산한 신호 지연과, 상기 물리 레이아웃에 대하여 수행된 해석의 결과에 기초하여, 상기 반도체 집적회로를 구성하는 모든 기능 블록에서의 신호 지연을 구하는 단계;

상기 신호 지연의 평균값, 및 상기 기능 블록의 타입 각각에 대하여 구한 신호 지연의 평균값을 계산하는 단계; 및

상기 기능 블록의 타입 각각에 대하여 구한 신호 지연의 평균값으로서 각각 계산된 각각의 평균값과, 모든 기능 블록에서의 상기 신호 지연의 평균값과의 차를 계산하는 단계

를 포함하는 반도체 장치의 제조 프로그램.

**청구항 12**

프로그램을 실행하는 컴퓨터를 포함하는, 반도체 장치를 제조하기 위한 반도체 장치의 제조 시스템으로서,

상기 프로그램은,

반도체 집적회로의 물리 레이아웃을 미리 정해진 범위 내에서 변화시킨 결과로서 생기는 양인 용량값, 저항값, 용량값의 변동 및 저항값의 변동을 계산하는 단계;

상기 반도체 집적회로의 물리 레이아웃을 기능 블록으로 분할하고, 상기 기능 블록 단위로 상기 물리 레이아웃을 해석하는 단계;

상기 계산한 용량값, 상기 계산한 저항값, 상기 계산한 용량값의 변동 및 상기 계산한 저항값의 변동과, 상기 기능 블록 각각의 소자부 및 배선부에 제공된 지연 테이블로부터, 상기 기능 블록 각각에 대하여 신호 지연을 계산하는 단계;

상기 기능 블록 각각에 대하여 계산한 신호 지연과, 상기 물리 레이아웃에 대하여 수행된 해석의 결과에 기초하여, 상기 반도체 집적회로를 구성하는 모든 기능 블록에서의 신호 지연을 구하는 단계;

상기 신호 지연의 평균값, 및 상기 기능 블록의 타입 각각에 대하여 구한 신호 지연의 평균값을 계산하는 단계; 및

상기 기능 블록의 타입 각각에 대하여 구한 신호 지연의 평균값으로서 각각 계산된 각각의 평균값과, 모든 기능 블록에서의 상기 신호 지연의 평균값과의 차를 계산하는 단계

를 포함하는, 반도체 장치의 제조 시스템.

## 명세서

### 발명의 상세한 설명

#### 기술분야

<1> 본 발명은 반도체 집적회로의 신호 지연의 마진(margin)으로부터 구한 제조 허용오차량(manufacturing tolerance quantity)을 사용하여 반도체 장치를 제조하는 반도체 장치의 제조 방법, 상기한 반도체 장치의 제조 방법에 따라 반도체 장치를 제조하기 위한 반도체 장치의 제조 프로그램, 및 상기한 반도체 장치의 제조 프로그램을 실행하기 위한 반도체 장치의 제조 시스템에 관한 것이다.

<2> 관련 출원의 상호참조

<3> 본 발명은 2008년 1월 10일자로 일본 특허청에 출원된, 일본 특허출원 제2008-002806호와 관련된 내용을 포함하며, 이 출원에 개시된 내용 전부는 원용에 의해 본 명세서에 포함된다.

#### 배경기술

<4> 최근, 반도체 집적회로의 미세화에 따라, 집적회로의 물리 레이아웃도 복잡해지고 있다. 따라서, 레이아웃에서의 선폭의 변동(variation)은 신호 전파(signal propagation)의 타이밍에 영향을 미치는 복잡도 증가의 원인이 된다. 소자(예를 들면, 트랜지스터)마다 레이아웃에서 선폭 변동에 관한 사항은, 소자마다의 선폭 변동에 의해 유발되는 문제를 포함한다.

<5> 트랜지스터의 경우, 소자마다(즉, 트랜지스터마다)의 선폭의 변동은 트랜지스터 속도에 직접 영향을 미쳐 소자마다 달라지게 한다. 따라서, 이 문제를 해결하기 위하여, 트랜지스터의 속도에 영향을 주지 않으면서 트랜지스터의 선폭(임계 경로(critical path)의 폭 제외)을 변경(modify)하는 기술이 연구되어 왔다.

<6> 그런데, 트랜지스터마다의 선폭 변동에 의해 유발된 문제에 대한 접근법이 개발되어 왔지만, 회로 전체의 신호 지연에 대한 반도체 집적회로의 배선을 따라 신호 전파에 의해 유발된 지연의 비율이 증가하고 있다. 따라서 장치, 반도체 집적회로의 배선을 따라 신호 전파에 의해 유발된 지연에 기인한 문제에 대한 대처법을 개발할 필요가 있다.

<7> 일본 공개특허공보 제H9-198419호는 지금까지 레이아웃으로부터 실효적인 배선 용량을 구하는 기술로서 사용하도록 개발된 기술에 대한 제안을 개시하고 있다. 이 일본 공개특허공보 제H9-198419호에 제안된 기술에 따르면, 배선 길이의 확률 분포를 계산하고, 단위 길이당 용량으로부터 배선 용량의 확률 분포를 구한다. 그 후, 기능 블록의 입출력 단자의 용량 분포를 가산하여, 지연 시간의 확률 분포를 얻는다. 이 지연 시간의 확률 분포로부터, 규격(specification)을 충족시키지 못하는 각 확률을 미리 정한 값과 비교하여 배선 용량을 구한다.

<8> 또한, 일본 공개특허공보 제2001-265826호에는 제조 프로세스마다의 변동(대상 배선과 그 주위 배선의 변동을 포함함)을 고려한 배선 구조를 만들고, 배선 용량을 계산하며, 이 배선 용량을 사용하여 정밀도가 높은 지연 해석을 실행하는 회로 시뮬레이션을 제안되어 있으며, 또한 이 회로 시뮬레이션을 실행하기 위한 장치를 제안되어 있다.

<9> 또한, 일본 공개특허공보 제2001-230323호에는 배선 간격과 최종 배선펙의 상관 데이터를 사용하여 대상으로 하는 레이아웃의 최종 배선펙 및 길이를 구하여 배선 용량을 계산하는 기술이 제안되어 있다.

**발명의 내용**

<10> 상기한 바와 같이, 통계적 방법이나 시뮬레이션을 사용하여 실효적인 레이아웃에 기초하여 배선 용량을 추정(estimate)하고 회로 지연을 추정하는 기술이 제안되어 있다. 그러나, 지연 마진(delay margin)과 레이아웃 마진(layout margin)을 관련시키는 기술은 고안되어 있지 않다. 따라서, 회로 특성의 관점에서, 레이아웃의 관리 범위가 결정되어 있지 않으므로, 필요한 정밀도를 유지하면서 레이아웃 설계 처리의 효율을 향상시키는 것은 곤란하다.

<11> 본 발명의 실시예에 따르면, 상기한 문제를 해결하기 위하여, 반도체 장치를 제조하는 반도체 장치의 제조 방법이 제안되었다. 이 반도체 장치의 제조 방법은,

<12> 반도체 집적회로의 물리 레이아웃을 미리 정해진 범위 내에서 변화(change)시킨 결과로서 생기는 양(quantity)인 용량값(capacitance), 저항값(resistance), 용량값의 변동(variation) 및 저항값의 변동을 계산하는 단계;

<13> 상기 반도체 집적회로의 물리 레이아웃을 기능 블록으로 분할하고, 상기 기능 블록 단위로 상기 물리 레이아웃을 해석하는 단계;

<14> 상기 계산한 용량값, 상기 계산한 저항값, 상기 계산한 용량값의 변동 및 상기 저항값의 변동과, 상기 기능 블록 각각의 소자부(element section) 및 배선부(wire section)에 제공된 지연 테이블로부터, 상기 기능 블록 각각에 대하여 신호 지연을 계산하는 단계;

<15> 상기 기능 블록 각각에 대하여 계산한 신호 지연과 상기 물리 레이아웃에 대하여 수행된 해석의 결과에 기초하여, 상기 반도체 집적회로를 구성하는 모든 기능 블록에서의 신호 지연을 구하는 단계;

<16> 상기 신호 지연의 평균값 및 상기 기능 블록의 타입 각각에 대하여 구한 신호 지연의 평균값을 계산하는 단계; 및

<17> 상기 기능 블록의 타입 각각에 대하여 구한 신호 지연의 평균값으로서 각각 계산된 각각의 평균값과, 모든 기능 블록에서의 상기 신호 지연의 평균값과의 차를 계산하는 단계를 포함한다.

<18> 또한, 상기 반도체 장치의 제조 방법은, 상기 평균값 차, 상기 물리 레이아웃의 변화폭, 그리고 상기 용량값 및 저항값의 변화폭의 관계로부터 상기 기능 블록 각각에 대한 배선펙의 관리값을 구하는 프로세스를 더 포함한다.

<19> 또한, 상기 반도체 장치의 제조 방법은,

<20> 상기 관리값에 기초하여 상기 물리 레이아웃의 배선펙을 변경(modify)하는 단계; 및

<21> 상기 변경한 물리 레이아웃에 대하여 광 근접 효과 보정(optical proximity correction) 및 광 근접 효과 보정 검증(optical proximity correction authentication)을 수행하여 마스크 데이터(mask data)를 생성하는 단계를 더 포함한다.

<22> 또한, 상기 반도체 장치의 제조 방법은, 상기 관리값에 기초하여 상기 광 근접 효과 보정의 관리폭을 설정하여, 상기 설정한 관리폭의 범위 내의 양으로 상기 광 근접 효과 보정을 수행시키는 반도체 장치의 제조 방법이기도 하다.

<23> 이상 설명한 바와 같이, 본 실시예에 따르면, 반도체 집적회로의 물리 레이아웃을 기능 블록으로 분할하는 프로세스를 수행하고, 기능 블록 각각에 대하여 신호 지연의 변동을 규정한다. 따라서, 기능 블록에 접속하는 넷(net) 각각에 대하여, 신호 지연값, 물리 레이아웃의 변동폭, 용량값 및 저항값의 관계로부터, 배선펙의 관리값을 구할 수 있다.

<24> 상기 관리값은, 상기 물리 레이아웃에 대하여 상기 광 근접 효과 보정을 수행하는 경우의 변동폭 또는 상기 반도체 집적회로의 설계에서의 변동폭 중 어느 하나를 의미한다. 상기 미리 정해진 범위는, 상기 반도체 집적회

로의 제조 프로세스에서의 치수 변동에 기인한 변동 범위를 말한다. 상기 지연 테이블은 상기 기능 블록을 구성하는 소자의 신호 지연의 경사와 배선의 신호 지연에서의 상수(constant)를 포함한다. 상기 물리 레이아웃의 해석은 상기 물리 레이아웃을 구성하는 기능 블록의 타입, 상기 기능 블록 타입 각각에 대한 기능 블록의 수, 각각의 기능 블록을 구성하는 소자의 타입, 소자 타입 각각에 대한 소자의 수, 각 소자 내의 배선의 길이와 소자들 사이의 배선 길이의 분포, 및 각 소자 내의 배선폭과 소자들 사이의 배선폭 분포에 대해 수행되는 해석이다.

- <25> 또한, 상기 반도체 장치의 제조 방법은, 상기 관리폭에 기초하여 광 근접 효과 보정을 실행하여 마스크 데이터를 생성하는 단계; 및
- <26> 그 후, 상기 마스크 데이터를 사용하여 리소그래피 노광 장치에서 리소그래피 노광 프로세스, 현상 프로세스 (image development process) 및 에칭 프로세스를 수행하는 단계에 의해, 반도체 집적회로를 생성하는 프로세스를 더 포함할 수 있다.
- <27> 또한, 본 발명의 다른 실시예에 따르면, 반도체 장치를 제조하기 위한 반도체 장치의 제조 프로그램이 제공된다. 상기 반도체 장치의 제조 프로그램은 컴퓨터에 의해 실행되는 프로그램이며, 상기 프로그램은,
- <28> 반도체 집적회로의 물리 레이아웃을 미리 정해진 범위 내에서 변화시킨 결과로서 생성되는 용량값, 저항값, 용량값의 변동 및 저항값의 변동을 계산하는 단계;
- <29> 상기 반도체 집적회로의 물리 레이아웃을 기능 블록으로 분할하고 상기 기능 블록 단위로 상기 물리 레이아웃을 해석하는 단계;
- <30> 상기 계산한 용량값, 상기 계산한 저항값, 상기 계산한 용량값 및 상기 계산한 저항값의 변동과, 상기 기능 블록 각각의 소자부 및 배선부의 지연 테이블로부터, 상기 기능 블록 각각에 대하여 신호 지연을 계산하는 단계;
- <31> 상기 기능 블록 각각에 대하여 계산한 신호 지연과 상기 물리 레이아웃에 대하여 수행된 해석의 결과에 기초하여, 상기 반도체 집적회로를 구성하는 모든 기능 블록에서의 신호 지연을 구하는 단계;
- <32> 상기 신호 지연의 평균값 및 상기 기능 블록의 타입 각각에 대해 구한 신호 지연의 평균값을 계산하는 단계; 및
- <33> 상기 기능 블록의 타입 각각에 대하여 구한 신호 지연의 평균값으로서 각각 계산된 각각의 평균값과, 모든 기능 블록에서의 상기 신호 지연의 평균값과의 차를 계산하는 단계를 더 포함한다.
- <34> 이상 설명한 바와 같이, 본 실시예에 따르면, 반도체 집적회로의 물리 레이아웃을 기능 블록으로 분할하기 위한 프로세스를 실행하고, 기능 블록 각각에 대하여 신호 지연의 변동을 규정한다. 따라서, 기능 블록을 접속하는 네트 각각에 대하여, 신호 지연, 물리 레이아웃의 변동폭, 용량값 및 저항값과의 관계로부터, 배선폭의 관리값을 구할 수 있다.
- <35> 또한, 본 발명의 다른 실시예에 따르면, 반도체 장치를 제조하기 위한 반도체 장치의 제조 시스템이 제공된다. 상기 반도체 장치의 제조 시스템은 프로그램을 실행하는 컴퓨터를 사용하며, 상기 프로그램은,
- <36> 반도체 집적회로의 물리 레이아웃을 미리 정해진 범위 내에서 변화시킨 결과로서 생성되는 용량값, 저항값, 용량값의 변동 및 저항값의 변동을 계산하는 단계;
- <37> 상기 반도체 집적회로의 물리 레이아웃을 기능 블록으로 분할하고 상기 기능 블록 단위로 상기 물리 레이아웃을 해석하는 단계;
- <38> 상기 계산한 용량값, 상기 계산한 저항값, 상기 계산한 용량값의 변동 및 상기 계산한 저항값의 변동과, 상기 기능 블록 각각의 소자부 및 배선부의 지연 테이블로부터, 상기 기능 블록 각각에 대하여 신호 지연을 계산하는 단계;
- <39> 상기 기능 블록 각각에 대하여 계산한 신호 지연과, 상기 물리 레이아웃에 대하여 수행된 해석의 결과에 기초하여, 상기 반도체 집적회로를 구성하는 상기 기능 블록 전체에서의 신호 지연을 구하는 단계;
- <40> 상기 신호 지연의 평균값, 및 상기 기능 블록의 타입 각각에 대해 구한 신호 지연의 평균값을 계산하는 단계; 및
- <41> 상기 기능 블록의 타입 각각에 대하여 구한 신호 지연의 평균값으로서 각각 계산된 각각의 평균값과, 모든 기능 블록에서의 상기 신호 지연의 평균값과의 차를 계산하는 단계를 포함한다.

- <42> 이상 설명한 바와 같이, 본 실시예에 따르면, 반도체 집적회로의 물리 레이아웃을 기능 블록으로 분할하기 위한 프로세스를 실행하고, 기능 블록 각각에 대하여 신호 지연의 변동을 규정한다. 따라서, 기능 블록을 접속하는 네트 각각에 대하여, 신호 지연, 물리 레이아웃의 변동폭, 용량값 및 저항값과의 관계로부터, 배선편의 관리값을 구할 수 있다.
- <43> 본 발명의 실시예에 의해 제공되는 반도체 장치의 제조 방법, 반도체 장치의 제조 프로그램, 및 반도체 장치의 제조 시스템에서, 기능 블록은 입력 신호에 대하여 미리 회로 내에 설정된 논리에 따라 출력 신호를 생성하는 기능을 구비한 기본 회로이다. 기능 블록의 예로는, 가산기(adder), AND 게이트, AND-NOR 게이트, AND-OR 게이트, AND-OR-NAND 게이트, 산술 처리 회로(arithmetic processing circuit), 밸런스 버퍼(balanced buffer), 버스 드라이버(bus driver), 지연 회로(delay circuit), EX-NOR 게이트, 인버터(inverter), 클럭 인에이블러(clock enabler), EX-OR 게이트, INV-NAND 게이트, INV-NOR 게이트, 래치 회로(latch circuit), NOR 게이트, OR 게이트, OR-AND 게이트, OR-AND-NOR 게이트, OR-NAND 게이트, 기타 회로, 선택기(selector), 및 플립플롭(Flip-Flop, FF)을 들 수 있다.
- <44> 본 실시예에 따르면, 회로 특성의 관점에서 레이아웃의 관리폭을 결정할 수 있다. 따라서, 엄밀한 관리가 필요한 레이아웃을 중점적으로 관리하고, 마진이 있는 곳에 대한 관리폭을 완화할 수 있다. 그 결과, 필요한 정밀도를 유지하면서 레이아웃 설계 작업의 효율을 향상시킬 수 있다.
- <45> 본 발명의 상기한 그리고 기타 기술 혁신 및 특징은 첨부도면을 참조하여 이루어지는 바람직한 실시예의 설명으로부터 명백해질 것이다.

**발명의 실시를 위한 구체적인 내용**

- <46> 이하, 본 발명의 바람직한 실시예에 대하여 첨부도면을 참조하여 설명한다.
- <47> **처리의 개요**
- <48> 본 발명은, 반도체 집적회로의 설계 지원(design aid)의 일부로서, 반도체 집적회로에서의 신호 지연의 마진을 높은 정확도로 구하고, 이 신호 지연의 마진으로부터 제조 허용오차를 구함으로써, 전기적 특성의 제조 허용오차 범위 내의 전기적 특성을 가지는 제조 대상으로서의 반도체 집적회로를 신속히 제조할 수 있는 반도체 장치의 제조 방법을 제공한다.
- <49> 이러한 반도체 장치의 제조 방법을 제공하고자하는 본 발명의 상기한 목적을 달성하기 위하여, 반도체 장치의 제조 방법은,
- <50> (a) 제조 대상이 되는 반도체 집적회로의 물리 레이아웃을, 미리 정해진 범위 내에서 변화시킨 결과로서 생기는 양(quantity)인 용량값 및 저항값을 계산하는 프로세스;
- <51> (b) 반도체 집적회로의 물리 레이아웃을 기능 블록으로 분할하고 전술한 기능 블록 단위로 물리 레이아웃을 해석하는 프로세스;
- <52> (c) 계산한 용량값 및 계산한 저항값과, 각 기능 블록의 소자부 및 배선부의 지연 테이블로부터, 기능 블록 각각에 대하여 신호 지연을 계산하는 프로세스;
- <53> (d) 계산한 기능 블록 단위의 신호 지연과 물리 레이아웃의 해석의 결과에 의해 반도체 집적회로를 구성하는 모든 기능 블록에서의 신호 지연의 평균값 및 기능 블록의 타입 각각에 대하여 신호 지연의 평균값을 구하는 프로세스.
- <54> (e) 기능 블록의 타입 각각에 대하여 구한 신호 지연의 평균값으로서 각각 계산된 각각의 평균값과, 모든 기능 블록에서의 신호 지연의 평균값과의 평균값 차인 지연 마진을 계산하는 프로세스와 같은 주요 프로세스를 가진다.
- <55> 또한, 이 반도체 장치의 제조 방법은, 상기한 프로세스 중 하나에서 계산된 지연 마진을 사용하여, 평균값 차, 물리 레이아웃의 변화폭 그리고 용량값의 변화폭 및 저항값의 변화폭과의 관계로부터, 기능 블록 각각에 대하여 배선편의 관리값을 구하는 프로세스를 더 포함할 수 있다.
- <56> 더욱 구체적으로는 설명하면, 전술한 프로세스 (a)에서는, 제조 대상이 되는 반도체 집적회로의 물리 레이아웃이 미리 정해진 범위 내에서 변화된 경우, 기생 용량값 및 기생 저항값을 계산하는, 이른바 RC 추출을 수행한다. 상기한 미리 정해진 범위는 반도체 장치의 제조 프로세스에서의 치수 변동에 기인한 변동 범위이다.

필요에 따라, 설계자가 설정한 변동 범위를 사용한다.

<57> 또한, 전술한 프로세스 (b)에서는, 반도체 집적회로의 물리 레이아웃을 기능 블록으로 분할하고, 전술한 기능 블록 단위로 물리 레이아웃을 해석한다. 기능 블록은 입력 신호에 대하여 회로 내에 미리 설정된 논리에 따라 출력 신호를 생성하는 기능을 구비한 기본 회로이다. 기능 블록의 예로는, 가산기, AND 게이트, AND-NOR 게이트, AND-OR 게이트, AND-OR-NAND 게이트, 산술 처리 회로, 밸런스 버퍼, 버스 드라이버, 지연 회로, EX-NOR 게이트, 인버터, 클록 인에이블러, EX-OR 게이트, INV-NAND 게이트, INV-NOR 게이트, 래치 회로, NOR 게이트, OR 게이트, OR-AND 게이트, OR-AND-NOR 게이트, OR-NAND 게이트, 기타 회로, 선택기, 및 플립플롭(FF)을 들 수 있다. 위에 나열한 예는 단지 기능 블록의 전형적인 예일 뿐이라는 것에 유의하기 바란다. 즉, 상기한 전형적인 예 이외에도 기능 블록으로서 각각 작용하는 기본 회로는 있을 수 있다.

<58> 물리 레이아웃의 미리 정해진 해석은, 물리 레이아웃을 구성하는 기능 블록의 타입에 대해 수행되어 기능 블록의 타입을 결정하는 해석이고, 또한 기능 블록의 타입 각각에 대한 기능 블록의 수, 각각의 기능 블록을 구성하는 소자의 타입, 소자의 타입 각각에 대한 소자의 수, 각각의 소자 내의 배선 길이 및 소자들 사이의 배선 길이의 분포, 각각의 소자 내의 배선폭 및 소자들 사이의 배선폭의 분포에 대해 수행되는 해석이다.

<59> 또한, 전술한 프로세스 (c)에서는, 지연값을 계산할, 제품의 슬루 부하(slew-load) 테이블을 준비하고, 이미 해석한 기능 블록에서의 지연을 배선 배치 도구(tool)와 같은, 시뮬레이터를 사용하여 계산한다. 이 지연 계산에서는, 종래 셀 단위로 회로 지연 및 배선 지연을 계산하던 것을, 기능 블록 단위로 계산한다. 기능 블록 단위로 계산한 지연은, 기능 블록을 구성하는 소자에 기인한 지연 및 배선에 기인한 지연이다.

<60> 또한, 전술한 프로세스 (d)는, 기능 블록 각각에 대하여 계산된 신호 지연에 기초하고 또한 물리 블록에 대하여 수행된 해석의 결과에 기초하여, 반도체 집적회로를 구성하는 모든 기능 블록에서의 신호 지연의 평균값과 기능 블록의 타입 각각에 대하여 구한 신호 지연의 평균값을 구하기 위하여 수행된다.

<61> 또한, 전술한 프로세스 (e)는, 기능 블록의 타입 각각에 대하여 구한 신호 지연의 평균값과 기능 블록 전체의 신호 지연의 평균값으로서 미리 계산된 평균값을 비교함으로써, 기능 블록의 타입 각각에 대하여 구한 신호 지연의 평균값으로 각각 계산된 각각의 평균값과 기능 블록 전체에서의 신호 지연의 평균값과의 평균값 차인, 지연 마진을 계산하기 위하여 수행된다.

<62> 전술한 프로세스들에서, 반도체 집적회로의 물리 레이아웃을 기능 블록으로 분할하여, 각각의 기능 블록에 대하여 신호 지연의 변동을 규정한다. 따라서, 기능 블록을 접속하는 네트 각각에 대하여, 신호 지연의 변동, 물리 레이아웃의 배선폭의 변동, 용량값 및 저항값과의 관계로부터, 배선폭의 관리값을 구할 수 있다.

<63> **제1 실시예**

<64> 먼저, 일반적인 회로의 스테이지 지연(stage delay)에 대하여 설명한다. 스테이지 지연은 셀(cell)의 지연과 배선의 지연으로부터 구해진다. 셀은 미리 정해진 회로가 생성되어 있는 영역이다. 본 실시예에서, 셀 내에 생성되어 있는 회로의 구성은 기능 블록 내에 생성되어 있는 회로 구성보다 크다.

<65> 일반적으로, 회로의 스테이지 지연(T)은, 아래의 식 (1)로 표현된다.

<66> 
$$T = R_{on}(C_w + C_g) + R_w(C_w + C_g)$$

<67> 식 (1)의 오른쪽 식의 제1항은 셀 지연이고, 제2항은 배선 지연이다. 제1항  $R_{on}(C_w + C_g)$ 은 셀의 지연 테이블로서 도 1a의 모형도에 나타난 테이블의 슬루(slew), 부하(load)에 상당한다. 한편, 제2항  $R_w(C_w + C_g)$ 은 배선의 지연 테이블로서 도 1b의 모형도에 나타난 테이블의 슬루(slew), 부하(load)에 상당한다.

<68> 도 1a 및 도 1b는 스테이지 지연의 설명에 참조하는 모형도이다. 더욱 구체적으로는, 도 1a는 셀의 지연 테이블의 설명에 참조하는 모형도이고, 도 1b는 배선의 지연 테이블의 설명에 참조하는 모형도이다. 배선의 지연 테이블은 통상 배선 배치 시스템 내부에 저장되어 있는 상수이다. 따라서, 회로의 배선 RC(저항값 및 용량값)를 알면, 배선 지연을 계산할 수 있다. 그러므로, 회로가 정해지면 스테이지 지연을 추정할 수 있다.

<69> 본 실시예에서는, 지연 계산 시스템에 회로의 용량값 및 저항값을 제공하여 지연을 계산한다. 지연을 추정하는 회로 규모는, 전형적인 기능 블록을 각각 나타낸 도면인 도 2a 내지 도 2c에 나타난 바와 같은 기능 블록 단위를 적용한다. 더욱 구체적으로, 도 2a는 버퍼로서 작용하는 전형적인 기능 블록을 나타낸 도면이고, 도 2b는 NAND 게이트로서 작용하는 전형적인 기능 블록을 나타낸 도면이다. 도 2c는 플립플롭(FF)으로서 작용하는 전형적인 기능 블록을 나타낸 도면이다. 그러나, 이들 예 이외의 기능 블록도 적용할 수 있다는 것에 유의하기 바

란다.

- <70> 통상, 제품, 특히 랜덤 로직 회로(random logic circuit)과 같은 제품은 복잡하다. 따라서, 하나의 모델 회로를 사용하여 모든 제품의 지연을 추정하는 것은 어렵다. 본 실시예에서는, 이 문제점을 해결하기 위하여 기능 블록이 최소 단위이면, 기능 블록이 모든 회로에 공통이라는 것에 주목하여야 한다. 즉, 1개의 기능 블록, 또는 2개의 기능 블록을 접속하는 배선을 포함하는 기능 블록이 1 단위이면, 이 단위는 어떠한 회로에도 사용될 수 있다. 따라서, 이 기능 블록 단위로 지연에 관한 정보를 얻기 위하여, 일반적인 회로는 회로의 기능 블록 단위의 조합에 의해 표현될 수 있다.
- <71> 이 최소 기능 블록 단위는 대표적인 기능 블록을 추정하고 생성함으로써 결정될 수 있다. 제조 대상이 되는 회로를 가정하자. 이 경우에는, 회로의 물리 레이아웃에 사용되는 기능 블록을 해석함으로써 최소 기능 블록을 결정할 수 있다. 또한, 회로의 물리 레이아웃에 사용되는 기능 블록을 해석한다고 가정하자. 이 경우, 해석 결과는 물리 레이아웃을 구성하는 기능 블록의 타입, 기능 블록 타입 각각에 대한 기능 블록의 수, 각각의 기능 블록을 구성하는 소자의 타입, 소자 타입 각각에 대한 소자의 수, 각 소자 내의 배선 길이 및 소자들 사이의 배선 길이의 길이 분포, 각 소자 내의 배선폭 및 소자들 사이의 배선폭 분포를 나타낸다.
- <72> 기능 블록 단위로 지연에 관한 값으로서 각각 계산된 값 중 하나는, 회로를 구성하는 기능 블록 전체에서의 신호 지연의 평균값과 기능 블록의 각 타입에 대하여 구한 신호 지연의 평균값으로 각각 계산된 각 평균값과의 차이이다. 본 명세서에서, 회로를 구성하는 모든 기능 블록에서의 신호 지연의 평균값은 전체 회로의 평균값이라고 한다. 즉, 반도체 장치의 장치는 다음의 단계:
  - <73> (i) 기능 블록의 타입 각각에 대하여 구한 신호 지연의 평균값으로서 각각 계산된 각 평균값과 회로 전체의 평균값의 차를 구하는 단계;
  - <74> (ii) 차에 기초하여 각 넷트(2개의 기능 블록을 배선을 상호 접속하는 각 단위)에 대한 신호 지연을 구하는 단계; 및
  - <75> (iii) 배선 레이아웃의 허용오차 변동폭을 구하는 단계를 실행함으로써 구현된다.
- <76> 도 3은, 기능 블록의 각 타입에 대하여 구해지는 신호 지연의 평균값으로서 각각 계산된 각 평균값과 전체 회로의 평균값의 차를 구하는 단계 (i)의 실행 결과를 나타낸 도면이다. 상세하게 설명하면, 도 3은 대표적인 기능 블록 각각에 대한 신호 지연의 평균값으로서 각각 계산된 평균값과, 2개의 기능 블록을 배선으로 서로 접속하는 넷트에 각각 생기는 지연의 전체 회로의 평균값으로부터 차로서 각각 구해진 차를 나타내는 매트릭스 형태의 테이블이다. 이 테이블에 사용된 부호 A~K는 각각, AND 게이트, 버퍼, 지연 회로, 플립플롭(FF), 인버터(INV), 래치 회로, NAND 게이트, NOR 게이트, OR 게이트, 선택기, 밸런스 버퍼를 나타낸다. 더욱 상세하게 설명하면, 가장 왼쪽 열(column)의 값과 가장 위쪽 행(row)의 값은, 대표적인 기능 블록 중 하나로 각각 표시되는 기능 블록 각각에 대하여 신호 지연의 평균값으로서 각각 계산된 평균값이다. 한편, 가장 왼쪽 열의 평균값과 가장 위쪽 행의 평균값을 제외한 매트릭스의 각 요소는, 매트릭스 요소의 차와 연관된 기능 블록인 가장 왼쪽 열에 나타난 대표적인 기능 블록을, 매트릭스 요소의 차와 연관된 기능 블록인 가장 위쪽 행에 나타난 대표적인 기능 블록에 접속하는 배선에 따른 지연을 포함하는 지연의 전체 회로 평균값과의 차이이다. 매트릭스에 나타난 각 값은 ps(피코초) 단위로 표시되어 있다. 각각의 차는 또한 지연 마진이라고도 한다. 이 지연 마진은 신호 지연의 안전 마진의 계산에 사용된다.
- <77> 도 4는, 도 3의 테이블에 나타난 지연 마진, 각 배선의 slew와 load, 및 10 미크론 이상 1mm 이하의 범위 내의 배선 길이를 가정하여 각각 계산된 배선 지연을 나타낸 매트릭스 형태의 테이블이다. 도 4의 테이블에 나타난 각각의 배선 지연은, 10 미크론 이상 1mm 이하의 범위 중 100 미크론의 배선 길이에 대한 배선 지연이다. 도 3의 테이블과 마찬가지로, 도 4의 테이블에 사용된 부호 A~K는 각각, 대표적인 기능 블록인 AND 게이트, 버퍼, 지연 회로, 플립플롭(FF), 인버터(INV), 래치 회로, NAND 게이트, NOR 게이트, OR 게이트, 선택기 및 밸런스 버퍼를 나타낸다. 또한, 가장 왼쪽 열의 값과 가장 위쪽 행의 값은, 대표적인 기능 블록 중 하나로 각각 표시되는 기능 블록 타입 각각에 대하여, 신호 지연의 평균값으로서 각각 계산된 평균값이다. 한편, 가장 왼쪽 열의 평균값과 가장 위쪽 행의 평균값을 제외한 매트릭스의 각 요소는, 매트릭스 요소에서 배선 지연과 연관된 기능 블록으로서 가장 왼쪽 열에 나타난 대표적인 기능 블록이 매트릭 요소에서 배선 지연과 연관된 기능 블록으로서 가장 위쪽 행에 나타난 대표적인 기능 블록에 접속되는 경우에, 계산된 배선 지연이다.
- <78> 다음에, 이렇게 하여 얻은 지연 마진에 대하여, 안전 마진을 계산한다. 안전 마진은 프로세스상에 제공될 수 있는 마진의 정도를 나타내는 양이다.

- <79> 일반적으로, 지연 마진은 도 10의 도면에 나타낸 것과 같은 마찬가지로의 흐름도로 표현된 스킴에 따라 처리하여 계산된다. 흐름도는 단계 S401에 의해 시작되어, 레이아웃 정보(D1001)와 회로 접속 정보(D1002)를 대조하는 도구에 레이아웃 정보(D1001)와 회로 접속 정보(D1002)를 공급한다. 이 도구는 입력 정보를 서로 검사하고 대조하는 도구이다. 정보 검사 프로세스 및 정보 대조 프로세스의 결과 에러가 없으면, 처리의 흐름은 단계 S402로 이행하여, RC 추출 프로세스를 실행한다. RC 추출 프로세스의 결과로서 얻은 배선 RC(저항값 및 용량값)을 회로 접속 정보(D1002)에 추가하여 배선 RC 포함(wire-RC-including) 회로 접속 정보(D1003)를 생성한다.
- <80> 이어서, 다음 단계 S403에서, 배선 RC 포함 회로 접속 정보(D1003) 및 셀 트랜지스터 모델 정보(D1004)로부터, 처리되는 회로의 지연 및 회로의 지연 마진을 계산하여, 지연 및 마진 정보(D1005)를 생성한다. 지연 마진을 계산하는 프로세스에서, 도구는 처리되는 회로의 신호 지연과 식 (2)~(9) 중 어느 하나에 따라 계산된 결과를 비교한다.
- <81> 본 실시예에서는, 신호 지연을 해석 방법으로서 셋업 해석(setup analysis) 및 홀드 해석(hold analysis)을 각각 실행하여, 지연의 관점에서 본 마진으로서 프로세스상의 기능 블록에 제공될 수 있는 마진의 정도를 결정한다. 결국, 마진의 정도가 레이아웃의 관리값(또는 관리폭)으로서 계산된다.
- <82> 레지스터의 데이터 핀에 공급되는 데이터 신호의 셋업 시간(setup time)은, 레지스터에 의해 수신된 클록 신호의 도달 에지(arrival edge)(또는 완료 에지(close edge)) 직전의 시간이다. 셋업 시간 동안에, 데이터 신호가 레지스터에 의해 정확한 데이터 신호로서 수신되도록, 데이터 신호는 미리 안정되어 있어야 한다. 또한 아래의 관계식 (2)는 셋업 시간의 제약을 부과한다.
- <83>  $CLK + period - data \geq setup \quad \dots (2)$
- <84> 관계식 (2)는 아래와 같이 관계식 (3)으로 다시 쓸 수 있다.
- <85>  $CLK + period - data - setup \geq 0 \quad \dots (3)$
- <86> 위의 관계식에서, CLK, period, data, 및 setup은 클록 전파 시간, 사이클 시간, 데이터 경로를 따른 데이터 신호의 전파 시간, 및 셋업 시간을 각각 나타낸다.
- <87> 한편, 레지스터의 데이터 핀에 공급된 데이터 신호의 유지 시간(hold time)은, 레지스터에 의해 수신된 클록 신호의 도달 에지(또는 완료 에지)의 직후의 시간이다. 유지 시간 동안에, 데이터 신호가 레지스터에 의해 정확한 데이터 신호로서 수신되도록 여전히 안정적으로 있어야 한다. 또한, 아래의 관계식 (4)는 유지 시간의 제약을 부과한다.
- <88>  $data - CLK \geq hold \quad \dots (4)$
- <89> 관계식 (4)는 아래와 같이 관계식 (5)로 다시 쓸 수 있다:
- <90>  $data - CLK - hold \geq 0 \quad \dots (5)$
- <91> 위의 관계식에서, CLK, data, 및 hold는 클록 전파 시간, 사이클 시간, 데이터 버스를 따른 데이터 신호의 전파 시간, 및 유지 시간을 각각 나타낸다.
- <92> 그런데, 클록 신호의 전파 시간(CLK)과 데이터 신호의 전파 시간(data) 각각이 마진을 포함한다고 생각하면, 아래의 관계식이 참인지를 확인함으로써 셋업 시간을 조사(check)할 수 있다:
- <93>  $margin2(clock\ cell + clock\ net) + period > margin1(data\ cell + data\ net) + setup \quad \dots (6)$
- <94> 한편, 아래의 관계식이 참인지를 확인함으로써 유지 시간을 조사할 수 있다:
- <95>  $margin1(data\ cell + data\ net) > margin2(clock\ cell + clock\ net) + hold \quad \dots (7)$
- <96> 위의 관계식에서, margin()는, 괄호 () 내의 인수의 함수로서 표현되는 마진을 나타낸다.
- <97> 위의 관계식으로 각각 표현된 마진값들을 미리 정해진 마진값과 비교함으로써, 회로의 추정된 마진에 대한 프로세스상의 제조 안전 마진을 검사할 수 있다. 즉, 아래와 같이 미리 결정된 유지 마진(hold\_margin)과 지연 마진(delay\_margin)을 비교함으로써, 기능 블록 내의 경로의 안전 마진을 검사할 수 있다:
- <98>  $hold\_margin/100 > (data(min) - hold(max))/CLK(max) - 1 \quad \dots (8)$

- <99>  $delay\_margin/100 < -period/(CLK(min) - data(max)) - setup(max) - 1 \dots (9)$
- <100> 본 실시예에서는, 도 3에 나타난 테이블에서 기능 블록의 지연을 검사한다. 한편, RC 추출 프로세스는 기능 블록 사이의 배선을 따라서 배선 지연을 계산하는 데 사용되는 용량값 및 저항값을 제공한다. 그 후, 배선 지연으로부터 스테이지 지연을 계산한다. 유의할 것은, 제품이 정해진 시점에, 제품의 레이아웃을 해석하고, 기능 블록들 사이의 배선 길이의 빈도를 검사한다는 것이다. 그 후, 최대 빈도의 배선 길이를 배선 길이로 하고, 그 배선 기일에 대한 배선 지연을 구한다. 배선 길이의 조정이 필요한 경우에는, 최대 빈도의 배선 길이로부터의 시프트값(shift)을 현재의 배선 길이에 가산하거나, 현재의 배선 길이를 감산하여 조정 후의 배선 길이를 제공한다. 또한, 본 실시예에서, 관계식 (8) 및 (9)에 따라 테이블 값을 참조하여 안전 마진을 조사한다. 따라서, 첨자 max 및 min으로 나타내는 양은 서로 구별하지 않는다.
- <101> 본 실시예에서는, 아래와 같이 미리 각각 주어진 관계식 (2) 및 (4)에 따라 셋업 시간 및 유지 시간을 조사한다:
- <102>  $CLK + period - data \geq setup \quad \dots (2)$
- <103>  $data - CLK \geq hold \quad \dots (4).$
- <104> 예를 들면, 도 5에 나타난 바와 같이
- <105> 각각 버퍼와 플립플롭(FF)으로서 기능하는 기능 블록 D, B로 구성되는 경로의 경우에는, 데이터 신호 전파 시간(data)와 클럭 신호 전파 시간(CLK)은 다음과 같이 규정된다:
- <106>  $data = \text{배선 지연} + \text{플립플롭 지연} + \text{배선 지연} + \text{버퍼 지연} + \text{배선 지연}$
- <107>  $\dots(10)$
- <108>  $CLK = \text{배선 지연} + \text{버퍼의 지연} + \text{배선 지연} \quad \dots(11).$
- <109> 도 3에 나타난 테이블의 D-B(플립플롭-버퍼)의 매트릭스 요소에 대응하는 값을 사용하면, 다음의 양은 다음과 같은 값을 가진다:  $CLK = 137.5$  [ps],  $period = 500$  [ps],  $data = 27.5$  [ps],  $setup = 30$  [ps],  $hold = 0$  [ps] 및 버퍼 지연(buffer delay) =  $26.5$  [ps]이다. 따라서, 관계식 (2) 및 (4)에 따라 셋업 시간과 유지 시간을 조사할 수 있다.
- <110> 유의할 것은, 전술한 바와 같이, 배선의 배선 지연이 배선의 용량값 및 저항값을 포함하는 배선 RC값과, 기능 블록을 구성하는 회로의 최대 빈도의 배선 길이를 사용하여 계산된다는 것이다. 배선 지연의 계산에 이 기법을 이용하여, 반도체 집적회로의 접속 정보를 얻을 수 있으면, 경로를 따라서 지연의 안전 마진을 구할 수 있다.
- <111> 기능 블록 A, B, B, F, 및 G으로 구성되는 경로에 대하여 마진을 계산한 결과, 15%의 안전 마진을 구하였다. 즉, 관계식 (2) 및 (4)는 참이다. 더욱 구체적으로는, 관계식 (2)의 식 ( $CLK + period - data \geq setup$ )의 값이 셋업 시간(setup time)보다 15% 크고, 관계식 (4)의 식 ( $data - CLK \geq hold$ )의 값이 유지 시간(hold time)보다 12% 크다. 이런 이유 때문에, 안전 마진의 결과로서는 보다 작은 안전 마진인 12%를 사용한다.
- <112> 다음에, 계산한 안전 마진을 경로를 구성하는 기능 블록 A, B, B, F, 및 G에 분배한다. 기능 블록 A, B, B, F, 및 G에 안전 마진을 분배하는 기법에 따라, 기능 블록 A, B, B, F, 및 G에 분배되는 안전 마진 부분값(safety-margin portion)이 기능 블록 A, B, B, F, 및 G에 할당된 값으로서 도 3의 테이블에 나타난 값에 비례하도록, 기능 블록 A, B, B, F, 및 G에 안전 마진을 분배한다. 도 3은 기능 블록의 타입 A~K의 전체 회로의 평균값과의 차를 나타낸 테이블이다. 기능 블록 A, B, B, F, 및 G의 스테이지 지연 마진의 비는 1 : 1.1 : 1.1 : 1.3 : 1.5로 구해진다. 따라서, 안전 마진 12%로부터, 기능 블록 A, B, B, F, 및 G에 분배되는 네트 안전 마진 부분값은 각각 2%, 2.2%, 2.2%, 2.6%, 및 3%로 구해진다. 이 안전 마진 부분값이 스테이지 지연으로부터 계산되었지만, 이 안전 마진 부분값은 소자들을 서로 접속하는 배선에 의해 소비될 수 있다.
- <113> 한편, 배선폭과 배선 길이의 관계, 그리고 배선 길이와 지연의 관계를 각각 미리 조사한다. 즉, 제품의 디바이스 단면 구조에 기초하여 배선 모델 구조를 상정하여, 배선 모델 구조의 배선폭 및 배선 길이를 변화시킨 경우에 발생하는 스테이지 지연의 변화를 검사한다.
- <114> 본 실시예에서 사용된 디바이스에서의, 배선의 용량값 및 저항값에 의해 결정된 스테이지 지연과 배선폭 사이의 의존 관계를 각각 나타내는 곡선을 나타낸 도면이다. 도 6의 세로축은 스테이지 지연을 나타내고, 가로축은 배선 모델 구조에서의 배선폭을 나타낸다. 도 6에 나타난 바와 같이, 스테이지 지연은 배선 폭에 대하여 선형으

로 변화한다. 배선 길이가 변화하면, 배선 폭과 스테이지 지연 사이의 관계를 나타내는 곡선의 경사도 변화한다. 즉, 도 6의 곡선은 상이한 배선 길이를 나타내는 상이한 경사를 가지는 선으로서 그려져 있다. 이 관계를 사용하여, %로 표현되는 안전 마진(또는 전술한 차)의 배선평 관리값을, 각각의 배선 길이에 대하여 구할 수 있다.

- <115> 이렇게 하여, 기능 블록들을 서로 접속하는 네트 각각에 대한 안전 마진을, 네트의 배선에 관한 양으로서 계산한다. 할당된 양이 네트 각각에 대한 안전 마진이다더라도, 배선 배치 후의 DEF(Design Exchange Format) 파일을 사용하면, 네트를 구성하는 배선을 특정할 수 있다.
- <116> 이 방법을 채용하여 네트를 구성하는 배선을 특정한 다음, 그 배선의 관리폭을 증가시킨다. 이 작업을 네트 각각에 대하여 실행한다. 따라서, 지금까지 일률적으로 부여하던 배선 지연의 마진의 정밀도를 향상시킬 수 있다. 또한 지금까지 일률적으로 이루어지던 관리폭을, 특성에 기초한 안전 마진에 기초하여 변화시킬 수 있다.
- <117> 그리고, 전술한 방법을 채용하여 계산된 관리폭을 기초로 하여, 회로 패턴(또는 마스크 패턴)을 만들고, 이 회로 패턴을 사용하여 전사 프로세스를 수행함으로써 반도체 장치를 제조한다.
- <118> 관리폭을 사용하는 방법은 크게 두 개의 카테고리로 분류할 수 있다. 첫 번째 카테고리에 속하는 방법은 회로 패턴 자체에 적용되는 관리폭 변경 방법이라고 한다. 두 번째 카테고리에 속하는 방법은 OPC(Optical Proximity Correction)에서의 타겟(target)을 변경하는 방법이다. 본 실시예에서는 두 번째 카테고리에 속하는 방법을 채용한다.
- <119> 구체적으로 설명하면, 배선 배치 후의 회로 패턴에 대하여 OPC 및 OPC 검증을 실행한다. 예를 들면, OPC 및 OPC 검증 시의 전사 시뮬레이션의 광학 조건은, 193nm으로 설정된 노광 파장, 0.75로 설정된 NA(NA = 0.75), 0.85로 설정된  $\sigma$  ( $\sigma = 0.85$ ), 그리고 2/3으로 설정된 환형대(orbicular zone)를 포함한다. 노광량을 13.5mJ 센터로 설정한 경우, OPC의 타겟 치수가 증가하여, OPC의 수렴의 속도가 빨라진다. 그 결과, OPC 및 OPC 검증에 의한 부하를 감소시킬 수 있다. 또한, OPC의 관리폭이 증가되어, OPC가 수렴하는 속도의 증가에도 기여한다.
- <120> 도 7은 제1 실시예에 의해 실행되는 처리의 설명에 참조하는 설명하는 흐름도이다. 흐름도는, 배선 배치 도구로부터 레이아웃 데이터의 취득하고, 이 레이아웃 데이터를 사용하여 레이아웃 데이터로 표현되어 있는 레이아웃을 해석하는 단계 S101에 의해 시작된다. 레이아웃 데이터는 상세 배선 후의 GDS 포맷으로 구성된 데이터이다. 레이아웃 해석에서는, 전형적으로, 레이아웃에 포함되어 있는 기능 블록의 타입, 타입들의 수, 기능 블록을 접속하는 각 배선의 길이, 및 각 배선 길이의 빈도를 검사한다.
- <121> 그 후, 다음 단계 S102에서, 레이아웃 해석의 결과를 사용하여 기능 블록 각각에 대하여 모델 회로를 생성한다. 이어서, 다음 단계 S103에서, 기능 블록 각각에 대하여 지연 마진(도 3의 테이블 참조)을 계산하여, 기능 블록 각각에 대한 배선 관리폭을 구한다.
- <122> 지연 마진은, 단계 S102에서 먼저 생성한 모델 회로, 지연 마진의 테이블로서 도 3에 나타난 테이블, 단계 S110에서 레이아웃 데이터로부터 별도로 추출된 RC 데이터에 기초하여 계산된 배선 RC, 그리고 단계 S111에서 레이아웃 전체의 지연을 계산하는 프로세스의 결과로서 취득된 결과를 사용하여, 기능 블록 각각에 대하여 계산된다. 그리고, 관계식 (2) 및 (4)에 따라 마진을 조사하여 모든 경로에 대하여 안전 마진을 구한다. 또한, 이 안전 마진을 전술한 비례에 기초하여 네트에 분배하여 네트 각각에 대한 안전 마진을 구한다. 이어서, 도 6에 나타난 관계로부터 안전 마진에 대한 배선평 안전 마진을 구한다.
- <123> 그 후, 다음 단계 S104에서, 안전 마진에 기초하여 레이아웃을 검증한다. 이어서 다음 단계 S105에서, 각 배선의 타겟 치수를 증가시키고, OPC 및 OPC 검증을 실행한다. 이 경우, 회로 패턴 자체에 앞서 언급한 첫 번째 방법의 카테고리에 속하는 관리폭 변경 방법을 적용할 수 있으며, OPC에서의 각 배선의 타겟 치수를 변경할 수 있다. 그리고, 다음 단계 S106에서, OPC 및 OPC 검증 후에 마스크 데이터를 생성한다.
- <124> 전술한 바와 같이, 본 실시예에서는, 기능 블록 각각에 대하여 모든 배선의 지연 마진을 결정한다. 유의할 것은, 지연 마진의 데이터가 각 세대에 대하여 축적된 때 차세대의 디바이스의 지연 마진을 추정할 수 있다는 것이다. 실제로, 회로도가 없는 상황에서 실행되는 추정 프로세스에서는, 각 세대에 대하여 배선 길이의 최대 빈도를 추정함으로써 배선 지연을 계산한다. 본 실시예에서 구한 정밀한 지연 마진을 사용하여 설계 작업을 실행함으로써, 타이밍 수렴의 처리 부하를 경감할 수 있다.

<125> 또한, 본 실시예에서는, 관계식 (2) 및 (4)에 따라 마진을 조사한다. 그러나, 마진을 조사하는 방법은 이 기법으로 한정되는 것은 아니다. 즉, 본 실시예의 다른 관계식에 따라 또는 마진 조사를 목적으로 설정된 다른 관계식에 따라 마진을 조사할 수도 있다. 또한, 마진을 기능 블록에 분배하는 방법도 본 실시예에 따른 기법으로 한정되는 것은 아니다.

<126> 또한, 특성에 기초하여 관리폭을 구할 수 있으면, 마진과 배선펙의 관계를 구하는 방법도, 본 실시예에 따른 기법으로 한정되는 것은 아니다. 또한, 본 실시예에서는, 배선 배치 도구를 사용하여 배선 지연을 계산한다. 그러나, 배선 지연의 값을 취득할 수 있으면, 셀 지연과 같은 방식으로 배선 지연의 테이블을 생성할 수 있으므로, 배선 배치 도구는 더 이상 필요하지 않다. 또한, 본 실시예에서는 배선 관리폭을 OPC에 고려하는 방법을 채용한다. 그러나, 앞서 언급한 첫 번째 방법의 카테고리에 속하는 관리폭 변경 방법을 채용하여 회로 패턴 자체를 변경할 수도 있다. 유의할 것은, 전사 시뮬레이션 및 웨이퍼 전사 프로세스에 사용되는 배선의 타겟 치수는 관리폭의 최대값일 수 있고, 또는 관리폭 범위 내에서 유형에 대한 값을 설정함으로써 결정될 수 있다는 것이다.

<127> **제2 실시예**

<128> 제2 실시예에서는, 제1 실시예에 따른 기술을 회로의 임계 경로(critical path)에 적용한다. 도 8은 제2 실시예에 의해 실행되는 처리의 설명에 참조하는 흐름도이다. 흐름도는, 배선 배치 도구로부터 레이아웃 데이터의 취득하고, 이 레이아웃 데이터를 사용하여 레이아웃 데이터로 표현되어 있는 레이아웃을 해석하는 단계 S201에 의해 시작된다. 레이아웃 데이터는 상세 배선 후의 GDS 포맷으로 구성된 데이터이다. 레이아웃 해석에서는, 전형적으로, 레이아웃에 포함되어 있는 기능 블록의 타입, 타입들의 수, 기능 블록들을 접속하는 각 배선의 길이, 및 각 배선 길이의 빈도를 검사한다.

<129> 그 후, 다음 단계 S202에서, 레이아웃 해석의 결과를 사용하여 기능 블록 각각에 대하여 모델 회로를 생성한다. 이어서, 다음 단계 S203에서, 기능 블록 각각에 대하여 지연 마진(도 3의 테이블 참조)을 계산하여, 기능 블록 각각에 대한 배선 관리폭을 구한다. 그리고, DEF(Design Exchange Format)를 사용하여 네트를 구성하는 배선 레이아웃의 층(layer) 및 좌표를 특정하여 어떤 관리폭에 속하는지를 결정한다. 상세 배선 프로세스 후에 생성된 DEF 파일을 사용하면, 회로의 임계 경로를 특정할 수 있다.

<130> 임계 경로 부분의 지연 마진은, DEF 파일을 사용하여 임계 경로를 특정한 후, 단계 S202에서 먼저 생성한 모델 회로, 지연 마진의 테이블로서 도 3에 나타난 테이블, 단계 S210에서 레이아웃 데이터로부터 별도로 추출된 RC 데이터에 기초하여 계산된 배선 RC, 그리고 단계 S211에서 레이아웃 전체의 지연을 계산하는 프로세스의 결과로서 취득된 결과에 기초하여, 계산된다.

<131> 배선 배치 후의 DEF 파일을 사용하면, 회로의 임계 경로의 위치를 특정할 수 있고, 또한 DEF 파일의 레이아웃 해석을 실행함으로써, 임계 경로를 구성하는 기능 블록을 특정할 수 있다. 그리고, 관계식 (2) 및 (4)에 따라 마진을 조사하여 모든 경로에 대하여 안전 마진을 구한다. 또한, 이 안전 마진을 전술한 비례에 기초하여 네트에 분배하여 네트 각각에 대한 안전 마진을 구한다. 이어서, 도 6에 나타난 관계로부터 안전 마진에 대한 배선펙 안전 마진을 구한다.

<132> 그 후, 다음 단계 S204에서, 안전 마진에 기초하여 레이아웃을 검증한다. 이어서 다음 단계 S205에서, 각 배선의 타겟 치수를 증가시키고, OPC 및 OPC 검증을 실행한다. 이 경우, 회로 패턴 자체에, 앞서 언급한 첫 번째 방법의 카테고리에 속하는 관리폭 변경 방법을 적용할 수 있거나, 또는 OPC에서의 각 배선의 타겟 치수를 변경할 수 있다. 그리고, 다음 단계 S206에서, OPC 및 OPC 검증 후에 마스크 데이터를 생성한다.

<133> 본 실시예에서는, 작업 효율을 향상시키기 위하여, 임계 경로 부분에 대하여만 처리를 실행한다. 그러나 회로 성능의 관점에서 임계 경로 부분의 타겟 치수의 변경이 곤란한 경우에는, 임계 경로 이외의 부분에서 본 기술을 적용할 수 있다는 것에 유의하기 바란다. TAT(turn around time)와 품질의 관점에서, 필요한 회로 부분에 본 기술을 적용하는 것이 좋다. 즉, 정밀도를 중시의 경우에는, 본 기술을 모든 회로에 적용한다. 한편, TAT를 중시하는 경우에는, 본 기술을 임계 경로, 및 리소그래피 변화 패턴(lithography margin transit pattern)에 필터를 사용하여 적용한다. 또한, 제1 실시예와 마찬가지로, 앞서 언급한 첫 번째 방법의 카테고리에 속하는 관리폭 변경 방법을 회로 패턴 자체에 적용할 수 있거나, 또는 OPC에서의 타겟 치수를 변경할 수 있다.

<134> **제3 실시예**

<135> 제3 실시예에서는, 제1 실시예에 따른 기술을 리소그래피 마진 변화 패턴(lithography margin transit

pattern)에 적용한다. 도 9는 제3 실시예에 의해 실행되는 처리의 설명에 참조하는 흐름도이다. 흐름도는, 배선 배치 도구로부터 레이아웃 데이터의 취득하고, 이 레이아웃 데이터를 사용하여 레이아웃 데이터로 표현되어 있는 레이아웃을 해석하는 단계 S301에 의해 시작된다. 레이아웃 데이터는 상세 배선 후의 GDS 포맷으로 구성된 데이터이다. 레이아웃 해석에서는, 전형적으로, 레이아웃에 포함되어 있는 기능 블록의 타입, 타입들의 수, 기능 블록들을 접속하는 각 배선의 길이, 및 각 배선 길이의 빈도를 검사한다.

<136> 그 후, 다음 단계 S302에서, 레이아웃 해석의 결과를 사용하여 기능 블록 각각에 대하여 모델 회로를 생성한다. 한편, 단계 S304에서, 상세 배선 후의 GDS를 검증한다. 이어서 단계 S305에서, OPC 및 OPC 검증을 실행하여 리소그래피 마진 변화 패턴을 추출한다. 리소그래피 마진 변화 패턴에 관한 정보는 HOTSPOT 파일에 기록된다. 리소그래피 마진 변화 패턴에 관한 정보와 임계 경로에 관한 정보로서 DEF 파일에 기록된 정보를 대조함으로써, 리소그래피 마진 변화 패턴인 임계 경로 부분의 지연 안전 마진을 계산할 수 있다.

<137> 이 지연 안전 마진을 계산하기 위하여, 기능 블록 각각에 대하여 지연 마진(도 3의 테이블 참조)을 계산하여, 기능 블록 각각에 대한 배선 관리폭을 구한다. 그리고, 단계 S305에서, 관리폭의 최대값을 OPC의 타겟 치수로 하여, OPC 및 OPC 검증을 다시 실행하여 리소그래피 마진을 얻는다. 따라서, 그리소그래피 마진 변화 패턴인 임계 경로 부분의 마스크 패턴을, 특성이 보증되는 범위 내에서 변경할 수 있다.

<138> 또한, 본 실시예에서는, OPC의 타겟 치수를 변경하는 프로세스 외에, 제1 실시예 및 제2 실시예와 마찬가지로, 레이아웃의 선포에 대한 관리값의 바이어스를 설정함으로써 다른 변경을 가하고, 다른 변경 후에 OPC 및 OPC 검증을 실행한다.

<139> 본 실시예에서는, 관리폭의 중간값을 바이어스폭으로 하여, 레이아웃을 변경한다. 그 결과, 임계 경로 부분에 나타나는 리소그래피 마진 변화 패턴을 보정할 수 있다. 본 실시예에서는, 리소그래피 마진 변화 패턴인 임계 경로 부분에서 처리를 실행한다. 그러나 유의할 것은, 회로 성능의 관점에서 임계 경로 부분의 타겟 치수의 변경이 곤란한 경우, 임계 경로 이외의 부분에 본 기술을 적용할 수 있다. TAT와 품질의 관점에서, 필요한 회로 부분에 본 기술을 적용하면 된다. 즉, 밀도를 중시의 경우에는, 본 기술을 모든 회로에 적용한다. 한편, TAT를 중시하는 경우에는, 본 기술을 임계 경로, 및 리소그래피 마진 변화 패턴에 필터를 사용하여 적용한다.

<140> 또한, 해당 기술분야의 당업자는, 첨부된 청구항의 범위 또는 그와 동등한 범위 내에 있는 한 설계 요건 및 기타 인자에 따라 본 발명에 대한 다양한 변형, 조합, 부조합 및 변경 가능하다는 것을 알아야 한다.

<141> **대표적인 적용예**

<142> 이상 설명한 실시예에 따른 처리는, 반도체 장치의 제조 프로그램이라고 하는 프로그램을 실행하는 컴퓨터에 의해 수행될 수 있다. 컴퓨터에 의해 실행되는 반도체 장치의 제조 프로그램은,

<143> (a) 제조되는 반도체 집적회로의 물리 레이아웃을 미리 정해진 범위 내에서 변화시킨 경우의 용량값 및 저항값을 계산하는 단계;

<144> (b) 반도체 집적회로의 물리 레이아웃을 기능 블록 단위에 분할하여 상기한 기능 블록 단위로 물리 레이아웃을 해석하는 단계;

<145> (c) 계산한 용량값, 계산한 저항값, 각 기능 블록의 소자부 및 배선부에 제공된 지연 테이블로부터, 기능 블록 각각에 대한 신호 지연을 계산하는 단계;

<146> (d) 기능 블록 각각에 대해 계산한 신호 지연과 물리 레이아웃에 대하여 실행된 해석의 결과에 기초하여 반도체 집적회로를 구성하는 기능 블록 전체에서의 신호 지연의 평균값, 및 기능 블록의 유형 각각에 대하여 구한 신호 지연의 평균값을 계산하는 단계; 및

<147> (e) 기능 블록 전체에서의 신호 지연의 평균값과, 기능 블록의 각 유형에 대하여 구한 신호 지연의 평균값으로서 각각 계산된 평균값 각각의 평균값 차(즉, 지연 마진)를 계산하는 단계를 포함한다.

<148> 전술한 단계 (a)는 도 7~도 9에 나타난 흐름도의 RC 추출 단계(즉, 단계 S110, S210, S310)에 대응한다. 전술한 단계 (b)는 도 7~도 9에 나타난 흐름도의 레이아웃 해석 단계(즉, 단계 S101, S201, S301)에 대응한다. 전술한 단계 (c)는 도 7~도 9에 나타난 흐름도의 지연 안전 마진 계산 단계(즉, 단계 S103, S203, S303)에 대응한다. 전술한 단계 (d)는 도 7~도 9에 나타난 흐름도의 지연 계산 단계(즉, 단계 S111, S211, S311) 및 지연 안전 마진 계산 단계(즉, 단계 S103, S203, S303)에 대응한다. 전술한 단계 (e)는 도 7~도 9에 나타난 흐름도의 지연 안전 마진 계산 단계(즉, 단계 S103, S203, S303)에 대응한다.

- <149> 컴퓨터는 이들 단계를 포함하는 처리를 수행하기 위하여 반도체 장치의 제조 프로그램을 실행한다. 이렇게 하여, 본 실시예의 특징인 기능 블록의 유형 각각에 대한 지연 마진을 구함으로써 프로세스 마진을 계산할 수 있다.
- <150> 유의할 것은, 본 발명의 실시예에 따른 처리를 수행하기 위하여 컴퓨터에 의해 실행될 반도체 장치 제조 프로그램은, CD나 DVD와 같은 미리 정해진 기록 매체에 미리 저장되어 있거나, 네트워크를 통하여 프로그램 제공자로부터 다운로드된다는 것이다.
- <151> 또한, 반도체 장치의 제조 프로그램은, 본 발명의 실시예에 따른 처리를 수행하는데 유리한 구성을 가지는 컴퓨터 시스템에 의해서도 실행될 수 있다. 반도체 장치의 제조 시스템으로서 작용하는 컴퓨터 시스템은, 본 발명의 실시예 중 하나에 따른 반도체 장치의 제조 프로그램의 단계로서 전술한 복수의 단계를 실행하는데 적합한 하드웨어를 구비한다. 전형적으로, 이 하드웨어는, 복수의 단계를 신속하게 처리하기 위한 CPU, 복수 단계의 실행에 충분한 용량을 구비한 메모리, 각종 데이터를 저장하는데 사용되는 부분으로서 작용하도록 구성된 저장부, 그리고 디스플레이 및 입출력 인터페이스와 같은, 기타 부분들을 포함하는 구성으로 되어 있다.
- <152> 이 반도체 장치의 제조 시스템은, 본 발명의 실시예 중 하나에 따른 프로그램으로서 작용하도록 미리 내장되어 있는 반도체 장치의 제조 프로그램을 포함한다. 다르게는, 반도체 장치의 제조 프로그램은 기록 매체로부터 반도체 장치의 제조 시스템에 설치되는 프로그램이다. 또 다르게는, 반도체 장치의 제조 프로그램은 프로그램 제공자로부터 네트워크를 통하여 다운로드되어 반도체 장치의 제조 시스템에 설치되는 프로그램이다. 반도체 장치의 제조 프로그램은 나중에 반도체 장치의 제조 시스템에 의해 실행되어 반도체 장치의 제조 시스템에 특유한 처리를 수행한다.

<153> **본 발명의 효과**

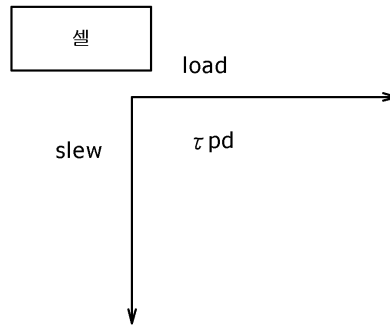
- <154> 종래에는, 많은 경우에, 회로 시간 지연에 영향을 주는 회로 부분은 반도체 집적회로의 수십 퍼센트 미만에 지나지 않았다. 그러나, 지연의 관점 및 리소그래피의 관점에서, 마진이 일률적으로 주어졌다. 이것은 종래에 레이아웃의 배선폭 변동과 배선 지연이 서로 연관되어 있지 않았기 때문이다. 한편, 이상에서 설명한 본 발명에 따르면, 지연 마진의 관점에서 지금까지 모든 부분에 대하여 일률적으로 제공하던 마진을, 기능 블록의 지연에 기초하여 기능 블록의 조합 각각에 대하여 설정할 수 있다. 따라서, 마진의 정밀도를 향상시킬 수 있다. 또한, 현재 세대의 디바이스의 기능 블록 각각의 지연 마진을 기초로, 차세대 디바이스의 지연 마진을 고정밀도로 추정할 수도 있다.

**도면의 간단한 설명**

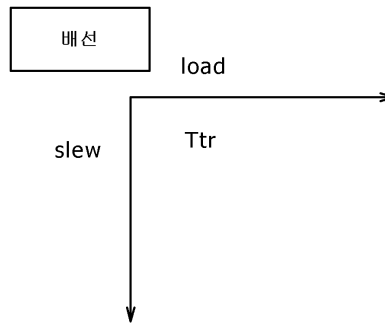
- <155> 도 1a 및 도 1b는 각각, 스테이지 지연을 설명하는 모형도이다.
- <156> 도 2a 내지 도 2c는 각각, 전형적인 기능 블록을 나타낸 도면이다.
- <157> 도 3은 대표적인 기능 블록 각각에 발생한 신호 지연의 평균값으로서 각각 계산된 각각의 평균값과 회로 전체의 평균값과의 차로서 각각 구해진 차를 매트릭스 형태로 나타낸 테이블이다.
- <158> 도 4는 대표적인 기능 블록 각각에 대하여 각각 계산된 배선 지연값의 테이블을 나타낸 설명도이다.
- <159> 도 5는 기능 블록으로 구성되는 전형적인 경로를 나타낸 도면이다.
- <160> 도 6은 배선의 용량값 및 저항값에 의해 결정된 스테이지 지연과 배선폭의 의존 관계를 나타낸 도면이다.
- <161> 도 7은 본 발명의 제1 실시예에 의해 수행되는 처리의 설명에 참조하는 흐름도이다.
- <162> 도 8은 본 발명의 제2 실시예에 의해 수행되는 처리의 설명에 참조하는 흐름도이다.
- <163> 도 9는 본 발명의 제3 실시예에 의해 수행되는 처리의 설명에 참조하는 흐름도이다.
- <164> 도 10은 지연 마진을 계산하기 위하여 실행되는 처리의 설명에 참조하는 흐름도이다.

도면

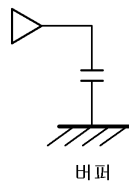
도면1a



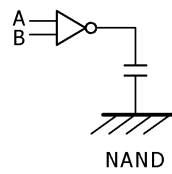
도면1b



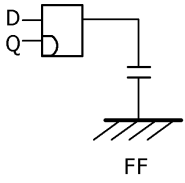
도면2a



도면2b



도면2c



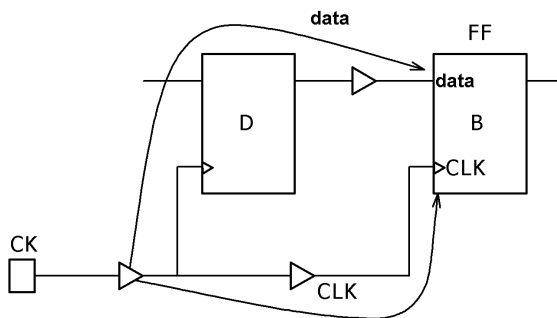
도면3

	A	B	C	D	E	F	G	H	I	J	K
A	-7.18089	-15.5984	82.79361	41.40461	-26.2544	27.14161	-23.8074	-9.26039	-14.5039	4.399861	-17.5814
B	-14.3618	-22.7793	75.61272	34.22372	-33.4353	19.96072	-30.9883	-16.4413	-21.6848	-2.78103	-24.7623
C	-15.5984	-31.1968	67.19522	25.80622	-41.8528	11.54322	-39.4058	-24.8588	-30.1023	-11.1985	-33.1798
D	82.79361	75.61272	165.5872	124.1982	56.53922	109.9352	58.98622	73.53322	68.28972	87.19347	65.21222
E	41.40461	34.22372	25.80622	82.80922	15.15022	68.54622	17.59722	32.14422	26.90072	45.80447	23.82322
F	-26.2544	-33.4353	-41.8528	56.53922	15.15022	-52.5088	0.887222	-35.5148	-40.7583	-21.8545	-43.8358
G	27.14161	19.96072	11.54322	109.9352	68.54622	0.887222	54.28322	3.334222	-50.0618	3.334222	41.3888
H	-30.9883	-39.4058	58.98622	17.59722	-50.0618	3.334222	-47.6148	-33.0678	-47.6148	-33.0678	-41.3888
I	-9.26039	-16.4413	-24.8588	73.53322	32.14422	-35.5148	17.88122	-18.5208	-38.3113	-23.7643	-32.0853
J	-14.5039	-21.6848	-30.1023	68.28972	26.90072	-40.7583	12.63772	-19.4075	-38.3113	-19.4075	-13.1815
K	4.399861	-2.78103	-11.1985	87.19347	45.80447	-21.8545	31.54147	-4.86053	-10.104	8.799722	-35.1628
	-17.5814	-24.7623	-33.1798	65.21222	23.82322	-43.8358	9.560222	-41.3888	-26.8418	-32.0853	-13.1815

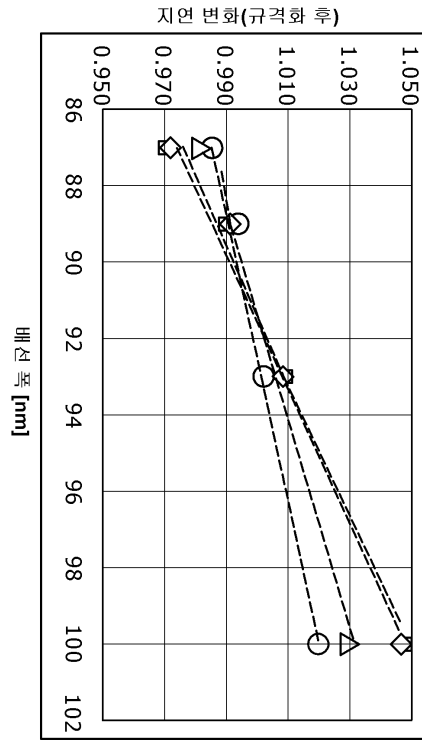
도면4

	A	B	C	D	E	F	G	H	I	J	K	
A	-7.18089	69.83422	61.41672	159.8087	118.4197	50.76072	104.1567	53.20772	67.75472	62.51122	81.41497	59.43372
B	-15.5984	61.41672	52.99922	151.3912	110.0022	42.34322	95.73922	44.79022	59.33722	54.09372	72.99747	51.01622
C	82.79361	159.8087	151.3912	249.7832	208.3942	140.7352	194.1312	143.1822	157.7292	152.4857	171.3895	149.4082
D	41.40461	118.4197	110.0022	208.3942	167.0052	99.34622	152.7422	101.7932	116.3402	111.0967	130.0005	108.0192
E	-26.2544	50.76072	42.34322	140.7352	99.34622	31.68722	85.08322	34.13422	48.68122	43.43772	62.34147	40.36022
F	27.14161	104.1567	95.73922	194.1312	152.7422	85.08322	138.4792	116.3402	102.0772	96.83372	115.7375	93.75622
G	-23.8074	53.20772	44.79022	143.1822	101.7932	34.13422	87.53022	36.58122	51.12822	45.88472	64.78847	42.80722
H	-9.26039	67.75472	59.33722	157.7292	116.3402	48.68122	102.0772	51.12822	65.67522	60.43172	79.33547	57.35422
I	-14.5039	62.51122	54.09372	152.4857	111.0967	43.43772	96.83372	45.88472	60.43172	55.18822	74.09197	52.11072
J	4.399861	81.41497	72.99747	171.3895	130.0005	62.34147	115.7375	64.78847	79.33547	74.09197	92.99572	71.01447
K	-17.5814	59.43372	51.01622	149.4082	108.0192	40.36022	93.75622	42.80722	57.35422	52.11072	71.01447	49.03322

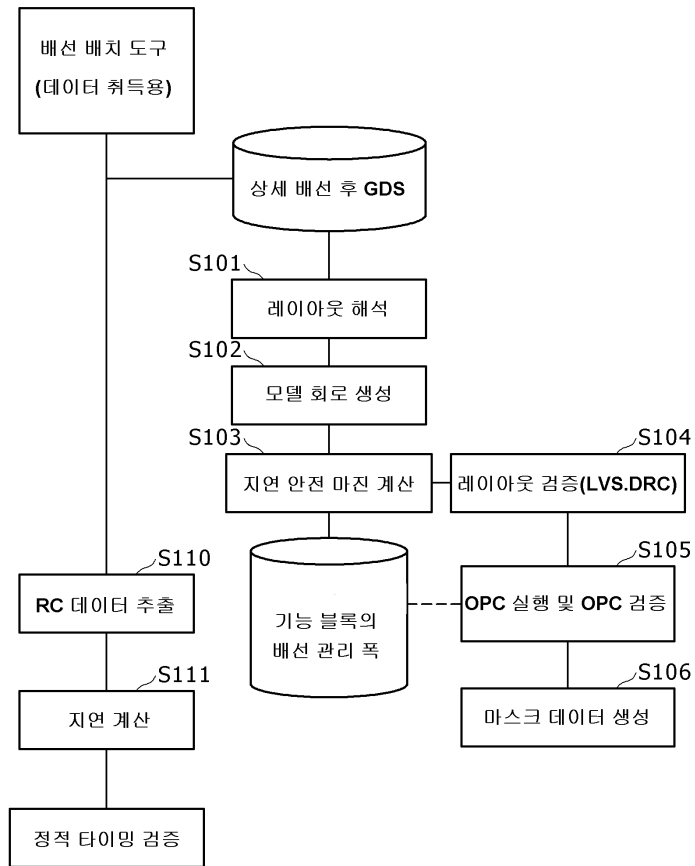
도면5



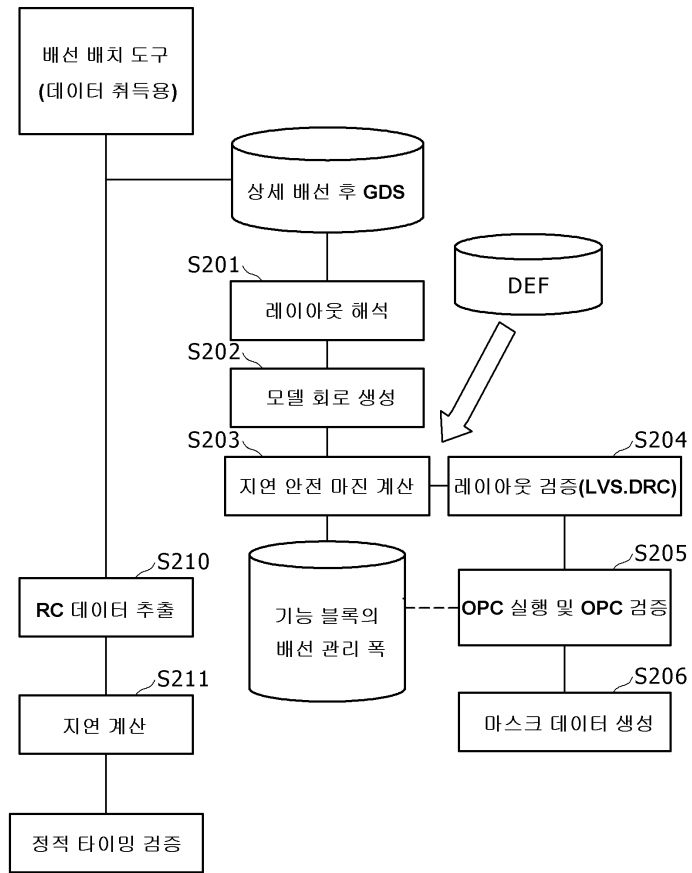
도면6



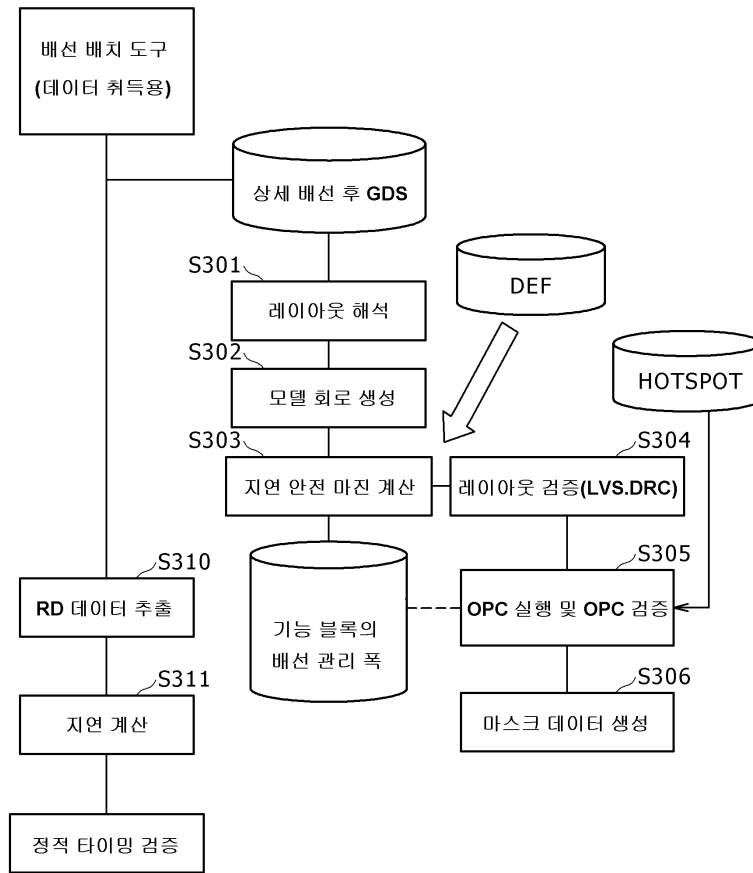
도면7



도면8



도면9



도면10

