

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008 年 9 月 18 日 (18.09.2008)

PCT

(10) 国際公開番号
WO 2008/111135 A1

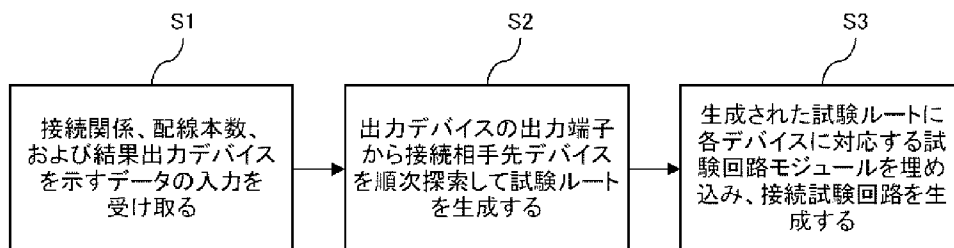
- (51) 国際特許分類:
G01R 31/3177 (2006.01)
- (21) 国際出願番号: PCT/JP2007/000230
- (22) 国際出願日: 2007 年 3 月 15 日 (15.03.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通マイクロエレクトロニクス株式会社 (Fujitsu Microelectronics Limited) [JP/JP]; 〒1630722 東京都新宿区西新宿二丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 玉井浩一 (TAMAI, Kohichi) [JP/JP]; 〒2130012 神奈川県川崎市高津区坂戸 3 丁目 2 番 1 号 富士通エルエスアイテクノロジー株式会社内 Kanagawa (JP).
- (74) 代理人: 大菅義之 (OSUGA, Yoshiyuki); 〒1020084 東京都千代田区二番町 8 番地 20 二番町ビル 3 F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: METHOD FOR CREATING INTER-DEVICE CONNECTION TEST CIRCUIT, CREATION DEVICE AND CREATION PROGRAM

(54) 発明の名称: デバイス間接続試験回路生成方法、生成装置、および生成プログラム

[図1]



- S1 RECEIVE INPUT OF DATA INDICATING CONNECTION RELATION, NUMBER OF LINES, AND RESULT OUTPUT DEVICE
- S2 CREATE TEST ROUTE BY SEARCHING CONNECTION DESTINATION DEVICES SEQUENTIALLY FROM THE OUTPUT TERMINAL OF OUTPUT DEVICE
- S3 CREATE CONNECTION TEST CIRCUIT BY BURYING TEST CIRCUIT MODULE CORRESPONDING TO EACH DEVICE IN CREATED TEST ROUTE

(57) Abstract: A test circuit not requiring customization for every substrate by using simple test pattern data can be created, and preparation process of test is reduced sharply. Input of data indicating the connection relation of devices to be interconnected among a plurality of devices, the number of connection lines corresponding to each connection relation, and the devices outputting test data is received, the connection destination devices are searched sequentially from the output terminal side of the output device, and a test circuit module is buried in a test route thus creating a connection test circuit.

[続葉有]

WO 2008/111135 A1



添付公開書類:

— 国際調査報告書

(57) 要約: 単純な試験パターンデータを使用することができ、基板毎にカスタマイズする必要がない試験回路の生成を可能とし、試験の準備工程を大幅に短縮する。複数のデバイスのうちで相互に配線接続されるデバイスを示す接続関係と、その接続関係のそれぞれに対応する接続配線の本数と、試験結果を出力するデバイスとを示すデータの入力を受け取り、出力デバイスの出力端子側から接続相手先デバイスを順次探索し、試験ルート上に試験回路モジュールを埋め込んで接続試験回路を生成する。

明 細 書

デバイス間接続試験回路生成方法、生成装置、および生成プログラム

技術分野

- [0001] 本発明は、大規模半導体集積回路（ＬＳＩ）の設計、および製造方式に係り、さらに詳しくは、１つのＬＳＩ基板上に配置される複数のデバイス相互間を接続する接続配線の試験を行うための接続試験回路の生成方法、生成装置、および生成プログラムに関する。

背景技術

- [0002] 大規模半導体集積回路（ＬＳＩ）を搭載する半導体基板の最終的な製品は、用途が特定された機能デバイスとしてのＡＳＩＣ（アプリケーション・スペシフィック・インテグレーテッド・サーキット）を用いて量産化されるが、その設計、製造段階においては量産化の前にプロトタイプが作成される。
- [0003] このプロトタイプとしての半導体基板上には、プログラムによって機能変更が可能なＦＰＧＡ（フィールド・プログラマブル・ゲート・アレー）、またはＰＬＤ（プログラマブル・ロジック・デバイス）が多数配置されて、これらのデバイス間の配線接続が行われ、このプロトタイプを用いて論理デバックまでの処理が行われ、最終製品化の前にＦＰＧＡやＰＬＤがＡＳＩＣに変更される形式で開発手順が実行される。
- [0004] このようなプロトタイプの試験においては、半導体基板上に搭載された多数のＦＰＧＡなどのデバイスの間の接続配線の断線やショート、あるいは半田付け不良などに対して十分な試験を行う必要がある。
- [0005] このように基板上に実装されたプロトタイプなどの試験を行う方式として、ＩＥＥＥ標準１１４９．１として標準化されたＪＴＡＧ（ジョイント・テスト・アクション・グループ）方式が用いられているが、この方式の試験を行うためには専用のハードウェア、ソフトウェアなどを準備する必要があり、コストがかかり、また試験回路の準備の期間が長期になるという問題点が

あった。

[0006] このように基板上に搭載された多数のFPGAなどのデバイス間の接続配線チェックを行うための従来技術としての特許文献1では、入力パターン信号を発生する制御回路と、制御回路から入力パターン信号を受信するように結合されたシフトレジスタとからなる試験回路を用いる方法が開示されているが、この方法ではデバイス構成、デバイス間の接続配線の本数、外部のリソースなどを考慮して、事前に基板毎に専用の試験回路を設計する必要があるという問題点があった。

[0007] また同じく従来技術としての特許文献2には、基板上に配置された多数のFPGA間の接続配線情報から、チェックデータと対応する比較データを生成して、結線ミスなどを個別に判定可能とするチェック方法が開示されているが、結果判定のために判定パターンを大量に保持する必要があり、判定データの圧縮変換回路や判定データの保存用メモリが必要となり、また判定結果出力用にFPGA毎にコネクタなどの外部リソースも必要となる。このため事前に必要メモリ量を満たすことができるかどうか、あるいは外部リソースの追加なども考慮して設計を行う必要があるという問題点があった。

[0008] 以上のように従来のデバイス間接続配線の試験方式においては、例えばFPGAの間の接続形態や接続配線の本数によって試験回路を変更する必要があり、基板毎に試験方式を検討し、カスタマイズする必要があり、試験回路生成に手間と時間がかかるという問題点があった。また、試験専用外部部品や外部接続が必要な場合には、基板設計前に試験方式の検討が必要となるという問題点もあった。

特許文献1：特開2000-121696号「多重FPGAシステム用試験回路」

特許文献2：特開2004-151061号「デバイス間結線チェック方法」
発明の開示

[0009] 本発明の目的は、上述の問題点に鑑み、単純な試験パターンデータを使用することができ、また基板毎にカスタマイズする必要がない試験回路の生成

を可能とし、試験の準備工程を大幅に短縮することができるデバイス間接続試験回路生成方法を提供することである。

[0010] 本発明のデバイス間接続試験回路生成方法では、複数のデバイスのうちで相互に配線接続されるデバイスを示す接続関係と、その接続関係のそれぞれに対応する接続配線の本数と、試験結果を出力するデバイスとを示すデータの入力を受け取り、複数のデバイス間の配線接続に対応して接続試験回路を生成する方法が用いられる。

[0011] この方法においては、結果出力デバイスの出力端子から、接続相手先デバイスとの間の接続配線に対応して接続相手先デバイスを順次探索し、接続試験のための試験ルートを生成し、生成された試験ルートに、複数のデバイスに対応する、定型化された試験回路モジュールを埋め込み、接続試験回路を生成する方法が用いられる。

[0012] 本発明のデバイス間接続試験回路生成装置は、上述の試験回路生成方法を用いて接続試験回路の生成を行う装置であり、またデバイス間接続試験回路生成プログラムは上述の生成方法を計算機に実行させるものである。

[0013] 以上のように本発明によれば、デバイス間の接続関係、各接続関係の配線本数、試験結果出力デバイスのデータから接続試験のための試験ルートが生成され、そのルートに対応して定型化された試験回路モジュールが埋め込まれることによって、自動的に接続試験回路が生成される。

[0014] 本発明によれば、試験専用のリソースを必要とすることなく、定型化された試験回路モジュールを用いて試験回路の自動生成が可能となり、基板毎に試験方式を検討したり、カスタマイズを行う作業が不必要となり、試験準備工程が大幅に短縮され、大規模半導体集積回路の設計効率向上に寄与するところが大きい。

図面の簡単な説明

[0015] [図1]本発明のデバイス間接続試験回路生成方法の原理的な機能ブロック図である。

[図2]本実施形態におけるデバイス間接続配線試験方式の全体的なフローの説

明図である。

[図3] 本実施形態における F P G A 間接続試験回路生成装置の処理を中心とする接続配線試験の概略的なフローの説明図である。

[図4] 試験回路の構成例である。

[図5] 試験ルート探索処理の詳細フローチャートである。

[図6] 送信回路の構成例である。

[図7] 受信回路の構成例である。

[図8] 転送回路の構成例である。

[図9] 出力回路の構成例である。

[図10] 試験回路全体の動作説明図である。

[図11] 試験回路と期待値の生成処理の詳細フローチャートである。

[図12] 探索された試験ルートを示す図である。

[図13] 期待値ファイルの内容を示す図である。

[図14] 期待値データパターンの時間的な配置の説明図である。

[図15] 図 4 の試験回路を用いた接続配線試験のタイムチャートである。

[図16] 期待値と試験結果の比較による不具合配線リスト出力処理の詳細フローチャートである。

発明を実施するための最良の形態

[0016] 図 1 は、本発明のデバイス間接続試験回路生成方法の原理的な機能ブロック図である。同図は、一般的にプリント基板上に配置される複数のデバイス、例えば部分的な半導体デバイスとしての A S I C の間を接続する接続配線の試験を行うための、デバイス間接続試験回路生成方法の原理的な機能ブロック図である。

[0017] 図 1 において、まずステップ S 1 で複数のデバイスのうちで相互に配線接続されるデバイスを示す接続関係と、その接続関係にそれぞれ対応する接続配線の本数と、試験結果を出力するデバイスとを示すデータの入力が受け取られ、ステップ S 2 で結果出力デバイスの出力端子から、前述の相互配線接続相手先デバイスとの間の接続配線に対応して、接続相手先デバイスが順次

探索されて接続試験のための試験ルートが生成され、ステップS 3で生成された試験ルート上の複数のデバイスに、対応する試験回路モジュールが埋め込まれ、接続試験回路が生成される。

[0018] 図2は、本実施形態におけるデバイス間接続試験方式の全体的な処理フローの説明図である。同図においてデバイス間接続試験は、基本的にFPGA（フィールド・プログラマブル・ゲート・アレー）間接続試験回路生成装置5の制御によって行われる。

[0019] 図2においてまず基板設計仕様書1からステップS 10でFPGA間接続パラメータ抽出処理が行われ、抽出された接続関係2、配線数3、および結果出力デバイス4のデータがステップS 11でFPGA間接続パラメータとしてFPGA間接続試験回路生成装置5に入力される。

[0020] これらのFPGA間接続パラメータの入力に対して、FPGA間接続試験回路生成装置5からステップS 12で試験回路生成のための回路RTL（レジスタ・トランジスタ・ロジック）が出力され、試験回路RTL6としてメモリに格納されるとともに、ステップS 13で結果出力デバイス4から出力されるべき期待値が出力され、期待値を格納するメモリ7に格納される。

[0021] ステップS 14で試験回路RTL6のデータから試験回路をFPGA上で実現するためのデータが生成され、基板実装が行われ、またステップS 15で基板設計仕様書1から基板設計と製造が行われ、複数のFPGA8が搭載された基板9が製造される。この基板9上の各FPGA8は実際の製品としてのLSIチップ上の部分的なデバイスに相当するが、実際の製品としてのLSIチップ上での機能をそのまま果たすものではなく、各FPGA8を接続する基板上の配線を試験するための試験回路が搭載されるものである。すなわち図2の基板9上のFPGA8間での接続配線は、実際の製品のLSIチップ上のデバイス、例えばASICの間での接続配線と基本的に同じものであり、この接続配線を試験するための試験回路モジュールが各FPGA8上に必要に応じて搭載される。

[0022] 図2のステップS 16で、複数のFPGA8が搭載された基板9上でFP

G A間の接続配線を試験するための接続試験が実行され、試験結果 10 がメモリに格納される。この試験結果はステップ S 17 で結果データとして F P G A間接続試験回路生成装置 5 に入力され、またこの結果データに対応する期待値 7 もステップ S 18 で同様に入力され、ステップ S 19 で結果データと期待値の比較が行われ、その結果として配線の中に不具合の箇所がある場合には不具合配線リスト 11 が出力される。

[0023] 図 3 は、図 2 の F P G A間接続試験回路生成装置 5 の処理を中心とするデバイス間接続試験方式のフローの説明図である。同図において、図 2 でも説明したように試験回路生成装置 5 に対しては接続関係 2、配線数 3、および結果出力デバイス 4 のデータが与えられ、試験回路生成装置 5 による処理が開始される。

[0024] 試験回路生成装置 5 においては、まず試験ルート探索部 15 による処理が行われる。この試験ルート探索処理においては、結果出力デバイス 4 の出力端子から、結果出力デバイス 4 の接続相手先デバイスとの間の接続配線に対応して、接続相手先デバイスが順次探索され、接続試験のための試験ルートが生成される。

[0025] 続いて試験回路・期待値生成部 16 による処理が行われる。この処理では、試験ルート探索部 15 によって探索された試験ルートに、複数のデバイスに対応する試験回路モジュール 18 が埋め込まれ、試験回路とその出力に対する期待値が生成される。試験回路モジュール 18 としては本実施形態においては送信回路 19、受信回路 20、転送回路 21、および出力回路 22 のいずれかが必要に応じて選択され、各 F P G A にその機能を実現させるためのプログラムが生成される。これら試験回路モジュールは、後述するように回路図として示すこともできるが、基本的には例えば V H D L (ベリー・ハイスピード・インテグレーテッド・サーキット・ハードウェア・デスクリプション・ランゲージ) によって記述されるソースコードの形式で試験回路 R T L 6 として出力され、また対応する期待値 7 も出力される。

[0026] 図 2 でも説明したように、実際の基板側では試験回路 R T L 6 のデータを

用いてステップS 1 4でFPGAデータ生成と基板実装が実行され、FPGAデータ24が生成されてステップS 1 6で接続試験が実行され、試験結果10が得られる。

[0027] この試験結果10と期待値7のデータは、ともに試験回路生成装置5の内部の結果比較部17に入力され、期待値7と試験結果10とが比較されて、接続配線の中に不具合箇所がある場合には、その箇所を示す不具合配線リスト11が出力される。

[0028] 図4は、デバイス間接続試験回路の構成例の説明図である。同図においては、実際のプリント基板上に搭載されるLSI上で部分的なデバイスに相当する5個のFPGA1からFPGA5の間での接続配線の試験を行うための試験回路が構成される。

[0029] 本実施形態では、実際の製品としてのLSIチップ上での複数の部分的なデバイスの間を相互に接続する各接続配線の中の断線やショート、あるいは半田付け不良などの不具合箇所を特定することができれば、試験の目的は達成されることになり、各接続配線を流れる信号の方向については実際の製品としてのLSI上の信号の流れと同一である必要はなく、従って試験結果をどのデバイスから取り出すかは本質的な問題ではなく、任意のデバイスを結果出力デバイスとして指定することができる。

[0030] 図4ではFPGA1が、例えば図2でFPGA間接続試験回路生成装置5に与えられる結果出力デバイス4として指定され、他の4つのFPGA、すなわちFPGA2からFPGA5までのプログラマブル・デバイスからの信号は最終的にFPGA1に集められ、FPGA1から出力されることになる。従って、FPGA1の内部には、図3で説明した試験回路モジュール18のうちで試験結果を出力するための出力回路22が必要となる。

[0031] 実際のプリント基板上でFPGA1は、FPGA3と10本の配線によって接続され、またFPGA2と1本の配線によって接続されているものとする。FPGA2は、FPGA4とは20本の配線によって、さらにFPGA5とは30本の配線によって接続されているものとする。このような接続形

態は、図2で説明したように基板9の上に搭載されるFPGA8、すなわち実際のLSIチップ上で配置される部分的なデバイスとの接続関係によって決定されるものである。

[0032] FPGA1の内部には、直接に10本の配線によって接続されるFPGA3から送られるデータを受信する受信回路20_aが必要となる。また受信回路20_aによって受信されたデータと、FPGA2から1本の配線によって送られたデータとを、1本の出力経路を介して出力回路22に出力する転送回路21_aが必要となる。一般に転送回路は、2本の入力信号線からのデータを、シリアルデータとして1本の信号線から出力するためのものであり、転送回路21_aはFPGA2から1本の配線によって入力されるテストデータと、受信回路20_aから1本の経路によって入力されるテストデータとをシリアル信号に変換して、出力回路22に与えることになる。

[0033] FPGA3の内部には、FPGA1の内部の受信回路20_aに対して、10本の配線によってテストデータを送るための送信回路19_aが必要となる。一般に送信回路19はシステムのクロック信号とリセット信号とに対応してテストデータを接続相手先デバイスに出力するものであり、送信回路19に対するデータ入力の必要はない。

[0034] FPGA2の内部には、FPGA4との間の接続配線20本によって送信されるテストデータを受信するための受信回路20_b、FPGA5からの30本の接続配線によって送信されるテストデータを受信するための受信回路20_c、およびこれら2つの受信回路からそれぞれ1本の経路によって与えられるテストデータを、FPGA1との間の1本の配線によって出力するための転送回路21_bが必要となる。

[0035] さらにFPGA4の内部には、FPGA2の内部の受信回路20_bに対してテストデータを出力する送信回路19_bが必要となり、FPGA5の内部には同様に受信回路20_cに対してテストデータを出力する送信回路19_cが必要となる。

[0036] 図5は、図3の試験ルート探索部15による試験ルート探索処理の詳細フ

ローチャートである。同図において処理が開始されると、まずステップS 2 1で探索基点が結果出力デバイス、すなわち図4ではFPGA 1とされ、ステップS 2 2でそのデバイス内に結果を出力するための出力回路がOTが挿入される。ステップS 2 3で探索基点としてのFPGA 1からのすべての接続関係のリストアップが行われる。図4においてはFPGA 2とFPGA 3との間の接続関係がリストアップされ、右側に示すようにその接続関係としてのG 1とG 4の配線本数が示される。

[0037] 次にステップS 2 4ですべての接続関係が既に網羅されたか否かが判定され、図4では接続関係としてのG 2とG 3が残っているために、ステップS 2 5で探索基点が探索済みの接続先、すなわちFPGA 2とFPGA 3に移動され、ステップS 2 6で探索基点からの全接続関係のリストアップが行われる。ここでリストアップされるのは、右側に示されるようにFPGA 2からFPGA 4とFPGA 5までの接続関係G 2、G 3であり、それぞれの配線本数が20本と30本であることが示される。

[0038] 次にステップS 2 7ですべての接続関係が網羅されたか否かが判定され、図4ではすべての接続関係が網羅されているため、ステップS 2 8で中間接続変換の処理が行われる。ステップS 2 7で接続関係のすべてが網羅されていない場合にはステップS 2 5からの処理が繰り返され、またステップS 2 4ですべての接続関係が網羅されていると判定された場合には直ちにステップS 2 8の処理に移行する。

[0039] ステップS 2 8では、接続関係の配線のうちで、本数が1本だけの場合にはスルー接続としてのTHを用いた表示に変換され、2本以上の場合には必要に応じてスルー接続としてのTHと配線本数としてのG_nを用いた表示形式への変換が行われる。すなわち右側に示すように1本だけの配線に対応するG 4はスルー接続としてのTH表示に変換される。このTHは、図4に示すようにFPGA 1とFPGA 2との間での1本の接続配線としてのG 4に対応して、FPGA 1とFPGA 2とのそれぞれに転送回路が必要なことを示している。図4においては、他に転送回路を必要とする箇所がなく、配線

2本以上の接続関係に対する $TH + G_n$ の表示形式への中間接続変換は行われない。

[0040] 続いてステップS29で回路変換の処理が行われる。この回路変換は、すでに探索された試験ルートに対して転送回路FW、受信回路RE、送信回路DRを埋め込むものである。図4において信号が合流する箇所では転送回路FW、各接続関係の接続先には受信回路RE、接続元には送信回路DRを埋め込む処理が行われ、ステップS30で試験ルートの探索結果として、試験回路モジュールとしての送信回路、受信回路、転送回路、および出力回路が埋め込まれた試験ルートが出力される。

[0041] 続いて図3で説明した試験回路モジュール18としての、送信回路から出力回路までの具体的構成例について、図6から図9を用いて説明する。なおこれらの回路はそれぞれ1つの例であり、図3で説明したように試験ルート探索部15による処理によって試験ルート探索が行われると、その結果を用いて試験回路・期待値生成部16による処理が行われ、試験回路に対するソースコードが生成される。すなわちこの試験回路ソースコードは前述のように、例えばハードウェア記述言語VHDLによって記述されるソースコードであり、実際にFPGAモジュール上にプログラムされる回路は、そのソースコードに対応する機能を実現できるものであればどのような回路でもよく、図6から図9の回路はあくまで試験回路モジュール18のそれぞれ1つの例である。

[0042] 図6は送信回路の例である。送信回路はカウンタ27、テスト・スタートサイクル(TS)を格納するレジスタ28、TSの値とカウンタ27のカウント値Cとを比較し、CがTS以上となった時に“H”を出力する比較器29、各接続関係に対応する配線本数、図4のG1では10本の配線に対応してテストデータを送信するための、図6では5個のFF(フリップ・フロップ)31から35、を備えている。

[0043] 図6では、これらのFFのうちFF31と32は、例えばFPGA3とFPGA1との間の配線10本のうちの1本目の配線に対してテストデータ出

力を行うためのものであり、F F 3 3、3 4は、2本目の配線に対するテストデータ出力を行うためのものである。従ってF P G A 3の内部に備えられる送信回路19₃においては、このようなF Fが合計20個必要となるが、10本のうちで2本目から10本目の配線に対するそれぞれ2つのF Fによるテストデータ出力動作は全く同様であるため、図6においては3本目以降の配線に対してデータ出力を行うためのそれぞれ2つのF Fの表示は、F F 3 5を除いて、すべて省略されている。

[0044] 後述するように、図4に対するF P G A間の接続配線のテストにおいては、左側のF P G A 3からF P G A 5のそれぞれからテストデータが送信されるが、本実施形態においては、例えばまずF P G A 3とF P G A 1との間の接続関係G 1の10本の配線のテストのために1本ずつ、2サイクルでテストデータ“0”と“1”とがそれぞれ送信され、接続関係G 1の配線10本に対するテストデータの送信が20サイクルかかって終了した後に、F P G A 4とF P G A 2との接続関係G 2の20本の配線に対するテストデータ送信が1本ずつ行われるという順序で、図4の回路例に対するテストが行われるものとする。

[0045] そこで図6が、図4におけるF P G A 3とF P G A 1との間の接続関係G 1に対するテストデータを送信する送信回路19₃であるとする、全体の試験開始時のサイクル0において比較器29が“H”を各F F 3 1から3 5のイネーブル端子に与えることによって、接続関係G 1に対応する10本の配線に対するテストデータの送信が開始される。この時カウンタ27はリセット信号R S Tによってリセットされているものとする。

[0046] このサイクル0においてF F 3 1はプリセットされており、その出力Qは“1”となっている。他のF F 3 2から3 5はリセット信号R S Tによってすべてクリアされており、それらの出力Qはすべて“0”となっている。

[0047] クロック信号C Kによって決定されるサイクル数が“1”となると、F F 3 1のデータ入力は接地されているため、その出力Qは“0”となり、F F 3 2の出力は“1”に変化し、F F 3 3から3 5の出力はすべて“0”のま

まとなる。従ってサイクル0、1においてFF32の出力Qは“0、1”となり、この値を図4のFPGA1の内部の受信回路20₀で受信することによって、G1の10本の配線のうち、1本目の配線に対するテストデータとして“0”と“1”が送られることになる。同様にしてFF34の出力Qを考えると、サイクル0から3に対してその値は“0、0、0、1”となり、サイクル2と3に対する出力を受信回路20₀側で受信することによって、2本目の配線に対するテストデータ送信が行われる。

[0048] 前述のように3本目から10本目の配線に対するテストは、2本目の配線に対すると全く同様に行われる。また図6の送信回路がFPGA4の内部の送信回路19₀である場合には、この送信回路に対するテスト・スタートサイクルは接続関係G1の配線本数に対して“0”と“1”のデータを送るためのサイクル数、すなわちG1の本数の2倍のサイクル20となる。FPGA5の内部の送信回路19₀に対するテスト・スタートサイクルは同様にG1とG2の本数の和の2倍のサイクル60となる。

[0049] 図7は受信回路の構成例である。同図において受信回路は、クロックCKをカウントするカウンタ38、受信回路の動作開始、すなわちテスト・スタートサイクルTSを格納するレジスタ39、テスト・スタートサイクルTSとカウンタ38のカウント値Cとを比較し、CがTS以上となった時に“H”を出力する比較器40、受信回路において対応する送信回路から送られたテストデータを内部のFFに格納した後に、それらのテストデータをシリアル信号として出力する出力開始サイクルとしてのリザルト・スタートサイクルRSを格納するレジスタ41、カウンタ38のカウント値CがRS以上となった場合に“H”を出力する比較器42、テストデータを対応する送信回路側から受け取り、一時的に格納するFF（図7では、FF52、53、57、58）に対してイネーブル信号を与えるためのFF45から48、対応する送信回路側からのテストデータを受け取るためのセクタ50、51、対応する送信回路側との接続配線、例えば10本のうちの1本目の配線を介して送信されるテストデータを一時的に格納するための2つのFF52、5

3、同様に2本目の配線を介して送信されるテストデータを一時的に格納するためのFF57、58、それぞれ2つのFF52、53、および57、58に対してイネーブル信号を出力するORゲート54、59を備えている。

[0050] 図7において、システム全体に対応するサイクル数がTSの値となり、比較器40が“H”を出力すると、右側で縦に並んでいるすべてのFF45から48に対してイネーブル信号が与えられる。この時FF45に対してはプリセット入力を与えられ、その出力Qは“1”となっており、FF45はテスト・スタート時、すなわち第1サイクルにおいてORゲート54を介して2つのFF52と53に対してイネーブル信号を与える。この時比較器42はまだ“H”を出力しておらず、セクタ50はその入力端子Aに入力される信号、すなわち対応する送信回路から送られるテストデータを出力端子Xから出力し、そのデータはFF52に与えられる。

[0051] 第2サイクルにおいては、FF45のデータ入力端子が接地されているため、FF45の出力Qは“0”となるが、この時FF46のデータ出力Qは“1”となり、ORゲート54を介して再びFF52と53に対してイネーブル信号が与えられる。そしてFF52の出力Q、後述するようにテストデータ2ビットのうちで最初のビットは“0”であり、その値がFF53に与えられるとともに、次のテストデータ、すなわち対応する送信回路から1本目の配線を介して送信されるテストデータ“1”がFF52に与えられる。

[0052] 第3サイクルではFF47の出力Qが“1”となり、ORゲート59を介して2つのFF57と58に対してイネーブル信号が与えられる。この時点では2つのFF45、46の出力Qはともに“0”となっており、1番目の配線に対応する2つのFF52、53に対してはイネーブル信号が与えられない。

[0053] 第4サイクルにおいてはFF48の出力が“1”となり、ORゲート59を介して再び2つのFF57、58に対するイネーブル信号が与えられる。第3、第4サイクルにおいて、セクタ51は入力端子Aからの信号を選択するために、2本目の配線から入力される2ビットのテストデータ“0”、

“1”は2つのFF57、58に次々と格納されることとなる。

[0054] 図示しない3本目から、例えば10本目の配線までを介して送信回路側から送られるデータは、それぞれ対応する2つのFFに格納されることになる。このデータ格納が終了する時点でシステム全体のサイクル数はレジスタ41に格納されているRSの値となり、その結果比較器42からセクタ50、51に対する選択制御信号“H”が与えられ、セクタ50、51は入力端子Bからの入力を出力端子Xを介してFF52、57に出力することになる。また比較器42からORゲート54、59を介してそれぞれ2つのFF52、53、および57、58に対するイネーブル信号が与えられる。そこでこれらのFF群、1本の配線について2個ずつのFF、10本の配線に対しては合計20個のFFに格納されたテストデータは、クロック信号の入力毎にこれら20個のFFの間で順次シフトされ、シリアル信号として、例えば図4のFPGA1の内部の受信回路20から転送回路21に対して出力されることになる。

[0055] なお図6の送信回路でも同様であるが、図7の受信回路において右側に並んでいるFFの数、各配線毎に必要となるセクタ、2つのFF、およびORゲートはFPGA間の接続配線の本数に対応して必要となるものである。実際にはハードウェア記述言語VHDLによって記述されるソースコードの内部ではこの配線本数はパラメータとして指定可能であり、そのパラメータの値を適切な値に指定することによって、実際のFPGAの内部に必要な個数のFFなどの機能がすべて実現されることになる。この意味で、図3で説明した試験回路モジュール18としての送信回路19、受信回路20、転送回路21、および出力回路22は配線本数が異なっても汎用的に利用可能なモジュールである。

[0056] 図8は転送回路の構成例である。転送回路は前述のように2本の信号線、すなわち配線から入力されるテストデータを、1本の信号線、すなわち配線からシリアルに出力するためのものであり、2本の配線からのデータをセクタ出力を切り替えて受け取ることによって、シリアル信号として出力可能

とするものである。

[0057] 図8において転送回路はクロック信号をカウントするカウンタ61、セクタの2つの入力端子のうち、一方の入力端子Aからのテストデータの、出力回路、または他の転送回路への出力を開始するリザルト・スタート・サイクルRSAを格納するレジスタ62、カウンタ61のカウント値CがRSA以上となった時に“H”を出力する比較器63、セクタの他方の入力端子Bから入力されるテストデータの、出力回路、または他の転送回路への出力を開始するリザルト・スタート・サイクルRSBを格納するレジスタ64、カウンタ61のカウント値CがRSB以上となった時に“H”を出力する比較器65、2本の信号線からの入力データを選択するセクタ66、2つのFF67、68によって構成されている。

[0058] 図8においてシステム全体のサイクル数がRSA以上であれば、比較器63から2つのFF67、68に対してイネーブル信号が与えられる。サイクル数がRSA以上であり、RSB未満である時には、比較器65の出力は“L”であり、この時セクタ66は入力端子Aからの信号を選択して、その信号をFF67に与える。この期間においては、クロック信号の入力毎に、一方の配線からセクタ66の入力端子Aを介して入力されたテストデータSIAは2つのFF67、68上でシフトされ、シリアル信号として出力回路、または他の転送回路に与えられる。

[0059] システムのサイクル数がRSB以上となると、セクタ66は他方の入力端子Bから入力されるテストデータSIBをFF67に出力する。この時2つのFF67、68に対しては、依然としてイネーブル信号が与えられており、入力端子Bから入力されるテストデータは2つのFF67、68を介して次々とシリアル信号として出力回路、または他の転送回路に与えられることになる。

[0060] なおシステムのサイクル数がRSAと一致した時点では、FF67はリセット信号によってプリセットされており、その出力Qは“1”である。一方FF68はクリアされており、その出力Qは“0”である。したがってシス

テムサイクル数がRSAと一致したサイクルにおいては、FF68から“0”が、その次のサイクルではFF67に格納されていたデータ“1”が出力される。これらのデータは入力されたテストデータではなく、転送回路の内部の2つのFF67、68に保持されていたデータであり、このデータに対応する最終的な出力回路の出力の値を調べることによって、転送回路から出力回路、または転送回路から他の転送回路への配線接続に対する試験を行うことが可能となる。

[0061] 図9は出力回路の構成例である。出力回路は一般的に転送回路から送られてくるシリアル信号を、適切なタイミングで試験結果出力信号としてシリアルに出力するためのものであり、システムサイクル数が適切な値、ここではRSに達した時点で動作を開始するものである。

[0062] 図9において出力回路は、クロック信号をカウントするカウンタ70、RSの値を格納するレジスタ71、カウンタ70のカウント値CがRS以上となった時に“H”を出力する比較器72、クロック信号の入力毎に入力データをシフトさせて出力するための2つのFF73、74によって構成されている。

[0063] 図9においてシステムサイクル数がRSの値に達し、比較器72から2つのFF73、74に対してイネーブル信号が与えられると、入力データ、図4では転送回路21_aから与えられる入力データが2つのFF73、74を介して次々と出力される。この場合、図8で説明した転送回路と同様に、最初の2サイクルにおいてはFF73、74に格納されていたデータとしての“0”、“1”が次々と出力されることになり、出力回路からの出力配線自体の試験が可能となる。

[0064] 図10は図4の試験回路全体の動作を説明するための図である。同図において3つの送信回路19_a、19_b、19_cからテスト（パターン）データが出力され、これらのデータは最終的に出力回路22から出力される。全体の動作は、試験回路全体を1つのシステムとして、そのシステムのサイクル数に対応して制御される。このサイクル数はクロック信号に対応するサイクル数

である。

- [0065] 図4で説明した各FPGAの間の配線接続の試験を行うために、各配線に対応して時間的に重ならないように“0”と“1”の2ビットのテストデータが各送信回路から送信され、最終的に出力回路22から出力される。出力結果信号のデータパターンを、各接続配線が正常である場合の期待値のデータパターンと比較して、それぞれの配線に不具合がないか否かが判定される。
- [0066] 図10においては、まずサイクル0で送信回路19_aから受信回路20_aまでの10本の配線に対応して1本の配線毎に2サイクル、最初のサイクルでは“0”、次のサイクルでは“1”のテストデータが送信され、サイクル19において10本の配線に対応するテストデータの送信が終了する。
- [0067] 次に送信回路19_bから受信回路20_bに対する20本の配線に対応して、サイクル20からサイクル59において、1本毎の配線に対して2サイクルで“0”と“1”のテストデータが送信され、ついで送信回路19_cから受信回路20_cへの30本の配線に対応して、サイクル60からサイクル119において、1本毎の配線に対して2サイクルで“0”と“1”のテストデータが送信される。
- [0068] 以上によって、3つの送信回路19_aから19_cからそれぞれ対応する受信回路までの配線、合計60本の配線接続を試験するためのテストデータの送信が終了したことになるので、続いて対応する受信回路においてFF群に格納されたデータの転送回路への出力が開始される。まず受信回路20_aから、サイクル120において転送回路21_aへのテストデータの出力が開始される。その出力はサイクル139において終了する。
- [0069] 一方受信回路20_b内のFF群に格納されたデータは転送回路21_bに出力される。このデータ出力はサイクル140において開始され、サイクル179で終了する。この時、転送回路21_bは、受信回路20_bからサイクル140において出力が開始されたテストデータをそのまま転送回路21_bに出力することができる。転送回路21_bでは、サイクル140において、図8で説明

したセクタ 66 への 2 つの入力端子のうち、入力端子 B からの信号を出力するようにセクタ 66 が制御され、転送回路 21_o から入力される信号を受け取ることになる。

[0070] さらに受信回路 20_o は、受信回路 20_o から転送回路 21_o へのテストデータの出力が終了したサイクル 180 において、その内部の FF 群に格納されているテストデータの出力を開始し、転送回路 21_o は内部のセクタの入力端子の切り替えを行うことによって、このデータを受け取ることになる。このデータ出力はサイクル 239 において終了する。

[0071] さらに出力回路 22 は、転送回路 21_o に対して受信回路 20_o からテストデータが出力され始めるサイクル 120 においてテストデータの出力を開始する。このテストデータの出力は、送信回路 19_o から受信回路 20_o に送られたテストデータ、次に送信回路 19_o から受信回路 20_o に送られたテストデータ、最後に送信回路 19_o から受信回路 20_o に送られたテストデータの順序で出力されるが、図 8 の転送回路、図 9 の出力回路に対して説明したように、これらの回路の内部のそれぞれ 2 個の FF にあらかじめ保持されていたデータが最初に出力されるために、まず最初に出力回路 22 の出力配線に対応する 2 サイクル分のテストデータ、次に転送回路 21_o から出力回路 22 までの接続配線に対する 2 サイクル分のテストデータが出力された後に、受信回路 20_o 内の FF 群に格納されていたテストデータが出力され、さらにその後転送回路 21_o から転送回路 21_o に対する 1 本の配線に対応するテストデータ 2 サイクル分が出力され、さらにその後受信回路 20_o 内の FF 群に保持されていたテストデータが出力され、最後に受信回路 20_o 内の FF 群に保持されていたテストデータが出力されることになる。

[0072] なお図 10 において、各受信回路と転送回路に対応するレジスタと比較器はそれぞれ 1 つに省略して示されている。図 7、および図 8 で説明したように、受信回路では TS と RS とを格納する 2 つのレジスタ、およびこれらの値とカウンタのカウント値とを比較する比較器がそれぞれ 2 つ存在し、図 8 では同様に RSA と RSB とを格納するレジスタ、これらの値とカウンタの

カウント値と比較する比較器がそれぞれ2つ必要であるが、図10では簡単のためにこれらのレジスタと比較器とをそれぞれ1つずつだけに省略して示している。

[0073] 以上の説明においては、図4の試験回路構成例に対応して用いられる各試験回路モジュールの構成やテスト動作について具体的に説明したが、このような試験回路モジュールの埋め込みやそれに対応する期待値の生成は、当然より一般的な処理として実現することができる。図11は、図5において探索試験ルートが出力された後に、その試験ルートに試験回路モジュールを埋め込み、期待値を生成する試験回路・期待値生成部16による処理のフローチャートである。

[0074] 図11において試験回路、および期待値生成処理は、図12に示す探索試験ルート12の内容に対応して行われる。処理が開始されると、まずステップS35で処理の基点が結果出力デバイス、図4ではFPGA1に移動され、ステップS36で出力回路と出力回路に対する期待値が挿入される。この期待値は出力回路の出力配線1本に対する2ビットの期待値であり、その値は期待値ファイルに挿入される。ここでFPGA1は結果出力デバイスから見て第1層のFPGAであり、その中で出力回路OTは最初の階層、すなわち1階層に属し、(1)の番号が付けられる。

[0075] 続いてステップS37で基点が次の階層に移動される。次の階層とは図12で第1層FPGAの内部の2階層である。そしてステップS38でその2階層に分岐があるか否かが判定される。図4のFPGA1の内部では2階層は転送回路21₁に相当し、出力回路22側から逆に見ればこの回路は分岐回路に相当するため、ステップS39でその分岐に対応する転送回路と、その転送回路の出力配線に対応する期待値の挿入が行われる。これは図12で2階層の(2)に相当する。

[0076] 続いてステップS40で基点がさらに次の階層、すなわち図12における3階層へ移動される。なおここではステップS38で分岐があると判定されたが、分岐がない場合にはステップS39の処理を行うことなく、ステップ

S 4 0 の処理に移行することは当然である。

[0077] 続いてステップ S 4 1 で同階層の接続がリストアップされ、ステップ S 4 2 でリストアップされた接続がグループとしてセットされ、ステップ S 4 3 でそのグループ、ここでは図 1 2 の 3 階層に相当するグループ内に受信回路があるか否かが判定される。この 3 階層は F P G A 1 の内部の受信回路 2 0 に相当し、このためステップ S 4 3 で受信回路があると判定され、ステップ S 4 4 で受信回路と、その受信回路に相当する期待値が挿入される。この受信回路は (3) に相当する。

[0078] 続いてステップ S 4 6 で、ステップ S 4 1 でリストアップされた接続リストのすべてに対する処理が終了したか否かが判定され、ここでは図 1 2 の 3 階層にもう 1 本の接続配線があるため、残っている接続、ここでは 1 本だけでステップ S 4 2 に戻って接続グループがセットされ、ステップ S 4 3 で再び受信回路があるか否かが判定されるが、残っている接続は受信回路に対応するものでないために、ステップ S 4 5 でスルー接続、図 1 2 では (4) の T H で示されるスルー接続が挿入され、続いてステップ S 4 6 で 3 階層でリストアップされた接続に対する処理が終了したと判定され、ステップ S 4 7 で基点がさらに次の階層、すなわち 4 階層に移される。

[0079] ステップ S 4 8 で 4 階層における接続がリストアップされ、ステップ S 4 9 で接続グループがセットされる。そしてステップ S 5 0 で送信回路がその接続グループ内にあるか否かが判定され、ここでは 4 階層の内部に送信回路 D R があるため、ステップ S 5 1 で (5) として送信回路が挿入される。

[0080] ステップ S 5 3 で 4 階層でリストアップされた接続に対する処理がすべて終了したか否かが判定され、ここでは T H を含む接続がまだ残っているため、ステップ S 5 0 で送信回路があるか否かが判定され、ステップ S 5 2 でスルー接続が (6) として挿入され、ステップ S 5 3 で 4 階層でリストアップされた接続に対する処理が終了したと判定され、ステップ S 5 4 でさらに次の階層があるかないかが判定される。ここではまだ 5 階層以下があるため、ステップ S 3 7 に戻り、処理が繰り返される。

- [0081] 以降の処理を概略的に説明すると、ステップS 3 9で5階層に対応して（7）に示すように転送回路と対応する期待値が挿入され、ステップS 4 4で6階層に含まれる2つの受信回路に対応して（8）、および（9）の受信回路と期待値がそれぞれ挿入され、またステップS 5 1で7階層に対する2つの送信回路（1 0）、および（1 1）が挿入されて、ステップS 5 4で次の階層がないと判定され、ステップS 5 5で試験回路RTL 6と期待値7が出力されて処理を終了する。
- [0082] 図1 3は、図4、および図1 0の回路例に対応する期待値ファイルの内容である。期待値ファイルは、探索試験ルートにおいて出力回路側から見て順次、図4の出力回路2 2に対する期待値パターン2ビット、転送回路2 1_aに対する期待値パターン2ビット、送信回路1 9_aから受信回路2 0_aまでの接続関係G 1に対する合計2 0ビットのパターン、転送回路2 1_bから転送回路2 1_cまでの転送回路2 1_bの出力配線に対応する2ビットのパターン、送信回路1 9_bから受信回路2 0_bに対する接続関係G 2に対応する合計4 0ビットのパターン、および送信回路1 9_cから受信回路2 0_cに対する接続関係G 3に対応する合計6 0ビットのパターンから構成される。
- [0083] 図1 4は、期待値のデータパターンの時間的な配置の説明図である。期待値全体は2サイクル分2ビットの“0、1”パターンが6 3個並んだ形式であるが、その時間的構成は、まず最初に図4の出力回路2 2の出力配線に対応する“0、1”パターン、次に転送回路2 1_aの出力配線に対応する“0、1”パターン、その次に接続関係G 1の試験に対応する“0、1”パターン1 0個が続き、その後に転送回路2 1_bの出力配線、すなわち接続関係G 4に相当する1個の“0、1”パターン、さらにその後に接続関係G 2に対応する2 0個の“0、1”パターン、接続関係G 3に対応する3 0個の“0、1”パターンが続くことになる。ここで各“0、1”パターンは各配線に対してローデータ“0”が与えられた場合の試験結果と、ハイデータ“1”が与えられた場合の試験結果とを示すものである。
- [0084] 図1 5は、図4の試験回路に対する接続配線試験のタイムチャートである

。同図において、まずテストデータの送信が行われる。最初に図 4 の送信回路 19_aからの出力配線、すなわち G 1 の 10 本の配線のうち、1 本目から順次テストデータの送信が行われる。このテストデータ出力はクロックの立ち上がりに対応して、例えば G 1 [1] のようなパルス波形を与えることによって行われる。G 1 に対応する 10 本の配線に対するテストデータの出力が終わると、次に接続関係 G 2 の 20 本の配線に対するテストデータの送信が行われ、最後に接続関係 G 3 に対応する 30 本の配線のうちで、最後の 30 本目に対するテストデータが送信されてテストデータの送信を終了する。

[0085] その後、出力回路 22 からのデータ出力が行われるが、まず最初に出力される 2 ビットのデータパターンは出力回路 22 の出力配線に対応する “0、1” パターンであり、次の 2 ビットの出力は転送回路 21_aの出力配線に対応する “0、1” パターンであり、その後接続関係 G 1、G 2、および G 3 の各配線に対応する 2 ビットのデータパターンが次々と出力される。

[0086] なお図 14 で説明したように、接続関係 G 1 に対する合計 10 個の “0、1” パターンの出力の後に、転送回路 21_aからの出力配線、すなわち接続関係 G 4 に対応する試験結果 2 ビットが、接続関係 G 2 に対応する配線の試験結果出力前に出力されることになる。またここでは接続配線に不具合がないものとして、出力パターンを “0、1” として説明したが、接続関係に不具合がある場合にはこの 2 ビットのパターンは、例えば “0、0”、または “1、1” となって、出力開始の先頭サイクルからのサイクル数をカウントすることによって不具合配線の位置を特定することが可能となる。さらに最初の出力回路 22 の出力配線に対する試験結果出力の後に出力される転送回路 21_aの出力配線に対するテスト結果は、FPGA 1 の内部の接続配線に対応する結果であり、この結果は本発明が対象とする FPGA 相互間での接続配線の試験としては不必要な結果である。

[0087] 図 16 は、試験結果を用いた不具合配線検出処理の詳細フローチャートである。同図においては、図 2 で説明したように期待値 7 と試験結果 10 とを用いて、不具合配線リスト 11 の出力処理が行われる。まずステップ S 61

で試験結果と期待値が読み込まれ、ステップS 6 2で構成情報の読み込みが行われる。構成情報とは図 1 3で説明した期待値ファイルの上半分に示されている探索試験ルートの構成情報であり、まず最初の構成情報として出力回路が読み込まれる。

[0088] そしてステップS 6 3でその構成情報が受信回路であるか否かが判定され、ここでは受信回路でないため、ステップS 6 5でその構成情報に対応する配線の本数Nが“1”とされた後に、ステップS 6 6の処理に移行する。ステップS 6 3で受信回路であった場合には、その受信回路への入力配線の本数、すなわち接続関係に対応する配線本数Nが読み込まれた後に、ステップS 6 6の処理に移行する。

[0089] ステップS 6 6では次のステップS 6 7からステップS 7 2までのループ処理の回数Lが“1”にリセットされ、ステップS 6 7で期待値が2ビット読み込まれる。ここでまず読み込まれる2ビットは出力回路の出力配線に対応する2ビットのパターン“0、1”であり、ステップS 6 8でそれに対応する試験結果、すなわち最初から2ビットの値が読み込まれ、ステップS 6 9でこれらの2ビットの値がそれぞれ一致するか否かが判定され、一致しない場合にはステップS 7 0で一致しない結果に対応する配線が不具合リストに出力された後に、また一致した場合には直ちにステップS 7 1の処理に移行する。

[0090] ステップS 7 1でループ回数LがステップS 6 5で設定、またはステップS 6 4で読み込まれた本数Nに一致するか否かが判定され、一致しない場合にはステップS 7 2でLの値がインクリメントされた後にステップS 6 7以降の処理が繰り返される。ここでは最初の出力回路の試験結果に対する比較が行われるためにNの値は“1”であり、直ちにステップS 7 3の処理に移行し、次の構成情報があるか否かが判定される。ここでは次の構成情報として転送回路の情報があるため、ステップS 6 2でその構成情報が読み込まれ、ステップS 6 3以降の処理が繰り返される。

[0091] 以降の処理を概略的に説明すると、二つの転送回路の構成情報に対しては

ステップS 6 5で本数Nが“1”に設定され、2ビットの期待値と2ビットの試験結果との比較がそれぞれ1回だけ行われるのに対して、例えば接続関係G 1の構成情報に対してはステップS 6 3で受信回路と判定され、ステップS 6 4でNの値が1 0とされ、ステップS 6 7からS 7 2のループが1 0回繰り返され、連続する1 0個の2ビットの期待値パターンと2ビットの試験結果のパターンとが次々と比較され、次に接続関係G 2、最後に接続関係G 3に対して試験結果と期待値との比較が行われ、ステップS 7 4で期待値比較結果が不具合配線リスト1 1として出力される。

[0092] 以上詳細に説明したように、本実施形態においては、試験回路モジュールとして定型的、汎用的な回路を用い、各回路を分離・独立動作可能とすることにより、デバイス間の接続形式や接続配線の本数に影響されずに、デバイス間の配線1本からその接続試験が可能となる。

請求の範囲

- [1] 複数のデバイスのうちで相互に配線接続されるデバイスを示す接続関係と、該接続関係のそれぞれに対応する接続配線の本数と、試験結果を出力するデバイスとを示すデータの入力を受け取り、
- 該複数のデバイス間の相互配線接続に対応して、デバイス間の配線に対する接続試験回路を生成することを特徴とするデバイス間接続試験回路生成方法。
- [2] 前記複数のデバイスが、それぞれプログラムによって機能を変更できるプログラマブル・デバイスであることを特徴とする請求項 1 記載のデバイス間接続試験回路生成方法。
- [3] 前記結果出力デバイスの出力端子から、前記相互接続相手先デバイスとの間の接続配線に対応して、接続相手先デバイスを順次探索し、接続試験のための試験ルートを生成することを特徴とする請求項 1 記載のデバイス間接続試験回路生成方法。
- [4] 前記生成された試験ルート上で、前記複数のデバイス内に該試験ルートに対応する試験回路モジュールを埋め込み、前記接続試験回路を生成することを特徴とする請求項 3 記載のデバイス間接続試験回路生成方法。
- [5] 前記試験回路モジュールが、前記複数のデバイスに相当し、プログラムによって機能を変更できるプログラマブル・デバイスの中で実現されることを特徴とする請求項 4 記載のデバイス間接続試験回路生成方法。
- [6] 前記試験回路モジュールとして、前記結果出力デバイスに含まれる出力回路、テストパターンデータを出力する送信回路、該送信回路からの信号を受信する受信回路、および 2 つの回路から入力される信号を 1 本の信号線から出力する転送回路を用いることを特徴とする請求項 5 記載のデバイス間接続試験回路生成方法。
- [7] 前記出力回路、および転送回路が、入力されたデータの出力に先立って自回路の出力配線をテストするためのテストパターンデータを出力することを特徴とする請求項 6 記載のデバイス間接続試験回路生成方法。

- [8] 前記生成された試験ルートと、あらかじめ定められたテストパターンデータとに対応して、前記結果出力デバイスから出力されるべき期待値を生成することを特徴とする請求項 3 記載のデバイス間接続試験回路生成方法。
- [9] 前記あらかじめ定められたテストパターンデータに対応して、前記結果出力デバイスから出力される試験結果出力値と、前記生成された期待値とを比較して、前記複数のデバイス間の相互配線接続のうちの不具合配線箇所を検出することを特徴とする請求項 8 記載のデバイス間接続試験回路生成方法。
- [10] 前記あらかじめ定められたテストパターンデータが、前記デバイス間の接続配線の 1 本毎に対応する“0”と“1”のデータであり、該テストパターンデータが前記接続配線の 1 本毎に対応して 2 サイクルでデバイス間で伝送されることを特徴とする請求項 8 記載のデバイス間接続試験回路生成方法。
- [11] 複数のデバイスのうちで相互に配線接続されるデバイスを示す接続関係と、該接続関係のそれぞれに対応する接続配線の本数と、試験結果を出力するデバイスとを示すデータの入力を受け取り、該接続配線試験のための試験ルートを探査する試験ルート探索部と、
該探索された試験ルート上に定型的な試験回路モジュールを埋め込んで、接続試験回路を生成し、該接続試験回路で用いられるテストパターンデータに対応して、該接続配線が正常なときに期待される出力パターンデータとしての期待値を生成する試験回路・期待値生成部と、
該生成された期待値と、該生成された接続試験回路上で実行された試験の結果とを比較して、配線の不具合箇所を特定する結果比較部とを備えることを特徴とするデバイス間接続試験回路生成装置。
- [12] 前記複数のデバイスが、それぞれプログラムによって機能を変更できるプログラマブル・デバイスであることを特徴とする請求項 11 記載のデバイス間接続試験回路生成装置。
- [13] 前記試験回路モジュールが、前記プログラムによって機能を変更できるプログラマブル・デバイスの中で実現されることを特徴とする請求項 12 記載のデバイス間接続試験回路生成装置。

[14] 前記試験回路モジュールとして、前記結果出力デバイスに含まれる出力回路、テストパターンデータを出力する送信回路、該送信回路からの信号を受信する受信回路、および2つの回路から入力される信号を1本の信号線から出力する転送回路を用いることを特徴とする請求項13記載のデバイス間接続試験回路生成装置。

[15] 複数のデバイスのうちで相互に配線接続されるデバイスを示す接続関係と、該接続関係のそれぞれに対応する接続配線の本数と、試験結果を出力するデバイスとを示すデータの入力を受け取る手順と、

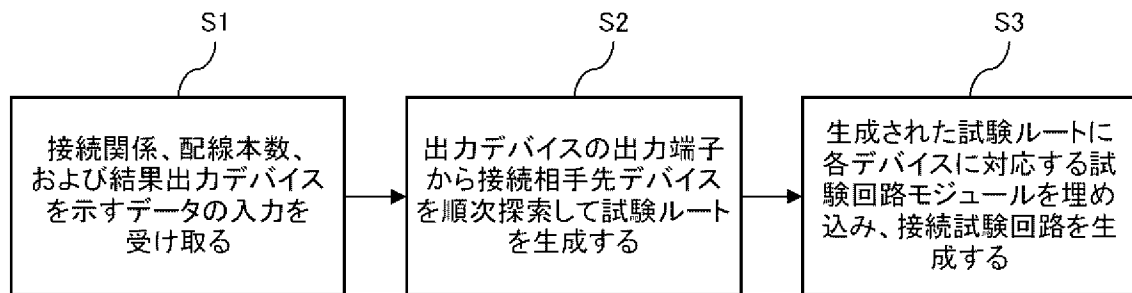
該接続配線試験のための試験ルートを探査し、該探索された試験ルート上に定型的な試験回路モジュールを埋め込んで接続試験回路を生成してメモリに出力する手順と、

該接続試験回路で用いられるテストパターンデータに対応して、該接続配線が正常なときに期待される出力パターンデータとしての期待値を生成してメモリに格納する手順と、

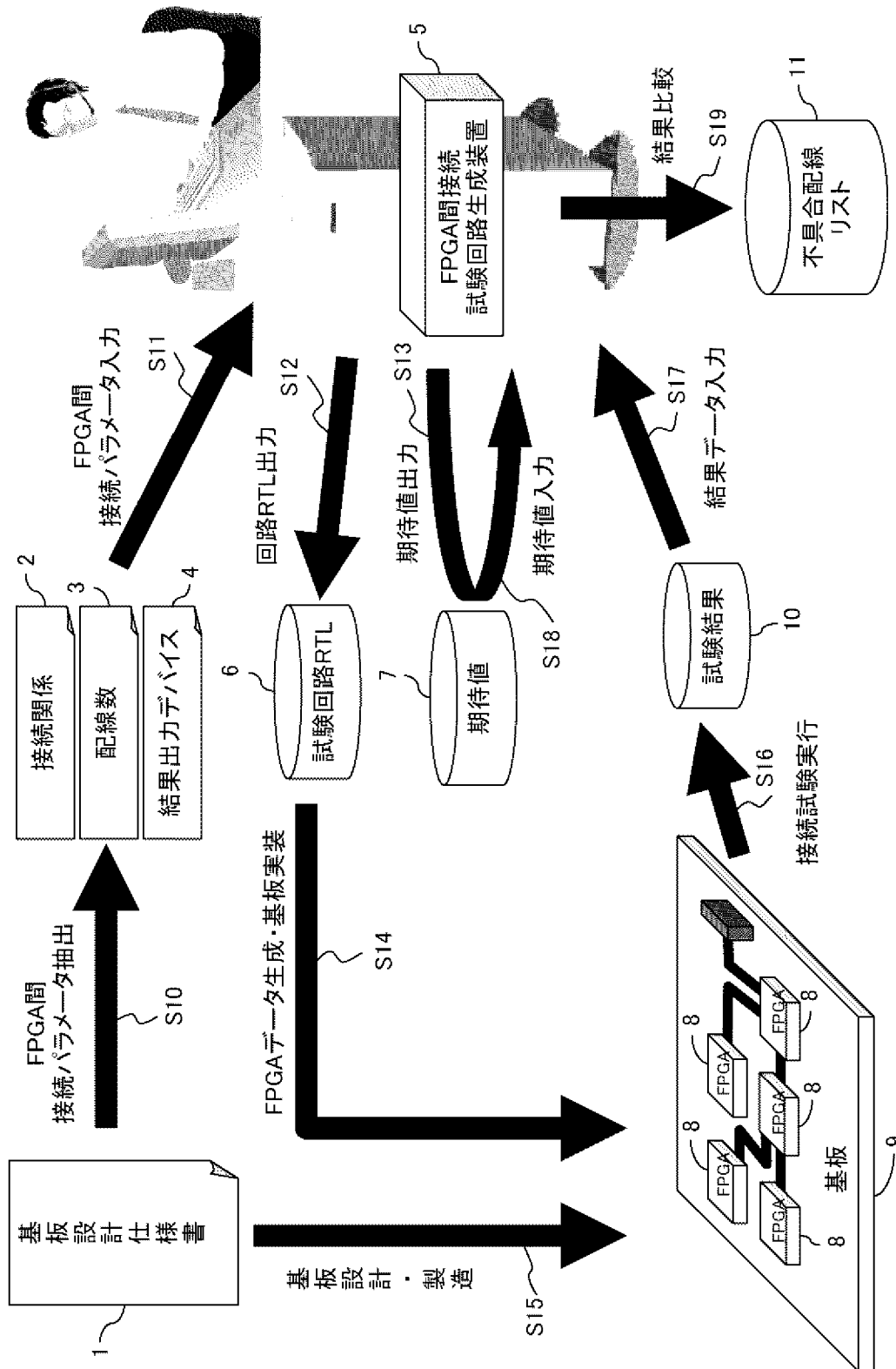
該期待値と、該生成された接続試験回路上で実行された試験結果とをメモリから読み出す手順と、

該試験結果と期待値とを比較して配線の不具合箇所を特定する手順とを計算機に実行させることを特徴とするデバイス間接続試験回路生成プログラム。

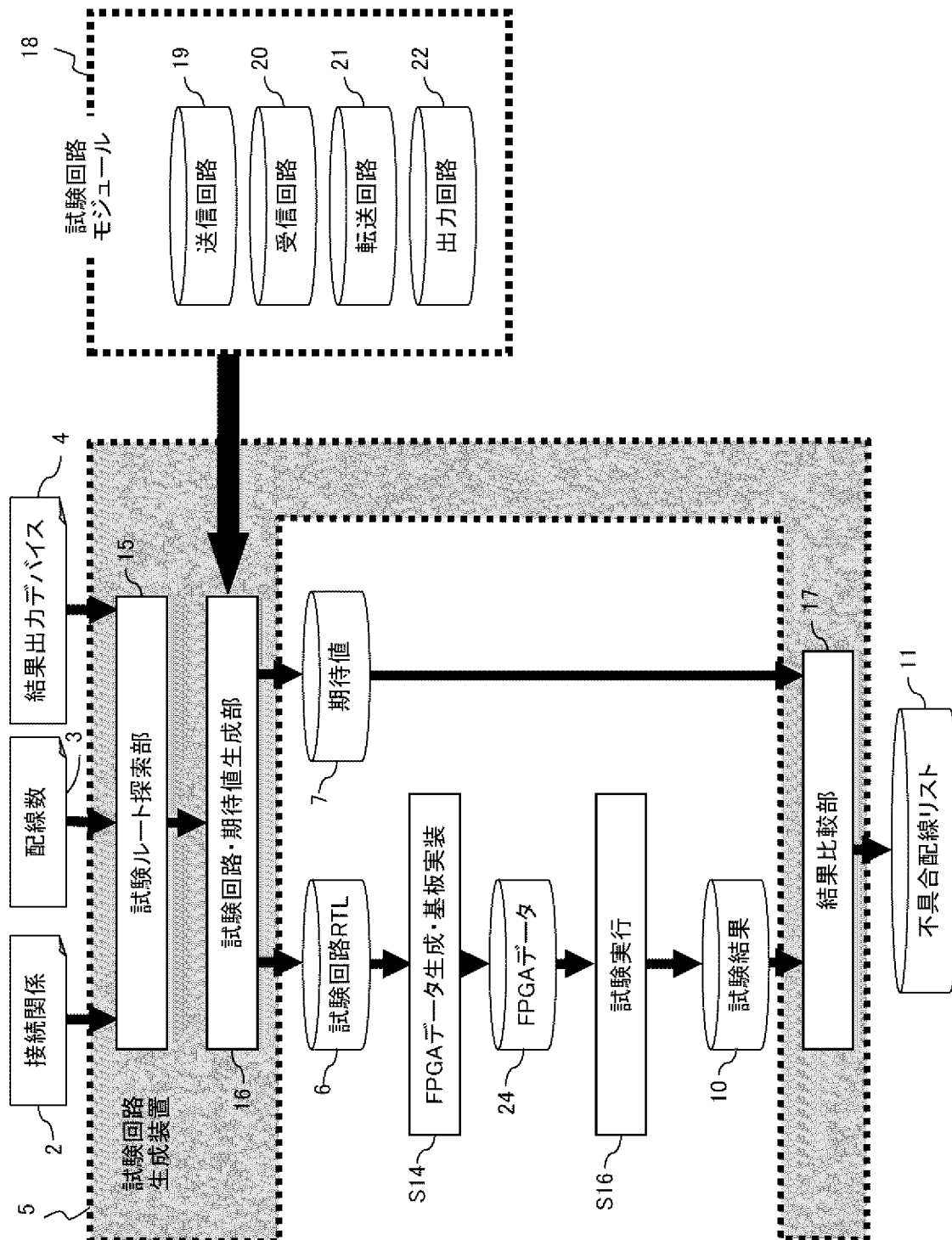
[図1]



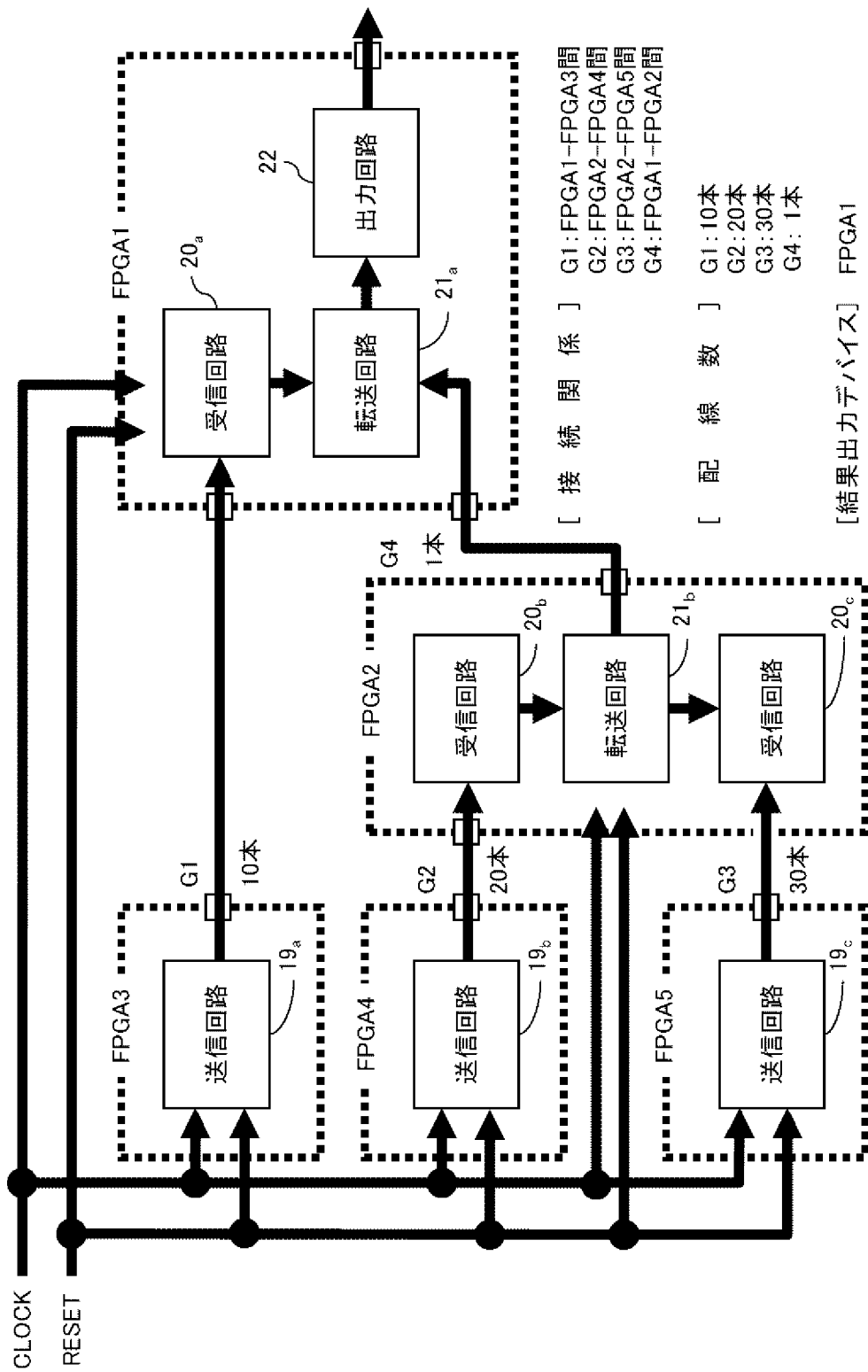
[図2]



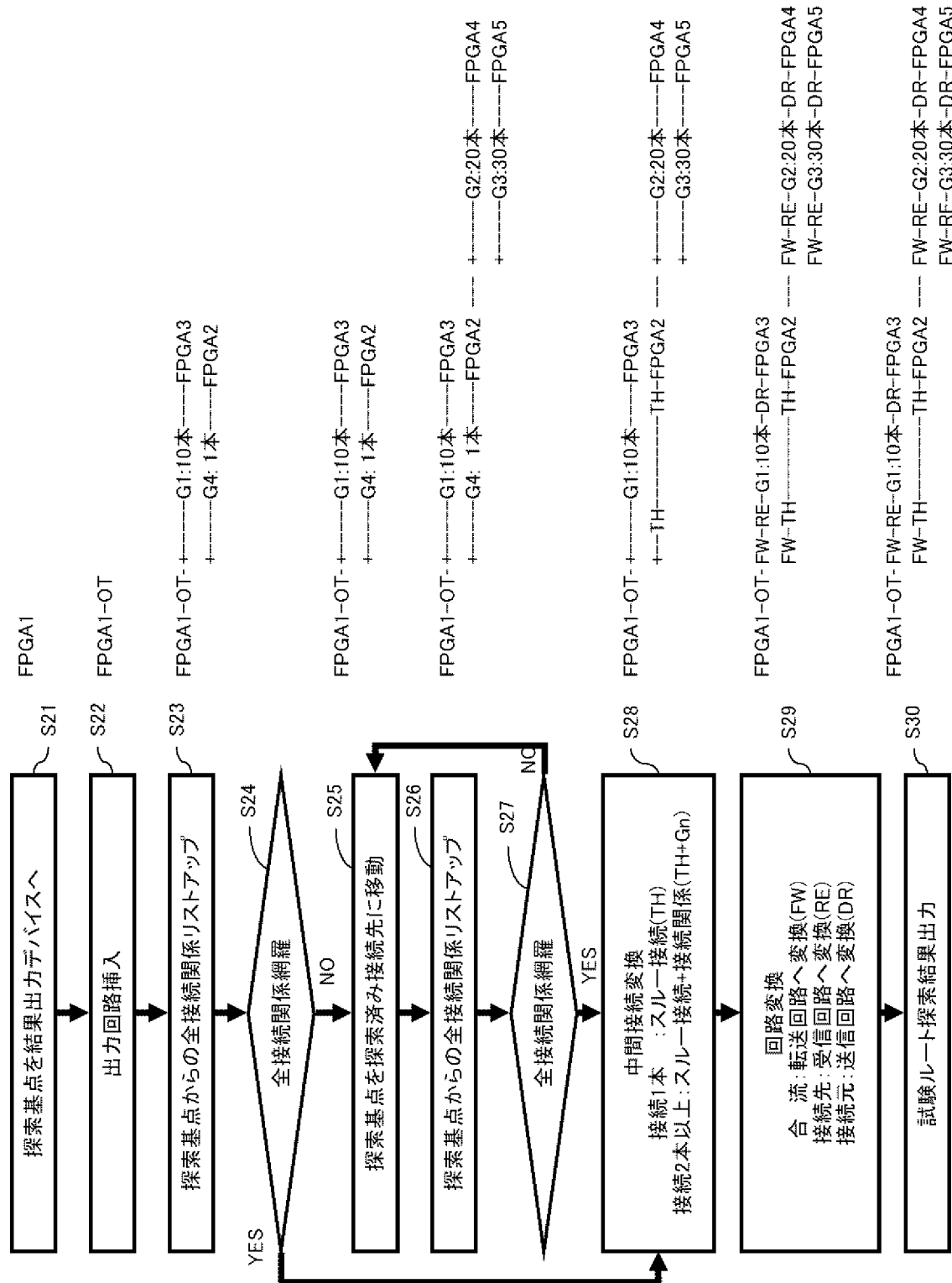
[図3]



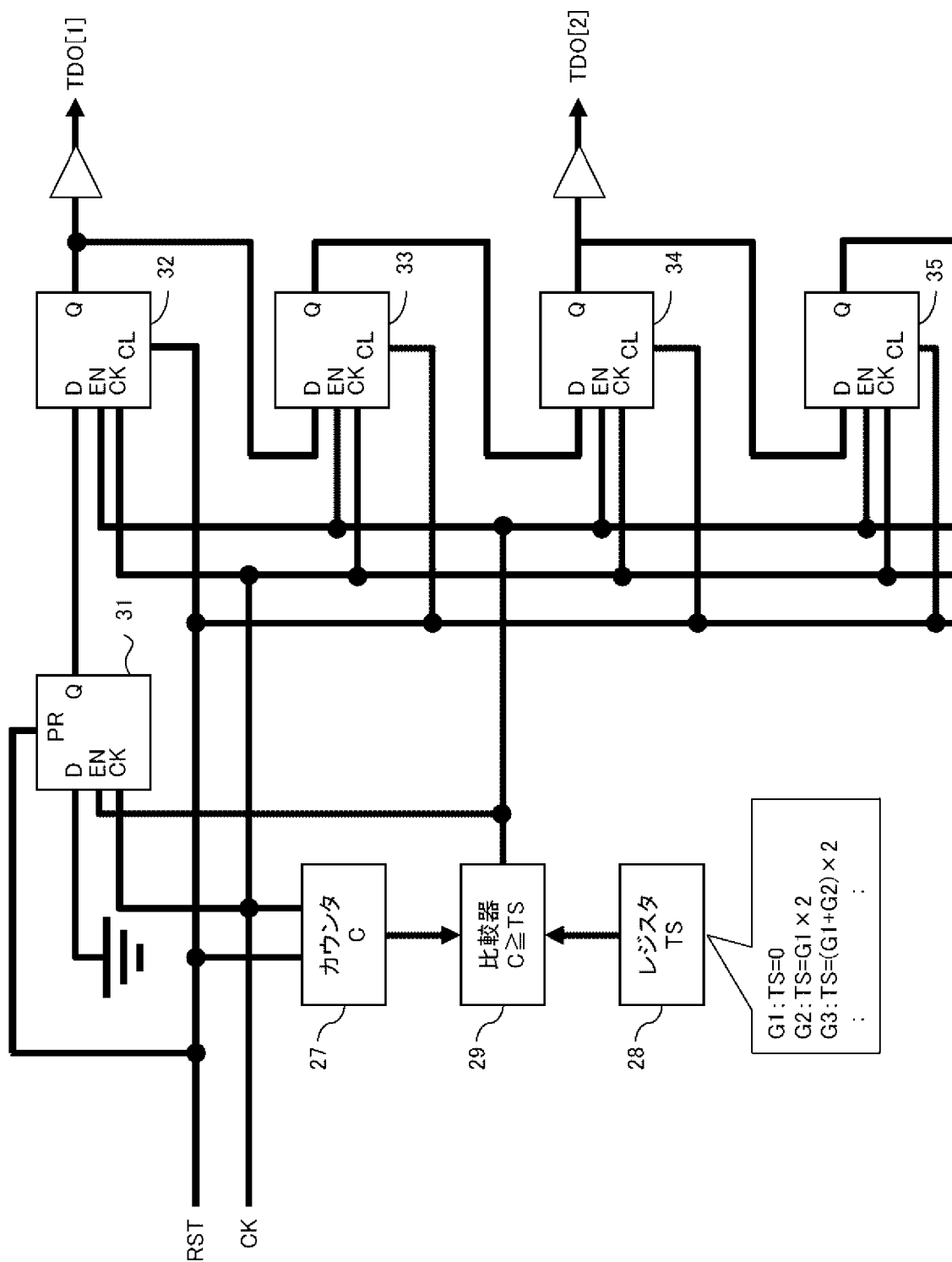
[図4]



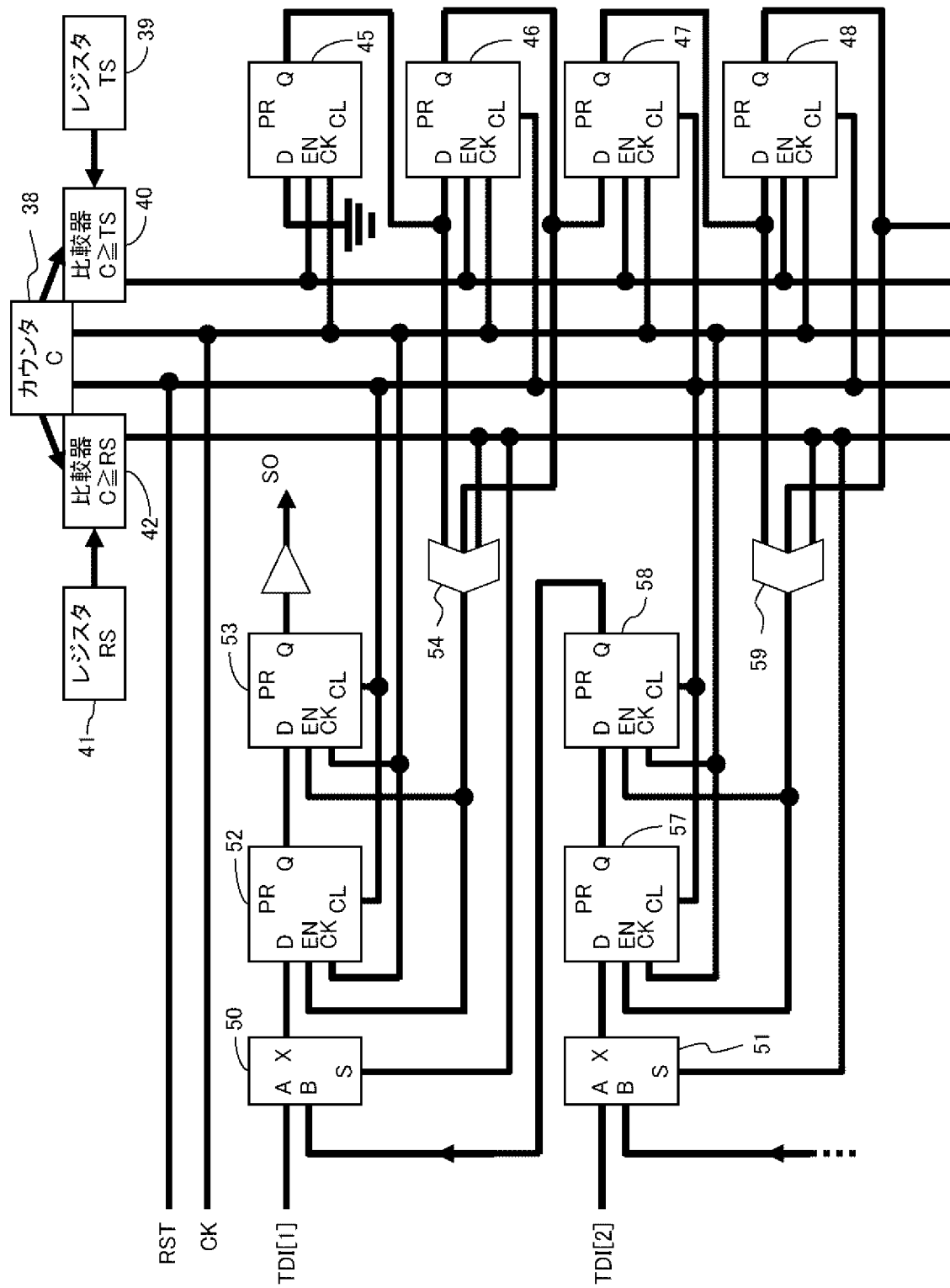
[図5]



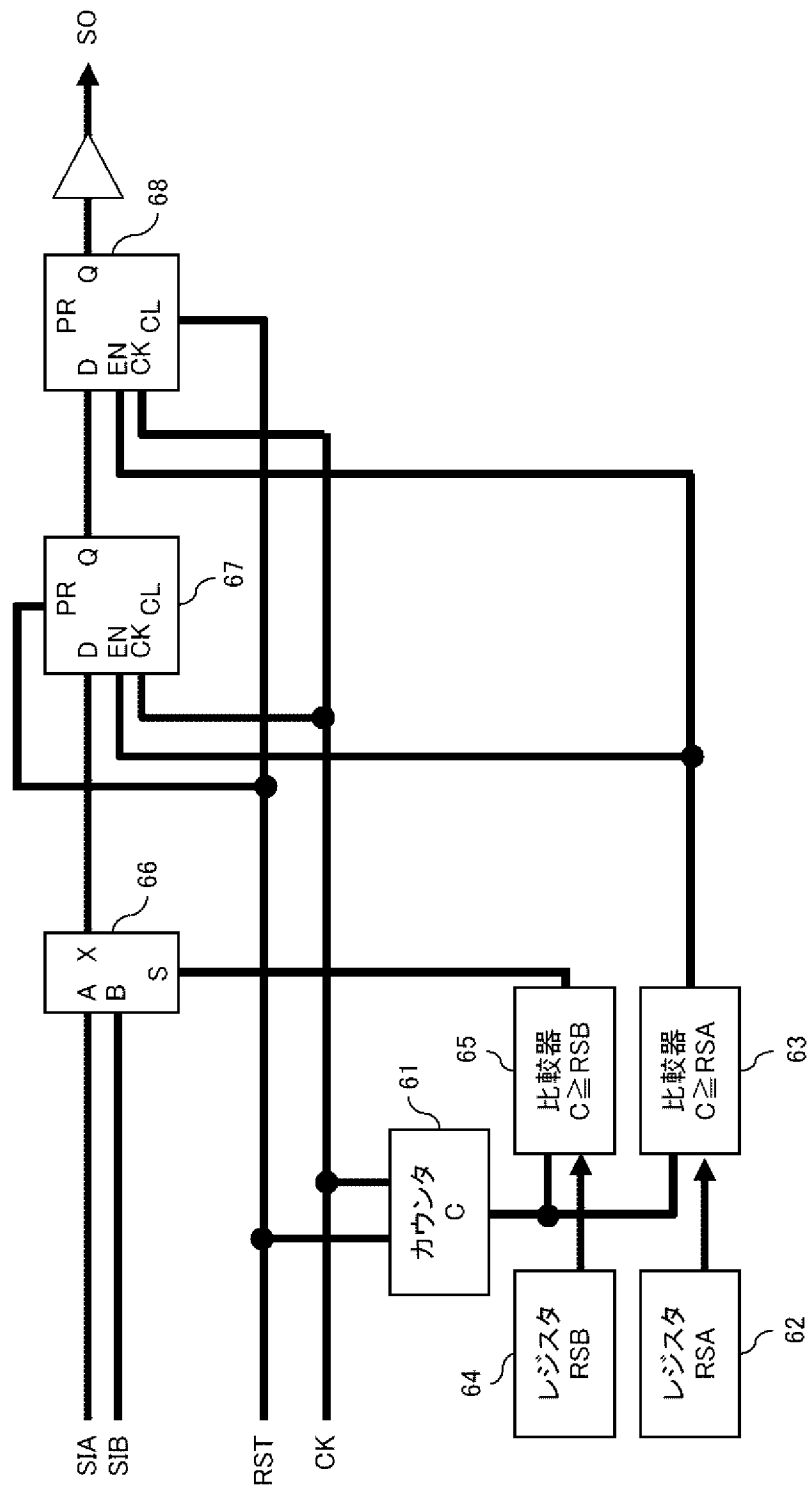
[図6]



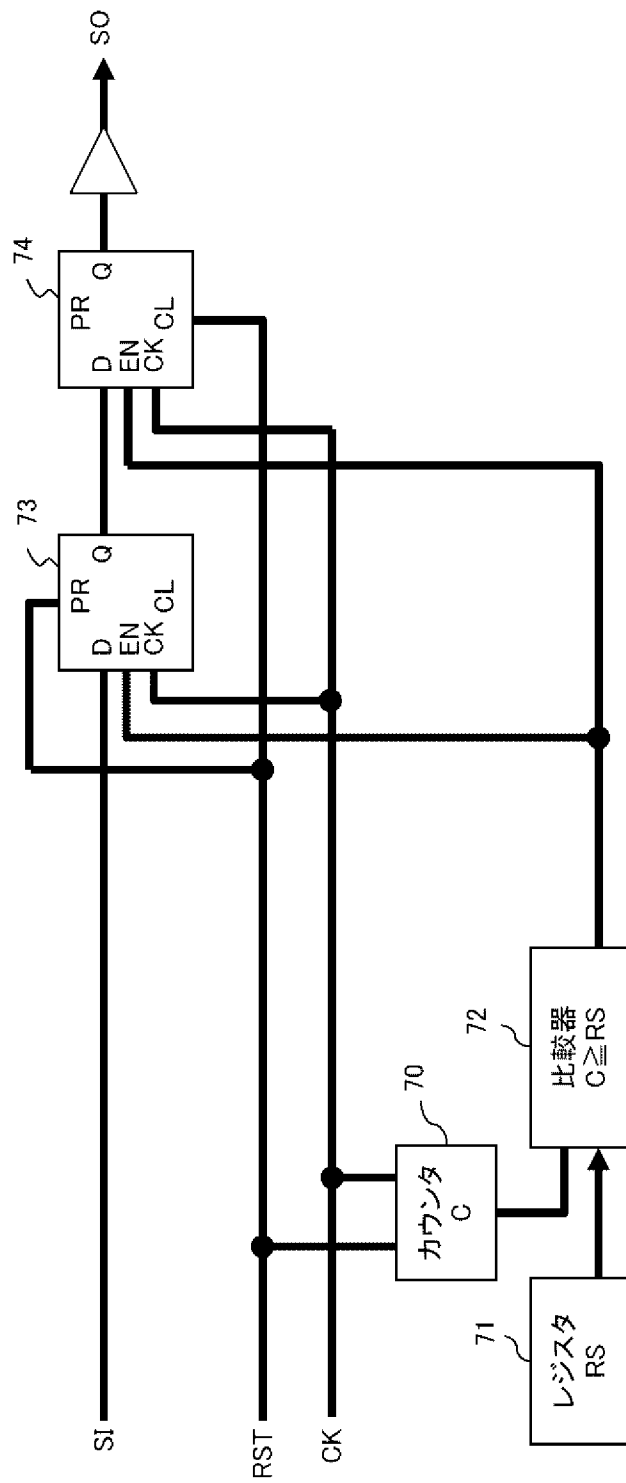
[図7]



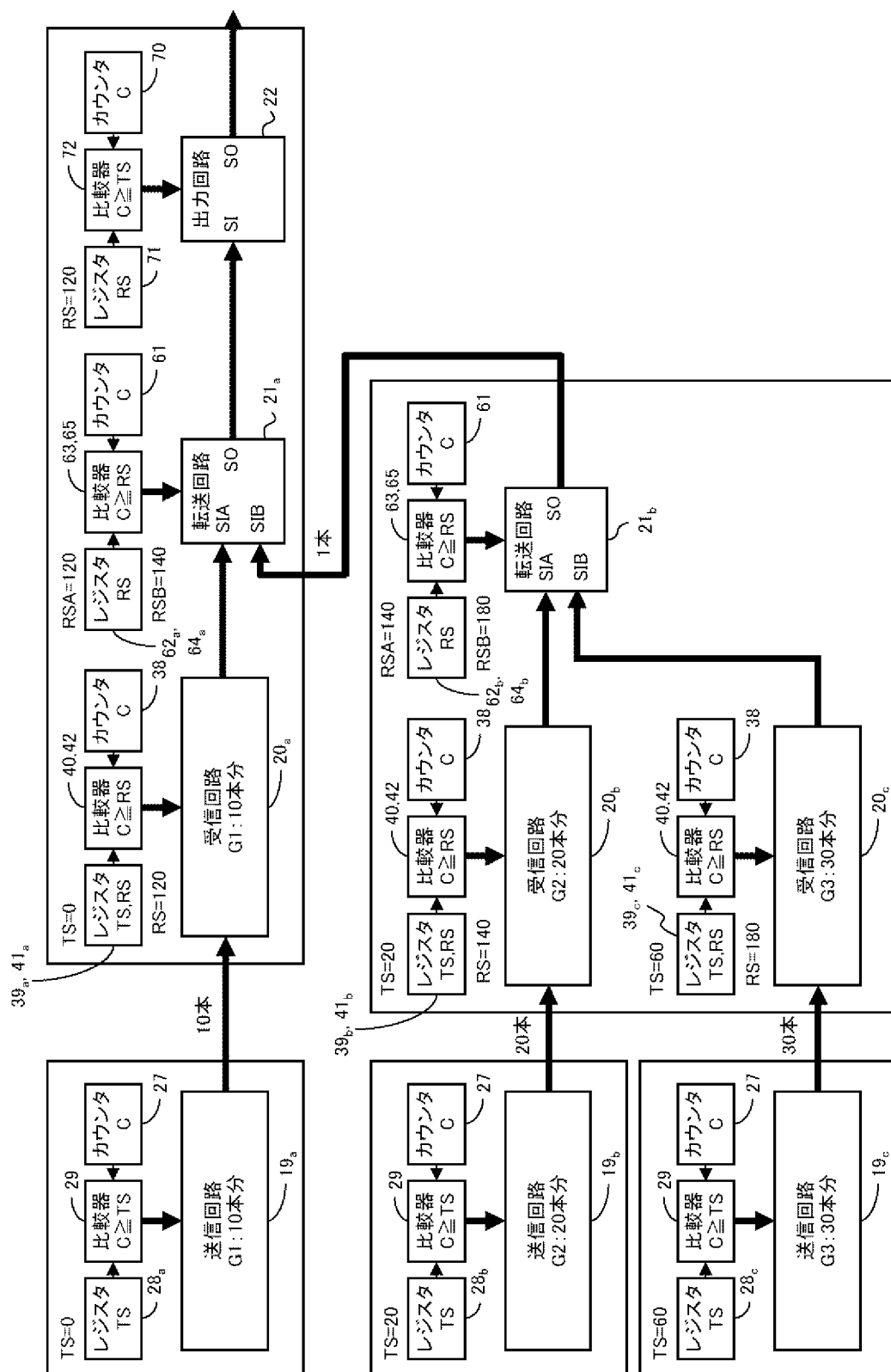
[図8]



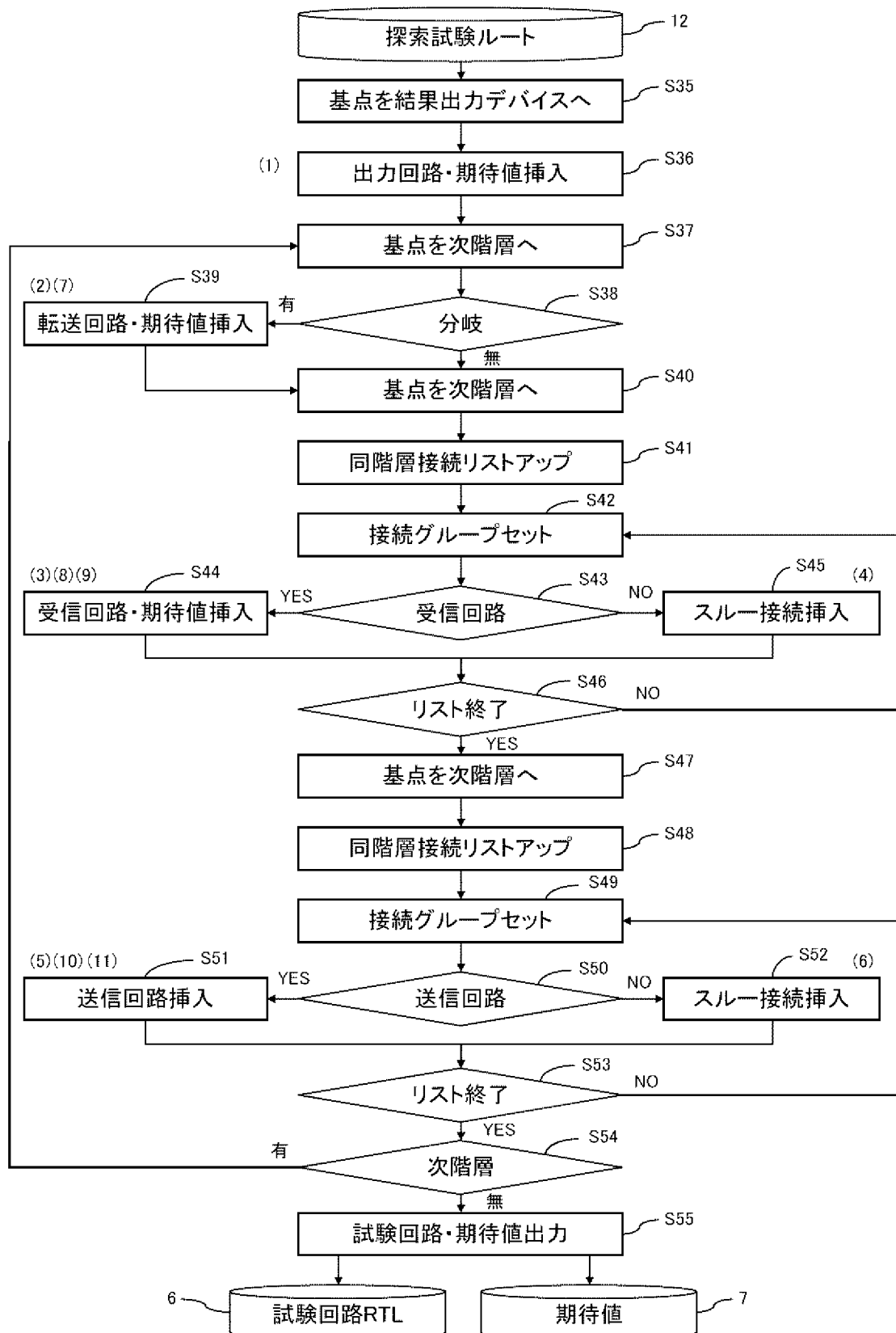
[図9]



[図10]



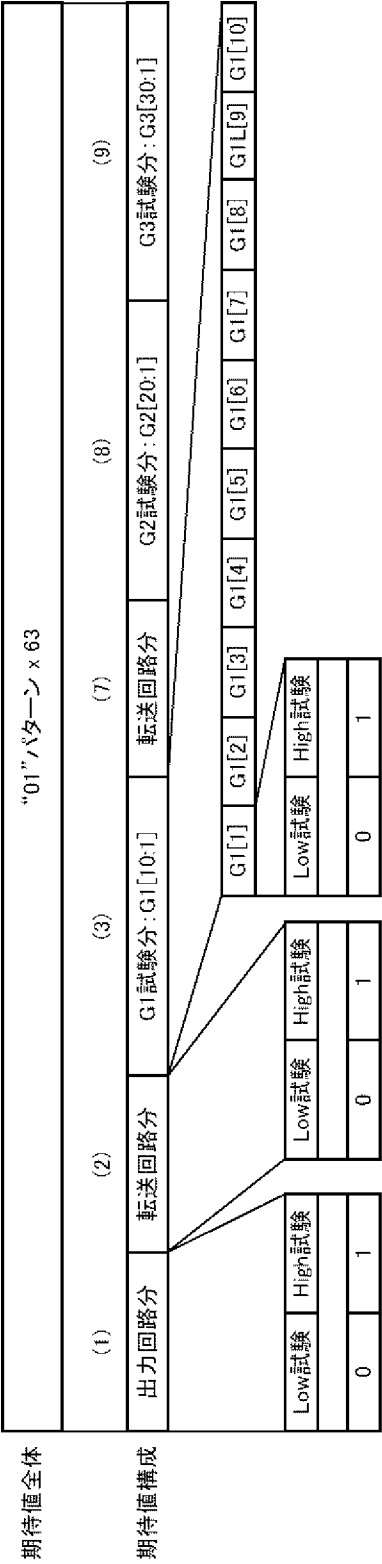
[図11]



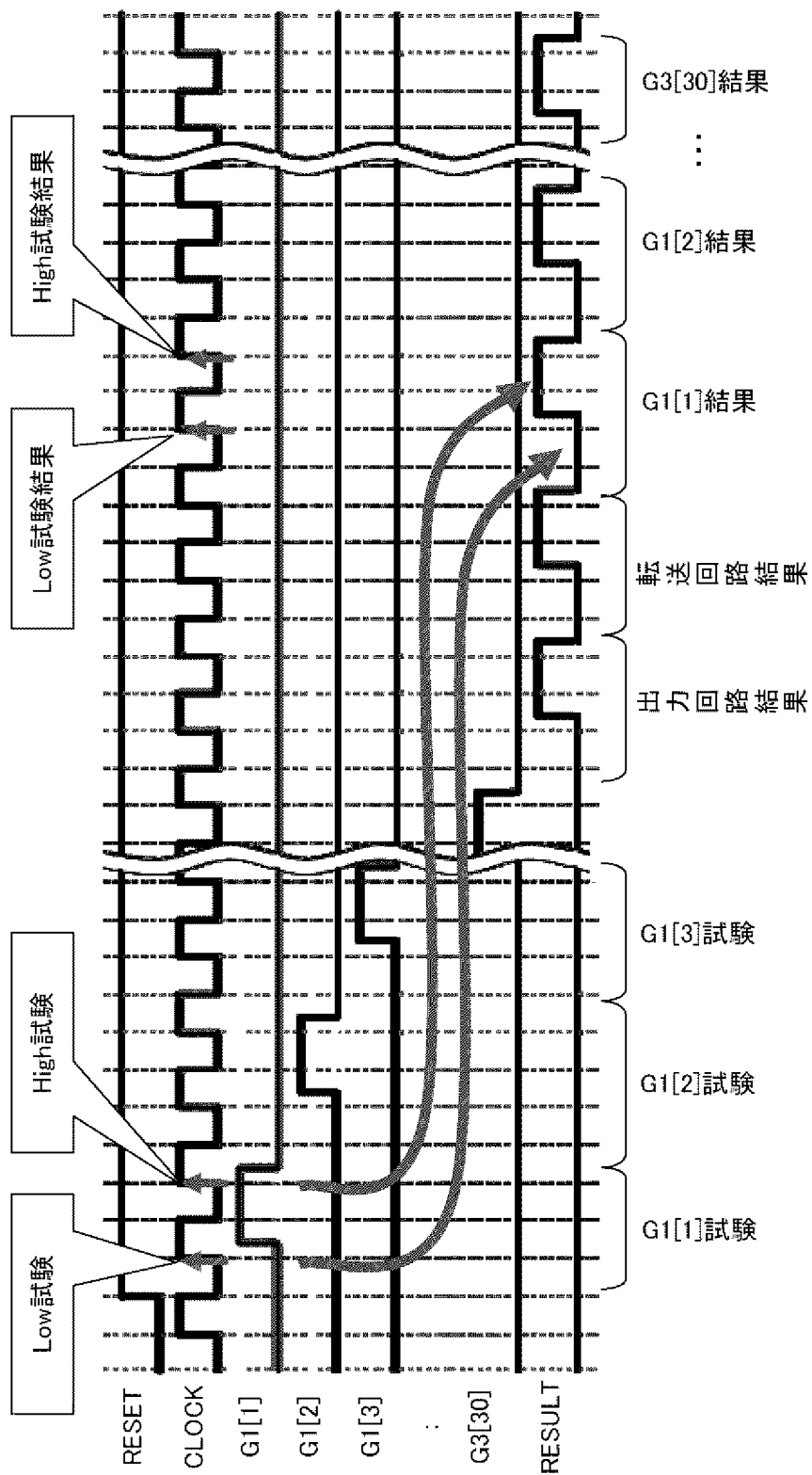
第1層FPGA			第2層FPGA			第3層FPGA
(1)	(2)	(3)	(5)	(7)	(8)	(10)
FPGA1- OT - FW - RE - G1:10本 - DR - FPGA3			FW - TH - FPGA2 - FW - RE - G2:20本 - DR - FPGA4			FW - RE - G3:30本 - DR - FPGA5
FW - TH						
(4)			(6)	(9)	(11)	
1 階 層	2 階 層	3 階 層	4 階 層	5 階 層	6 階 層	7 階 層

[illegible]

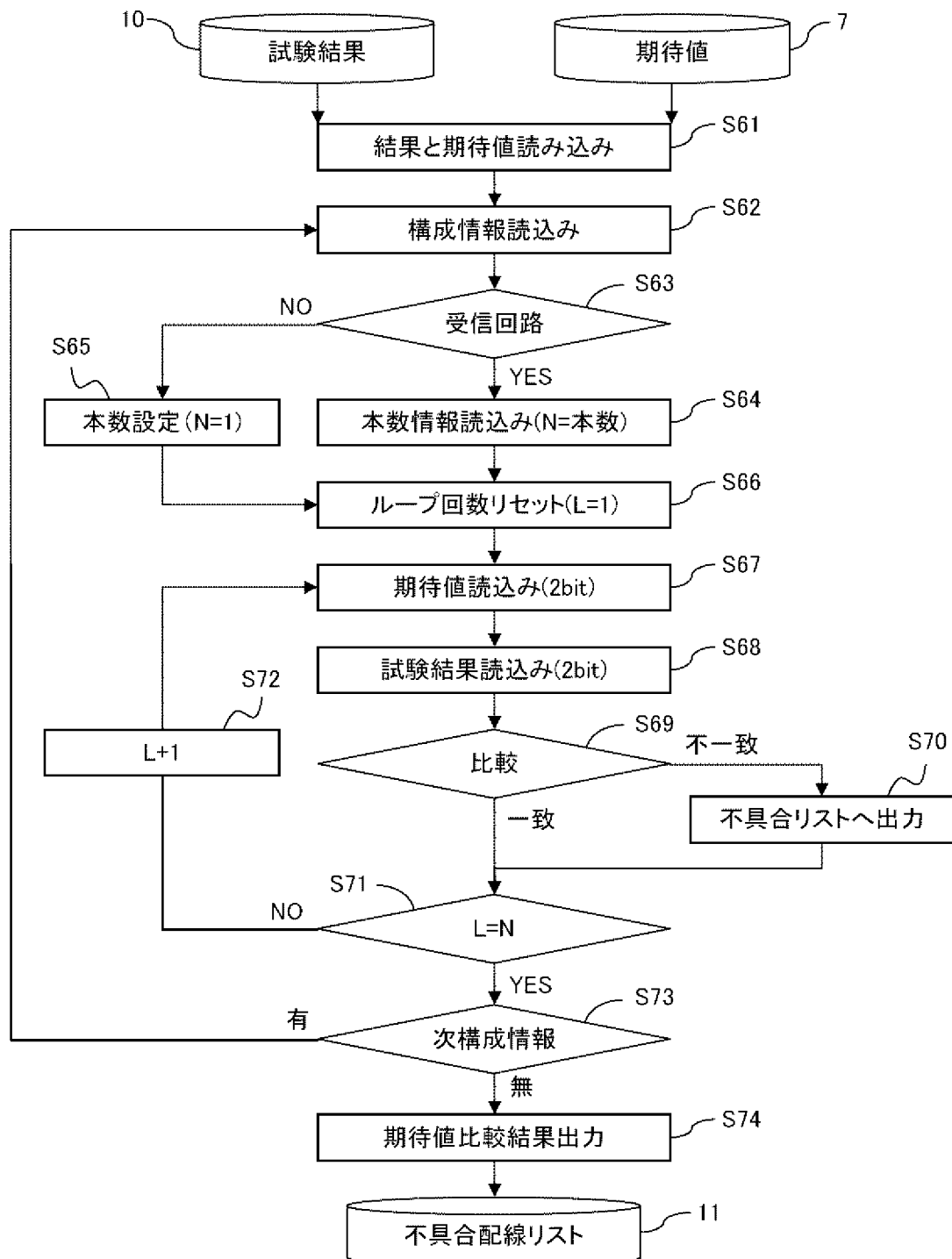
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/000230

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/3177(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/28-3193, G06F11/22-277, H01L21/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007

Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 11-023667 A (Mitsubishi Electric Corp.), 29 January, 1999 (29.01.99), Par. Nos. [0031] to [0083]; Figs. 1 to 12 (Family: none)	1-2 3-15
A	JP 2005-283205 A (NEC Electronics Corp.), 13 October, 2005 (13.10.05), Par. Nos. [0015] to [0026]; Figs. 1 to 3 (Family: none)	1-15
A	JP 11-044741 A (Fujitsu Ltd.), 16 February, 1999 (16.02.99), Par. Nos. [0024] to [0055]; Figs. 1 to 7 (Family: none)	1-15

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 June, 2007 (11.06.07)Date of mailing of the international search report
19 June, 2007 (19.06.07)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/000230

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-174821 A (Toshiba Corp.), 14 July, 1995 (14.07.95), Par. Nos. [0013] to [0035]; Figs. 1 to 8 (Family: none)	3-15

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G01R31/3177(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G01R31/28-3193, G06F11/22-277, H01L21/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 11-023667 A (三菱電機株式会社) 1999.01.29, [0031]-[0083], 図 1-12 (ファミリーなし)	1-2 3-15
A	JP 2005-283205 A (NEC エレクトロニクス株式会社) 2005.10.13, [0015]-[0026], 図 1-3 (ファミリーなし)	1-15
A	JP 11-044741 A (富士通株式会社) 1999.02.16, [0024]-[0055], 図 1-7 (ファミリーなし)	1-15

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技术水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 0 6 . 2 0 0 7

国際調査報告の発送日

1 9 . 0 6 . 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

堀 圭 史

2 S

3 0 0 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 7-174821 A (株式会社東芝) 1995.07.14, [0013]-[0035], 図 1-8 (ファミリーなし)	3-15