

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5458236号
(P5458236)

(45) 発行日 平成26年4月2日(2014.4.2)

(24) 登録日 平成26年1月24日(2014.1.24)

(51) Int. Cl. F I
HO 1 L 21/82 (2006.01) HO 1 L 21/82 F
 HO 1 L 21/822 (2006.01) HO 1 L 27/04 V
 HO 1 L 27/04 (2006.01)

請求項の数 7 (全 10 頁)

(21) 出願番号	特願2007-286414 (P2007-286414)	(73) 特許権者	513192281
(22) 出願日	平成19年11月2日(2007.11.2)		ピーエスフォー ルクスコ エスエイアー
(65) 公開番号	特開2009-117478 (P2009-117478A)		ルエル
(43) 公開日	平成21年5月28日(2009.5.28)		PS4 Luxco S. a. r. l.
審査請求日	平成22年10月14日(2010.10.14)		ルクセンブルク大公国エルー 2 1 2 1、ルクセンブルク、ヴァル デ ボン マラデス 2 0 8
		(74) 代理人	100101454
			弁理士 山田 卓二
		(74) 代理人	100108453
			弁理士 村山 靖彦
		(74) 代理人	100108578
			弁理士 高橋 詔男
		(74) 代理人	100140774
			弁理士 大浪 一徳

最終頁に続く

(54) 【発明の名称】 電気ヒューズ判定回路及び判定方法

(57) 【特許請求の範囲】

【請求項 1】

一端が高電圧側に接続された第 1 の電気ヒューズ素子と、
 一端が低電圧側に接続された第 2 の電気ヒューズ素子と、
 前記第 1 の電気ヒューズ素子及び前記第 2 の電気ヒューズ素子のいずれか一方を導通状態にする設定手段と、

前記第 1 の電気ヒューズ素子の他端と前記第 2 の電気ヒューズ素子の他端とを接続する所定の接点の電圧レベルを判定する判定手段と、

前記第 1 の電気ヒューズ素子の他端を前記所定の接点に接続又は非接続する第 1 の開閉手段と、

前記第 2 の電気ヒューズ素子の他端を前記所定の接点に接続又は非接続する第 2 の開閉手段と、を備える、ことを特徴とする電気ヒューズ判定回路。

【請求項 2】

前記判定手段は、前記所定の接点をあらかじめプリチャージすることなく、前記導通状態に設定された前記第 1 の電気ヒューズ素子及び前記第 2 の電気ヒューズ素子のいずれか一方に関連する電圧を判定する、ことを特徴とする請求項 1 に記載の電気ヒューズ判定回路。

【請求項 3】

前記設定手段は、

第 1 の制御信号を受信し、前記第 1 の電気ヒューズ素子の他端に接続される第 1 の回路

と、

第2の制御信号を受信し、前記第2の電気ヒューズ素子の他端に接続される第2の回路と、を含み、

前記第1及び第2の制御信号のいずれか一方が活性化することにより、前記第1の電気ヒューズ素子及び前記第2の電気ヒューズ素子のいずれか一方を導通状態にする、ことを特徴とする請求項2に記載の電気ヒューズ判定回路。

【請求項4】

前記第1の開閉手段及び前記第2の開閉手段は、前記設定手段の動作時に電氣的に切断し、

前記第1の開閉手段及び前記第2の開閉手段は、前記設定手段の非動作時に電氣的に接続する、ことを特徴とする請求項3に記載の電気ヒューズ判定回路。

10

【請求項5】

前記高電圧側の電圧レベルが、前記設定手段の動作時に、前記判定手段の電源電圧より高い電圧レベルに設定され、

前記高電圧側の電圧レベルが、前記設定手段の非動作時に、前記判定手段の電源電圧と同じ電圧レベルに設定され、

前記低電圧側の電圧レベルが、前記設定手段の動作時に、前記判定手段の接地電圧レベルより低い電圧レベルに設定され、

前記低電圧側の電圧レベルが、前記設定手段の非動作時に、前記判定手段の接地電圧レベルと同じ電圧レベルに設定される、ことを特徴とする請求項4に記載の電気ヒューズ判定回路。

20

【請求項6】

一端が高電圧側に接続された第1の電気ヒューズ素子と、一端が低電圧側に接続された第2の電気ヒューズ素子とを設け、

前記第1の電気ヒューズ素子及び前記第2の電気ヒューズ素子のいずれか一方を導通状態に設定し、

前記第1の電気ヒューズ素子の他端と前記第2の電気ヒューズ素子の他端とを接続する所定の接点の電圧レベルを判定し、

電源投入時からモードレジスタセットコマンドが外部から供給されるまでの期間、前記所定の接点の前記電圧レベルが、前記導通状態に設定された前記第1の電気ヒューズ素子及び前記第2の電気ヒューズ素子のいずれか一方に関連する所定のレベルに設定される、ことを特徴とする電気ヒューズ判定方法。

30

【請求項7】

前記モードレジスタセットコマンドが外部から供給された後に、前記所定の接点の電圧レベルを判定する、ことを特徴とする請求項6に記載の電気ヒューズ判定方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリや半導体メモリを有する半導体デバイスに用いて好適な電気ヒューズ判定回路及び判定方法に関する。

40

【背景技術】

【0002】

従来の半導体メモリにおいては、製品出荷前のテスト工程において動作不良のメモリセルが見つかった場合には、予備のメモリセル（冗長セル）を使用するように回路動作を切り換えることが一般的に行われている。この冗長セルへの動作切り換えには、パッケージ組み立て前のウエハ状態で、あらかじめ設けておいたヒューズ用配線にレーザー光線を照射して溶断することが一般的に行われていた。このレーザー光線を用いたヒューズ用配線の溶断は、パッケージ組み立て前にしか実施できないため、近年の半導体メモリでは、パッケージに組み立てた後でも回路動作の変更を行うことが可能な電気ヒューズが使用されている（またはレーザー光線による切断方式のヒューズと電気ヒューズが併用されている

50

)。

【0003】

電気ヒューズはアンチヒューズとも呼ばれ、初期状態で非導通の素子であり、絶縁体を2つの電極間に挟むことにより形成されている。電気ヒューズ素子の2つの電極間に高電圧を印加することにより絶縁体が破壊されると、電極間が接続(ショート)し、導通状態となる。従ってパッケージに組み立てた後でも、外部から特定の信号を入力することにより所望の電気ヒューズを接続状態(導通状態)に変更することが可能となる。従って、組み立て後に不良セルが見つかったような場合でも、電気ヒューズを用いて冗長セルに置き換えて歩留り向上を図ることができる。

【0004】

半導体デバイス内に設けた複数の電気ヒューズが、導通または非導通のどちらの状態であるかの接続情報は、電源投入時に判定回路によりデバイス内部に取り込まれ、その情報に基づいて特定の回路動作が起こされる。

【0005】

図3は、本発明の背景技術を説明するために用いる電気ヒューズ判定回路の一例を示す回路図である。本回路は、同期DRAM(ダイナミックランダムアクセスメモリ)内に形成されているものとする。参照符号21~27はPMOSトランジスタ(Pチャンネル金属酸化物半導体トランジスタ)、28~34はNMOSトランジスタ(Nチャンネル金属酸化物半導体トランジスタ)、35~36は電気ヒューズ素子、Vpp_ovは通常はVddレベル(電源電圧レベル)、電気ヒューズ接続時はVdd以上の高い電圧になる信号である。Vbb_udは通常はVssレベル(接地電圧レベル)、電気ヒューズ接続時はVss以下の低い電圧になる信号である。STOREは電気ヒューズを接続する制御信号、LOADは電気ヒューズデータを取り込む制御信号、参照電圧はVddよりも低い中間レベルの電圧、node Aは電気ヒューズ素子の接点ノード、PREはnode AをVddにプリチャージする制御信号である。

【0006】

次に電気ヒューズ接続動作について説明する。電気ヒューズを接続する場合、STORE信号を"L"にして電気ヒューズ素子35、36の両接点にVpp_ovとVbb_udレベルを印加する。素子35、36は破壊され、Vbb_udと導通する。

【0007】

次に電気ヒューズデータ取り込み動作について説明する。MRSコマンド(モードレジスタセットコマンド)によってPRE信号が"L"のワンショットパルスが発生する。そのワンショットパルスによって、PMOSトランジスタ27がONして、node AはVddにプリチャージされる。PRE信号が"H"になると、ヒューズ素子35、36を通じてnode AはVssレベルに下がっていく。PRE信号が"H"になってから一定期間遅延したあと、LOAD信号のワンショットパルスが発生する。このLOAD信号のワンショットパルスによって、node Aと参照電圧のレベルが比較され、判定結果が出力されて、電気ヒューズデータが取り込まれる。

【0008】

次に、図4のタイミングチャートについて説明する。図4は図3の電気ヒューズ判定回路のMRSコマンドが入力されてからのタイミングチャートである。CKは外部CLK(クロック信号)である。MRSコマンド入力後tMRD=2CLK(2クロック周期)以内にPRE信号とLOAD信号のワンショットパルスが発生する。PRE信号によってnode AのレベルはVddにプリチャージされる。その後node Aのレベルは低下して行き、参照電圧より低下したところでLOAD信号のワンショットパルスが発生し、NMOSトランジスタ32、33、34等からなる判定回路が、node Aレベルが参照電圧レベルよりも低いという判定結果を出力することで、電気ヒューズのデータが取り込まれる。

【0009】

電気ヒューズに高電圧を印加して、素子に用いられている絶縁体を破壊し、導通状態とした場合に、導通後の電気抵抗値にはばらつきの生じることが多い。従って、たとえば図3に示したように、高電圧を印加するための回路部分も含めて同じ構成の電気ヒューズ素子を2個並列に接続した構成としていた。そして電気ヒューズを導通状態にする際には、

10

20

30

40

50

この並列接続された2個の電気ヒューズを共に導通状態にしていた。この構成により、導通後の電気ヒューズの抵抗値のばらつきの影響を緩和していた。

【0010】

しかしながら、図4に鎖線で示したように、導通後の電気ヒューズの抵抗値が高く、PRE信号が"H"になってから、LOAD信号が"H"になる期間にnode Aのレベルが参照電圧以下まで低下しないと、判定回路はnode Aが参照電圧以上という判定結果を出力してしまい、電気ヒューズデータ取り込みエラーとなる。MRSからACTコマンド(バンクアクティブコマンド)までは最低2CLKの期間しかないので、導通後の電気抵抗値が高いとタイミングマージンが少なくなる。

【0011】

従って、従来の電気ヒューズの状態判定方法においては、導通後の電気ヒューズの抵抗値が製造時のばらつきで高くなった場合に、電気ヒューズの導通状態を正確に判定できず、半導体装置が所望の回路動作(冗長セルへの置き換え動作等)を起こさないと言う課題があった。その結果として、半導体装置の製造の際の歩留りが低下すると言う課題があった。

【0012】

なお、図3において、tMRDはロードモードコマンドサイクルタイム、tRCDはアクティブコマンド・リード/ライトコマンドディレイである。WR/RDは、リード/ライトコマンドを示す。また、NMOSトランジスタ32および33は参照電圧を基準レベルとするコンパレータ回路の入力部を構成するものである。PMOSトランジスタ25および26はヒューズ素子35および36の接続時(プログラミング時)にオフに制御され、電気ヒューズデータ取り込み動作を行う場合にオンに制御されるものであって、接続時に他の電気ヒューズ素子や回路を切り離すために用いられる。

【0013】

なお、本発明に関連する背景技術を開示するものとして特許文献1~3がある。

【特許文献1】特表2000-512059号公報

【特許文献2】特開2001-067893号公報

【特許文献3】特開2006-339290号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

従来の電気ヒューズ判定回路にはいくつかの課題がある。

【0015】

第1の課題は、電気ヒューズの接続抵抗を十分に下げることができなかった場合には、電気ヒューズデータ取り込みエラーとなることである。この課題が発生する原因は、MRSコマンドで電気ヒューズデータを取り込んでいたために、MRSコマンドから次のACTコマンドまでの時間の制限があることに起因する。

【0016】

従来は、MRSコマンド入力のタイミングで、電気ヒューズ素子の接続しているノード(図3のnode A)のプリチャージを開始し、ノードの電位を一旦Vddレベルまで上昇させる。その後、電気ヒューズが導通状態にある場合にはノードの電位はVssレベルまで低下する。電気ヒューズの導通抵抗値が所定の値より高くなっている場合には、ノードの状態を判定するタイミングまでに電位が下がりきらないため、判定エラーとなってしまう。

【0017】

第2の課題は、使用中に電気ヒューズ素子の信頼性が低下する課題があるということである。この課題が発生する原因は、接続した電気ヒューズ素子は、データ取り込み時にnode AをVddにプリチャージした後にVssに引き抜き、電気ヒューズ素子に電流が流れることに起因する。

【0018】

接続状態の電気ヒューズ素子は、絶縁膜を破壊して形成したピンホール状の電流パスで

10

20

30

40

50

接続しているため、電流が流れる際の電流密度は通常の配線層に比べてかなり大きくなっている。従って繰り返し電流を流し続けると、電流ストレスにより、いったん形成した電流パスが切断されてしまったり、接続抵抗値が高くなる方向に変動したりすることがある。このため、従来の電気ヒューズ素子では、信頼性の低下が懸念される。

【0019】

従来技術では並列接続にした電気ヒューズ素子を2個とも同じ接続状態にすることで、このような課題に起因した不具合の発生を緩和していたが、完全な対策とはなっていなかった。

【0020】

本発明は、上記の事情に鑑みてなされたものであり、従来の課題を改善することができる電気ヒューズ判定回路及び判定方法を提供することを目的とする。より具体的には、電気ヒューズデータの取り込みを高速かつ確実に行うことができ、また、電気ヒューズの信頼性を高めることができる電気ヒューズ判定回路及び判定方法を提供することを目的とする。

【課題を解決するための手段】

【0021】

上記課題を解決するため、請求項1記載の発明は、一端が高電圧側に接続された第1の電気ヒューズ素子と、一端が低電圧側に接続された第2の電気ヒューズ素子と、第1の電気ヒューズ素子又は第2の電気ヒューズ素子のいずれか一方を導通状態にする設定手段と、第1の電気ヒューズ素子の他端と第2の電気ヒューズ素子と他端とを接続する所定の接点の電圧のレベルを判定する判定手段とを備えることを特徴とする。

【0022】

請求項2記載の発明は、一端が高電圧側に接続された第1の電気ヒューズ素子と、第1の電気ヒューズ素子の他端を所定の接点に接続又は非接続する第1の開閉手段と、一端が低電圧側に接続された第2の電気ヒューズ素子と、第2の電気ヒューズ素子の他端を前記所定の接点に接続又は非接続する第2の開閉手段と、第1の電気ヒューズ素子又は第2の電気ヒューズ素子のいずれか一方を導通状態にする設定手段と、前記所定の接点の電圧のレベルを判定する判定手段とを備えることを特徴とする。

【0023】

請求項3記載の発明は、前記第1の開閉手段及び前記第2の開閉手段が、前記設定手段の動作時にオフされ、前記設定手段の非動作時にオンされるものであることを特徴とする。

【0024】

請求項4記載の発明は、前記第1の電気ヒューズ素子の一端が接続された高電圧側の電圧レベルが、前記設定手段の動作時に、前記判定手段の電源電圧レベル以上の電圧レベルに設定され、前記設定手段の非動作時に、前記判定手段の電源電圧レベルに設定されるものであり、前記第2の電気ヒューズ素子の一端が接続された低電圧側の電圧レベルが、前記設定手段の動作時に、前記判定手段の接地電圧以下の低い電圧レベルに設定され、前記設定手段の非動作時に、前記判定手段の接地電圧レベルに設定されるものであることを特徴とする。

【0025】

請求項5記載の発明は、一端が高電圧側に接続された第1の電気ヒューズ素子と、一端が低電圧側に接続された第2の電気ヒューズ素子と、第1の電気ヒューズ素子又は第2の電気ヒューズ素子のいずれか一方を導通状態にする設定手段と、第1の電気ヒューズ素子の他端と第2の電気ヒューズ素子と他端とを接続する所定の接点の電圧のレベルを判定する判定手段とを用い、設定手段によって第1の電気ヒューズ素子又は第2の電気ヒューズ素子のいずれか一方を導通状態にした後、判定手段によって、第1の電気ヒューズ素子の他端と第2の電気ヒューズ素子と他端とを接続する所定の接点の電圧のレベルを判定することを特徴とする。

【発明の効果】

【0026】

本発明においては、2個並列接続されている電気ヒューズ素子のうち、必ず1個だけが導通状態となっている。このため、導通状態にある電気ヒューズ素子の接続先の電位に応じて、電気ヒューズ素子の状態判定に使用するための所定の接点の電位を電源投入直後に固定することが可能となっている。すなわち、電源投入後に電気ヒューズ素子の電位固定が完了するので、電気ヒューズ素子によって設定されたデータの取り込みを高速かつ確実に行うことができる。

【0027】

また、本発明によれば、従来の構成では必須だった、導通状態の電気ヒューズ素子を介して、いったん電源電圧レベルまでプリチャージした接点からの電荷の引き抜きと言う動作が必要ない。すなわち、電気ヒューズ素子に過渡的な電流を繰り返し流さない回路構成であるため、電気ヒューズ素子に電流ストレスが加わるのを抑制することが可能となり、電気ヒューズ素子の信頼性を高めることができる。

【発明を実施するための最良の形態】

【0028】

以下、本発明の実施の形態について図面を参照して詳細に説明する。なお、図3を参照して説明した記号や略号については説明を省略する。また、本回路は、同期DRAM内に形成されているものとする。

【0029】

図1は、本発明の第1の実施の形態による電気ヒューズ判定回路である。参照符号1~5はPMOSトランジスタ、6~13はNMOSトランジスタ、14~15は電気ヒューズ素子、Vpp_ovは通常はVddレベル、電気ヒューズ接続時はVdd以上の高い電圧になる信号である。Vbb_udは通常はVssレベル、電気ヒューズ接続時はVss以下の低い電圧になる信号である。STORE0、STORE1は電気ヒューズを接続する制御信号、LOADは電気ヒューズデータを取り込む制御信号、参照電圧はVddよりも低い中間レベルの電圧、node Aは電気ヒューズ素子の接点ノードである。

【0030】

電気ヒューズ14および15は、初期状態で非導通の素子であり、絶縁体を2つの電極間に挟むことにより形成されている。電気ヒューズ素子の2つの電極間に高電圧を印加することにより絶縁体が破壊されると、電極間が接続（ショート）し、導通状態となる。

【0031】

PMOSトランジスタ1とNMOSトランジスタ6は、インバータ回路を構成するものであって、STORE0信号を反転してVddまたはVbb_udレベルの信号にして出力し、信号Vddにソースが接続されたNMOSトランジスタ8をオン・オフ制御する。NMOSトランジスタ8のソースにドレインが接続されたNMOSトランジスタ9は、ソースが信号Vbb_udに接続されていて、ゲートに入力されるSTORE0信号によってオン・オフ制御される。NMOSトランジスタ8とNMOSトランジスタ9の接続点には電気ヒューズ素子14の一端とPMOSトランジスタ4が接続されている。電気ヒューズ素子14の他端には信号Vpp_ovが接続され、通常はVddレベルの電圧が印加され、電気ヒューズ接続時にはVdd以上の高い電圧が印加される。

【0032】

一方、PMOSトランジスタ2とNMOSトランジスタ7は、インバータ回路を構成するものであって、STORE1信号を反転してVpp_ovまたはVssレベルの信号にして出力し、信号Vssにソースが接続されたNMOSトランジスタ10をオン・オフ制御する。NMOSトランジスタ10のドレインにドレインが接続されたPMOSトランジスタ3は、ソースが信号Vpp_ovに接続されていて、ゲートに入力されるSTORE1信号によってオン・オフ制御される。PMOSトランジスタ3とNMOSトランジスタ10の接続点には電気ヒューズ素子15の一端とPMOSトランジスタ5が接続されている。電気ヒューズ素子15の他端には信号Vbb_udが接続され、通常はVssレベルの電圧が印加され、電気ヒューズ接続時にはVss以下の低い電圧が印加される。

【0033】

PMOSトランジスタ4とPMOSトランジスタ5の電気ヒューズ素子14または電気ヒューズ素子

10

20

30

40

50

15に接続されていない端子（node A側の端子）は、互いに接続されるとともに、NMOSトランジスタ11のゲートに接続されている。PMOSトランジスタ4および5はヒューズ素子14および15の接続時（設定時）にオフに制御され、電気ヒューズデータ取り込み動作を行う場合にオンに制御される。

【 0 0 3 4 】

NMOSトランジスタ11は、そのソースがNMOSトランジスタ12のソースおよびNMOSトランジスタ13のドレインに接続されていて、NMOSトランジスタ13のゲートに入力されるLOAD信号が"H"レベルの場合に、NMOSトランジスタ11のゲート電圧がNMOSトランジスタ12のゲートに入力されている参照電圧よりも高いときオンし、低いときオフする。なお、NMOSトランジスタ13のソースは接地電圧Vssに接続されていて、また、NMOSトランジスタ11およびNMOSトランジスタ12のドレインには、図示していないVddを電源電圧とする負荷回路が接続されている。

【 0 0 3 5 】

次に電気ヒューズ接続動作について説明する。node Aに"L"レベルを書き込む場合は、STORE1信号を"L"にして、PMOSトランジスタ3をオンにし、電気ヒューズ素子15の両接点にVpp_ovとVbb_udレベルを印加する。電気ヒューズ素子15は破壊され、Vbb_udと導通する。逆に、node Aに"H"レベルを書き込む場合は、STORE0信号を"H"にして、NMOSトランジスタ9をオンにし、電気ヒューズ素子14の両接点にVpp_ovとVbb_udレベルを印加する。電気ヒューズ素子14は破壊され、Vpp_ovと導通する。なお、NMOSトランジスタ10およびNMOSトランジスタ8は、高電圧印加時に抵抗負荷として使用される。

【 0 0 3 6 】

ここで、本発明の特徴は、2個並列接続されている電気ヒューズ素子に対して、設定したいnode Aの状態に応じて、あらかじめどちらか1個の電気ヒューズのみを必ず導通状態にしておく点にある。

【 0 0 3 7 】

次に電気ヒューズデータ取り込み動作について説明する。電源投入後、Vpp_ovはVddレベル、Vbb_udはVssレベル、参照電圧はVdd以下の中間レベルの電圧にセットされる。また、PMOSトランジスタ4およびPMOSトランジスタ5がオン状態となる。この時点で電気ヒューズ14および電気ヒューズ15の接点（信号Vpp_ovまたは信号Vbb_udに接続された端子の反対側の端子）は所望のレベル（VddレベルまたはVssレベル）に設定され、node Aも所望のレベル（VddレベルまたはVssレベル）に設定される。すなわち、例えば電気ヒューズ素子14がオープンのまま、電気ヒューズ素子15がショートしていたとすると、node Aは電源投入後、Vssレベルに設定される。他方、電気ヒューズ素子14がショートし、電気ヒューズ素子15がオープンのままであるとすると、node Aは電源投入後、Vddレベルに設定される。

【 0 0 3 8 】

次に、MRSコマンドが入力されるとLOAD信号のワンショットパルスが発生する。このLOAD信号のワンショットパルスによって、NMOSトランジスタ13がオンするので、node Aと参照電圧のレベルが比較され、判定結果が出力されて、電気ヒューズデータが取り込まれる。

【 0 0 3 9 】

次に、図2のタイミングチャートについて説明する。図2は図1の電気ヒューズ判定回路のMRSコマンドが入力されてからのタイミングチャートである。CKは外部CLKである。MRSコマンド入力後tMRD=2CLK以内にLOAD信号のワンショットパルスが発生する。電源投入後からMRSコマンドが入力されるまでの間にnode Aは所望のレベルに充電されている。従って、LOAD信号のワンショットパルスが発生した時点では、node Aのレベルは、参照電圧に比べて充分"L"または"H"のレベルに設定されている。LOAD信号によって判定回路が動作するときには参照電圧とnode A間の電位差は充分あるので、問題無く判定回路がnode Aのレベルを判定することができ、電気ヒューズのデータが取り込まれる。

【 0 0 4 0 】

次に、本実施の形態が奏する効果について説明する。

【0041】

第1の効果は、電気ヒューズデータの取り込みを高速かつ確実に行うことができることにある。その理由は、電源投入後に電気ヒューズの電位固定が完了するためである。すなわち本発明においては、2個並列接続されている電気ヒューズのうち、必ず1個だけが導通状態となっている。このため、導通状態にある電気ヒューズの接続先の電位に応じて、電気ヒューズの状態判定に使用するためのノードの電位を電源投入直後に固定することが可能となっている。

【0042】

第2の効果は、電気ヒューズの信頼性を高めることができることにある。その理由は、電気ヒューズに電流を流さない回路構成のためである。すなわち本発明においては、従来の構成では必須だった、導通状態の電気ヒューズを介して、いったんVddレベルまでプリチャージしたノード部からの電荷の引き抜きと言う動作が必要ないので、電気ヒューズに電流ストレスが加わるのを抑制することが可能となっている。

10

【0043】

次に、発明の他の実施の形態について説明する。本発明の電気ヒューズ判定回路は、DRAM等の半導体メモリのみに使用が限定される物では無い。すなわち、電気ヒューズ素子を有し、電源投入時にその接続状態を利用して所望の回路動作を起こさせる機能を有した半導体デバイスであれば、一般的なロジック製品等であっても同様に使用が可能である。

【0044】

また、使用する電気ヒューズ素子も、絶縁膜を破壊することで導通状態とする構造のものであれば、電極や絶縁膜の材料、構造等において特に限定されることなく使用可能である。例えば、具体的な電気ヒューズ素子としては、トランジスタのゲート電極と半導体基板の双方を電極とし、間に挟んだゲート絶縁膜を破壊するタイプのものがあげられる。またDRAMで使用する場合には、キャパシタ用の容量電極の間に設けられた容量絶縁膜を破壊するタイプの物も使用可能である。

20

【0045】

なお、特許請求の範囲の記載における構成要素と、実施の形態の構成要素との対応関係は次の通りである。

高電圧側に接続された第1の電気ヒューズ素子は、電気ヒューズ素子14に、低電圧側に接続された第2の電気ヒューズ素子は、電気ヒューズ素子15に対応している。電気ヒューズ素子のいずれか一方を導通状態にする設定手段は、NMOSトランジスタ8やPMOSトランジスタ3を含む信号STORE0または信号STORE1によって動作する回路に対応している。所定の接点は、node Aに対応し、その電圧のレベルを判定する判定手段は、NMOSトランジスタ11、12、13を含む判定回路に対応している。また、第1の開閉手段と第2の開閉手段は、PMOSトランジスタ4とPMOSトランジスタ5にそれぞれ対応している。

30

【図面の簡単な説明】

【0046】

【図1】本発明の電気ヒューズ判定回路の実施の形態の構成を示す回路図である。

【図2】図1の電気ヒューズ判定回路の動作を説明するためのタイミングチャートである

40

【図3】本発明の背景技術としての電気ヒューズ判定回路の構成例を示す回路図である。

【図4】図3の電気ヒューズ判定回路の動作を説明するためのタイミングチャートである

【符号の説明】

【0047】

1~5 PMOSトランジスタ

6~13 NMOSトランジスタ

14、15 電気ヒューズ素子

フロントページの続き

(72)発明者 赤松 宏

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

審査官 宇多川 勉

(56)参考文献 特開平02-001145(JP,A)

特開平07-169293(JP,A)

特開2007-158104(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82

H01L 21/822

H01L 27/04