



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0018848
(43) 공개일자 2009년02월23일

- | | |
|--|---|
| <p>(51) Int. Cl.
H01L 21/268 (2006.01) H01L 21/762 (2006.01)
H01L 21/00 (2006.01)</p> <p>(21) 출원번호 10-2008-7032027</p> <p>(22) 출원일자 2008년12월30일
심사청구일자 없음
번역문제출일자 2008년12월30일</p> <p>(86) 국제출원번호 PCT/US2007/012603
국제출원일자 2007년05월24일</p> <p>(87) 국제공개번호 WO 2007/142911
국제공개일자 2007년12월13일</p> <p>(30) 우선권주장
11/726,290 2007년03월21일 미국(US)
60/809,881 2006년05월31일 미국(US)</p> | <p>(71) 출원인
코닝 인코포레이티드
미국 뉴욕 (우편번호 14831) 코닝 원 리버프론트 플라자</p> <p>(72) 발명자
코일라드, 제임스, 지.
미국, 뉴욕 14850, 이타카, 웨스트우드 크놀 266 르위드, 필립
프랑스, 91330 예르, 알레 데 주르멜르 7 발롱, 소피, 아.
프랑스, 91220 브레띠니 쉬르 오르쥬, 뤼 데 아르 덴느, 10</p> <p>(74) 대리인
청운특허법인</p> |
|--|---|

전체 청구항 수 : 총 29 항

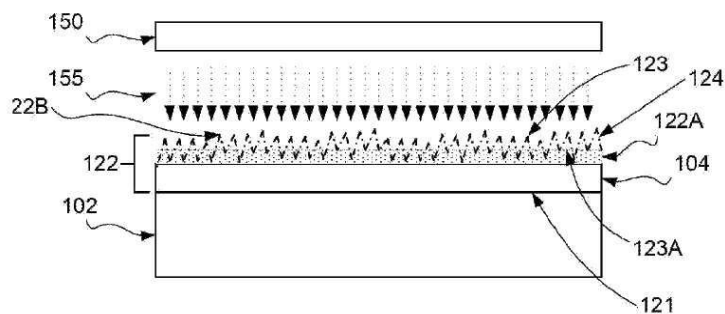
(54) 방사 어닐링을 이용하여 제조되는 반도체-온-인슐레이터 구조

(57) 요약

본 발명은 적어도 하나의 마감되지 않은 표면(unfinished surface)을 레이저 어닐링 공정에 도입하는 것을 포함하는 반도체-온-인슐레이터(semiconductor-on-insulator)(SOI)구조의 시스템, 방법 및 제품에 관한 것이다. SOI 구조의 제조는 결정 도너 반도체 웨이퍼의 주입면을 이온 주입공정(ion implantaion process)에 도입하여 상기 도너 반도체 웨이퍼에 박리층(exfoliation layer)을 생성하는 단계; 상기 박리층의 주입면을 절연체 기판에 접합시키는 단계; 상기 박리층을 도너 반도체 웨이퍼로부터 분리함으로써, 적어도 하나의 벽개면(cleaved surface)을 노출하는 단계; 및 상기 적어도 하나의 벽개면을 상기 레이저 어닐링 공정(laser annealing process)에 도입하는 단계를 포함한다.

대표도 - 도6

FIG. 6



특허청구의 범위

청구항 1

결정층의 적어도 하나의 마감되지 않은 표면(unfinished surface)을 방사 어닐링 공정(radiation annealing process)에 도입하는 것을 특징으로 하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 방법.

청구항 2

청구항 1에 있어서, 상기 방사 어닐링 공정은 적어도 하나의 마감되지 않은 표면을 마이크로파 방사(microwave radiation)에 도입하는 단계를 포함하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 방법.

청구항 3

청구항 1에 있어서, 상기 방사 어닐링 공정은 레이저 어닐링 공정을 포함하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 방법.

청구항 4

청구항 1에 있어서,

결정상의 도너 반도체 웨이퍼의 주입면(implantation surface)을 이온 주입공정(ion implantation process)에 도입하여 상기 도너 반도체 웨이퍼의 박리층(exfoliation layer)을 생성하는 단계;

상기 박리층의 주입면을 절연체 기판에 접합하는 단계;

상기 박리층을 도너 반도체 웨이퍼로부터 분리함으로써, 적어도 하나의 벽개면(cleaved surface)을 노출하는 단계;

를 더 포함하며, 상기 박리층을 분리한 후, 상기 적어도 하나의 마감되지 않은 표면을 방사 어닐링 공정에 도입하며, 상기 적어도 하나의 마감되지 않은 표면은 적어도 하나의 벽개면을 포함하는 것을 특징으로 하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 방법.

청구항 5

청구항 4에 있어서, 상기 적어도 하나의 벽개면은 상기 도너 반도체 웨이퍼의 제1 벽개면 및 상기 박리층의 제2 벽개면을 포함하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 방법.

청구항 6

청구항 5에 있어서, 상기 방사 어닐링 공정은 상기 박리층의 적어도 제2 벽개면에 적용되는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 방법.

청구항 7

청구항 5에 있어서, 상기 방사 어닐링 공정은 상기 도너 반도체 웨이퍼의 적어도 제1 벽개면에 적용되는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 방법.

청구항 8

청구항 3에 있어서, 상기 방사 어닐링 공정은 적어도 하나의 마감되지 않은 표면을 레이저 방사에 도입하는 것을 포함하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 방법.

청구항 9

청구항 8에 있어서, 상기 적어도 하나의 마감되지 않은 표면은 결정 실리콘을 포함하는 것을 특징으로 하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 방법.

청구항 10

청구항 8에 있어서, 상기 적어도 하나의 마감되지 않은 표면을 레이저 방사에 도입하는 단계는 먼저, 적어도 하나의 마감되지 않은 표면을 제1 레이저 방사에 도입하고 다음으로, 적어도 하나의 마감되지 않은 표면을 제1 레이저 방사보다 낮은 강도를 갖는 제2 레이저 방사에 도입하는 것을 포함하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 방법.

청구항 11

청구항 1에 있어서, 결정층의 적어도 하나의 마감되지 않은 표면을 방사 어닐링 공정에 도입하는 단계 전에, 상기 전체 결정층이 100℃ 부터 T_{sp} -100℃까지 승온(elevated temperature)으로 가열되며, 여기서 T_{sp} 는 반도체-온-인슐레이터 구조에 포함된 유리의 변형점(strain point) 또는 가장 낮은 용융 온도를 갖는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조에 있는 구성성분의 용융점인 것인 것을 특징으로 하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 방법.

청구항 12

청구항 1에 있어서, 결정층의 적어도 하나의 마감되지 않은 표면을 방사 어닐링 공정에 도입하는 단계 전에, 적어도 하나의 마감되지 않은 표면이 세척되거나 및/또는 산화물의 표면층이 제거되는 것을 특징으로 하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 방법.

청구항 13

청구항 12에 있어서, 상기 레이저 방사는 적어도 하나의 마감되지 않은 표면의 적어도 일부를 일시적으로 녹이기에 충분한 에너지 수준을 가지는 것을 특징으로 하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 방법.

청구항 14

청구항 12에 있어서, 상기 접합단계는:

절연 기판 및 도너 반도체 웨이퍼의 적어도 하나를 가열하는 단계;

절연체 기판을 상기 도너 반도체 웨이퍼의 박리층과 직간접적으로 접촉시키는 단계; 및

접합을 유도하기 위해 상기 절연체 기판 및 상기 도너 반도체 웨이퍼에 걸쳐 전압 포텐셜을 도입하는 단계, 를 포함하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 방법.

청구항 15

청구항 4에 있어서, 상기 도너 반도체 웨이퍼는 실리콘(Si), 게르마늄-실리콘(Ge-Si), 실리콘 카바이드(SiC), 게르마늄(Ge), 갈륨 비소(GaAs), 인화 갈륨(GaP) 및 인화 인듐(InP)으로부터 선택되는 것을 특징으로 하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 방법.

청구항 16

청구항 4에 있어서, 상기 도너 반도체 웨이퍼는 실질적으로 단일-결정 도너 반도체 웨이퍼를 포함하며, 상기 분리된 층은 실질적으로 상기 단일-결정 도너 반도체 웨이퍼 물질로부터 형성되는 것을 특징으로 하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 방법.

청구항 17

청구항 4에 있어서, 상기 도너 반도체 웨이퍼는 도너 반도체 웨이퍼와 상기 도너 반도체 웨이퍼 위에 위치한 에피택셜(epitaxial) 반도체층을 포함하며, 상기 분리된 층은 실질적으로 에피택셜(epitaxial) 반도체층으로부터 형성되는 것을 특징으로 하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 방법.

청구항 18

절연체 구조; 및

상기 절연체 구조에 접합된 반도체층을 포함하며, 상기 반도체 층은 방사 어닐링면을 포함하는 것을 특징으로

하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조.

청구항 19

청구항 18에 있어서, 상기 방사 어닐링면은 레이저 어닐링면을 포함하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조.

청구항 20

청구항 18에 있어서, 상기 방사 어닐링면은 마이크로파 어닐링면을 포함하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조.

청구항 21

청구항 18에 있어서, 상기 반도체층은 상기 절연체 구조에 접합된 아래면(underside)이며, 상기 방사 어닐링면은 상기 아랫면의 반대쪽에 있는 것(opposite)을 특징으로 하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조.

청구항 22

청구항 18에 있어서, 상기 절연체 구조는 절연체 기판을 포함하며, 상기 반도체층은 결정성 실리콘인 반도체-온-인슐레이터(semiconductor-on-insulator) 구조.

청구항 23

반도체-온-인슐레이터(semiconductor-on-insulator) 처리 어셈블리(handling assembly) 및 방사 어닐링 어셈블리,

를 포함하며, 상기 방사 어닐링 어셈블리는 상기 반도체-온-인슐레이터(semiconductor-on-insulator) 처리 어셈블리에 의해 조작되는 반도체-온-인슐레이터 구조의 방사(irradiation)를 위한 방사원(source)을 포함하는 것을 특징으로 하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 시스템.

청구항 24

청구항 23에 있어서, 상기 방사원은 레이저인 것을 특징으로 하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 시스템.

청구항 25

청구항 24에 있어서, 상기 레이저는 엑시머(excimer) 레이저인 것을 특징으로 하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 시스템.

청구항 26

청구항 25에 있어서, 상기 엑시머 레이저는 염화 크세논(Xenon chloride) 레이저인 것을 특징으로 하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 시스템.

청구항 27

청구항 23에 있어서, 상기 방사원은 마이크로파 방출기(emitter)인 것을 특징으로 하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 시스템.

청구항 28

청구항 23에 있어서, 상기 방사 어닐링 어셈블리는 진공에서 작동되는 것을 특징으로 하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 시스템.

청구항 29

청구항 23에 있어서, 상기 방사 어닐링 어셈블리는 조절된 기압에서 작동되는 것을 특징으로 하는 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성 시스템.

명세서

기술분야

<1> 본 발명은 방사(radiation) 어닐링, 특히 반도체 층의 마무리용 레이저 어닐링을 포함하는 향상된 공정을 이용한 반도체-온-인슐레이터(semiconductor-on-insulator, SOI) 구조의 제조 시스템, 방법 및 제품에 관한 것이다.

배경기술

<2> 현재까지, 반도체-온-인슐레이터(semiconductor-on-insulator)에 가장 흔히 사용되는 반도체 물질은 실리콘이었다. 그러한 구조는 글자 그대로 반도체-온-인슐레이터(semiconductor-on-insulator)구조로 불리며, 약자로 "SOI"가 그러한 구조에 사용되어 왔다. SOI 기술은 고성능 박막 트랜지스터(thin film transistor), 태양전지(solar cell), 이미지 센서 및 능동 매트릭스 디스플레이(active matrix display)와 같은 디스플레이에 점차 중요해지고 있다. SOI 구조는 두께에 있어 실질적으로 단일-결정 실리콘(일반적으로 0.05 - 0.3 마이크로미터(50 - 300nm))의 박막층을 포함하나, 어떤 경우에는 절연 물질 위에 20 마이크로미터(20000 nm) 정도의 두께인 경우도 있다.

<3> 설명을 용이하게 하기 위해, 이후의 논의는 때때로 SOI 구조의 관점에서 이루어질 것이다. SOI 구조의 특정 유형의 언급은 발명의 설명을 용이하게 하기 위한 것이며, 어떤 방식으로든, 본 발명의 범위를 제한하는 것을 의도하는 것으로 해석되어서는 안된다. 약자 SOI는 여기서 일반적으로 반도체-온-인슐레이터(semiconductor-on-insulator)구조를 의미하고, 실리콘-온-인슐레이터(silicon-on-insulator)구조를 포함하며, 이에 제한되는 것은 아니다. 마찬가지로, 약자 SiOG 는 일반적으로 반도체-온-글래스(semiconductor-on-glass)구조를 의미하며, 실리콘-온-글래스(silicon-on-glass)를 포함하고, 이에 제한되는 것은 아니다. 약자 SOI는 SiOG 구조를 포함한다.

<4> SOI-구조 웨이퍼(wafers)를 얻는 다양한 방법은 다음을 포함한다: (1) 격자-매치된(lattice-matched) 기판 위의 실리콘의 에피택셜(epitaxial) 성장; (2) 단일-결정 실리콘 웨이퍼 및 SiO₂의 산화층이 그 위에 성장하는 다른 실리콘 웨이퍼를 접합한 후, 상기 상부 웨이퍼를 예를 들어, 0.05 내지 0.3 마이크로미터(50-300 nm)의 단일-결정 실리콘층으로 될 때까지 연마(polishing) 또는 에칭하는 단계; 및 (3) 수소나 산소 이온이 주입되는 이온 주입 방법으로써, 산소이온 주입의 경우, Si으로 덮인 실리콘 웨이퍼에 있는 매립되어 있는(buried) 산화층을 형성하고, 수소 이온 주입의 경우, 산화층을 가진 또 다른 Si 웨이퍼를 접합을 위한 실리콘 웨이퍼로부터 박막의 Si층을 분리(박리)시키기 위해 주입된다.

<5> 전자의 두 방법, 에피택셜(epitaxial) 성장 및 웨이퍼-웨이퍼 접합은 비용 및/또는 접합력 및 내구성의 관점에서 만족할 만한 구조를 생산할 수 없었다. 이온 주입과 관련된 후자의 방법은 주목을 받아왔으며, 특히 수소 이온 주입은 요구되는 주입 에너지가 전형적으로 산소 이온 주입의 50% 미만이고, 필요한 용량(dosage)이 20배는 낮기 때문에 유리한 것으로 고려되어 왔다.

<6> 미국특허 제5,374,564호는 열(thermal) 공정을 이용하여 기판 위에 단일결정 실리콘막(sillicon film)을 얻는 방법을 공개한다. 평면(planar face)을 갖는 실리콘 웨이퍼(wafer)는 다음의 공정에 따른다: (i) 상기 실리콘 웨이퍼의 하부 영역 및 박막 실리콘을 구성하는 상부 영역을 제한하는 가스상태의 마이크로-버블의 층을 형성하는 이온에 의해 상기 실리콘 웨이퍼 면의 충격에 의한 주입; (ii) 상기 실리콘 웨이퍼와 단단한 물질층(가령, 절연 산화 물질 등)으로 상기 실리콘 웨이퍼의 평면을 접촉하는 단계; (iii) 열처리하고, 이온 충격(bombardment)이 수행되는 온도 이상에서 상기 실리콘 웨이퍼 및 절연 물질의 어셈블리를 열처리하는 3단계. 제 3단계는 박막 실리콘 및 절연물질을 함께 접합시키기에 충분한 온도를 도입하여, 마이크로-버블에 효과적인 압력을 생성하고, 박막 실리콘 및 상기 실리콘 웨이퍼의 잔여 질량 사이의 분리를 야기한다(고온 단계 때문에, 이 공정은 저비용 유리 또는 유리-세라믹 기판과 양립할 수 없다).

<7> 미국 특허출원 제2004/0229444호는 SiOG구조를 생산하는 공정을 공개하며, 상기 단계는 다음을 포함한다: (i) 실리콘 웨이퍼 표면을 수소 이온 주입에 노출하여 접합면(bonding surface)을 생성하는 단계; (ii) 상기 웨이퍼의 접합면을 유리 기판에 접촉시키는 단계; (iii) 그 사이의 접합을 촉진하기 위해, 상기 웨이퍼 및 유리 기판에 압력, 온도 및 전압을 도입하는 단계; 및 (iv) 상기 실리콘 웨이퍼로부터 유리 기판 및 실리콘의 박막 층을 분리하는 것을 촉진하기 위해 상기 구조를 냉각하는 단계.

<8> 박리 직후의 결과적인 SOI 구조는 과도한 표면 거칠기(가령, 약 10 nm 이상), 과도한 실리콘층 두께(상기 층이

"박막"으로 간주됨에도 불구하고), 불필요한 수소 이온 및 실리콘 결정 층에 주입 손상(implantation damage) (가령, 무정형 실리콘층의 형성으로 인한)을 나타낼 수도 있다. SiOG 물질의 첫 번째 장점이 상기 막의 단일-결정 성질에 있기 때문에, 이 격자 손상은 치유되고 제거될 수 있다. 둘째, 주입으로부터의 수소 이온은 상기 접합 공정 동안 완전히 제거되지 않는다. 수소 원자가 전기적으로 활성이 있기 때문에, 안정적인 장치 운영을 보장하기 위해 박막으로부터 제거되어야 한다. 마지막으로, 상기 실리콘층의 분열 활성은 거친 표면을 초래하며, 이는 불안정한 트랜지스터 운영이 되도록 하고, 따라서, 상기 표면 거칠기는 장치 제조 전에 바람직하게 1nm R_a 미만으로 감소되어야 한다.

- <9> 이러한 이슈는 독립적으로 다루어질 수 있다. 예를 들어, 두꺼운(500nm) 실리콘막은 처음에 상기 유리로 이동될 수 있다. 상부 420nm는 그 후, 표면 마감(surface finish)을 회복하고, 실리콘의 상부 손상 영역을 제거하기 위해 연마(polishing)함으로써, 제거될 수 있다. 잔여 실리콘막은 그 후 잔여 수소를 확산시키기 위해 600°C에서 8시간 이내 동안 화로에서 어닐링될 수 있다.
- <10> 어떤 이는 화학적 기계적 연마(CMP)를 이용하여, 상기 박막 실리콘이 상기 실리콘 물질 웨이퍼로부터 박리된 후에 SOI 구조를 더 가공하는 것을 제안해 왔다. 그러나 바람직하지 않게도, 상기 CMP 공정은 연마(polishing) 동안 상기 박막 실리콘의 표면을 따라 균일하게 물질을 제거하지 못한다. 전형적인 표면의 불균일성(표준편차/ 평균 제거 두께)은 반도체막에 대해 3-5% 범위 내이다. 실리콘 필름의 두께가 많이 제거될수록, 필름 두께의 변동이 그에 따라 악화된다.
- <11> 상기 CMP 공정의 단점은 특히 일부 실리콘-온-글래스(silicon-on-glass) 도입에 문제가 되는데, 이는 어떤 경우, 약 300-400 nm의 물질이 바람직한 실리콘막 두께를 얻기 위해 제거되어야 할 필요가 있기 때문이다. 예를 들어, 박막 트랜지스터 (TFT) 제조 공정에서 100nm 범위 이하의 실리콘막 두께가 바람직할 수 있다. 뿐만 아니라, 낮은 표면 거칠기는 또한 TFT 구조에 바람직할 수 있다.
- <12> CMP 공정의 다른 문제는 그것이 특히 사각의 SOI 구조(가령, 날카로운 모서리를 갖는 구조)가 연마될 때, 안 좋은 결과를 나타낸다는 점이다. 실제로, 전술한 표면 불균일성은 SOI구조의 중앙부분과 비교해볼 때, 모서리부분에서 확대된다. 또한, 더욱이, 큰 SOI 구조가 고려되는 경우(가령, 광전지 응용분야), 그 결과적인 사각 SOI 구조는 전형적인 CMP 장비(대개 300nm 표준 웨이퍼 크기에 맞게 디자인됨)에 비해 너무 크다. 비용도 SOI 구조의 상업적 응용의 고려시에 중요하다. 그러나 CMP 공정은 시간과 돈의 측면에서 비용이 많이 든다. 만일 통상적이지 않은 CMP 기계가 큰 SOI 구조 크기에 맞는 것이 필요하다면, 비용 문제는 심각하게 악화될 수 있다.
- <13> 또한, 화로 어닐링(furnace anneal, FA)이 모든 잔여 수소를 제거하기 위해 사용될 수 있다. 그러나 고온의 어닐링은 저비용의 유리 또는 유리-세라믹 기판과 양립하지 않는다. 저온 어닐링(700°C 미만)은 잔여 수소를 제거하는데 긴 시간을 요구하며, 주입에 의해 야기되는 결정 손상을 손질하는데 효율적이지 않다. 더욱이, CMP나 화로 어닐링 모두는 비용을 증가시키며, 생산량을 감소시킨다. 따라서, 상기 어닐링 단계의 지속시간이 감소될 수 있도록 수소는 적어도 부분적으로 어닐링 전에 제거되는 것이 바람직하다.
- <14> 따라서, CMP 공정, 가능한 경우, 화로 공정과 접합한 경우와 비교하여 그보다 더 좋은 결과를 얻는 것이 바람직하며, CMP나 화로 어닐링공정 및 이들을 조합한 단점이 없는 경우가 바람직하다.

발명의 상세한 설명

- <15> 본 발명의 하나 이상의 실시예와 관련하여, 반도체-온-인슐레이터(semiconductor-on-insulator) 구조를 형성하는 시스템, 방법 및 기구는 반도체-온-인슐레이터(semiconductor-on-insulator)의 적어도 하나의 마감되지 않은 표면을 방사 어닐링 공정에 도입하는 단계를 포함한다. 일 구체예에 따라, 상기 방사 어닐링 공정은 레이저 어닐링 공정을 포함한다. 다른 구체예에 따라, 상기 방사 어닐링 공정은 마이크로파 어닐링 공정을 포함한다.
- <16> 본 발명의 하나 이상의 구체예에 따라, 반도체-온-인슐레이터(semiconductor-on-insulator)를 형성하는 시스템, 방법 및 기구는 다음을 포함한다: 결정 도너 반도체 웨이퍼의 주입면을 주입 공정에 도입하여 상기 도너 반도체 웨이퍼에 박리층(exfoliation layer)을 생성하는 단계; 상기 박리층의 주입면을 절연체 기판에 접합하는 단계; 상기 박리층을 도너 반도체 웨이퍼로부터 분리함으로써, 적어도 하나의 벽개면(cleaved surface)을 노출하는 단계; 및 상기 적어도 하나의 벽개면을 방사 어닐링 공정에 도입하는 단계.
- <17> 상기 방사 어닐링 공정은 상기 실리콘층의 적어도 일부를 그 용융점에 근접하거나, 초과하도록 가열하며, 이는 적어도 일부의 갇힌 수소가 빠져나가도록 하고, 상기 물질을 냉각함으로써 상기 결정 격자에 손상을 치유시킨다. 더욱이, 고온에서의 원자 활동성의 증가 또는 상기 물질이 액체 상태로 가열되는 경우 표면 장력

때문에 원래 표면의 모든 거칠기는 감소된다. 따라서, 화로 어닐링(FA)과 접합된 전술한 CMP의 단점에 대해, 엑시머(excimer) 레이저 어닐링(ELA)나 마이크로파 어닐링의 이용에 의한 것과 같은 본 발명에 따른 방사 어닐링의 이용은 CMP의 단점을 극복하고, 수소 가스를 제거하는데 필요한 어닐링 시간의 감소에 대한 잠재성을 가진다.

- <18> 상기 적어도 하나의 벽개면(cleaved surface)은 상기 결정 도너 반도체 웨이퍼의 제1 벽개면과 상기 박리층의 제2 벽개면을 포함할 수 있다. 상기 레이저 어닐링 공정은 상기 박리층의 제2 벽개면 및/또는 상기 도너 반도체 웨이퍼의 제1 벽개면에 도입될 수 있다.
- <19> 상기 레이저 어닐링 공정은 적어도 하나의 벽개면을 엑시머 레이저에 도입하는 것을 포함할 수 있다. 실시예에 의해, 상기 엑시머 레이저는 실제 여기된 다이머(true excited dimer)나 염화 크세논(Xenon chloride, XeCl)과 같은 엑시플렉스(exciplex)의 이득 매질(gain medium)을 포함할 수 있다. 방사원(radiation source) 및 다른 이득 매질(gain media)의 레이저는 상기 방사원 또는 레이저가 바람직한 효과를 만들어 내기에 충분한 전력(power)을 얻을 수 있는 정도까지 엑시머 레이저 대신에 사용될 수 있다. 바람직하게는, 펄스당 또는 노출 당(per exposure) 방사 에너지 밀도가 상기 반도체층의 일부를 녹이기에 충분할 만큼 커야하지만, 상기 반도체층을 완전히 녹이지는 않아야 한다. 본 발명에 따른 특정 구체예에 따라, 성가 처리된 표면은 먼저 제1 레이저 방사가 도입된 후, 제1 레이저 방사보다 낮은 밀도를 가지는 제2 레이저 방사가 도입된다.
- <20> 상기 방사 과정은 상기 반도체층의 일부 용융이 가능하도록 선택되어야 한다. 그러나 상기 결정층의 기부가 용융되지 않는 것이 바람직하다. 따라서, 빛이 상기 반도체를 침투하는 깊이는 상기 반도체층 두께에 비해 너무 크지 않아야 한다. 이하에서 논의되는 실시예 데이터와 같이, 약 308 nm(XeCl 레이저)의 과정에서 대략 800 mJ/cm² 경계 이상의 펄스당 에너지 밀도는 상기 결정 실리콘 반도체층 두께가 대략 500 nm인 경우에, 표면 거칠기 및 결정의 질에서 주목할 만한 향상을 가져왔다. 반도체 조성물 및 두께의 각각의 접합은 바람직한 효과가 이루어지는 에너지 한계(threshold)를 가지는 것으로 예상된다. 따라서, 실리콘의 더 박막의 반도체층의 사용은 에너지 한계(threshold)를 800mJ/cm²까지 낮추는 반면, 다른 파라미터 상수는 유지하여야 한다.
- <21> 반도체 물질의 적절한 침투 깊이를 가지며, 최소 전력 한계에 맞는 방사원 및 레이저를 선택하며, 반면, 상기 반도체층을 파괴하거나 완전히 녹이는 것을 방지하기에 충분히 낮은 전력 수준에서 레이저를 작동하는 것은 방사 및 레이저 기술분야의 당업자의 능력범위 내이다. 마찬가지로, 적절하지 않을 수 있으나, 바람직한 결과를 얻기 위해서, 다른 이득 매질(gain media)을 가질 수 있는 다양한 방사원 또는 레이저를 조합하여 또는 차례로 사용하는 것이 인정된다.
- <22> 상기 도너 반도체 웨이퍼는 실질적으로 단일-결정 도너 반도체 웨이퍼를 포함하며, 선택적으로 상기 도너 반도체 웨이퍼 위에 놓인 에피택셜(epitaxial) 반도체층을 포함하는 구조의 일부일 수 있다. 상기 박리층(가령, 상기 절연 기판에 접합되어, 상기 도너 반도체 웨이퍼로부터 분리된 층)은 따라서, 실질적으로 단일-결정 도너 반도체 웨이퍼 물질로부터 형성될 수 있다. 택일적으로, 상기 박리층은 실질적으로 상기 에피택셜(epitaxial) 반도체층으로부터 형성될 수 있다(그리고, 이는 상기 단일-결정 도너 반도체 웨이퍼 물질의 일부를 포함할 수 있다).
- <23> 전술한 레이저 어닐링 공정은 실질적으로 상기 단일-결정 도너 반도체 웨이퍼 물질로부터 형성되는지, 에피택셜(epitaxial) 반도체 층으로부터 형성되는지와 무관하게, 상기 박리층에 도입될 수 있다.
- <24> 하나 이상의 구체예에서, 접합단계는 다음을 포함할 수 있다: 절연 기판 및 도너 반도체 웨이퍼의 적어도 하나를 가열하는 단계; 절연체 기판을 상기 도너 반도체 웨이퍼의 박리층과 직간접적으로 접촉시키는 단계; 및 접합을 유도하기 위해 상기 절연체 기판 및 상기 도너 반도체 웨이퍼에 걸쳐 전압 포텐셜을 도입하는 단계. 상기 절연 기판 및 반도체 웨이퍼의 온도는 상기 절연 기판의 변형점인 약 150℃ 이내에서 승온될 수 있다. 상기 절연 기판 및 반도체 웨이퍼의 온도는 다른 수준으로 승온될 수 있다. 절연 기판 및 반도체 웨이퍼에 걸친 전압은 약 100 내지 10000 볼트 사이일 수 있다. 실질적으로 파단(fracture)이 박리층에서 발생하도록 스트레스가 유도될 수 있다. 상기 수소가 없는 상대 외부 웨이퍼의 열 및 다른 열팽창계수는 상기 박리층이 수소가 없는 상에서 갈라지도록 한다. 그 결과는 상기 절연기에 접합된 실리콘 박막이다.
- <25> 본 발명의 장점은 현존하는 SiOG 공정과 관련하여 다음의 상세한 기술적 설명을 읽음으로써 가장 잘 이해된다. 그럼에도 불구하고, 본 발명의 실시예의 하나 이상의 첫번째 장점은 다음을 포함한다: 더 박막의 실리콘; 향상된 생산량; 감소된 오염; 및 큰 기판으로의 손쉬운 확장성.

- <26> 택일적으로, 두꺼운 실리콘막은 상기 절연 기판으로 옮겨지고, 그 후 손상된 표면을 제거하기 위해 연마된다. 이러한 공정의 제어는 박막에 대해서는 어렵다. 기술된 바와 같이 상기 공정에서는 어떠한 물질도 제거되지 않기 때문에, 박막 실리콘은 직접적으로 옮겨질 수 있다.
- <27> 균일한(uniform) 막이 매우 바람직하다. 다시 말해, 상기 공정에서 어떠한 물질도 제거되지 않기 때문에, 상기 실리콘막 두께의 단일성이 상기 이온 주입에 의해 결정된다. 이것은 약 1nm의 표준 편차를 가지는 매우 균일한 것으로 나타났다. 반대로, 연마는 전형적으로 막 두께의 5%가 제거되는 편차를 가져왔다.
- <28> 생산량 향상은 또한 폐기 및 비용 감소에 중요하다. 두 공정을 하나로 대체함으로써, 전체적인 생산량이 향상되는 것으로 예상된다. 이는 예상한 바와 같이 특히 이러한 연마 공정이 낮은 단계의 생산량인 경우에 더욱 그러하다. 무정형 실리콘막의 엑시머 레이저 결정화가 낮은 생산량을 가짐에도, 상기 실리콘의 단일-결정 성질 때문에, 이러한 특별한 경우에는 그 반대인 경우가 사실이다. 상기 공정 윈도우는 상기 막의 결정 성질로 인해 큰 것으로 기대되며, 따라서, 그 생산량도 높을 것으로 기대된다.
- <29> 반도체의 민감성으로 인해, 오염(contamination)은 수행에 불리하게 영향을 미칠 수 있어서, 오염을 줄이는 것이 매우 바람직하다. 이를 주의하여, 상기 레이저 공정은 부식 슬러리(abrasive slurry)로 연마되는 것보다 깨끗하다. 더욱이, 긴 열 어닐링 공정과 비교하여, 빠른 레이저 펄스 동안 오염원의 확산이 감소된다. 이는 전자 장치를 생산하는 경우, 매우 중요한 고려요소이다.
- <30> 상기 공정은 큰 영역으로 쉽게 확장 가능하다. 엑시머 레이저 어닐링은 현재 디스플레이 제조자에 의해 크기 920 mm(Gen4)로 730 mm에 이르는 기판에 도입될 수 있다. 이 기판 크기는 상기 기판이 레이저빔 하에서 스캐닝 되면서 쉽게 증가될 수 있다. 고객의 기판 크기 요구가 증가함에 따라, 이러한 확장성은 잠재적으로 제품의 수명을 연장한다. 반대로, 표면 연마와 화로 어닐링은 점차 큰 기판 크기에 대해서는 어려워진다.
- <31> 다른 관점, 특징, 장점 등은 여기 본 발명의 설명이 첨부한 도면과 접합되어 당업자에게 명백해질 것이다.
- <32> 다르게 표시되지 않는다면, 명세서 및 도면에 사용된 성분의 중량 퍼센트, 수치(dimension), 특정 물리적 특성에 대한 수치와 같은 모든 숫자는 용어 "약"에 의해 모든 경우에 수정될 수 있는 것으로 이해되어야 한다. 또한, 명세서 및 도면에 사용된 간단한 수치는 본 발명의 실시예를 구성하는 것으로 이해되어야 한다. 실시예에 공개된 모든 수치의 정확도를 기하기 위해 노력했다. 그러나 어떤 수치는 본질적으로 각 측정 기술에서 발견되는 표준 편차로 인한 특정 에러를 포함한다.
- <33> "결정 반도체 물질"은 상기 물질이 그 안에 의도적으로 혹은 우연히 도입된 흠(defect) 및/또는 도펀트(dopant)를 가지거나, 가지지 않고, 완전한 결정 또는 실질적인 결정이 될 수 있음을 의미한다. 따라서, 이는 (i) 반도체의 특성을 갖는 물질을 형성하기 위한 전구체 물질, 그 자체로 반도체 또는 비반도체 물질, 및 (ii) 가령 도핑 전구체 물질에 의해 형성된 자체적인 반도체 물질을 포함하여야 한다. 상기 결정 반도체 물질은 단일-결정 또는 다결정일 수 있다. 실제로, 반도체 물질은 일반적으로 격자 흠 또는 결정 경계(grain boundaries)와 같이 본질적으로 또는 의도적으로 추가된 적어도 일부의 내부 또는 표면 흠(defect)을 포함한다. 용어 "실질적인 결정(substantially crystalline)"은 또한 특정 도펀트(dopant)가 일그러지거나(distort) 그렇지 않다면, 반도체 물질의 결정 구조에 영향을 미칠 수 있다는 사실을 반영한다.
- <34> 도면을 참조하여, 구성요소와 같이 나타낸 번호로 본 발명의 하나 이상의 구체예에 따른 SOI 구조(100)이 도 1에 나타나있다. 번호에 관해서는, 상기 SOI 구조(100)는 SiO₂ 구조의 예이다. 상기 SiO₂ 구조(100)는 유리 기판(102) 및 반도체층(104)을 포함할 수 있다. 상기 SiO₂ 구조(100)는 가령, 유기 발광 다이오드(OLED) 및 액정 디스플레이(LCDs)를 포함한 디스플레이 응용, 집적회로(integrated circuit), 광전지 장치 등의 박막 트랜지스터(TFTs)의 제조와 관련한 적합한 용도를 가진다.
- <35> 논의의 목적상, 반도체층(104)은 실리콘으로부터 형성된다. 그러나 상기 반도체 물질은 실리콘계 반도체 또는 반도체의 클래스 III-V, II-IV와 같은 어떤 종류의 반도체일 수도 있다. 이러한 물질의 예는 실리콘(Si), 게르마늄-실리콘(Ge-Si), 실리콘 카바이드(SiC), 게르마늄(Ge), 갈륨 비소(GaAs), 인화 갈륨(GaP) 및 인화 인듐(InP)을 포함한다.
- <36> 상기 유리 기판(102)는 산화 유리 또는 산화 유리-세라믹으로부터 형성될 수 있다. 필요하지 않음에도, 여기 기술된 구체예는 약 1,000°C 미만의 변형점(strain point)를 나타내는 산화 유리 또는 유리-세라믹을 포함할 수 있다. 유리 제조 업계에서 일반적인 바와 같이, 상기 변형점은 유리 또는 유리-세라믹이 10^{14.6} 포이즈(10^{13.6} Pa.s)의 점도를 갖는 온도이다. 산화 유리 및 산화 유리-세라믹 사이와 같이, 상기 유리들은 제조를 단순화함

로써, 더 넓게 이용될 수 있으며 비용이 덜 드는 장점을 가진다.

- <37> 실시예에 의해, 상기 유리 기판(102)은 모두 코닝사(미국, 뉴욕, 코닝)의 제품인 Glass No. 1737 및 Eagle 2000TM로 만들어진 기판과 같은 알칼리 토류 이온을 포함한 유리기판으로부터 형성될 수 있다. 이러한 유리 물질은 특히 예를 들어 액정 디스플레이의 제조에 이용된다.
- <38> 상기 유리 기판은 약 0.1 mm 내지 약 10 mm 범위의 두께를 가지며, 가령 0.5 mm 내지 약 3 mm의 두께를 가질 수 있다. 일부 SOI 구조에 대해서는 약 1 마이크로 이상의 두께를 갖는 절연층이 바람직하며, 가령, 실리콘/실리콘 이산화물(dioxide)/실리콘 구조가 고 주파수에서 작동할 때 발생하는 와류 전기용량 효과(parasitic capacitive effect)를 피하기 위해 바람직하다. 과거에는 그러한 두께를 가지기 어려웠다. 본 발명에 따라, 약 1 마이크로보다 두꺼운 절연층을 가지는 절연층을 가지는 SOI 구조는 약 1 마이크로 이상인 두께를 가지는 유리 기판(102)을 간단히 사용함으로써 쉽게 이루어질 수 있다. 상기 유리 기판(102)의 두께에 대한 더 하한은 약 1 마이크로 즉, 1000 nm일 수 있다. 그럼에도, 최종 구조의 높은 기계적 강도를 얻기 위해 상기 기판이 10 μm 이상의 두께를 가지는 것이 바람직하다. 일부 구체예에서는, 상기 기판이 30 μm 이상의 두께를 가지는 것이 바람직하다 (예를 들어 상업적 이용가능성의 이유로).
- <39> 일반적으로, 상기 유리 기판(102)은 그 후에 SiOG 구조(100)에 수행되는 공정뿐만 아니라, 접합 공정 단계를 통해 상기 반도체층(104)을 지지하기에 충분할 만큼 두꺼워야 한다. 상기 유리 기판(102)의 두께에 대한 이론적인 상한을 없으나, 지지기능에 필요한 두께 이상 또는 궁극적인 SiOG 구조(100)에 바람직한 두께 이상은 상기 유리 기판(102)이 두꺼울수록, 상기 SiOG 구조(100)를 형성하는 공정 단계의 적어도 일부를 이루기 어려울 수 있기 때문에 바람직하지 않을 수 있다.
- <40> 산화 유리 또는 산화 유리-세라믹 기판(102)은 실리카계일 수 있다. 따라서, 상기 산화 유리 또는 산화 유리-세라믹에서 SiO₂의 몰 퍼센트는 30 몰퍼센트 초과 또는 40 몰퍼센트 초과일 수 있다. 유리-세라믹의 경우에 결정상은 유리-세라믹 업계에 알려진 물라이트(mullite), 코디에라이트(cordierite), 아노타이트(anorthite), 첨정석(spinel) 또는 기타 결정상일 수 있다. 비 실리카계 유리 및 유리-세라믹이 본 발명의 하나 이상의 구체예의 실시예 사용될 수 있으나, 일반적으로 고비용 및/또는 낮은 수행특성으로 인해 덜 바람직하다.
- <41> 마찬가지로, 가령, 실리코계가 아닌 반도체 물질을 사용하는 SOI 구조에 대한 일부 응용 분야에서는, 산화물 계가 아닌, 비산화물 유리인 유리 기판이 바람직할 수 있으나, 일반적으로 고 비용으로 인해 바람직하지 않다. 이하에서 상세히 기술되는 바와 같이, 하나 이상의 구체예에서, 상기 유리 또는 유리-세라믹 기판(102)은 그에 접합된 층(104)의 하나 이상의 반도체 물질(가령, 실리콘, 게르마늄 등)의 열팽창계수에 맞도록 디자인되었다. 상기 CTE 매치는 증착공정(deposition step)을 포함한 이후의 공정 단계의 열 사이클 동안 바람직한 기계적 특성을 보장한다.
- <42> 디스플레이 응용 분야 또는 태양 전지 응용 분야와 같은 일부 응용 분야에 대해서는, 상기 유리 또는 유리-세라믹(102)이 근 UV, 근IR 및/또는 IR 파장 영역에서 눈에 보이게 투명할 수 있다. 가령, 상기 유리 또는 유리-세라믹(102)은 350 nm 내지 2 마이크로 파장 영역에서 투명할 수 있다.
- <43> 상기 유리 기판(102)이 단일 유리 또는 유리-세라믹층으로 구성될 수 있음에도, 바람직하다면, 층상 구조(laminated structures)가 사용될 수 있다. 층상 구조가 사용되는 경우, 상기 반도체층(104)에 가장 가까운 라미테이트 층은 단일 유리 또는 유리-세라믹으로 구성된 유리 기판(102)에 대해 여기 논의한 특성을 가질 수 있다. 상기 반도체층(104)에서 먼 층들도 역시 그러한 특징을 가질 수 있으나, 상기 반도체층(104)와 직접적으로 접촉하지 않기 때문에 완화된 특성을 가질 수 있다. 후자의 경우에, 상기 유리 기판(102)은 유리 기판(102)에 특화된 특성을 더 이상 만족하지 않는 경우에 수명이 다한 것으로 간주된다.
- <44> 이제부터는 도 2-6을 참조한다. 도 2는 도 1의 SiOG 구조(및/또는 여기 공개된 다른 구체예)를 생산하기 위해 수행될 수 있는 공정 단계를 나타내는 반면, 도 3-6은 도 2의 공정을 수행하는 것에서 형성될 수 있는 중간 구조를 나타낸다. 도 3에서, 화살표는 이온(가령, 수소 이온)의 흐름을 나타내며, 주입되는 경우의 일반적인 방향을 나타낸다. 도 2에서는 참고 번호는 다음의 의미를 가진다.
- <45> 202: 도너 반도체 웨이퍼의 표면의 제조;
- <46> 204: 도너 반도체 웨이퍼를 주입공정에 도입;
- <47> 206: 박리층을 마일드한 산화에 도입;

- <48> 208: 박리층과 유리 사이의 산화 피막 접합(anodic bond)을 형성;
- <49> 210: 유리층/박리층을 상기 도너 반도체 웨이퍼로부터 분리; 및
- <50> 212: 도너 반도체 웨이퍼 또는 분리층을 레이저 어닐링 공정에 도입.
- <51> 도 2 및 3으로 돌아가, 단계(action) 202에서, 도너 반도체 웨이퍼(102)의 주입면(121)이 연마(polishing), 세척(cleaning) 등에 의해 제조되어, 유리 또는 유리-세라믹 기관(102)에 적합한 상대적으로 평평하고 균일한 주입면(121)을 생산한다. 상기 주입면(121)은 반도체층(104)의 하부(underside)를 형성할 것이다. 논의의 목적상, 상기 논의한 다른 모든 적절한 반도체 도체 물질이 도입될 수 있음에도, 상기 반도체 웨이퍼(102)는 실질적으로 단일-결정 Si 웨이퍼일 수 있다.
- <52> 단계(action) 204에서, 박리층(122)은 상기 도너 반도체 웨이퍼(120)의 주입면(121) 이하의 약화된 영역을 만들기 위해 상기 주입면(121)을 하나 이상의 이온 주입공정에 도입함으로써 만들어진다. 본 발명의 구체예들이 박리층(122)의 특정 형성 방법에 제한되는 것은 아니나, 하나의 적절한 방법은 상기 도너 반도체 웨이퍼(120)의 주입면(121)이 적어도 상기 도너 반도체 웨이퍼(120)에서 박리층(122)의 생성을 개시하기 위해 수소 이온 주입 공정에 도입되는 것을 따른다.
- <53> 상기 주입 에너지는 일반적인 기술을 사용하여 박리층(122)의 대략적인 두께를 이루기 위해 조정될 수 있다. 보론 + 수소, 헬륨 + 수소 또는 박리 문헌에 알려진 기타 이온과 같은 기타 이온 또는 이들의 조합이 사용될 수 있음에도, 실시예에 따라, 수소 이온 주입이 도입될 수 있다. 다시 말해, 상기 박리층(122)의 형성에 적합한 기타 알려진 또는 이후에 개발된 기술은 본 발명의 범주에 벗어나지 않는 한 도입될 수 있다. 예를 들어, 단일 이온 종류 또는 복수의 이온 종류의 사용과 관련된 단일-빔 이온 주입, 플라즈마 침지(immersion) 이온 주입(PIII) 및 이온 샤워(ion shower)가 사용될 수 있다.
- <54> 이하의 실시예 데이터 부분에서 논의되는 실험에서, 박리층(122)은 약 500 nm의 두께를 가지나, 레이저 어닐링이 그것을 제거하는 것과는 반대로, 질량을 재분배하기 때문에, 상기 박리층(122)은 바람직하게 및/또는 가능한 만큼 얇게 만들어질 수 있다. 더욱이, 레이저 어닐링에 필요한 반도체층(바람직한 것보다 두꺼운)을 가지는 SOI 구조로 시작한다면, CMP나 연마와 같은 알려진 질량 제거 방법이 상기 레이저 어닐링이 표면을 마무리하기 전에 상기 층의 두께를 줄이기 위해 허용될 수 있다. 그러나 질량 감소 단계를 사용하는 것은 그렇지 않다면, 레이저 어닐링이 회피할 수 있는 시간과 비용이 전반적인 제조 공정에 추가된다.
- <55> 단계(action) 206에서, 상기 도너 반도체 웨이퍼(120)는 예를 들어, 상기 주입면(121)의 수소 이온 농도를 낮추기 위해 처리될 수 있다. 예를 들어, 상기 도너 반도체 웨이퍼(120)는 워시(wash)되고 세척(cleaning)될 수 있으며, 상기 박리층(122)의 주입 도너 표면(121)은 마일드한 산화에 도입될 수 있다. 상기 마일드한 산화 처리는 산소 플라즈마에서의 처리, 오존 처리, 과산화수소(hydrogen peroxide), 과산화수소 및 암모니아, 과산화수소 및 산 또는 이들의 조합 처리 공정을 포함할 수 있다. 이러한 처리 동안, 수소-말단 표면 그룹은 하이드록실 그룹으로 산화되며 이는 또한 상기 실리콘 웨이퍼를 친수성으로 만드는 것으로 예상된다. 이러한 처리는 상온에서 산소 플라즈마에 대해 그리고, 25-150°C의 온도에서 암모니아 또는 산 처리에 대해 수행될 수 있다.
- <56> 도 2 및 도 4를 참조하면, 단계 208에서, 상기 유리 기관(102)은 상기 박리층(122)에 접합될 수 있다. 적합한 접합 공정은 미국특허 출원 제 2004/0229444호에 기술되어 있으며, 그 전체의 공개가 참조로서 여기에 통합되어 있다. 산화 피막 접합(anodic bond)으로 알려진 이 공정의 일부는 이하에 기술된다. 상기 산화 피막 접합(anodic bond) 공정에서, 상기 유리-기관(102)의 적당한 표면 세척(및 아직 행해지기 전이라면, 박리층(120))이 진행될 수 있다. 그 후에, 중간(intermediate) 구조가 도 4에 개략적으로 도시된 배열을 이루기 위해 직간접적으로 접촉된다.
- <57> 접촉 전후에, 상기 도너 반도체 웨이퍼(120), 박리층(122), 유리 기관(102)을 포함하는 구조는 다른 온도 구배 하에서 가열된다. 상기 유리 기관(102)은 상기 도너 반도체 웨이퍼(120) 및 박리층(122)보다 고온으로 가열될 수 있다. 실시예에 의해, 상기 유리 기관(102)과 도너 반도체 웨이퍼(120) 사이 (및 박리층(122))의 온도 차이는 상기 차이가 약 100 내지 약 150°C 만큼 클 수 있음에도, 적어도 1°C이다. 이러한 온도 차이는 상기 도너 반도체 웨이퍼(120)의 열팽창계수(CTE)와 매치되는(실리콘의 CTE와 매치되는 것과 마찬가지로) 열팽창계수(CTE)를 가지는 유리에 대해 바람직하며, 이는 열적 스트레스로 인한 상기 반도체 웨이퍼(120)로부터 상기 박리층(122)의 이후의 분리를 촉진하기 때문이다. 상기 유리 기관(102) 및 상기 도너 반도체 웨이퍼(120)는 상기 유리 기관(102)의 약 150°C의 변형점내의 온도로 도입될 수 있다.

- <58> 일단 상기 유리 기판(102) 및 도너 반도체 웨이퍼(120)의 온도 차이가 안정화되면, 기계적 압력이 중간 어셈블리에 가해진다. 상기 압력 범위는 약 1 내지 약 5 psi 범위가 될 수 있다. 약 100 psi와 같은 더 높은 압력의 적용은 상기 유리 기판(102)의 파손을 야기할 수 있다.
- <59> 다음으로, 전압(voltage)이 가령, 양극(positive electrode)에 도너 반도체 웨이퍼(120) 및 음극(neagative electrode)에 유리 기판(102)으로 중간 어셈블리에 걸쳐 적용된다. 상기 전압 포텐셜의 적용은 유리 기판(102)의 알칼리 또는 알칼리 토류 이온이 상기 반도체/유리 인터페이스로부터 더 상기 유리 기판(102)으로 움직이도록 한다. 이는 2가지 작용을 한다: (i) 알칼리 또는 알칼리 토류 이온 자유로운 인터페이스가 만들어진다; 및 (ii) 유리 기판(102)이 매우 활성을 반응성 있게 되어, 상기 도너 반도체 웨이퍼(120)의 박리층(122)에 강하게 접합한다.
- <60> 도 2 및 도 5를 참조하면, 단계 210에서, 상기 중간(intermediate) 어셈블리가 일정 시간 동안(가령, 약 1시간 미만) 상기한 조건하에 유지된 후에, 전압이 제거되고 상기 중간 어셈블리가 상온으로 냉각된다. 상기 도너 반도체 웨이퍼(120) 및 유리 기판(102)은 그 후 분리되며, 이미 완전히 자유롭게 되지 않는다면, 일부 필링을 포함할 수 있으며, 유리 기판(102)에 접합된 도너 반도체 웨이퍼(120)의 반도체 물질로 형성된 상대적으로 박막의 박리층(122)을 가진 유리 기판(102)을 얻을 수 있다. 상기 분리는 열 스트레스로 인해 상기 박리층(122)의 파손을 통해 이루어질 수 있다. 택일적으로 또는 추가적으로, 워터젯 커팅이나 화학적 에칭과 같은 물리적 스트레스가 분리를 촉진하기 위해 사용될 수 있다.
- <61> 도 5에 도시된 바와 같이 분리 후에, 결과적인 구조는 유리 기판(102) 및 그에 접합된 반도체 물질의 박리층(122)을 포함할 수 있다. 상기 SOI 구조의 벽개면(cleaved surface)(123)은 박리 직후, 과도한 표면 거칠기(도 5에 개괄적으로 도시), 가능한 과도한 실리콘층 두께 및 상기 실리콘층의 주입 손상(122A)(가령, 수소 이온 및 무정형의 실리콘층의 형성으로 인한)을 나타낼 수 있다. 그러나 도 13에서 확인할 수 있는 바와 같이, 상기 박리층(122)은 122A의 손상된 물질이 제거될 필요가 없기 때문에, 레이저 어닐링을 사용하여 처음부터 더 얇게 제조될 수 있으며, 대신 손상이 상기 레이저 어닐링 공정에 의해 회복될 것이다.
- <62> 논 의 목적상, 상기 반도체층(104)의 최종 두께가 1 마이크로 이하(즉, 1000nm) 예를 들어, 약 200nm 미만, 가령 80nm 이하이어야 한다. 따라서, 대략적으로 얇은 박리층(122)은 대략 바람직한 두께를 가지도록 제조되어야 한다. 연혁적으로, 상기 무정형의 실리콘층은 두께 약 50-150 nm에 근접하였으며, 주입 에너지 및 주입 시간에 따라, 박리층(122)의 두께가 약 300-500nm에 근접하였다. 그러나 레이저 어닐링으로 더 얇은 박리층(122)이 마찬가지로 필수적으로 더 박막의 무정형의 실리콘층으로 제조되었다.
- <63> 따라서, 도 2의 단계 212 및 도 6을 참조하면, 상기 벽개면(123)은 후공정에 도입되며, 이는 상기 벽개면(123)을 레이저 어닐링 공정에 도입하는 것을 포함할 수 있다. 벌크 실리콘을 이용한 실험은 레이저 방사가 수십 나노세컨드(nanosecond)동안 그 용융 온도(1685K) 이상으로 상기 실리콘 표면을 가열시킬 수 있음을 보여준다. SiOG의 경우에, 만일 최고 온도가 1685K를 초과하고, 상기 막에 용융되지 않은 결정 시드(cryatalline seed)가 남아 있다면, 상기 막은 냉각되자마자 결정화될 것이며, 거의 완벽한 결정이 될 것이다. 방사 후에, 이전에 손상된 실리콘 표면은 벌크 실리콘 웨이퍼보다 거의 흠을 나타내지 않는다. 추가적인 레이저 어닐링은 또한 다결정 막 및 벌크 실리콘 표면을 부드럽게 할 수 있다.
- <64> 도 6을 참조하면, 상기 레이저 어닐링 공정은 방사(155)로 벽개면(123)을 방사하는 엑시머 레이저(150)를 사용하여 수행될 수 있다. 도 6에 기호로 나타낸 바와 같이, 많은 큰 불규칙들(irregularities)(122B)이 벽개면(123)에서 관찰된다. 상기 레이저 어닐링 공정(및 따라서, 재료(124)의 재분배 및 표면 거칠기의 평활화(smoothing))는 상기 레이저 조성물, 레이저 파장, 방사력(radiation power), 노출 시간 및 노출 펄스의 수 중 하나 이상을 통해 제어된다. 재료(124)의 바람직한 양이 재분배될 때, 어닐링된 표면(123A)을 만들면서, 상기 레이저 어닐링 공정이 종료될 수 있다. 도 6의 불규칙들(irregularities)(122B)과 반대로, 거의 없는, 상대적으로 소수의 불규칙들(irregularities)(122C)이 어닐링된 표면(123A)에서 관찰되며, 이는 도 7에 기호로 나타나 있다.
- <65> 이러한 기술이 그것이 바람직한 구체예이기 때문에, 레이저로 방사원을 언급하고 있음에도, 상기 방사원은 레이저 그 자체일 필요는 없다. 대신, 레이저와 같은 효과를 갖는 방사원이면 충분하다. 본 목적상, 방사원은 레이저와 같은 효과를 가지는 질 수 있으며, 다음의 3가지 요구조건을 만족해야 한다: 1) 적합한(높은) 에너지 밀도; 2) 상기 반도체 물질로 방사 투과 깊이를 조절; 및 3) 방사 지속 시간을 조절(가령, 펄스 소스를 사용하여). 특히 레이저와 반대로, 상기 방사원은 간섭성(inherent)일 필요가 없다. 디자인과 물질의 파라미터에

따라, 허용가능한 방사원은 가령, 마이크로파 방출기(emitter) 방출 마이크로파 방사일수 있다.

- <66> 일반적으로 모든 레이저 또는 방사는 상기 방사원이 상기 반도체층(104)을 어닐링하도록 설정될 수 있으며 이는 물질, 두께 등과 같은 SOI 구조(100)의 파라미터에 크게 의존하는 정도까지 본 발명에 사용될 수 있다. 이에 관해, 상기 조절 변수는 방사원의 선택에 관한 것뿐만 아니라, 펄스된 전송(pulsed transmission) 대 연속 파장 전송(continuous wave(CW) transmission) 및 스캔 된 노출(scanned exposure) 대 플러드 노출(flood exposure)과 같은 방사 방법에 관한 것까지 다양하다.
- <67> 일반적으로 레이저와 관련해서, 용어 "레이저(laser)"는 "Light Amplification by the Stimulated Emission of Radiation,(방사능의 자극받은 방출에 의한 빛의 확장)"의 두 문자인 LASER로부터 유도된 것이다. LASER의 역성어(backformation), 동사 "레이저를 발하다(to lase)"는 "자극받은 방출을 통해 간섭성의 빛을 만들어내다(to produce coherent light through stimulated emission)"를 의미하는 것으로 생성되었다. 일반적으로 레이저 시스템은 3가지 중요한 부분으로 구성된다: 에너지원(대개 펌프 또는 펌프원으로 언급됨); 이득 매개(gain medium); 및 광학 공명기를 형성하는 거울 또는 거울 시스템.
- <68> 레이저의 많은 종류가 존재한다. 레이저는 흔히, 레이저 또는 레이징(lasing) 물질로 알려진 이득 매개(gain medium)의 채택된 종류에 의해 디자인된다. 상기 이득 매개(gain medium)는 예를 들어, 가스, 수증기, 액체, 고체 또는 반도체일 수 있다.
- <69> 아르곤 및 헬륨-네온(He-Ne)의 가스 레이저가 가장 흔하며, 1차적으로 붉게 보이는 빛으로 방사를 방출한다. 다른 예는 CO₂ 레이저로서, 이는 원적외선(far-infrared)에서 에너지를 방출하며, 단단한 물질을 커팅하는데 사용된다.
- <70> 수증기 레이저는 이득 매개(gain medium)로서 기화된(vaporized) 금속을 가진다. 구리 증기 또는 금 증기 레이저 등을 가지고 전기 방전(electrical discharge)을 통해 여기(excitation)가 이루어진다. 상기 기화된 금속은 헬륨-카드뮴(He-Cd), 헬륨-셀레늄(He-Se) 및 헬륨-수은(He-Hg) 레이저의 경우에 버퍼로서 작용하는 헬륨 기체와 같은 다른 물질과 혼합될 수 있다.
- <71> 액체 레이저는 색소 레이저(dye laser)를 포함하며, 그 이득 매개(gain medium)는 액체상태 또는 부유물(suspension)의 로다민(rhodamine) 6G와 같은 복합 유기 색소이다. 염료 용액 및/또는 그 성질을 다양화함으로써, 색소 레이저는 넓은 영역의 파장에 걸쳐 조절될(tune) 수 있다.
- <72> 고체 이득 매개(gain medium) 레이저는 또한 고체-상태 레이저로 불리며, 고체 매트릭스에 분포한 레이징 물질(lasing material)을 가진다. 실시예는 1,064 나노미터에서 적외선 빛을 방출하는 루비 또는 네오디움(neodymium): 이트륨(yttrium)-알루미늄(aluminum) 가닛(garnet)("Nd-YAG")레이저를 포함한다.
- <73> 반도체 레이저는 이득 매개(gain medium)로 다이오드(diodes)를 사용하며, 이로 인해 때때로 다이오드 레이저로 불린다. 반도체 레이저는 일반적으로 낮은 전력을 사용하며 레이저 프린트 및 CD 플레이어와 같은 다양한 전자 제품에서의 사용을 촉진하면서 매우 소형일 수 있다.
- <74> 화학 레이저는 연속적인 작동을 위한 고 전력에서 여기(excitation)가 이루어지는 화학 반응을 이용한다. 두 가지 예는 2700-2900 nm 빛을 방출하는 플루오르화 수소(hydrogen fluoride) 및 3800 nm 빛을 방출하는 플루오르화 중수소(deuterium fluoride)를 포함하며, 이는 삼플루오르화 질소(nitrogen trifluoride)에 있는 에틸렌의 연소 산물로 각각 수소 또는 중수소(deuterium) 가스의 반응을 이용한다.
- <75> 가스 레이저의 아류형(subtype), 엑시머 레이저(excimer laser)는 활성 가스를 사용하며, 이는 전기적으로 자극 받은 경우, 또한 엑시머로 알려진 활성 이량체(excited dimer)라 불리는 모조 분자(pseudo molecule)를 생성한다. 상기 엑시머는 레이저되던(lased), 자외선 범위의 빛을 만든다. 화학에서, 이량체(dimer)는 2개의 유사한 서브유닛으로 이루어진 분자 또는 서로 연결된 모노머를 말한다. 실제 엑시머는 여기된 상태의 동일한 분자로부터 이량체를 형성하는 분자이며, 반면, 엑시플렉스(exciplex)는 여기된 상태에서 다른 분자들로부터 이량체를 형성하는 분자이다. 엑시플렉스(exciplex)가 흔히 엑시머로 잘못 불리는 한, 본 기술의 목적상 엑시머의 언급은 엑시플렉스를 포함한다. 염소(chlorine) 및 불소(fluorine)와 같은 기체는 단독으로 사용되는 경우 엑시머, 아르곤(argon), 크립톤(krypton) 또는 크세논(xenon)과 같은 다른 불활성 기체와 함께 혼합된 경우 엑시플렉스를 형성하는데 사용된다.
- <76> 본 발명자에 의해 사용된 레이저 방사의 예는 본 출원의 다양한 구체예에서, XeCl 레이저(308nm); KrF 레이저(248nm); 및 CW 아르곤 기체 레이저를 포함한다. 레이저 노출 시스템은 가령, H.J. Kahlert, F. Simon 및

B.Burghardt, Mat. Res. Soc. Symp. Proc. Vol. 685E, paper D6.2(2001) 에 기술되어 있으며, 관련 부분은 여기에 참조로서 통합되어 있다. 이 레이저 시스템은 본 출원의 공개의 관점에서 본 발명에서의 용도에 적용될 수 있다.

- <77> 마이크로파 노출은 저주파 및 고주파 마이크로파를 사용하여 수행될 수 있다. 고주파 노출은 (가령, 110 GHz 자이로트론 소스(gyrotron source)) 실리콘막과 우수한 전자기적 결합(coupling)에 바람직하나, 유리와의 결합에 나쁘다. 따라서, 100°C/초를 초과하는 가열률은 상기 기관으로의 최소 열전달로 이루어질 수 있다. 실제로, 자이로트론 소스(gyrotron source)로부터의 에너지는 특별히 고안된 진공 샘플 챔버와 도파관(waveguide)을 통해 결합된다. 상기 챔버는 상기 마이크로파 공명 모드(microwave resonance mode)의 튜닝(tuning)에 대한 적어도 하나의 다양한 차원(dimension)을 가진다. 상기 막 온도는 상기 모드 패턴에 의해 표시되며, 따라서, 균일한 가열을 위해, 상기 막은 상기 공명 모드 패턴(즉, 회전에 의해)에 상대적으로 이동하는 것이 바람직하다.
- <78> 다양한 방법이 상기 레이저 빔에 의한 표면을 노출하는데 사용될 수 있다. 실시예로서 레이저 빔을 노출하는 것은 다음의 제한 없는 접근이 고려된다:
- <79> - 처리되는 표면을 노출하는데, 단일 레이저 빔이 사용된다.
- <80> - 처리되는 표면을 노출하는데, 복수의 레이저 빔이 동시에, 연속적으로 또는 다른 방식으로 사용된다.
- <81> - 처리되는 표면을 노출하는데, 넓은 영역의 빔이 사용된다. 즉, 플러드 노출(flood exposure)에 의해 사용된다.
- <82> - 석판술 공정에 전형적인 스텝 앤 리피트(step-and-repeat)공정이 상기 노출에 채택된다.
- <83> - 처리되는 표면을 스캔하는데 선형의 좁은 빔이 사용될 수 있다.
- <84> - 가령, 벡터 스캐닝, 래스터(raster) 스캐닝 등을 통해 표면을 스캔하는데 적은 영역의 빔이 사용될 수 있다.
- <85> - 펄스된 레이저 빔이 사용되며, 상기 노출량은 그 펄스의 전체 수를 조절함으로써 제어된다.
- <86> - 연속 레이저 빔이 사용되며, 상기 노출 시간은 방사 에너지를 조절함으로써 제어된다.
- <87> - 노출 시간은 노출된 표면에 대한 레이저 빔의 속도 즉, 기관이 놓인 단계의 번역 속도(translation speed) 조절을 통해서 제어된다.
- <88> 노출 접근 및 레이저 원과 관계없이, 하나 이상의 구체예에서, 처리된 표면이 상기 표면이 실질적으로 동일한 정도로 어닐링되는 실질적으로 고른 방사 에너지에 도입되는 것이 바람직하다. 그 때문에, 동질의(homogenous) 레이저 빔이 바람직하다.
- <89> 광학 시스템이 상기 반도체층 표면에 걸쳐 동질의 빔을 생성하도록 사용될 수 있다. 상기 광학 시스템은 균질화기(homogenizer)를 포함할 수 있다. 동질의 레이저 빔을 만들어낼 수 있는 동질의 광학 시스템은 상업적으로 이용가능하다. 상기 레이저 빔의 동질성에 대한 필수 조건은 상기 공정 윈도우에 따르며, 이는 다시 상기 반도체층 두께 및 상기 손상된 층의 두께에 따른다.
- <90> 본 발명의 택일적인 구체예는 전술한 SiOG 공정의 참조로 기술될 것이며, 이하 상술한다. 예를 들어, 박리층(122)을 상기 도너 반도체 웨이퍼(120)로부터 분리시킨 결과는 상기 도너 반도체 웨이퍼(120)의 제1 벽개면 및 상기 박리층(122)의 제2 벽개면(123)을 만들 수 있다. 앞서 논의한 바와 같이, 레이저 어닐링 공정은 박리층(122)의 제2 벽개면(123)에 도입될 수 있다. 추가적으로 또는 택일적으로, 레이저 어닐링 공정은 상기 도너 반도체 웨이퍼(120)의 제1 벽개면에 도입될 수 있다(상술한 하나 이상의 기술을 이용하여).
- <91> 본 발명의 다른 구체예에서, 도너 반도체 웨이퍼는 실질적으로 단일-결정 도너 반도체 웨이퍼(120) 및 상기 도너 반도체 웨이퍼 위에 놓인 에피택셜(epitaxial) 반도체층을 포함하여 도너 구조의 일부일 수 있다(SOI 환경(context)에서 에피택셜하게(epitaxially) 성장한 반도체층의 자세한 내용은 2005.6.23일 출원된 미국 특허출원 제11/159,889호에 동시 계류되어 있음을 알 수 있으며, 여기에 그 전체의 공개가 참조로서 통합되어 있다). 따라서, 상기 박리층(122)은 상기 에피택셜(epitaxial) 반도체층으로부터 실질적으로 형성될 수 있다(및 상기 웨이퍼(120)로부터 단일-결정 도너 반도체 물질의 일부를 포함할 수도 있다). 따라서, 전술한 레이저 어닐링 공정은 에피택셜(epitaxial) 반도체 물질로 및/또는 에피택셜(epitaxial) 반도체 물질 및 단일-결정 반도체 물질의 조합으로부터 실질적으로 형성된 박리층의 벽개면에 도입될 수 있다.
- <92> 더욱이, 레이저 어닐링 공정은 반도체-온-인슐레이터(semiconductor-on-insulator) 구조(100)의 형성을 위한 시

시스템에서 자동화될 수 있다. 도 8은 예시적인 형성단계 802-808을 나타낸다. 이 도면에서, 참조 번호는 다음의 의미가 있다:

- <93> 802: 어닐링되지 않은 반도체-온-인슐레이터를 제조한다;
- <94> 804: 상기 SOI 구조를 레이저 어닐링 어셈블리로 이동시키고 위치시킨다.
- <95> 806: 레이저 어닐링을 수행한다; 및
- <96> 808: 상기 레이저 어닐링 어셈블리로부터 SOI 구조를 이동시킨다.
- <97> 상기 시스템은 공정을 위해 상기 구조(100)를 처리하는 반도체-온-인슐레이터(semiconductor-on-insulator) 처리 어셈블리(handling assembly) 및 레이저 어닐링 어셈블리를 포함할 수 있다. 상기 레이저 어닐링 어셈블리는 상기 반도체-온-인슐레이터 처리 어셈블리에 의해 처리되는 반도체-온-인슐레이터 구조(100)의 방사를 위한 레이저를 포함한다. 상기 처리 어셈블리는 있는 경우, 바람직하다면, 방사 전에 표면 오염원(contaminants) 및/또는 본래 산화층을 제거하기 위해 상기 구조(100)의 세척(cleaning)을 포함할 수 있다.
- <98> 예를 들어, 상기 SOI 구조가 부분적으로 제조된 후에(단계 802), 상기 처리 어셈블리가 가령, 벽개면(123) 등의 레이저 어닐링이 필요한 마감되지 않은 표면을 가진 상기 SOI 구조를 레이저 어닐링 어셈블리로 이동시키고 위치시킬 수 있다(단계 804). 박리에 의해 형성된 벽개면(123)이 레이저 어닐링으로부터 이득을 볼뿐만 아니라, 수많은 SOI 형성 과정에 의해 형성된 상기 반도체층(104)의 표면(그 결정 구조에 손상, 바람직하지 않은 불순물 및/또는 표면 거칠기를 가지는)은 레이저 어닐링이 필요한 마감되지 않은 표면(823)으로서 특징지어질 수 있다.
- <99> 상기 레이저 어닐링 어셈블리는 레이저 어닐링을 수행하며(단계 806), 상기 처리 어셈블리는 또 다른 처리를 위해 상기 레이저 어닐링 어셈블리로부터 어닐링된 표면(123A)과 같은 레이저 어닐링된 표면을 가지는 SOI 구조(100)를 이동시킬 수 있다(단계 808). 상기 레이저 어닐링 어셈블리는 상기 레이저 어닐링 공정의 강도 및 펄스 카운트에 맞게 조절함으로써, 반도체층 물질, 두께, 제조 히스토리 등을 다양화에 대해 조절가능하도록 자동화될 수 있다.
- <100> 본 발명에 따른 방사 어닐링 공정 동안, 어닐링이 도입된 결정층의 적어도 일부는 승온(elevated temperature)으로 가열되며, 이는 수소 또는 다른 이온 주입 종이 빠져나가도록 한다. 이는 만일 그러한 다운스트림 열 어닐링 공정이 필요한 경우, 더 짧은 열 어닐링 공정이 되도록 한다. 실제로, 본 발명가가 발견한 바와 같이, 본 발명의 방사 어닐링 공정은 표면 흠을 치료하는데 매우 효과적이어서, 이 단계의 전반적인 지속시간이 모든 갇힌 이온-주입종이 가스가 빠져나가도록 허용하지는 않는다. 이러한 구체예에서, 상기 방사 어닐링 이후에, 추가적인 열 어닐링 공정이 수행되며, 여기서 갇힌 이온-주입 종은 바람직한 정도로 가스가 빠져나가도록 허용된다. 이러한 구체예에서도, 방사 어닐링 단계 동안 부분적인 탈 가스로 인해 필요한 전체적인 열 어닐링 공정시간은 CMP 표면 강화 과정에 비해 감소될 수 있다.
- <101> 본 발명가는 본 발명의 방사(radiation) 어닐링 공정 전 및 상기 방사(irradiation)어닐링 공정 동안, 방사 어닐링에 도입된 상기 결정 반도체층이 승온된 온도까지 가열된다는 것을 더 고려하였다. 특정 구체예에서, 그러한 온도는 100°C 내지 $T_{sp}-100^\circ\text{C}$ 범위일 수 있으며, 상기 T_{sp} 는 유리 기판이 사용되는 경우에는 상기 유리 기판의 변형점 또는 기판으로 사용되는 물질이 결정 물질인 경우에는 그 결정 기판의 용융점이다. 이는 전형적으로 이 온도 범위까지 상기 전체 SOI 구조 또는 적어도 그 대부분을 가열하는 것을 수반한다. 그러한 결정층의 예열(pre-heating)은 특히 다음의 장점을 가진다: (i) 이는 균열(cracking) 가능성을 낮추면서, 상기 방사 어닐링 단계 동안 상기 결정 반도체층에 존재하는 온도 구배를 줄인다; (ii) 이는 상기 방사 어닐링 단계 동안, 더 많은 이온-주입된 종의 탈 가스화를 가능하게 한다; (iii) 이는 필요하다면, 이후에 수행되는 열 어닐링의 지속시간을 줄인다; (iv) 이는 방사 어닐링과 열 어닐링을 실질적으로 동시에 수행하는 것을 가능하게 한다.

실시예

- <113> 본 발명은 다음의 제한 없는 실시예에 따라 더 설명된다.
- <114> 실시예
- <115> 상기 SiO₂ 구조에서 전술한 레이저 어닐링 공정의 적용가능성을 증명하기 위해 일련의 실험이 수행되었다. 500nm 두께의 실리콘 박리층(122)을 가지는 SiO₂ 구조(100)는 1-100 펄스 동안 400-1250 mJ/cm²에서 엑시머 레이저(150)에 의해 방사(155)에 노출되었다. 사용된 엑시머 레이저(150)는 Lambda Physik의 XeCl 엑시머 레이저

로서 308 nm 빛의 28 nsec 펄스로 100Hz이내에서 작동시켰다. 308 nm 파장의 UV 빛의 실리콘으로의 침투 깊이는 단지 몇 나노미터이며, 상기 실리콘 표면에 대한 상기 레이저 빔의 에너지 밀도가 알맞게 선택된다면, 상기 실리콘층의 상부만 녹게 한다. 상기 레이저는 균질화기(homogenizer)를 포함하여 광학 시스템으로 사용되었으며, 균일한 5 mm x 0.8 mm 빔을 제공하였다. 스텝-앤-리피트(step-and-repeat) 노출은 상기 빔 사이즈보다 더 큰 영역을 노출하기 위해 본 발명의 실시예에서 사용되었다. 동일한 레이저 에너지는 무정형 실리콘막을 결정화하기에 충분하며, 다결정 실리콘을 야기한다. 이러한 경우에, 그러나, 상기 박리층(122)은 단지 주입 손상(122A)을 가지는 단일-결정막이었으며, 상기 단일-결정막은 시드(seed) 결정으로 작용하도록 한다. 본 실험에서, 약 800 mJ/cm²의 한계(threshold)이상의 에너지는 표면 거칠기의 주목할 만한 향상을 가져왔다.

<116> 하기의 표 1은 강도 및 펄스 카운트의 다양화에 대한 표면 거칠기(R_A, 나노미터)의 각각의 향상을 나타낸다. 초기 표면 거칠기는 6.6 nm R_A(9.4 nm RMS)로 측정된 반면, 1250 mJ/cm²에서 하나의 레이저 펄스 후에 레이저 어닐링된 표면(123A)의 표면 거칠기는 1.0 nm 이하로 측정되었다. 마찬가지로, 1000 mJ/cm²에서 열 개의 펄스 후에, 레이저 어닐링된 표면(123A)의 표면 거칠기 또한 1.0 nm 이하로 감소하였다.

TABLE 1

	1250 mJ/cm ²	1000 mJ/cm ²	800 mJ/cm ²
0 pulses	6.61	6.61	6.61
1 pulse	0.99	1.42	-
2 pulses	0.98	1.16	1.45
10 pulses	0.63	0.74	1.29

<117>
 <118> 마찬가지로, 도 9, 10 및 11은 상기 표면 거칠기의 상당한 감소 및 향상을 시각적으로 나타낸다. 도 9는 전술한 제조 공정의 구체예를 사용하여 형성된 SiOG 구조(100)의 초기 벽개면(123)의 원자간력 현미경(atomic force microscopy, AFM)의 이미지이다. 도 10은 1250 mJ/cm²에서 열개의 레이저 펄스 후에, 도 9의 동일한 SiOG 구조(100)의 어닐링된 표면(123A)의 원자간력 현미경(atomic force microscopy, AFM)의 이미지이다. 도 9의 이미지와 도 10의 이미지를 비교하면, 상기 어닐링 공정이 표면 불규칙들(irregularities)을 제거하였음이 명백하다.

<119> 더 나은 표면 거칠기의 감소는 상대적으로 높은 에너지 밀도(1250 mJ/cm²)로 이루어져 왔다. 그러나 이러한 높은 에너지 밀도에서, 균열과 같은 지역적 흠(local defects)이 추정하기에는 수소의 외부로의 확산(out-diffusion)으로 인해 어닐링 공정에 의해 상기 실리콘막에 만들어질 수 있다. 일부의 경우, 일부 수소가 바깥으로 확산되도록(out-diffuse)할 저 에너지 밀도로 시작하여, 고 에너지 밀도를 유지하면서, 상기 어닐링 공정에 뒤따라, 다른 에너지 밀도를 사용하는 것이 유리할 수 있다.

<120> 도 11A, 11B, 12A 및 12B에 더욱 명백히 나타난 바와 같이 상기 어닐링 공정은 상대적으로 부드러운, 어닐링된 표면(123A), 상기 SiOG 구조(100)의 반도체층(104)에서 주입 손상(122A)의 치유를 가져온다. 도면 11A 및 11B은 각각 어닐링 전후 즉, 형성되는 동안의(as-formed) 반도체층(104)의 TEM(transmission electron microscope)의 단면 이미지를 나타낸다. 도면 11B의 경우에, 상기 어닐링 공정은 800 mJ/cm²에서 10 펄스로 이루어진다. 도 12A 및 12B는 각각 어닐링 전후의 즉, 형성되는 동안의 반도체층(104)의 SEM(scanning electron microscope)의 평면 이미지를 나타낸다. 이 실시예에서, 어닐링은 800 mJ/cm²에서 15 펄스로 뒤이어, 1200 mJ/cm²에서 10 펄스로 수행되었다. 도 11A 및 12A에서, 상기 초기의 벽개면(123)의 표면 손상(122A)은 명백한 반면, 어닐링된 표면(123A)은 도 11B 및 12B에서 훨씬 깨끗해졌으며, 더 높은 질의 결정도를 나타낸다.

<121> 동일한 맥락에서, 도 13은 형성되는 과정의 벽개면(123) 및 어닐링된 표면(123A) 모두에서 1000 mJ/cm²에서 10 펄스의 방사 후에 SiOG 구조(100)로부터의 광학 반사율(optical reflectance)데이터를 나타낸다. 상기 오른쪽의 간섭무늬(interference fringes)는 방사된 막과 미방사된 막이 거의 동일하며, 표면 프로파일 측정에서 확인된

조사결과, 상기 막 두께가 상기 레이저 노출에 의해 전혀 변화하지 않았음을 나타낸다. 그러나 어닐링된 표면(123A)에 대한 절대 반사율은 왼쪽에서, 400 nm 이하의 파장에 대해 벽개면(123)의 반사율을 초과한다. 이러한 추가적인 반사율은 AFM 데이터로부터 이미 결정된 바와 같이 표면 거칠기의 감소 및 상기 막에서 결정 흠의 감소로 특징지어진다. 더욱이, 방사된 샘플에 대한 데이터는 나타내지는 않았지만, 순수한 단일-결정 실리콘 표면에 대한 대응하는 데이터와 일관된다.

<122> 상기 샘플에 대한 전기적 측정은 또한 상기 어닐링된 표면(123A)의 근접한-단일-결정 결정체를 확인하기 위해 수행될 수 있다. 이러한 측정은 상기 막에서 바람직하지 않은 전기적으로 활성을 가진 수소 원자의 수의 감소를 더욱 나타낸다. 따라서, 상기 레이저 어닐링 공정은 그 표면(123A)을 부드럽게 할 뿐만 아니라, 갇힌 수소 이온을 풀어줌으로써, 그리고, 근접한-단일-결정 상태로 상기 반도체층(104)을 회복시킴으로써, 상기 주입 손상(122A)을 실질적으로 제거하였다.

<123> 요약하면, 본 발명은 수소 이온 주입에 의해 형성된 SOI 기판에 어닐링 공정을 처음 도입하는 것을 나타내는 것으로 생각된다. 이는 표면 거칠기 및 실리콘의 결정도를 동시에 향상시키는 유일한 해결책을 제공한다.

<124> 여기에 본 발명이 특정 구체예를 참조로 기술되었으나, 이러한 구체예는 단지 본 발명의 원칙과 응용을 설명하는 것으로 이해되어야 한다. 따라서, 수많은 변형이 예시적인 구체예에 가해질 수 있으며, 다른 배열들도 여기 첨부된 청구범위에 정의된 바에 따라, 본 발명의 범위를 넘지 않는 한도에서 고안될 수 있다.

도면의 간단한 설명

<102> 본 발명의 다양한 관점을 나타내기 위한 목적으로, 현재 바람직한 도면 형태로 나타내었다. 본 발명은 제시한 간단한 배열이나 기구에 의해 제한되는 것이 아니라, 청구항에 의해서만 제한된다.

<103> 도 1은 본 발명의 일 실시예에 다른 SOI 장치의 구조를 나타내는 블럭도이다.

<104> 도 2는 도 1의 SOI 구조를 생산하기 위해 수행될 수 있는 공정의 단계를 나타내는 흐름도이다.

<105> 도 3-6은 도 2의 공정을 이용하여 성형된 중간 및 최종 구조를 나타내는 블럭도이다.

<106> 도 7은 레이저 어닐링 후의 SOI 구조를 나타내는 블럭도이다.

<107> 도 8은 반도체-온-인슐레이터(semiconductor-on-insulator) 구조의 형성을 위한 공정 단계를 나타내는 흐름도를 나타낸다.

<108> 도 9는 레이저 어닐링 전에 나타난 마감되지 않은 예시의 반도체층의 원자간력 현미경(atomic force microscopy)의 이미지이다.

<109> 도 10은 레이저 어닐링 후에 나타난 도 9의 동일 반도체층의 원자간력 현미경(atomic force microscopy)의 이미지이다.

<110> 도 11A 및 11B는 각각 어닐링 전후의 실시예의 반도체층의 TEM(transmission electron microscope)의 단면 이미지이다.

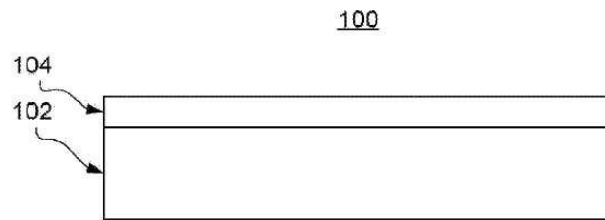
<111> 도 12A 및 12B는 각각 어닐링 전후의 실시예의 반도체층의 SEM(scanning electron microscope)의 평면 이미지이다.

<112> 도 13은 본 발명에 따른 레이저 어닐링 전 샘플의 광학 반사율(optical reflectance)데이터 대 레이저 어닐링 후 샘플의 광학 반사율(optical reflectance) 데이터의 그래프이다.

도면

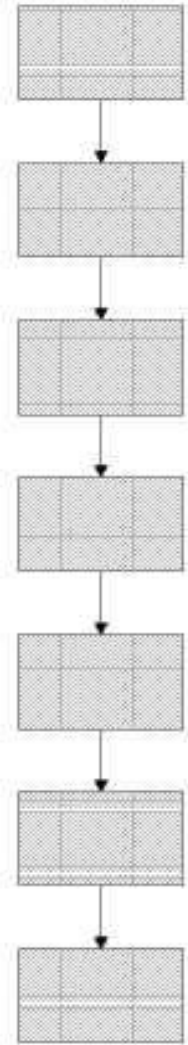
도면1

FIG. 1



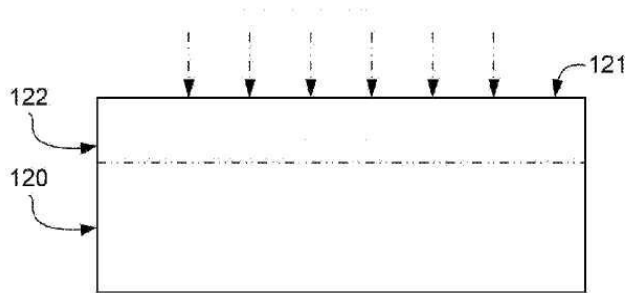
도면2

FIG. 2



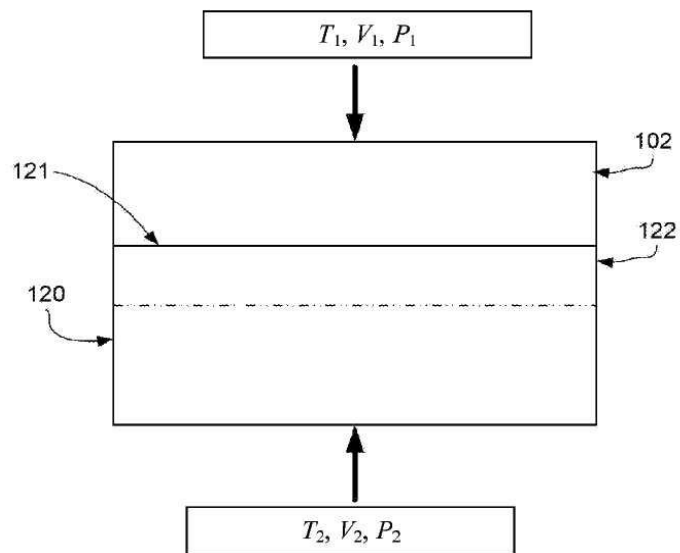
도면3

FIG. 3



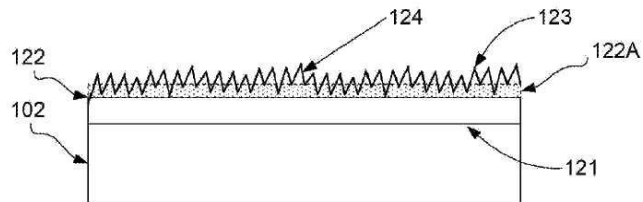
도면4

FIG. 4



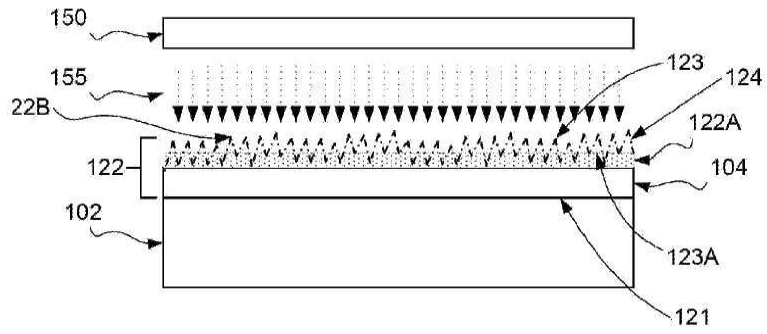
도면5

FIG. 5



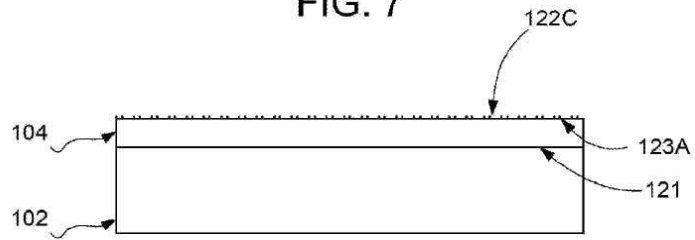
도면6

FIG. 6



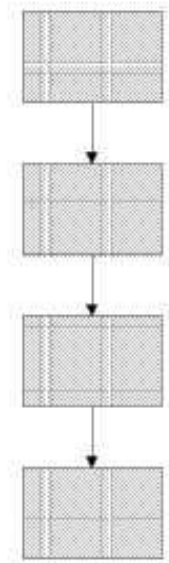
도면7

FIG. 7

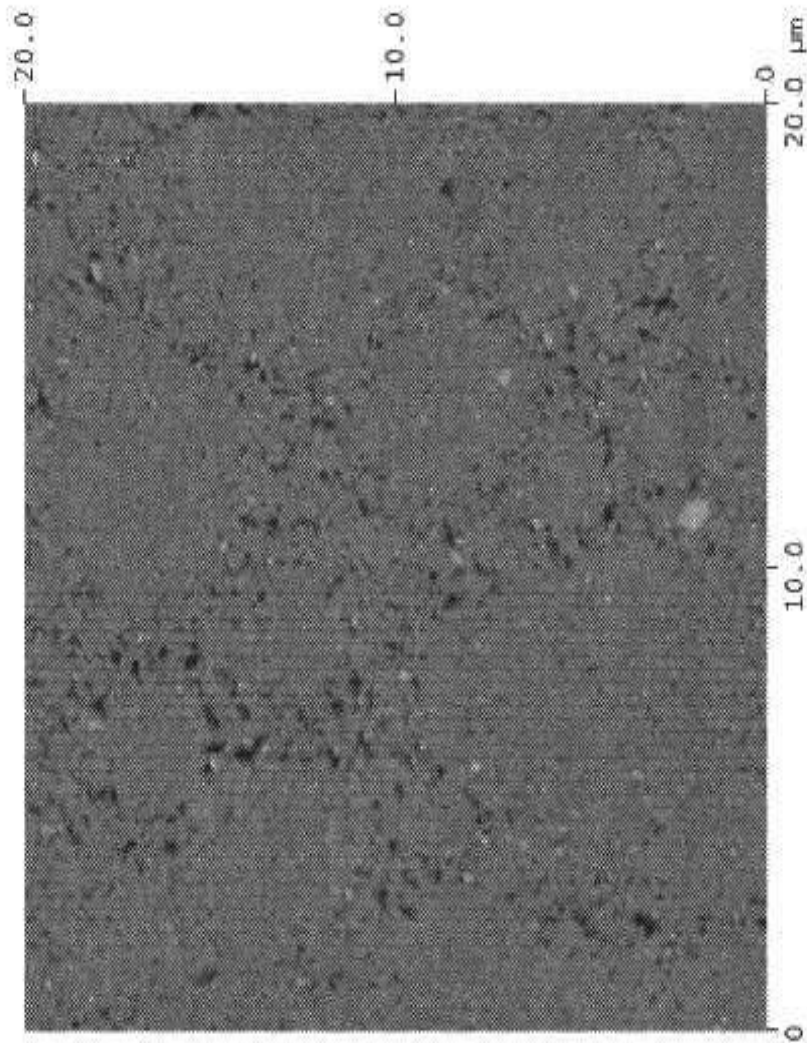


도면8

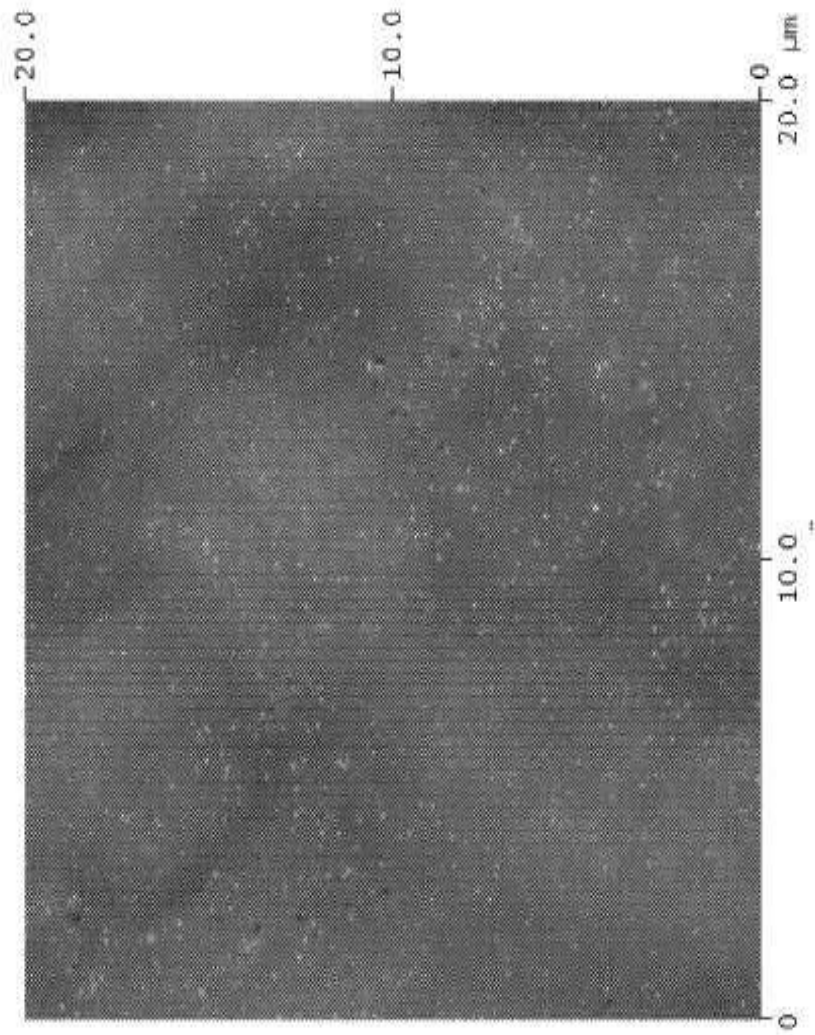
FIG. 8



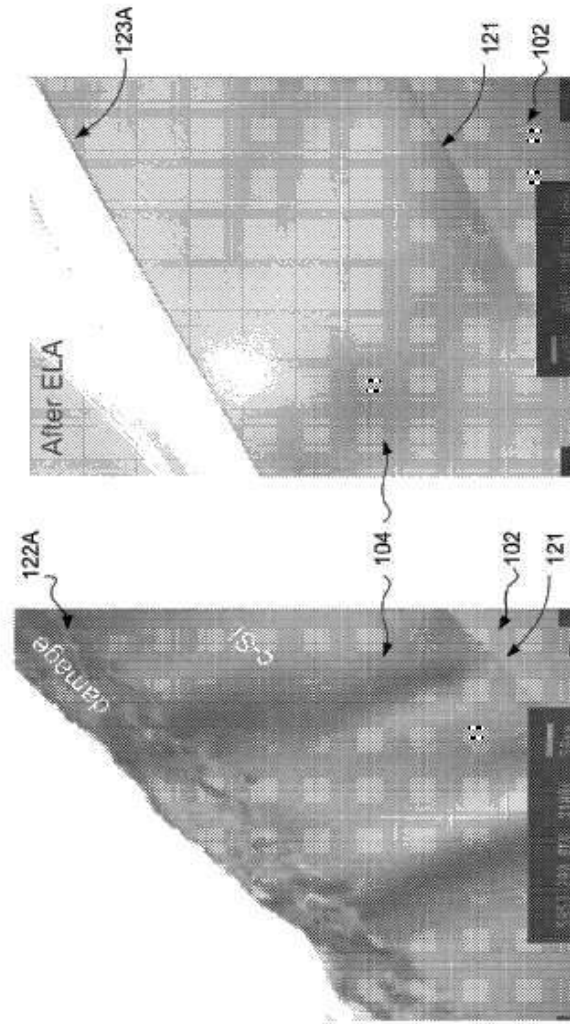
도면9



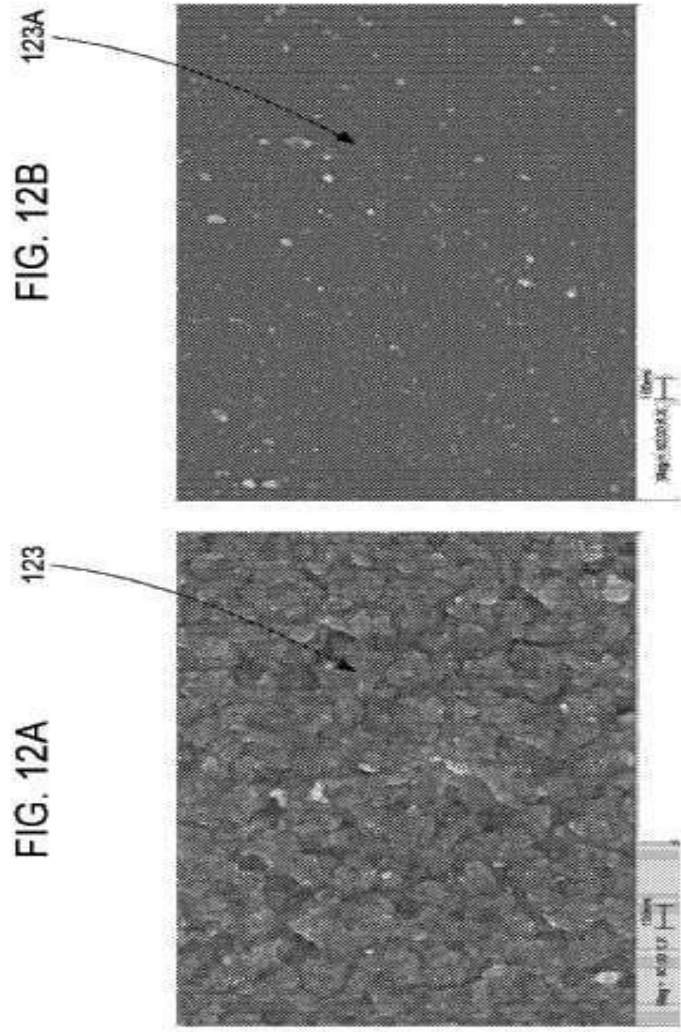
도면10



도면11



도면12



도면13

FIG. 13

