

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 1 日(01.12.2016)



(10) 国際公開番号
WO 2016/189426 A1

- (51) 国際特許分類:
G06F 3/041 (2006.01) *G06F 3/044* (2006.01)
- (21) 国際出願番号: PCT/IB2016/052882
- (22) 国際出願日: 2016 年 5 月 18 日(18.05.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-108110 2015 年 5 月 28 日(28.05.2015) JP
特願 2015-108111 2015 年 5 月 28 日(28.05.2015) JP
- (71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY CO.,
LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷 3 9
8 Kanagawa (JP).
- (72) 発明者: 高橋圭(TAKAHASHI, Kei); 〒2430036 神奈
川県厚木市長谷 3 9 8 株式会社半導体エネ
ルギー研究所内 Kanagawa (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

添付公開書類:

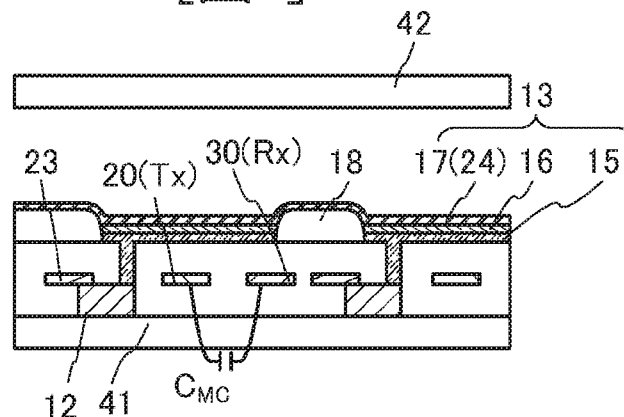
- 国際調査報告 (条約第 21 条(3))
- 請求の範囲の補正の期限前の公開であり、補正
を受理した際には再公開される。(規則 48.2(h))

(54) Title: TOUCH PANEL

(54) 発明の名称: タッチパネル

(B)

[図 1]



(57) Abstract: Provided is a touch panel having a novel configuration whereby it is possible to suppress the effects on touch detection electrodes of noise from electrodes constituting organic electroluminescent elements. Therein, integrated circuits that input a voltage from a touch detection electrode and a reference voltage to input terminals of an operational amplifier and detect changes in capacitance due to the detection of a touch are configured so that the input terminal to which the reference voltage is applied is connected to a common electrode constituting an organic electroluminescent element. This configuration makes it possible to cancel out the noise from a touch detection electrode with the noise from the common electrode superposed thereupon without amplifying the noise.

(57) 要約: タッチ検出用の電極への有機 EL 素子を構成する電極のノイズの影響を抑制できる、新規な構成のタッチパネル等を提供すること。タッチ検出する電極の電圧と、リファレンス用の電圧とを、オペアンプの入力端子に入力し、タッチ検出による容量値の変化を検出する積分回路において、リファレンス用の電圧を与える入力端子を、有機 EL 素子を構成する共通電極に接続する構成とする。該構成とすることで、共通電極のノイズが重畳したタッチ検出用の電極のノイズを増幅することなく、キャンセルできる。

WO 2016/189426 A1

明細書

発明の名称

タッチパネル

技術分野

[0001]

本発明の一態様は、タッチパネルに関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、又は、製造方法に関する。本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関する。そのため、より具体的に本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又は、それらの製造方法、を一例として挙げることができる。

[0003]

なお、本明細書等において、タッチパネルとは、タッチセンサを搭載した表示装置（または表示モジュール）を指す。タッチパネルは、タッチスクリーンという場合がある。なお、表示装置を有しておらず、タッチセンサのみで構成されている部材に対して、そのような部材のことをタッチパネルと呼ぶ場合もある。または、タッチセンサを搭載した表示装置は、タッチセンサ付表示装置、表示装置付タッチパネル、または、表示モジュール、などとも呼ばれる場合もある。

[0004]

なお、本明細書等において、表示装置の素子基板側にタッチセンサの電極が組み込まれている場合には、フルインセル型タッチパネル（またはフルインセル型タッチセンサ付表示装置）という場合がある。フルインセル型タッチパネルは、例えば、素子基板側に作り込まれる電極をタッチセンサ用の電極としても用いているものである。

[0005]

また、本明細書等において、表示装置の素子基板側のみならず、対向基板側にもタッチセンサの電極が組み込まれている場合には、ハイブリッドインセル型タッチパネル（またはハイブリッドインセル型タッチセンサ付表示装置）という場合がある。ハイブリッドインセル型タッチパネルは、例えば、素子基板側に作り込まれる電極と、対向基板側に作り込まれる電極とをタッチセンサ用の電極としても用いているものである。

背景技術

[0006]

ハイブリッドインセル型タッチパネルは、外付けのタッチセンサを備えた表示装置に比べて、薄型化・低コスト化ができるため、研究開発が活発である（特許文献1を参照）。また、さらなる薄型化・低コスト化を図るため、フルインセル型タッチパネルの研究開発も活発である（特許文献2を参照）。

[0007]

ハイブリッドインセル型タッチパネルおよびフルインセル型タッチパネルは、液晶表示装置に採用され、スマートフォンあるいはタブレット端末等で実用化が進んでいる。またフルインセル型タッチパネルは、有機EL表示装置にも適用することが試みられている（特許文献3を参照）。

[先行技術文献]

[特許文献]

[0008]

[特許文献1] 米国特許出願公開第2015/0091868号明細書

[特許文献2] 国際公開第2010/088666号

[特許文献3] 米国特許出願公開第2015/0060817号明細書

発明の概要

発明が解決しようとする課題

[0009]

上述したように、タッチパネルには、多数の構成が存在する。それぞれの構成には一長一短があり、状況に応じて適当な構成が選択される。従って、新規な構成のタッチパネル等が提案できれば、選択の自由度を向上させることにつながる。

[0010]

本発明の一態様は、新規なタッチパネル等を提供することを課題の一とする。

[0011]

また、ハイブリッドインセル型タッチパネルおよびフルインセル型タッチパネルを有機EL表示装置に適用する場合、タッチ検出用の電極が、有機EL素子を構成する電極のノイズの影響を受けるとタッチを誤検出してしまう虞がある。

[0012]

本発明の一態様は、タッチ検出用の電極への有機EL素子を構成する電極のノイズの影響を抑制できる、新規な構成のタッチパネル等を提供することを課題の一とする。

[0013]

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書または図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した記載、および／または他の課題のうち、少なくとも一つの課題を解決するものである。

課題を解決するための手段

[0014]

本発明の一態様は、画素と、タッチセンサと、積分回路と、を有するタッチパネルであって、画素は、トランジスタと、発光素子と、を有し、発光素子は、画素電極と、共通電極との間に発光層を有し、タッチセンサは、第1の電極と、第2の電極と、を有し、第1の電極は、パルス信号を与えることができる機能を有し、第2の電極は、パルス信号に応じた信号を検出することができる機能を有し、積分回路は、オペアンプを有し、オペアンプは、第1入力端子と、第2入力端子と、を有し、第1入力端子は、第2の電極に電氣的に接続され、第2入力端子は、共通電極に電氣的に接続される、タッチパネルである。

[0015]

本発明の一態様は、画素と、タッチセンサと、積分回路と、を有するタッチパネルであって、画素は、トランジスタと、発光素子と、を有し、発光素子は、トランジスタを介して電流供給線に電氣的

に接続され、タッチセンサは、第１の電極と、第２の電極と、を有し、第１の電極は、パルス信号を与えることができる機能を有し、第２の電極は、パルス信号に応じた信号を検出することができる機能を有し、積分回路は、オペアンプを有し、オペアンプは、第１入力端子と、第２入力端子と、を有し、第１入力端子は、第２の電極に電氣的に接続され、第２入力端子は、電流供給線に電氣的に接続される、タッチパネルである。

[0 0 1 6]

本発明の一態様において、第１の電極と、第２の電極とは、トランジスタが形成される基板側に設けられる、タッチパネルが好ましい。

[0 0 1 7]

本発明の一態様において、第１の電極または第２の電極の一方は、トランジスタを構成する導電層と同層に形成される電極である、タッチパネルが好ましい。

[0 0 1 8]

本発明の一態様において、第１の電極または第２の電極の他方は、対向基板側に設けられる、タッチパネルが好ましい。

[0 0 1 9]

本発明の一態様において、第１の電極または第２の電極の一方は、画素電極以下の層に設けられる電極である、タッチパネルが好ましい。

[0 0 2 0]

本発明の一態様において、タッチセンサは、相互容量方式である、タッチパネルが好ましい。

[0 0 2 1]

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、および図面に記載されている。

発明の効果

[0 0 2 2]

本発明の一態様は、新規なタッチパネル等を提供することができる。

[0 0 2 3]

または、本発明の一態様は、タッチ検出用の電極への有機ＥＬ素子を構成する電極のノイズの影響を抑制できる、新規な構成のタッチパネル等を提供することができる。

図面の簡単な説明

[0 0 2 4]

[図１] 本発明の一態様を説明するための回路図および断面模式図。

[図２] 本発明の一態様を説明するための模式図。

[図３] 本発明の一態様を説明するための模式図。

[図４] 本発明の一態様を説明するための模式図。

[図５] 本発明の一態様を説明するための斜視模式図。

[図６] 本発明の一態様を説明するための斜視模式図。

[図７] 本発明の一態様を説明するためのブロック図。

[図８] 本発明の一態様を説明するためのブロック図。

[図９] 本発明の一態様を説明するための断面図。

- [図 1 0] 本発明の一態様を説明するための断面図。
- [図 1 1] 本発明の一態様を説明するための断面図。
- [図 1 2] 本発明の一態様を説明するための断面図。
- [図 1 3] 本発明の一態様を説明するための断面図。
- [図 1 4] 本発明の一態様を説明するための断面図。
- [図 1 5] 本発明の一態様を説明するための断面図。
- [図 1 6] 本発明の一態様を説明するための断面図。
- [図 1 7] 本発明の一態様を説明するための断面図。
- [図 1 8] 本発明の一態様を説明するための断面図。
- [図 1 9] 本発明の一態様を説明するための断面図。
- [図 2 0] 本発明の一態様を説明するための断面図。
- [図 2 1] 本発明の一態様を説明するための断面図。
- [図 2 2] 本発明の一態様を説明するための断面図。
- [図 2 3] 本発明の一態様を説明するための断面図。
- [図 2 4] 本発明の一態様を説明するための断面図。
- [図 2 5] 本発明の一態様を説明するための断面図。
- [図 2 6] 本発明の一態様を説明するための断面図。
- [図 2 7] 本発明の一態様を説明するための上面図および断面図。
- [図 2 8] 本発明の一態様を説明するための上面図および断面図。
- [図 2 9] 本発明の一態様を説明するための上面図および断面図。
- [図 3 0] 本発明の一態様を説明するための上面図および断面図。
- [図 3 1] 本発明の一態様を説明するための上面図および断面図。
- [図 3 2] 本発明の一態様を説明するためのエネルギーバンド構造図。
- [図 3 3] 本発明の一態様を説明するための図。
- [図 3 4] 本発明の一態様を説明するための図。
- [図 3 5] 本発明の一態様を説明するための図。
- [図 3 6] 本発明の一態様を説明するための断面図。
- [図 3 7] 本発明の一態様を説明するための模式図。
- [図 3 8] 本発明の一態様を説明するための模式図。
- [図 3 9] 本発明の一態様を説明するための模式図。

発明を実施するための形態

[0025]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0026]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、

ハッチパターンを同じくし、特に符号を付さない場合がある。

[0027]

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

[0028]

なお、本明細書等における「第1」、「第2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

[0029]

なお、「膜」という言葉と、「層」という言葉とは、互いに入れ替えることが可能である場合がある。例えば、「導電層」という用語を、「導電膜」という用語に変更することや、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[0030]

(実施の形態1)

本実施の形態では、タッチセンサを搭載した表示装置（または表示モジュール）であるタッチパネルの構成例について、図面を参照して説明する。

[0031]

<タッチセンサを搭載したEL表示装置のノイズ>

本発明の一態様であるタッチパネルは、タッチセンサを搭載したEL表示装置である。このようなタッチパネルは、例えばEL素子、EL素子を駆動するためのトランジスタ、タッチセンサの電極を有する。

[0032]

図1(A)の回路図には、EL素子、EL素子を駆動するためのトランジスタを有する画素、およびタッチセンサの電極を示している。図1(A)の回路図では、一例として、2行2列の画素10と、一組のタッチセンサの電極20、電極30を図示している。

[0033]

画素10は、一例として、トランジスタ11、トランジスタ12、EL素子13を有する。画素10は、一例として、走査線21、信号線22、電流供給線23、共通電極線24に接続される。

[0034]

電極20、電極30は、一例として、相互容量方式で被検知体の近接、または接触を検出することができる。具体的には、駆動電極(Tx)として機能する電極20にパルス電圧を印加し、検出電極(Rx)として機能する電極30に流れる電流を検出する。指やペン等の遮蔽物の有無によって、Tx-Rx間の電界が遮蔽され、容量値が変化する。この容量値の変化を検出電極(Rx)に流れる電流の変化によって検出することで被検知体の近接、または接触を検出することができる。電流の変化は、積分回路で検出することができる。

[0035]

図1(B)は、図1(A)の回路図に示す構成の配置を説明するための断面模式図の一例である。

[0036]

図1(B)の断面模式図では、一例として、一対の基板41、基板42を図示している。基板41上にトランジスタ12、EL素子13、電流供給線23、隔壁層18を図示している。

[0037]

EL素子13は、一例として、画素電極15と、発光層16と、共通電極17と、を有する。共通電極17は、上述した共通電極線24に相当し、EL素子13の陰極として機能させることができる。また画素電極15は、EL素子13の陽極として機能させることができる。

[0038]

また基板41とEL素子13の間には、一例として、駆動電極(Tx)として機能する電極20と、検出電極(Rx)として機能する電極30とを有する。電極20、30は、基板42上および／または基板43上に形成すればよく、電極の位置によってハイブリッドインセル型タッチパネルまたはフルインセル型タッチパネルに適用可能である。以下の議論では、説明をわかりやすくするため、フルインセル型タッチパネルに適用する例を説明する。

[0039]

トランジスタ12は、ゲート電位に応じて、EL素子13に電流を流す機能を有する。トランジスタ12は、ゲートとして機能する電極、ソースまたはドレインとして機能する電極、半導体層を有する。なお図1(B)では、図示を省略しているが、トランジスタ11のソースまたはドレインとして機能する電極がトランジスタ12のゲートに接続される。トランジスタ11、12の構成の詳細については、後述する。

[0040]

一例として示す図1(B)で電極20、30は、トランジスタ12が形成される基板41側に設けられる。そして、電極20、30は、トランジスタ11のソースまたはドレインとして機能する電極、あるいはトランジスタ12のゲートと同層に形成される電極と同層に設けられる導電層とすることができる。または電極20、30は、画素電極15と同層に設けられる導電層とすることができる。このような構成とすることで、別途タッチセンサとして機能する電極を、新たな工程を必要とすることなく、形成することができる。

[0041]

図1(B)で、EL素子13を構成する共通電極17は、電極20、30の上部に一面に形成される例を示している。そのため、電極20、30間で形成される容量 C_{MC} は、基板41側にあらわれる。

[0042]

なお図1(B)でハイブリッドインセル型タッチパネルとする場合には、タッチセンサの一方の電極を基板41側に設け、タッチセンサの他方の電極を基板42側に設ける。この場合、タッチセンサを構成する電極間で容量が形成されるように、共通電極17に開口を設けることが好ましい。

[0043]

上記説明したタッチパネルの構成では、検出電極(Rx)として機能する電極30は、一面に形成される共通電極17に近接して配置されることになる。そのため、電極30は、共通電極17に生じるノイズの影響を受けやすい。電極30では、容量 C_{MC} の変化によって得られる信号の変化を積分回路で検出し、タッチを検出する。電極30で得られる信号がノイズの影響を受けると、積分回路で取得する信号の変化が、タッチの検出によるものか、ノイズによるものかの判断が難しくなり、正確なタッチの検出が困難となる。

[0044]

また電極 30 と同様に、共通電極線に近接して配置される電流供給線も、共通電極 17 に生じるノイズの影響を受けやすい。電流供給線は、電極 30 と同じ材料の導電層で形成される場合、寄生する容量成分や抵抗成分が類似するため、ノイズの波形を類似しやすくすることができる。

[0045]

電極 30 の信号の変化を検出する積分回路は、オペアンプを有する、オペアンプは、2つの入力端子間の電位差を増幅して出力する。積分回路では、入力信号を一方の入力端子に接続し、他方の入力端子にリファレンスとなる電圧を与えて、動作する。そのため、入力信号を一方の入力端子に、ノイズの影響を受けた電極 30 で得られる信号が入力されると、このノイズが増幅されてしまい、正確なタッチの検出が困難となる。

[0046]

＜タッチパネルの構成例 1＞

本発明の一態様では、図 2 に示す模式図の構成とすることで、上述したノイズの影響を抑制する。図 2 では、図 1 (A)、(B) で示した、駆動電極 (Tx) として機能する電極 20 と、検出電極 (Rx) として機能する電極 30 と、共通電極 17 と、共通電極線 24 とに加えて、積分回路 500、レベルシフト回路 501 を図示している。積分回路 500 は、一例として、容量 502、スイッチ 503 を有する。積分回路 500 の出力は、信号 AMP_OUT として図示している。駆動電極 (Tx) として機能する電極 20 にレベルシフト回路 510 を介して与える信号は、信号 TS_IN として図示している。

[0047]

また図 2 では、電極 20 に加える信号波形 20_W を図示している。また図 2 では、電極 30 で得られる信号波形 30_W を図示している。また図 2 では、共通電極線 24 のノイズの波形 24_W を図示している。

[0048]

タッチパネルにおけるタッチの検出は、信号 TS_IN としてパルス信号を与える。そして駆動電極 (Tx) として機能する電極 20 にパルス信号である波形 20_W が入力される。電極 20 の信号の変化は、電極間 (Tx - Rx) の容量成分によって、検出電極 (Rx) として機能する電極 30 に伝達される。タッチの有無による電極間の容量の変化によって電極 30 で得られる信号波形 30_W が変化する。この信号波形 30_W の変化を積分回路で検出し、タッチの有無を含む信号 AMP_OUT を出力することができる。

[0049]

図 2 の構成では、検出電極 (Rx) として機能する電極 30 はオペアンプ 501 の一方の入力端子に接続される。また、共通電極 17 に接続される共通電極線 24 は、オペアンプ 501 の他方の入力端子に接続される。つまり、本発明の一態様では、積分回路 500 が有するオペアンプ 501 のリファレンス電圧に、ノイズ波形 24_W を有する信号を与える構成とする。このような構成とすることで、共通電極 17 に生じるノイズが検出電極 (Rx) として機能する電極 30 にも表れる場合、オペアンプ 501 の出力は、ノイズが相殺された信号として得ることができる。そのため、本発明の一態様では、信号 AMP_OUT を、ノイズの影響を抑制して得ることができる。

[0050]

積分回路 500 が有するオペアンプ 501 の他方の入力端子に入力されるリファレンス電圧が固

定電圧 V_{REF} の場合について、図3に模式図を示す。図3の模式図のように、積分回路500が有するオペアンプ501の一方の入力端子にノイズがある波形30__Wが入力され、他方の入力端子にノイズがない波形520__Wが入力されることになる。オペアンプ501は、入力端子間の信号の差を増幅して出力する機能を有する。そのため、シグナルーノイズ比(S/N比)が小さくなってしまい、タッチの検出が正常にできない虞がある。

[0051]

一方で上述したように、図2の模式図に示す本発明の一態様では、積分回路500が有するオペアンプ501の一方の入力端子にノイズがある信号が入力され、他方の入力端子にノイズがある信号が入力されることになる。オペアンプ501は、入力端子間の信号の差を増幅して出力する機能を有する。そのため、双方のノイズが相殺され、S/N比を高くし、タッチの検出を正常に行うことができる。

[0052]

図4(A)に示す模式図は、図2における共通電極17が複数設けられる場合を示している。図4(A)に示す共通電極は、複数の電極17__1乃至17__4に分割されている。複数の電極17__1乃至17__4は、タッチセンサの検出電極である電極30と平行に配置されることが好ましい。例えば、図4(A)では、タッチセンサの検出電極である電極30__1乃至30__4を図示しており、平行に配置される電極30__1と電極17__1とが積分回路500__1が有するオペアンプの入力端子に接続される。同様に電極30__2と電極17__2、電極30__3と電極17__3、電極30__4と電極17__4が、積分回路500__2乃至500__4が有するオペアンプの入力端子に接続される。積分回路500__1乃至30__4は、それぞれ出力信号AMP__OUT 1乃至AMP__OUT 4を出力する。

[0053]

出力信号AMP__OUT 1乃至AMP__OUT 4は、図2で説明した構成と同様に、ノイズを相殺してノイズの影響を抑制できる。例えば、図4(A)の構成では、例えば電極17__1と電極30__1とが重なるように設けられる。そのため、電極17__1と電極30__1とは、同じ波形のノイズの影響を受ける。つまり領域を区切って、積分回路に入力される共通電極の波形を入力することで、共通電極と、検出電極とに同じ波形のノイズが加わりやすくなることができる。そのため、共通電極のノイズとタッチ検出用の電極とのノイズをより相殺しやすくなることができる。

[0054]

また図4(A)とは別の構成を図4(B)に示す。図4(B)では、図4(A)と同様に、複数の電極17__1乃至17__4、および積分回路500__1乃至500__4を有する。図4(B)では、積分回路500__1、500__2には、電極17__1が接続され、積分回路500__3、500__4には、電極17__3が接続される。電極17__1と電極17__2、および電極17__3と電極17__4は隣接しており、同じ波形のノイズの影響を受けやすい。そのため、隣接する共通電極となる電極を参照電圧となるように積分回路500__1乃至500__4の入力端子に接続する構成としても、図2と同じ効果を得ることができる。

[0055]

本発明の一態様のタッチパネルは、タッチ検出する電極の電圧と、リファレンス用の電圧とを、オペアンプの入力端子に入力し、タッチ検出による容量値の変化を検出する積分回路において、リファ

レンズ用の電圧を与える入力端子を、有機EL素子を構成する共通電極に接続する構成とする。該構成とすることで、共通電極のノイズが重畳したタッチ検出用の電極のノイズを相殺できるため、ノイズの影響を抑制できる。

[0056]

＜タッチパネルの構成例2＞

本発明の一態様では、図2に示す模式図の構成とすることで、上述したノイズの影響を抑制する。図37では、図1(A)、(B)で示した、駆動電極(T_x)として機能する電極20と、検出電極(R_x)として機能する電極30と、電流供給線23とに加えて、積分回路500、レベルシフト回路510を図示している。積分回路500は、一例として、容量502、スイッチ503を有する。積分回路500の出力は、信号AMP_OUTとして図示している。駆動電極(T_x)として機能する電極20にレベルシフト回路510を介して与える信号は、信号TS_INとして図示している。

[0057]

また図37では、電極20に加える信号波形20_Wを図示している。また図37では、電極30で得られる信号波形30_Wを図示している。また図37では、電流供給線23のノイズの波形23_Wを図示している。

[0058]

タッチパネルにおけるタッチの検出は、信号TS_INとしてパルス信号を与える。そして駆動電極(T_x)として機能する電極20にパルス信号である波形20_Wが入力される。電極20の信号に変化は、電極間(T_x - R_x)の容量成分によって、検出電極(R_x)として機能する電極30に伝達される。タッチの有無による電極間の容量の変化によって電極30で得られる信号波形30_Wが変化する。この信号波形30_Wの変化を積分回路で検出し、タッチの有無を含む信号AMP_OUTを出力することができる。

[0059]

図37の構成では、検出電極(R_x)として機能する電極30はオペアンプ501の一方の入力端子に接続される。また、電流供給線23は、オペアンプ501の他方の入力端子に接続される。つまり、本発明の一態様では、積分回路500が有するオペアンプ501のリファレンス電圧に、ノイズ波形23_Wを有する信号を与える構成とする。このような構成とすることで、電流供給線23に生じるノイズが検出電極(R_x)として機能する電極30にも表れる場合、オペアンプ501の出力は、ノイズが相殺された信号として得ることができる。そのため、本発明の一態様では、信号AMP_OUTを、ノイズの影響を抑制して得ることができる。

[0060]

積分回路500が有するオペアンプ501の他方の入力端子に入力されるリファレンス電圧が固定電圧V_{REF}の場合について、図38に模式図を示す。図38の模式図のように、積分回路500が有するオペアンプ501の一方の入力端子にノイズがある波形30_Wが入力され、他方の入力端子にノイズがない波形520_Wが入力されることになる。オペアンプ501は、入力端子間の信号の差を増幅して出力する機能を有する。そのため、シグナルーノイズ比(S/N比)が小さくなってしまい、タッチの検出が正常にできない虞がある。

[0061]

一方で上述したように、図37の模式図に示す本発明の一態様では、積分回路500が有するオペ

アンプ 501 の一方の入力端子にノイズがある信号が入力され、他方の入力端子にノイズがある信号が入力されることになる。オペアンプ 501 は、入力端子間の信号の差を増幅して出力する機能を有する。そのため、双方のノイズが相殺され、S/N 比を高くし、タッチの検出を正常に行うことができる。

[0062]

図 39 (A) に示す模式図は、図 37 における電流供給線 23 が複数設けられる場合を示している。図 39 (A) に示す電流供給線は、複数の電流供給線 23__1 乃至 23__4 に分割されている。複数の電流供給線 23__1 乃至 23__4 は、タッチセンサの検出電極である電極 30 と平行に配置されることが好ましい。例えば、図 39 (A) では、タッチセンサの検出電極である電極 30__1 乃至 30__4 を図示しており、平行に配置される電極 30__1 と電流供給線 23__1 とが積分回路 500__1 が有するオペアンプの入力端子に接続される。同様に電極 30__2 と電流供給線 23__2、電極 30__3 と電流供給線 23__3、電極 30__4 と電流供給線 23__4 が、積分回路 500__2 乃至 500__4 が有するオペアンプの入力端子に接続される。積分回路 500__1 乃至 500__4 は、それぞれ出力信号 AMP__OUT 1 乃至 AMP__OUT 4 を出力する。

[0063]

出力信号 AMP__OUT 1 乃至 AMP__OUT 4 は、図 37 で説明した構成と同様に、ノイズを相殺してノイズの影響を抑制できる。例えば、図 39 (A) の構成では、例えば電流供給線 23__1 と電極 30__1 とが重なるように設けられる。そのため、電流供給線 23__1 と電極 30__1 とは、同じ波形のノイズの影響を受ける。つまり領域を区切って、積分回路に入力される電流供給線の波形を入力することで、電流供給線と、検出電極とに同じ波形のノイズが加わりやすくすることができる。そのため、電流供給線のノイズとタッチ検出用の電極とのノイズをより相殺しやすくなることができる。

[0064]

また図 39 (A) とは別の構成を図 39 (B) に示す。図 39 (B) では、図 39 (A) と同様に、複数の電流供給線 23__1 乃至 23__4、および積分回路 500__1 乃至 500__4 を有する。図 39 (B) では、積分回路 500__1、500__2 には、電流供給線 23__1 が接続され、積分回路 500__3、500__4 には、電流供給線 23__3 が接続される。電流供給線 23__1 と電流供給線 23__2、および電流供給線 23__3 と電流供給線 23__4 は隣接しており、同じ波形のノイズの影響を受けやすい。そのため、隣接する共通電極となる電極を参照電圧となるように積分回路 500__1 乃至 500__4 の入力端子に接続する構成としても、図 37 と同じ効果を得ることができる。

[0065]

本発明の一態様のタッチパネルは、タッチ検出する電極の電圧と、リファレンス用の電圧とを、オペアンプの入力端子に入力し、タッチ検出による容量値の変化を検出する積分回路において、リファレンス用の電圧を与える入力端子を、有機 EL 素子に電流を供給する電流供給線に接続する構成とする。該構成とすることで、電流供給線のノイズが重畳したタッチ検出用の電極のノイズを相殺できるため、ノイズの影響を抑制できる。

[0066]

<フルインセル型タッチパネルの斜視概略図について>

図 5 (A) は、本発明の一態様のタッチパネル 310 の斜視概略図である。タッチパネル 310 は、

フルインセル型のタッチパネルである。また図5(B)は、図5(A)を展開した斜視概略図である。なお明瞭化のため、代表的な構成要素のみを示している。

[0067]

タッチパネル310は、対向して設けられた基板371と基板372とを有する。

[0068]

基板371上には、表示部381、駆動回路382、配線383、駆動回路384等が設けられている。また表示部381には、x方向に導電層385が形成されている。基板371上には、導電層385と直交、つまりy方向に複数の導電層386等が形成されている。

[0069]

表示部381は、少なくとも複数の画素を有する。画素は、トランジスタ及びEL素子を備える。

[0070]

駆動回路382は、例えば表示を行うための表示用駆動回路である走査線駆動回路とすることができる。

[0071]

また基板371には、配線383と電氣的に接続されるFPC373が設けられている。また図5(A)、(B)では、FPC373上にIC374が設けられている例を示している。

[0072]

図5(A)(B)では、FPC373上にCOF(Chip On Film)方式により実装されたIC374が設けられている例を示している。IC374は、例えば表示を行うための表示用駆動回路である信号線駆動回路、およびy方向に設けられた導電層385で得られる信号を処理するためタッチセンサ駆動回路としての機能を有するICを適用できる。

[0073]

配線383は、表示部381や駆動回路382、駆動回路384等に信号や電力を供給する機能を有する。当該信号や電力は、FPC373を介して外部、またはIC374から配線383に入力される。

[0074]

駆動回路384は、例えば、x方向に設けられた導電層385を駆動するためのタッチセンサ駆動回路とすることができる。駆動回路384は、IC374がその機能を兼ねることで、省略することが可能である。

[0075]

タッチセンサは、基板371に設けられた導電層385と、導電層386と、により構成される。つまり、導電層385または導電層386は、駆動電極(Tx)または検出電極(Rx)として機能させることができる。タッチセンサは、導電層385と導電層386の間に形成される容量を利用して、検出することができる。

[0076]

このような構成とすることで、表示を行うためのトランジスタ、EL素子、駆動回路等の部材、タッチセンサを行うための電極、駆動回路等の部材を、1つの基板側(ここでは基板371側)にのみ配置することができる。そのため、表示駆動回路と、タッチセンサ駆動回路を一体化する等、機能の共有化を図ることができる。

[0077]

<ハイブリッドインセル型タッチパネルの斜視概略図について>

図6 (A) は、図5 (A) とは異なる構成の、本発明の一態様のタッチパネル320の斜視概略図である。タッチパネル320は、ハイブリッドインセル型タッチパネルである。また図6 (B) は、図6 (A) を展開した斜視概略図である。なお明瞭化のため、代表的な構成要素のみを示している。

[0078]

タッチパネル320は、フルインセル型として図示した図5 (A)、(B) と同様に、対向して設けられた基板371と基板372とを有する。

[0079]

基板371上には、フルインセル型として図示した図5 (A)、(B) と同様に、表示部381、駆動回路382、配線383、駆動回路384等が設けられている。また表示部381には、フルインセル型として図示した図5 (A)、(B) と同様に、x方向に導電層385が形成されている。

[0080]

基板372上には、フルインセル型として図示した図5 (A)、(B) と異なり、導電層385と直交、つまりy方向に複数の導電層386等が形成されている。また基板372上には、フルインセル型として図示した図5 (A)、(B) と異なり、導電層387等が形成されている。導電層387は複数の導電層386のいずれかと電氣的に接続される。また導電層387は接続部388を介して、基板371側に設けられた接続部389を介して、FPC373と電氣的に接続される。

[0081]

表示部381は、フルインセル型として図示した図5 (A)、(B) と同様に、少なくとも複数の画素を有する。画素は、トランジスタ及びEL素子を備える。

[0082]

駆動回路382は、フルインセル型として図示した図5 (A)、(B) と同様に、例えば表示を行うための表示用駆動回路である走査線駆動回路とすることができる。

[0083]

また基板371には、フルインセル型として図示した図5 (A)、(B) と同様に、配線383と電氣的に接続されるFPC373が設けられている。また図6 (A)、(B) では、FPC373上にIC374が設けられている例を示している。

[0084]

図6 (A) (B) では、フルインセル型として図示した図5 (A)、(B) と同様に、FPC373上にCOF (Chip On Film) 方式により実装されたIC374が設けられている例を示している。IC374は、例えば表示を行うための表示用駆動回路である信号線駆動回路、およびy方向に設けられた導電層385で得られる信号を処理するためタッチセンサ駆動回路としての機能を有するICを適用できる。

[0085]

配線383は、フルインセル型として図示した図5 (A)、(B) と同様に、表示部381や駆動回路382、駆動回路384等に信号や電力を供給する機能を有する。当該信号や電力は、FPC373を介して外部、またはIC374から配線383に入力される。

[0086]

駆動回路 384 は、フルインセル型として図示した図 5 (A)、(B) と同様に、x 方向に設けられた導電層 385 を駆動するためのタッチセンサ駆動回路とすることができる。駆動回路 384 は、IC 374 がその機能を兼ねることで、省略することが可能である。

[0087]

タッチセンサは、フルインセル型として図示した図 5 (A)、(B) と異なり、基板 371 に設けられた導電層 385 と、基板 372 に設けられた導電層 386 と、により構成される。つまり、導電層 385 または導電層 386 は、駆動電極 (Tx) または検出電極 (Rx) として機能させることができる。タッチセンサは、導電層 385 と導電層 386 の間に形成される容量を利用して、検出することができる。

[0088]

このような構成とすることで、タッチセンサを構成する電極が異なる基板に形成される場合であっても、表示を行うためのトランジスタ、EL 素子、駆動回路等の部材、タッチセンサを行うための電極、駆動回路等の部材を、1 つの基板側 (ここでは基板 371 側) にのみ配置することができる。そのため、表示駆動回路と、タッチセンサ駆動回路を一体化する等、機能の共有化を図ることができる。

[0089]

<タッチパネルのブロック図の構成例>

以下では、本発明の一態様のタッチパネルのブロック図の構成例について説明する。なお以下で説明するタッチパネルのブロック図は、フルインセル型タッチパネルまたはハイブリッドインセル型タッチパネルに適用可能である。

[0090]

図 7 に、周辺回路を含むタッチパネルのブロック図を示す。タッチパネル 400 は、表示部 401 と、タッチセンサ部 402 と、を有する。またタッチパネル 400 は、表示部 401 やタッチセンサ部 402 を駆動するための周辺回路の一例として、表示駆動回路 411、タッチセンサ駆動回路 412、およびタイミングコントローラ 413 を有する。また周辺回路として、表示部 401 およびタッチセンサ部 402 で必要な電源電圧を生成するための電源回路等を有していてもよい。

[0091]

表示駆動回路 411 は、一例として、走査線駆動回路 414 および信号線駆動回路 415 を有する。走査線駆動回路 414 および信号線駆動回路 415 は、表示部 401 にマトリクス状に設けられた画素 (図示せず) を順次駆動し、表示を制御することができる。

[0092]

なお、画素数の増加する場合や、フレーム周波数を高くする場合、走査線駆動回路 414 および信号線駆動回路 415 は、複数に設け、表示する画素の領域を区切って制御させてもよい。このようにすることで、表示する画像の精細度や、信号の書き込み速度等を高めることができる。

[0093]

タッチセンサ駆動回路 412 は、一例として、アナログ回路 416A、416B およびデジタル信号処理回路 417 を有する。アナログ回路 416A、416B は、主としてアナログ信号を扱う回路である。デジタル信号処理回路 417 は、主として、デジタル信号を扱う回路である。

[0094]

アナログ回路 416A は、一例として、タッチセンサ部 402 の駆動電極 (Tx) 側にパルス電圧

を印加する機能を有する。アナログ回路416Aとしては、レベルシフト回路、バッファ回路等がある。

[0095]

アナログ回路416Bは、一例として、タッチセンサ部402の検出電極(Rx)側よりアナログ信号を受け取りデジタル信号に変換する機能等、を有する。アナログ回路416Bとしては、積分回路や、サンプルホールド回路、A/D(アナログ/デジタル)コンバータ等がある。

[0096]

デジタル信号処理回路417は、一例として、アナログ回路416Bより出力されるデジタル信号のノイズ除去、タッチ位置検出、およびタッチ位置の追跡処理等の信号処理を行う回路である。デジタル信号処理回路417は、ASIC(Application Specific Integrated Circuit)やFPGA(Field Programmable Gate Array)等、信号処理を行う専用の回路を作製して用いることができる。デジタル信号処理回路417での信号処理によって得られるデータは、タッチパネル400の外部にあるホストコントローラ420に出力することができる。

[0097]

タイミングコントローラ413は、一例として、ホストコントローラ420から映像信号等を受信し、表示駆動回路411を制御する信号、例えばクロック信号、垂直同期信号、水平同期信号等を生成する回路である。また、タイミングコントローラ413は、一例として、ホストコントローラ420から信号を受信し、例えばタッチセンサ駆動回路412を制御するための信号等を生成する回路である。

[0098]

なお外部のホストコントローラ420から受信する各種信号は、DVI(Digital Visual Interface)、LVDS(Low Voltage Differential Signaling)、RSDS(Reduced Swing Differential Signaling)等のインターフェースを経て、タイミングコントローラ413に入力することができる。

[0099]

ホストコントローラ420は、タッチパネルが有する周辺回路と各種信号を入出力するための回路である。ホストコントローラ420は、例えば、演算回路や、フレームメモリを有し、タッチパネル400との間、あるいはその他の装置との間で信号の入出力を行う回路である。

[0100]

上述した表示駆動回路411、タッチセンサ駆動回路412、およびタイミングコントローラ413を構成する一部の回路は、シリコン基板に作製した集積回路(IC: Integrated Circuit)を用いることで、タッチパネル400が設けられた基板上や、タッチパネル400が設けられた基板に接続されるFPC(Flexible Printed Circuit)等上に設けることができる。そのため、図7に図示するIC440は、タッチパネル400のブロック内において、信号線駆動回路415、アナログ回路416B、デジタル信号処理回路417、およびタイミングコントローラ413を有する構成として図示している。

[0101]

このように、表示部401を駆動する機能と、タッチセンサ部402を駆動する機能と、を1つのICに組み込んだ構成とすることで、タッチパネル400に実装するICの数を減らすことができるため、コストを低減することができる。

[0102]

図8 (A)、(B)、(C) は、タッチパネルにICを実装する例を説明するための概略図である。

[0103]

図8 (A) では、タッチパネルモジュール400Aは、基板451、対向基板452、複数のFPC453、IC454、IC455等を有する。また基板451と対向基板452との間に表示部456、タッチセンサ部457、及び走査線駆動回路458を有している。IC454及びIC455は、COG(Chip On Glass)方式などの実装方法により基板451に実装されている。

[0104]

IC454は、図7で説明したIC440における信号線駆動回路415として機能する回路を有する。IC454は、図7で説明したIC440におけるアナログ回路416B、デジタル信号処理回路417、およびタイミングコントローラ413として機能する回路を有する。IC454やIC455には、FPC453を介して外部から信号が供給される。またFPC453を介してIC454やIC455から外部に信号を出力することができる。

[0105]

図8 (A) では表示部456を挟むように走査線駆動回路458を2つ設ける構成の例を示している。またIC454に加えてIC455を有する構成を示している。このような構成は、表示部456の画素極めて高精細となるように配置される場合に、好適に用いることができる。

[0106]

図8 (B) では、タッチパネルモジュール400Bは、1つのIC454Aと1つのFPC453を実装した例を示している。IC454Aは、図7で説明したIC440における信号線駆動回路415アナログ回路416B、デジタル信号処理回路417、およびタイミングコントローラ413として機能する回路を有する。このように、機能を1つのIC454Aに集約させることで、部品点数を減らすことができるため好ましい。また図8 (B) では、走査線駆動回路458を表示部456の2つの短辺のうち、FPC453に近い側の辺に沿って配置した例を示している。

[0107]

図8 (C) は、図8 (A)、(B) で説明したIC454、454Aの一部の機能を有するIC460等が実装されたPCB(Printed Circuit Board)459を有する構成の例を示している。基板451上のIC454B及びIC455Bと、PCB459とは、FPC453によって電氣的に接続されている。

[0108]

なお図8 (A)、(B)、(C) において、IC454、454A、454B、IC455、IC455Bは、基板451上ではなくFPC453に実装されていてもよい。例えばC454、454A、454B、IC455、IC455BをCOF(Chip On Film)方式やTAB(Tape Ammounted Bonding)方式などの実装方法によりFPC453に実装すればよい。

[0109]

図8 (A)、(B) に示すように、表示部456の短辺側にFPC453やIC454、454Aを配置する構成は狭額縁化が可能であるため、例えばスマートフォン、携帯電話、またはタブレット端末などの電子機器に好適に用いることができる。また、図8 (C) に示すようなPCB459を用いる構成は、例えばテレビジョン装置やモニタ装置、タブレット端末、またはノート型のパーソナルコンピュータなどに好適に用いることができる。

[0110]

<タッチパネルの断面図の構成例>

以下では、本発明の一態様のタッチパネルの断面図について、フルインセル型のタッチパネル、ハイブリッドインセル型のタッチパネルについて複数の例に挙げて説明する。以下に示す断面構成例1乃至4がフルインセル型のタッチパネルに対応し、断面構成例5乃至6がハイブリッドインセル型のタッチパネルに対応する。

[0111]

<断面構成例1>

図9で例示するタッチパネルは、フルインセル型のタッチパネルとしての機能を有する。図9には、2つの副画素を含む領域の断面構成例を示している。図9の構成は、トランジスタ201等が形成された基板（素子基板）側に光を射出するボトムエミッション型の発光装置を含む。

[0112]

タッチパネルは、発光素子202を有する。発光素子202は、導電層321（画素電極）と、EL層322と、導電層323（共通電極）とが積層された構成を有する。また導電層321と導電層323の間に、光学調整層324が設けられていてもよい。発光素子202からの光は基板371側に射出される。導電層321は、画素電極としての機能、および発光素子202の陽極としての機能を有する。導電層323は、共有電極としての機能、および発光素子202の陰極としての機能を有する。

[0113]

基板372（対向基板）側には、トランジスタ等を図示していないが、トランジスタ等が形成されていてもよい。また発光素子202と基板372との間には、乾燥剤等を設けてもよい。あるいは、熱硬化樹脂等の充填剤等を満たし、外部からの水分の侵入を防ぐとともに、耐衝撃性を強化する構成としてもよい。

[0114]

導電層321は透光性を有していることが好ましい。また導電層323は反射性を有していることが好ましい。

[0115]

また、発光素子202よりも基板371側に、着色層231が設けられている。図9に示す構成では、着色層231が絶縁層213上に設けられている。

[0116]

導電層351と導電層352は、一方がタッチセンサの一方の電極として機能し、他方がタッチセンサの他方の電極として機能する。導電層351は、導電層321と同一面上に形成されている。また導電層352は、トランジスタ201が有する2つのゲート電極のうち的一方と同一面上に形成されている。したがって、作製工程を増やすことなくタッチパネルを作製することができる。

[0117]

図9に示すように、基板371側において、導電層351と導電層352の間に生じる容量を利用して検知することができる。

[0118]

<断面構成例2>

図10は、図9における導電層352の位置が異なる点で相違している。図10において、導電層352及びトランジスタ201のゲート電極の一方は、絶縁層212と絶縁層213の間に設けられている。

[0119]

また、図11のように、導電層352が導電層321、光学調整層324、EL層322、導電層323、着色層231の少なくとも一つと重なるように配置してもよい。また図12に示すように導電層352が導電層321、光学調整層324、EL層322、導電層323、着色層231のいずれとも重ならないように配置してもよい。

[0120]

<断面構成例3>

図13は、タッチセンサを構成する導電層351と導電層352の両方が、導電層321と同一面上に形成されている場合の例を示している。

[0121]

このとき、一方の副画素に配置された導電層351と、他方の副画素に配置された導電層352との間に生じる容量を利用して検知することができる。

[0122]

<断面構成例4>

図14は、基板372側に光を射出するトップエミッション型の発光装置を含むタッチパネルの断面構成例である。

[0123]

ここで、発光素子202において、導電層321は反射性を有し、導電層323は透光性を有する。

[0124]

また導電層323は、少なくとも導電層351の一部と重なる部分に開口を有する。また、導電層323は、スリットまたは開口を有していてもよいし、櫛歯状の形状を有していてもよい。

[0125]

導電層351及び導電層352は、導電層321と同一面上に形成されている。

[0126]

図14に示す例では、一方の副画素に配置された導電層351と、他方の副画素に配置された導電層352との間に生じる容量を利用して検知する例を示している。

[0127]

また、図15では、塗り分け方式によりEL層322を形成した例を示している。またこのとき、図15に示すようにEL層322の端部を導電層323で覆うことにより、EL層322への不純物の拡散が抑制され、信頼性を高めることができる。また図15では、着色層231等が設けられていない場合の例を示している。

[0128]

<断面構成例5>

図16は、図14の構成において、タッチセンサを構成する導電層352が基板372（対向基板）側の一方の面上に形成されている場合の例を示している。また図16に示す構成は、トップエミッション型とした発光装置を含むタッチパネルである。

[0129]

またタッチセンサを構成する導電層351は、導電層321と同一面上に形成されている。導電層323は、少なくとも導電層351の一部と重なる部分に開口を有する。また図17に示すようにタッチセンサを構成する導電層352が基板372（対向基板）側の他方の面上に形成される構成として[0130]

また、図18では、図16の構成において、塗り分け方式によりEL層322を形成した例を示している。また、図19では、図17の構成において、塗り分け方式によりEL層322を形成した例を示している。

[0131]

<断面構成例6>

図20は、図14の構成において、タッチセンサを構成する導電層352が基板372（対向基板）側の一方の面上に形成され、タッチセンサを構成する導電層351が基板372（対向基板）側の一方の面上に形成され、トランジスタ201が有するソース又はドレインとなる電極と同一面上に形成されている場合の例を示している。また図20に示す構成は、トップエミッション型とした発光装置を含むタッチパネルである。

[0132]

またタッチセンサを構成する導電層351は、導電層321と同一面上に形成されている。導電層323は、少なくとも導電層351の一部と重なる部分に開口を有する。また図21に示すようにタッチセンサを構成する導電層352が基板372（対向基板）側の他方の面上に形成される構成として[0133]

また、図22では、図20の構成において、塗り分け方式によりEL層322を形成した例を示している。また、図23では、図21の構成において、塗り分け方式によりEL層322を形成した例を示している。また図36に示すように、オンセル型となるように導電層351と導電層352を基板372側に配置してもよい。

[0134]

<各構成要素について>

以下では、上記に示す各構成要素について説明する。

[0135]

<基板>

タッチパネルが有する基板には、平坦面を有する材料を用いることができる。表示素子からの光を取り出す側の基板には、該光を透過する材料を用いる。例えば、ガラス、石英、セラミック、サファイヤ、有機樹脂などの材料を用いることができる。また、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI基板等を適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板として用いてもよい。

[0136]

なお、基板として、ガラス基板を用いる場合、第6世代(1500mm×1850mm)、第7世代(1870mm×2200mm)、第8世代(2200mm×2400mm)、第9世代(2400mm×2800mm)、第10世代(2950mm×3400mm)等の大面積基板を用いることで、大型の表示装置を作製することができる。また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタや容量素子等を形成してもよい。

[0137]

厚さの薄い基板を用いることで、タッチパネルの軽量化、薄型化を図ることができる。さらに、可撓性を有する程度の厚さの基板を用いることで、可撓性を有するタッチパネルを実現できる。

[0138]

ガラスとしては、例えば、無アルカリガラス、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等を用いることができる。

[0139]

可撓性及び可視光に対する透過性を有する材料としては、例えば、可撓性を有する程度の厚さのガラスや、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)等のポリエステル樹脂、ポリアクリロニトリル樹脂、ポリイミド樹脂、ポリメチルメタクリレート樹脂、ポリカーボネート(PC)樹脂、ポリエーテルスルホン(PES)樹脂、ポリアミド樹脂、シクロオレフィン樹脂、ポリスチレン樹脂、ポリアミドイミド樹脂、ポリ塩化ビニル樹脂、ポリテトラフルオロエチレン(PTFE)樹脂等が挙げられる。特に、熱膨張係数の低い材料を用いることが好ましく、例えば、ポリアミドイミド樹脂、ポリイミド樹脂、PET等を好適に用いることができる。また、ガラス繊維に有機樹脂を含浸した基板や、無機フィラーを有機樹脂に混ぜて熱膨張係数を下げた基板を使用することもできる。このような材料を用いた基板は、重量が軽いため、該基板を用いたタッチパネルも軽量にすることができる。

[0140]

また、発光を取り出さない側の基板は、透光性を有していなくてもよいため、上記に挙げた基板の他に、金属材料や合金材料を用いた金属基板、セラミック基板、または半導体基板等を用いることもできる。金属材料や合金材料は熱伝導性が高く、封止基板全体に熱を容易に伝導できるため、タッチパネルの局所的な温度上昇を抑制することができ、好ましい。可撓性や曲げ性を得るためには、金属基板の厚さは、10 μ m以上200 μ m以下が好ましく、20 μ m以上50 μ m以下であることがより好ましい。

[0141]

金属基板を構成する材料としては、特に限定はないが、例えば、アルミニウム、銅、ニッケル、又はアルミニウム合金もしくはステンレス等の金属の合金などを好適に用いることができる。

[0142]

また、導電性の基板の表面を酸化する、又は表面に絶縁膜を形成するなどにより、絶縁処理が施された基板を用いてもよい。例えば、スピンコート法やディップ法などの塗布法、電着法、蒸着法、又はスパッタリング法などを用いて絶縁膜を形成してもよいし、酸素雰囲気で放置する又は加熱するほか、陽極酸化法などによって、基板の表面に酸化膜を形成してもよい。

[0143]

可撓性を有する基板としては、上記材料を用いた層が、タッチパネルの表面を傷などから保護するハードコート層（例えば、窒化シリコン層など）や、押圧を分散可能な材質の層（例えば、アラミド樹脂層など）等と積層されて構成されていてもよい。また、水分等による表示素子の寿命の低下等を抑制するために、窒化シリコン膜、酸化窒化シリコン膜等の窒素と珪素を含む膜や、窒化アルミニウム膜等の窒素とアルミニウムを含む膜等の透水性の低い絶縁膜を有していてもよい。

[0144]

基板は、複数の層を積層して用いることもできる。特に、ガラス層を有する構成とすると、水や酸素に対するバリア性を向上させ、信頼性の高いタッチパネルとすることができる。

[0145]

例えば、表示素子に近い側からガラス層、接着層、及び有機樹脂層を積層した基板を用いることができる。当該ガラス層の厚さとしては $20\ \mu\text{m}$ 以上 $200\ \mu\text{m}$ 以下、好ましくは $25\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下とする。このような厚さのガラス層は、水や酸素に対する高いバリア性と可撓性を同時に実現できる。また、有機樹脂層の厚さとしては、 $10\ \mu\text{m}$ 以上 $200\ \mu\text{m}$ 以下、好ましくは $20\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下とする。このような有機樹脂層を設けることにより、ガラス層の割れやクラックを抑制し、機械的強度を向上させることができる。このようなガラス材料と有機樹脂の複合材料を基板に適用することにより、極めて信頼性が高いフレキシブルなタッチパネルとすることができる。

[0146]

<トランジスタ>

トランジスタは、ゲート電極として機能する導電層と、半導体層と、ソース電極として機能する導電層と、ドレイン電極として機能する導電層と、ゲート絶縁層として機能する絶縁層と、を有する。上記では、ボトムゲート構造のトランジスタを適用した場合を示している。

[0147]

なお、本発明の一態様のタッチパネルが有するトランジスタの構造は特に限定されない。例えば、プレーナ型のトランジスタとしてもよいし、スタガ型のトランジスタとしてもよいし、逆スタガ型のトランジスタとしてもよい。また、トップゲート型又はボトムゲート型のいずれのトランジスタ構造としてもよい。または、チャンネルの上下にゲート電極が設けられていてもよい。トランジスタに用いる半導体材料は特に限定されず、例えば、酸化物半導体、シリコン、ゲルマニウム等が挙げられる。

[0148]

トランジスタに用いる半導体材料の結晶性についても特に限定されず、非晶質半導体、結晶性を有する半導体（微結晶半導体、多結晶半導体、単結晶半導体、又は一部に結晶領域を有する半導体）のいずれを用いてもよい。結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

[0149]

また、トランジスタに用いる半導体材料としては、例えば、第14族の元素、化合物半導体又は酸化物半導体を半導体層に用いることができる。代表的には、シリコンを含む半導体、ガリウムヒ素を含む半導体又はインジウムを含む酸化物半導体などを適用できる。

[0150]

特に、トランジスタのチャンネルが形成される半導体に、酸化物半導体を適用することが好ましい。特にシリコンよりもバンドギャップの大きな酸化物半導体を適用することが好ましい。シリコンより

もバンドギャップが広く、且つキャリア密度の小さい半導体材料を用いると、トランジスタのオフ状態における電流を低減できるため好ましい。

[0151]

例えば、上記酸化物半導体として、少なくともインジウム (In) もしくは亜鉛 (Zn) を含むことが好ましい。より好ましくは、 $In-M-Zn$ 酸化物 (MはAl、Ti、Ga、Ge、Y、Zr、Sn、La、Ce、HfまたはNd等の金属) で表記される酸化物を含む。

[0152]

特に、半導体層として、複数の結晶部を有し、当該結晶部はc軸が半導体層の被形成面、または半導体層の上面に対し概略垂直に配向し、且つ隣接する結晶部間には粒界を有さない酸化物半導体膜を用いることが好ましい。

[0153]

このような酸化物半導体は、結晶粒界を有さないために表示パネルを湾曲させたときの応力によって酸化物半導体膜にクラックが生じてしまうことが抑制される。したがって、可撓性を有し、湾曲させて用いるタッチパネルなどに、このような酸化物半導体を好適に用いることができる。

[0154]

また半導体層としてこのような酸化物半導体を用いることで、電気特性の変動が抑制され、信頼性の高いトランジスタを実現できる。

[0155]

また、その低いオフ電流により、トランジスタを介して容量に蓄積した電荷を長期間に亘って保持することが可能である。このようなトランジスタを画素に適用することで、各表示領域に表示した画像の階調を維持しつつ、駆動回路を停止することも可能となる。その結果、極めて消費電力の低減された表示装置を実現できる。

[0156]

半導体層は、例えば少なくともインジウム (In)、亜鉛 (Zn) 及びM (Al、Ti、Ga、Y、Zr、La、Ce、SnまたはHf等の金属) を含む $In-M-Zn$ 酸化物で表記される膜を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

[0157]

スタビライザーとしては、上記Mで記載の金属を含め、例えば、ガリウム (Ga)、スズ (Sn)、ハフニウム (Hf)、アルミニウム (Al)、またはジルコニウム (Zr) 等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) 等がある。

[0158]

半導体層を構成する酸化物半導体として、例えば、 $In-Ga-Zn$ 系酸化物、 $In-Al-Zn$ 系酸化物、 $In-Sn-Zn$ 系酸化物、 $In-Hf-Zn$ 系酸化物、 $In-La-Zn$ 系酸化物、 $In-Ce-Zn$ 系酸化物、 $In-Pr-Zn$ 系酸化物、 $In-Nd-Zn$ 系酸化物、 $In-Sm-Zn$ 系酸化物、 $In-Eu-Zn$ 系酸化物、 $In-Gd-Zn$ 系酸化物、 $In-Tb-Zn$ 系酸化物、

In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

[0159]

なお、ここで、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

[0160]

また、半導体層と、導電層は、上記酸化物のうち、同一の金属元素を有していてもよい。半導体層と、導電層を同一の金属元素とすることで、製造コストを低減させることができる。例えば、同一の金属組成の金属酸化物ターゲットを用いることで製造コストを低減させることができる。また同一の金属組成の金属酸化物ターゲットを用いることによって、酸化物半導体膜を加工する際のエッチングガスまたはエッチング液を共通して用いることができる。ただし、半導体層と、導電層は、同一の金属元素を有していても、組成が異なる場合がある。例えば、トランジスタ及び容量素子の作製工程中に、膜中の金属元素が脱離し、異なる金属組成となる場合がある。

[0161]

なお、半導体層がIn-M-Zn酸化物であるとき、ZnおよびOを除いてのInとMの原子数比率は、InおよびMの和を100 atomic %としたとき、好ましくはInが25 atomic %より高く、Mが75 atomic %未満、さらに好ましくはInが34 atomic %より高く、Mが66 atomic %未満とする。

[0162]

半導体層は、エネルギーギャップが2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタのオフ電流を低減することができる。

[0163]

半導体層の厚さは、3 nm以上200 nm以下、好ましくは3 nm以上100 nm以下、さらに好ましくは3 nm以上50 nm以下とする。

[0164]

半導体層がIn-M-Zn酸化物（MはAl、Ti、Ga、Ge、Y、Zr、Sn、La、Ce、HfまたはNd）の場合、In-M-Zn酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、 $\text{In} \geq \text{M}$ 、 $\text{Zn} \geq \text{M}$ を満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1$ 、 $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1.2$ 、 $\text{In} : \text{M} : \text{Zn} = 3 : 1 : 2$ 、 $4 : 2 : 3$ が好ましい。なお、成膜される半導体層の原子数比はそれぞれ、誤差として上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。

[0165]

半導体層としては、キャリア密度の低い酸化物半導体膜を用いる。例えば、半導体層は、キャリア

密度が 1×10^{17} 個 / cm^3 以下、好ましくは 1×10^{15} 個 / cm^3 以下、さらに好ましくは 1×10^{13} 個 / cm^3 以下、より好ましくは 1×10^{11} 個 / cm^3 以下の酸化物半導体膜を用いる。

[0166]

なお、これらに限られず、必要とするトランジスタの半導体特性及び電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

[0167]

半導体層において、第14族元素の一つであるシリコンや炭素が含まれると、半導体層において酸素欠損が増加し、n型化してしまう。このため、半導体層におけるシリコンや炭素の濃度（二次イオン質量分析法により得られる濃度）を、 2×10^{18} atoms / cm^3 以下、好ましくは 2×10^{17} atoms / cm^3 以下とする。

[0168]

また、半導体層において、二次イオン質量分析法により得られるアルカリ金属またはアルカリ土類金属の濃度を、 1×10^{18} atoms / cm^3 以下、好ましくは 2×10^{16} atoms / cm^3 以下にする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があり、トランジスタのオフ電流が増大してしまうことがある。このため、半導体層のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。

[0169]

また、半導体層に窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。従って、当該酸化物半導体膜において、窒素はできる限り低減されていることが好ましい、例えば、二次イオン質量分析法により得られる窒素濃度は、 5×10^{18} atoms / cm^3 以下にすることが好ましい。

[0170]

また、半導体層は、例えば非単結晶構造でもよい。非単結晶構造は、例えば、後述するCAAC-OS(C Axis Aligned-Crystalline Oxide Semiconductor)、多結晶構造、後述する微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC-OSは最も欠陥準位密度が低い。

[0171]

半導体層は、例えば非晶質構造でもよい。非晶質構造の酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質構造の酸化物膜は、例えば、完全な非晶質構造であり、結晶部を有さない。

[0172]

なお、半導体層が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の二種以上を有する混合膜であってもよい。混合膜は、例えば、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域のいずれか二種以上の領域を有する場合がある。また、混合膜は、例えば、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域のいずれか二種以上の領域の積層構造を

有する場合がある。

[0173]

または、トランジスタのチャネルが形成される半導体に、シリコンを用いることが好ましい。シリコンとしてアモルファスシリコンを用いてもよいが、特に結晶性を有するシリコンを用いることが好ましい。例えば、微結晶シリコン、多結晶シリコン、単結晶シリコンなどを用いることが好ましい。特に、多結晶シリコンは、単結晶シリコンに比べて低温で形成でき、且つアモルファスシリコンに比べて高い電界効果移動度と高い信頼性を備える。このような多結晶半導体を画素に適用することで画素の開口率を向上させることができる。また極めて高精細に画素を有する場合であっても、ゲート駆動回路とソース駆動回路を画素と同一基板上に形成することが可能となり、電子機器を構成する部品数を低減することができる。

[0174]

<導電層>

トランジスタのゲート、ソースおよびドレインのほか、タッチパネルを構成する各種配線および電極などの導電層に用いることのできる材料としては、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、チタン膜上にアルミニウム膜を積層する二層構造、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。また、マンガンを含む銅を用いると、エッチングによる形状の制御性が高まるため好ましい。

[0175]

また、透光性を有する導電性材料としては、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、酸化亜鉛、ガリウムを添加した酸化亜鉛などの導電性酸化物またはグラフェンを用いることができる。または、金、銀、白金、マグネシウム、ニッケル、タングステン、クロム、モリブデン、鉄、コバルト、銅、パラジウム、またはチタンなどの金属材料や、該金属材料を含む合金材料を用いることができる。または、該金属材料の窒化物（例えば、窒化チタン）などを用いてもよい。なお、金属材料、合金材料（またはそれらの窒化物）を用いる場合には、透光性を有する程度に薄くすればよい。また、上記材料の積層膜を導電層として用いることができる。例えば、銀とマグネシウムの合金とインジウムスズ酸化物の積層膜などを用いると、導電性を高めることができるため好ましい。これらは、タッチパネルを構成する各種配線および電極などの導電層や、表示素子が有する電極（画素電極および共通電極など）にも用いることができる。

[0176]

または、導電層として、半導体層と同様の酸化物半導体を用いることが好ましい。このとき導電層が、半導体層のチャネルが形成される領域よりも低い電気抵抗を呈するように、形成されていること

が好ましい。

[0177]

例えばこのような導電層を、トランジスタの第2のゲート電極として機能する導電層に適用することができる。または、透光性を有する他の導電層にも適用することができる。

[0178]

<絶縁層>

各絶縁層、オーバーコート、スペーサ等に用いることのできる絶縁材料としては、例えば、アクリル、エポキシなどの樹脂、シロキサン結合を有する樹脂の他、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウムなどの無機絶縁材料を用いることもできる。

[0179]

<接着層>

接着層としては、熱硬化樹脂や光硬化樹脂、2液混合型の硬化性樹脂などの硬化性樹脂を用いることができる。例えば、アクリル樹脂、ポリウレタン、エポキシ樹脂、またはシロキサン結合を有する樹脂などの樹脂を用いることができる。

[0180]

<接続層>

接続層としては、異方性導電フィルム (ACF: Anisotropic Conductive Film) や、異方性導電ペースト (ACP: Anisotropic Conductive Paste) などを用いることができる。

[0181]

<着色層>

着色層に用いることのできる材料としては、金属材料、樹脂材料、顔料または染料が含まれた樹脂材料などが挙げられる。

[0182]

<発光素子>

発光素子としては、自発光が可能な素子を用いることができ、電流又は電圧によって輝度が制御される素子をその範疇に含んでいる。例えば、発光ダイオード (LED)、有機EL素子、無機EL素子等を用いることができる。

[0183]

発光素子は、トップエミッション型、ボトムエミッション型、デュアルエミッション型のいずれであつてもよい。光を取り出す側の電極には、可視光を透過する導電膜を用いる。また、光を取り出さない側の電極には、可視光を反射する導電膜を用いることが好ましい。

[0184]

EL層は少なくとも発光層を有する。EL層は、発光層以外の層として、正孔注入性の高い物質、正孔輸送性の高い物質、正孔ブロック材料、電子輸送性の高い物質、電子注入性の高い物質、又はバイポーラ性の物質 (電子輸送性及び正孔輸送性が高い物質) 等を含む層をさらに有していてもよい。

[0185]

EL層には低分子系化合物及び高分子系化合物のいずれを用いることもでき、無機化合物を含んでもよい。EL層を構成する層は、それぞれ、蒸着法 (真空蒸着法を含む)、転写法、印刷法、イ

ンクジェット法、塗布法等の方法で形成することができる。

[0186]

陰極と陽極の間に、発光素子の閾値電圧より高い電圧を印加すると、E L層に陽極側から正孔が注入され、陰極側から電子が注入される。注入された電子と正孔はE L層において再結合し、E L層に含まれる発光物質が発光する。

[0187]

発光素子として、白色発光の発光素子を適用する場合には、E L層に2種類以上の発光物質を含む構成とすることが好ましい。例えば2以上の発光物質の各々の発光が補色の関係となるように、発光物質を選択することにより白色発光を得ることができる。例えば、それぞれR (赤)、G (緑)、B (青)、Y (黄)、O (橙)等の発光を示す発光物質、またはR、G、Bのうち2以上の色のスペクトル成分を含む発光を示す発光物質のうち、2以上を含むことが好ましい。また、発光素子からの発光のスペクトルが、可視光領域の波長(例えば350nm乃至750nm)の範囲内に2以上のピークを有する発光素子を適用することが好ましい。また、黄色の波長領域にピークを有する材料の発光スペクトルは、緑色及び赤色の波長領域にもスペクトル成分を有する材料であることが好ましい。

[0188]

より好ましくは、E L層は、一の色を発光する発光材料を含む発光層と、他の色を発光する発光材料を含む発光層とが積層された構成とすることが好ましい。例えば、E L層における複数の発光層は、互いに接して積層されていてもよいし、分離層を介して積層されていてもよい。例えば、蛍光発光層と燐光発光層との間に分離層を設ける構成としてもよい。

[0189]

分離層は、例えば燐光発光層中で生成する燐光材料等の励起状態から蛍光発光層中の蛍光材料等へのデクスター機構によるエネルギー移動(特に三重項エネルギー移動)を防ぐために設けることができる。分離層は数nm程度の厚さがあればよい。具体的には、0.1nm以上20nm以下、あるいは1nm以上10nm以下、あるいは1nm以上5nm以下である。分離層は、単一の材料(好ましくはバイポーラ性の物質)、又は複数の材料(好ましくは正孔輸送性材料及び電子輸送性材料)を含む。

[0190]

分離層は、該分離層と接する発光層に含まれる材料を用いて形成してもよい。これにより、発光素子の作製が容易になり、また、駆動電圧が低減される。例えば、燐光発光層が、ホスト材料、アシスト材料、及び燐光材料(ゲスト材料)からなる場合、分離層を、該ホスト材料及びアシスト材料で形成してもよい。上記構成を別言すると、分離層は、燐光材料を含まない領域を有し、燐光発光層は、燐光材料を含む領域を有する。これにより、分離層と燐光発光層とを燐光材料の有無で蒸着することが可能となる。また、このような構成とすることで、分離層と燐光発光層を同じチャンバーで成膜することが可能となる。これにより、製造コストを削減することができる。

[0191]

また、発光素子は、E L層を1つ有するシングル素子であってもよいし、複数のE L層が電荷発生層を介して積層されたタンデム素子であってもよい。

[0192]

<タッチセンサの導電層(電極)の材質>

タッチセンサを構成する一対の導電層の少なくとも一つは、E L素子を構成する共通電極や画素電極などと同じ材料を用いることが好ましい。

[0193]

または、タッチセンサを構成する一対の導電層の少なくとも一つは、メッシュ状に加工された金属膜（メタルメッシュともいう）で構成してもよい。

[0194]

また、タッチセンサのX方向の導電層またはY方向の導電層（電極）の少なくとも一つは、その直下か直上に金属膜を付けることで、抵抗を下げることができる。このとき、金属酸化物を含む導電膜と、金属を含む導電膜の積層構造とする場合には、ハーフトーンマスクを用いたパターンニング技術により形成すると、工程を簡略化できるため好ましい。

[0195]

<タッチセンサの導電層（電極）を接続する配線>

タッチセンサのX方向の導電層またはY方向の導電層が交差する部分において、他の導電層を用いてブリッジ構造を実現する場合、例えば、トランジスタのゲート電極と同一面上の導電層で、ゲート線と平行に横方向に画素全体で引き回す。または、トランジスタのソース電極及びドレイン電極と同一面上の導電層で、ソース線と平行に、縦方向に画素全体で引き回す。このとき、画素内にコンタクト部を形成することができる。または、共通電極として機能する導電層と同一の導電層、または画素電極として機能する導電層と同一面上の導電層を用いてもよい。

[0196]

<タッチセンサの導電層（電極）やE L素子の導電層（電極）>

[0197]

上部に配置されるスリットを有する導電層（電極）を画素電極として用い、下部に配置され、複数の画素にわたって設けられる導電層（電極）を共通電極として用いることができる。

[0198]

または、上部に配置されるスリットを有する導電層（電極）を共通電極として用い、上部に配置されるスリットを有する導電層（電極）を共通電極として用いることができる。

[0199]

タッチセンサのX方向の導電層を、画素電極として機能する導電層、またはトランジスタのゲート、ソースまたはドレインとして機能する導電層と、同一面上に形成する構成とすることができる。または、タッチセンサのY方向の導電層を、画素電極として機能する導電層、またはトランジスタのゲート、ソースまたはドレインとして機能する導電層と、同一面上に形成する構成とすることができる。

[0200]

また、タッチセンサのX方向の導電層をパルス電圧が与えられる導電層または電流の検出を行う導電層のいずれとしてもよい。またこのとき、タッチセンサのY方向の導電層は他方にすればよい。

[0201]

また、共通電極として機能する導電層は、複数の画素にわたって設けられる構成としてもよいし、例えばトランジスタのゲート電極と同一面上の導電層により形成された共通配線と電気的に接続されていてもよい。このとき、1つの共通電極として機能する導電層は島状の形状を有していてもよい。

[0202]

<対向基板>

トランジスタ等が設けられる基板（素子基板）と対向して設けられる基板（対向基板）にタッチセンサのX方向の導電層またはY方向の導電層を設ける場合、当該導電層よりも視認側に遮光層を配置することが好ましい。

[0203]

<駆動方法>

タッチセンサの駆動は、例えば画素の駆動における1水平期間（1ゲート選択期間）の隙間で、対応する行のセンシングをすることができる。または、1フレーム期間を2つに分け、前半で全画素の書き込みを行い、後半でセンシングしてもよい。

[0204]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態、または、本実施の形態の少なくとも一部と適宜組み合わせて実施することができる。

[0205]

（実施の形態2）

本実施の形態では、上記実施の形態に示したトランジスタ201に置き換えて用いることができるトランジスタの一例について、図面を用いて説明する。なお、本実施の形態で示すトランジスタは、上記実施の形態に示したトランジスタ11やトランジスタ12などにも用いることができる。なお本実施の形態で示すトランジスタは、画素が有するトランジスタに限らず、駆動回路が有するトランジスタにも適用可能である。

[0206]

本発明の一態様のタッチパネルは、ボトムゲート型のトランジスタや、トップゲート型トランジスタなどの様々な形態のトランジスタを用いて作製することができる。よって、既存の製造ラインに合わせて、使用する半導体層の材料やトランジスタ構造を容易に置き換えることができる。

[0207]

<ボトムゲート型トランジスタ>

図24（A1）は、ボトムゲート型のトランジスタの一種であるチャネル保護型のトランジスタ810の断面図である。図24（A1）において、トランジスタ810は基板771上に形成されている。また、トランジスタ810は、基板771上に絶縁層772を介して電極746を有する。また、電極746上に絶縁層726を介して半導体層742を有する。電極746はゲート電極として機能できる。絶縁層726はゲート絶縁層として機能できる。

[0208]

また、半導体層742のチャネル形成領域上に絶縁層741を有する。また、半導体層742の一部と接して、絶縁層726上に電極744aおよび電極744bを有する。電極744aは、ソース電極またはドレイン電極の一方として機能できる。電極744bは、ソース電極またはドレイン電極の他方として機能できる。電極744aの一部、および電極744bの一部は、絶縁層741上に形成される。

[0209]

絶縁層741は、チャネル保護層として機能できる。チャネル形成領域上に絶縁層741を設けることで、電極744aおよび電極744bの形成時に生じる半導体層742の露出を防ぐことができ

る。よって、電極 7 4 4 a および電極 7 4 4 b の形成時に、半導体層 7 4 2 のチャネル形成領域がエッチングされることを防ぐことができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。

[0 2 1 0]

また、トランジスタ 8 1 0 は、電極 7 4 4 a、電極 7 4 4 b および絶縁層 7 4 1 上に絶縁層 7 2 8 を有し、絶縁層 7 2 8 の上に絶縁層 7 2 9 を有する。

[0 2 1 1]

絶縁層 7 7 2 は、例えば、複数の絶縁層の積層であってもよい。また、半導体層 7 4 2 は、例えば、複数の半導体層の積層であってもよい。また、電極 7 4 6 は、例えば、複数の導電層の積層であってもよい。また、絶縁層 7 2 6 は、例えば、複数の絶縁層の積層であってもよい。また、電極 7 4 4 a および電極 7 4 4 b は、例えば、複数の導電層の積層であってもよい。また、絶縁層 7 4 1 は、例えば、複数の絶縁層の積層であってもよい。また、絶縁層 7 2 8 は、例えば、複数の絶縁層の積層であってもよい。また、絶縁層 7 2 9 は、例えば、複数の絶縁層の積層であってもよい。

[0 2 1 2]

本実施の形態で開示するトランジスタを構成する導電層、半導体層、絶縁層などは、他の実施の形態に開示した材料および方法を用いて形成することができる。

[0 2 1 3]

半導体層 7 4 2 に酸化物半導体を用いる場合、電極 7 4 4 a および電極 7 4 4 b の、少なくとも半導体層 7 4 2 と接する部分に、半導体層 7 4 2 の一部から酸素を奪い、酸素欠損を生じさせることが可能な材料を用いることが好ましい。半導体層 7 4 2 中の酸素欠損が生じた領域はキャリア濃度が増加し、当該領域は n 型化し、n 型領域 (n⁺層) となる。したがって、当該領域はソース領域またはドレイン領域として機能することができる。半導体層 7 4 2 に酸化物半導体を用いる場合、半導体層 7 4 2 から酸素を奪い、酸素欠損を生じさせることが可能な材料の一例として、タングステン、チタン等を挙げることができる。

[0 2 1 4]

半導体層 7 4 2 にソース領域およびドレイン領域が形成されることにより、電極 7 4 4 a および電極 7 4 4 b と半導体層 7 4 2 の接触抵抗を低減することができる。よって、電界効果移動度や、しきい値電圧などの、トランジスタの電気特性を良好なものとすることができる。

[0 2 1 5]

半導体層 7 4 2 にシリコンなどの半導体を用いる場合は、半導体層 7 4 2 と電極 7 4 4 a の間、および半導体層 7 4 2 と電極 7 4 4 b の間に、n 型半導体または p 型半導体として機能する層を設けることが好ましい。n 型半導体または p 型半導体として機能する層は、トランジスタのソース領域またはドレイン領域として機能することができる。

[0 2 1 6]

絶縁層 7 2 9 は、外部からのトランジスタへの不純物の拡散を防ぐ、または低減する機能を有する材料を用いて形成することが好ましい。なお、必要に応じて絶縁層 7 2 9 を省略することもできる。

[0 2 1 7]

なお、半導体層 7 4 2 に酸化物半導体を用いる場合、絶縁層 7 2 9 の形成前または形成後、もしくは絶縁層 7 2 9 の形成前後に加熱処理を行ってもよい。加熱処理を行うことで、絶縁層 7 2 9 や他の

絶縁層中に含まれる酸素を半導体層 7 4 2 中に拡散させ、半導体層 7 4 2 中の酸素欠損を補填することができる。または、絶縁層 7 2 9 を加熱しながら成膜することで、半導体層 7 4 2 中の酸素欠損を補填することができる。

[0 2 1 8]

図 2 4 (A 2) に示すトランジスタ 8 1 1 は、絶縁層 7 2 9 上にバックゲート電極として機能できる電極 7 2 3 を有する点が、トランジスタ 8 1 0 と異なる。電極 7 2 3 は、電極 7 4 6 と同様の材料および方法で形成することができる。

[0 2 1 9]

一般に、バックゲート電極は導電層で形成され、ゲート電極とバックゲート電極で半導体層のチャネル形成領域を挟むように配置される。よって、バックゲート電極は、ゲート電極と同様に機能させることができる。バックゲート電極の電位は、ゲート電極と同電位としてもよいし、接地電位 (GND 電位) や、任意の電位としてもよい。また、バックゲート電極の電位をゲート電極と連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

[0 2 2 0]

なお、電極 7 2 3 は、絶縁層 7 2 8 と絶縁層 7 2 9 の間に設けてもよい。

[0 2 2 1]

なお、電極 7 4 6 または電極 7 2 3 の一方を、「ゲート電極」という場合、他方を「バックゲート電極」という。例えば、トランジスタ 8 1 1 において、電極 7 2 3 を「ゲート電極」と言う場合、電極 7 4 6 を「バックゲート電極」と言う。また、電極 7 2 3 を「ゲート電極」として用いる場合は、トランジスタ 8 1 1 をトップゲート型のトランジスタの一種と考えることができる。また、電極 7 4 6 および電極 7 2 3 のどちらか一方を、「第 1 のゲート電極」といい、他方を「第 2 のゲート電極」という場合がある。

[0 2 2 2]

半導体層 7 4 2 を挟んで電極 7 4 6 および電極 7 2 3 を設けることで、更には、電極 7 4 6 および電極 7 2 3 を同電位とすることで、半導体層 7 4 2 においてキャリアの流れる領域が膜厚方向においてより大きくなるため、キャリアの移動量が増加する。この結果、トランジスタ 8 1 1 のオン電流が大きくなる共に、電界効果移動度が高くなる。

[0 2 2 3]

したがって、トランジスタ 8 1 1 は、占有面積に対して大きいオン電流を有するトランジスタとすることができる。すなわち、求められるオン電流に対して、トランジスタ 8 1 1 の占有面積を小さくすることができる。よって、集積度の高い半導体装置を実現することができる。

[0 2 2 4]

また、ゲート電極とバックゲート電極は導電層で形成されるため、トランジスタの外部で生じる電界が、チャネルが形成される半導体層に作用しないようにする機能 (特に静電気などに対する電界遮蔽機能) を有する。なお、バックゲート電極を半導体層よりも大きく形成し、バックゲート電極で半導体層を覆うことで、電界遮蔽機能を高めることができる。

[0 2 2 5]

また、電極 7 4 6 および電極 7 2 3 を設け、半導体層 7 4 2 への電界遮蔽機能を高めることで、ストレス試験 (例えば、ゲートに負の電荷を印加する -GBT (Gate Bias-Temperature

t u r e) ストレス試験) による劣化が抑制することができる。また、ドレイン電圧の大きさにより、オン電流が流れ始めるゲート電圧(立ち上がり電圧)が変化する現象を軽減することができる。なお、この効果は、電極 7 4 6 および電極 7 2 3 が、同電位、または異なる電位の場合において生じる。

[0226]

また、バックゲート電極を、遮光性を有する導電膜で形成することで、バックゲート電極側から半導体層に光が入射することを防ぐことができる。よって、半導体層の光劣化を防ぎ、トランジスタのしきい値電圧がシフトするなどの電気特性の劣化を防ぐことができる。

[0227]

本発明の一態様によれば、信頼性の良好なトランジスタを実現することができる。また、信頼性の良好な半導体装置を実現することができる。

[0228]

図 2 4 (B 1) に、ボトムゲート型のトランジスタの 1 つであるチャネル保護型のトランジスタ 8 2 0 の断面図を示す。トランジスタ 8 2 0 は、トランジスタ 8 1 0 とほぼ同様の構造を有しているが、絶縁層 7 4 1 が半導体層 7 4 2 の端部を覆っている点が異なる。また、半導体層 7 4 2 と重なる絶縁層 7 4 1 の一部を選択的に除去して形成した開口部において、半導体層 7 4 2 と電極 7 4 4 a が電気的に接続している。また、半導体層 7 4 2 と重なる絶縁層 7 2 9 の一部を選択的に除去して形成した他の開口部において、半導体層 7 4 2 と電極 7 4 4 b が電気的に接続している。

[0229]

図 2 4 (B 2) に示すトランジスタ 8 2 1 は、絶縁層 7 2 9 上にバックゲート電極として機能できる電極 7 2 3 を有する点が、トランジスタ 8 2 0 と異なる。

[0230]

絶縁層 7 4 1 が半導体層 7 4 2 の端部を覆って設けられることで、電極 7 4 4 a および電極 7 4 4 b の形成時に生じる半導体層 7 4 2 の露出を防ぐことができる。よって、電極 7 4 4 a および電極 7 4 4 b の形成時に半導体層 7 4 2 の薄膜化を防ぐことができる。

[0231]

また、トランジスタ 8 2 0 およびトランジスタ 8 2 1 は、トランジスタ 8 1 0 およびトランジスタ 8 1 1 よりも、電極 7 4 4 a と電極 7 4 6 の間の距離と、電極 7 4 4 b と電極 7 4 6 の間の距離が長くなる。よって、電極 7 4 4 a と電極 7 4 6 の間に生じる寄生容量を小さくすることができる。また、電極 7 4 4 b と電極 7 4 6 の間に生じる寄生容量を小さくすることができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現できる。

[0232]

図 2 4 (C 1) に示すトランジスタ 8 2 5 は、ボトムゲート型のトランジスタの 1 つであるチャネルエッチング型のトランジスタである。トランジスタ 8 2 5 は、絶縁層 7 4 1 を用いずに電極 7 4 4 a および電極 7 4 4 b を形成する。このため、電極 7 4 4 a および電極 7 4 4 b の形成時に露出する半導体層 7 4 2 の一部がエッチングされる場合がある。一方、絶縁層 7 4 1 を設けないため、トランジスタの生産性を高めることができる。

[0233]

図 2 4 (C 2) に示すトランジスタ 8 2 5 は、絶縁層 7 2 9 上にバックゲート電極として機能できる電極 7 2 3 を有する点が、トランジスタ 8 2 5 と異なる。

[0234]

<トップゲート型トランジスタ>

図25(A1)に、トップゲート型のトランジスタの一種であるトランジスタ830の断面図を示す。トランジスタ830は、絶縁層772の上に半導体層742を有し、半導体層742および絶縁層772上に、半導体層742の一部に接する電極744a、および半導体層742の一部に接する電極744bを有し、半導体層742、電極744a、および電極744b上に絶縁層726を有し、絶縁層726上に電極746を有する。

[0235]

トランジスタ830は、電極746および電極744a、並びに、電極746および電極744bが重ならないため、電極746および電極744aの間に生じる寄生容量、並びに、電極746および電極744bの間に生じる寄生容量を小さくすることができる。また、電極746を形成した後に、電極746をマスクとして用いて不純物755を半導体層742に導入することで、半導体層742中に自己整合(セルフアライメント)的に不純物領域を形成することができる(図25(A3)参照)。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。

[0236]

なお、不純物755の導入は、イオン注入装置、イオンドーピング装置またはプラズマ処理装置を用いて行うことができる。

[0237]

不純物755としては、例えば、第13族元素または第15族元素のうち、少なくとも一種の元素を用いることができる。また、半導体層742に酸化物半導体を用いる場合は、不純物755として、希ガス、水素、および窒素のうち、少なくとも一種の元素を用いることも可能である。

[0238]

図25(A2)に示すトランジスタ831は、電極723および絶縁層727を有する点がトランジスタ830と異なる。トランジスタ831は、絶縁層772の上に形成された電極723を有し、電極723上に形成された絶縁層727を有する。電極723は、バックゲート電極として機能することができる。よって、絶縁層727は、ゲート絶縁層として機能することができる。

[0239]

トランジスタ811と同様に、トランジスタ831は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ831の占有面積を小さくすることができる。本発明の一態様によれば、トランジスタの占有面積を小さくすることができる。よって、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

[0240]

図25(B1)に例示するトランジスタ840は、トップゲート型のトランジスタの1つである。トランジスタ840は、電極744aおよび電極744bを形成した後に半導体層742を形成する点が、トランジスタ830と異なる。また、図25(B2)に例示するトランジスタ841は、電極723および絶縁層727を有する点が、トランジスタ840と異なる。トランジスタ840およびトランジスタ841において、半導体層742の一部は電極744a上に形成され、半導体層742の他の一部は電極744b上に形成される。

[0241]

トランジスタ 8 1 1 と同様に、トランジスタ 8 4 1 は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ 8 4 1 の占有面積を小さくすることができる。本発明の一態様によれば、トランジスタの占有面積を小さくすることができる。よって、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

[0 2 4 2]

図 2 6 (A 1) に例示するトランジスタ 8 4 2 は、トップゲート型のトランジスタの 1 つである。トランジスタ 8 4 2 は、絶縁層 7 2 9 を形成した後に電極 7 4 4 a および電極 7 4 4 b を形成する点がトランジスタ 8 3 0 やトランジスタ 8 4 0 と異なる。電極 7 4 4 a および電極 7 4 4 b は、絶縁層 7 2 8 および絶縁層 7 2 9 に形成した開口部において半導体層 7 4 2 と電氣的に接続する。

[0 2 4 3]

また、電極 7 4 6 と重ならない絶縁層 7 2 6 の一部を除去し、電極 7 4 6 と残りの絶縁層 7 2 6 をマスクとして用いて不純物 7 5 5 を半導体層 7 4 2 に導入することで、半導体層 7 4 2 中に自己整合 (セルフアライメント) 的に不純物領域を形成することができる (図 2 6 (A 3) 参照)。トランジスタ 8 4 2 は、絶縁層 7 2 6 が電極 7 4 6 の端部を越えて延伸する領域を有する。不純物 7 5 5 を半導体層 7 4 2 に導入する際に、半導体層 7 4 2 の絶縁層 7 2 6 を介して不純物 7 5 5 が導入された領域の不純物濃度は、絶縁層 7 2 6 を介さずに不純物 7 5 5 が導入された領域よりも小さくなる。よって、電極 7 4 6 に隣接する半導体層 7 4 2 の領域に LDD (L i g h t l y D o p e d D r a i n) 領域が形成される。

[0 2 4 4]

図 2 6 (A 2) に示すトランジスタ 8 4 3 は、電極 7 2 3 を有する点がトランジスタ 8 4 2 と異なる。トランジスタ 8 4 3 は、基板 7 7 1 の上に形成された電極 7 2 3 を有し、絶縁層 7 7 2 を介して半導体層 7 4 2 と重なる。電極 7 2 3 は、バックゲート電極として機能することができる。

[0 2 4 5]

また、図 2 6 (B 1) に示すトランジスタ 8 4 4 および図 2 6 (B 2) に示すトランジスタ 8 4 5 のように、電極 7 4 6 と重ならない領域の絶縁層 7 2 6 を全て除去してもよい。また、図 2 6 (C 1) に示すトランジスタ 8 4 6 および図 2 6 (C 2) に示すトランジスタ 8 4 7 のように、絶縁層 7 2 6 を残してもよい。

[0 2 4 6]

トランジスタ 8 4 2 乃至トランジスタ 8 4 7 も、電極 7 4 6 を形成した後に、電極 7 4 6 をマスクとして用いて不純物 7 5 5 を半導体層 7 4 2 に導入することで、半導体層 7 4 2 中に自己整合的に不純物領域を形成することができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。また、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

[0 2 4 7]

< s - c h a n n e l 型トランジスタ >

図 2 7 に、半導体層 7 4 2 として酸化物半導体を用いたトランジスタ構造の一例を示す。図 2 7 に例示するトランジスタ 8 5 0 は、半導体層 7 4 2 a の上に半導体層 7 4 2 b が形成され、半導体層 7 4 2 b の上面並びに半導体層 7 4 2 b 及び半導体層 7 4 2 c の側面が半導体層 7 4 2 c に覆われた構造を有する。図 2 7 (A) はトランジスタ 8 5 0 の上面図である。図 2 7 (B) は、図 2 7 (A)

中のX 1－X 2の一点鎖線で示した部位の断面図（チャネル長方向の断面図）である。図2 7（C）は、図2 7（A）中のY 1－Y 2の一点鎖線で示した部位の断面図（チャネル幅方向の断面図）である。

[0 2 4 8]

また、トランジスタ8 5 0は、ゲート電極として機能する電極7 4 3を有する。電極7 4 3は、電極7 4 6と同様の材料および方法で形成することができる。本実施の形態では、電極7 4 3を2層の導電層の積層としている。

[0 2 4 9]

半導体層7 4 2 a、半導体層7 4 2 b、および半導体層7 4 2 cは、InもしくはGaの一方、または両方を含む材料で形成する。代表的には、In－Ga酸化物（InとGaを含む酸化物）、In－Zn酸化物（InとZnを含む酸化物）、In－M－Zn酸化物（Inと、元素Mと、Znを含む酸化物。元素Mは、Al、Ti、Ga、Y、Zr、La、Ce、NdまたはHfから選ばれた1種類以上の元素で、Inよりも酸素との結合力が強い金属元素である。）がある。

[0 2 5 0]

半導体層7 4 2 aおよび半導体層7 4 2 cは、半導体層7 4 2 bを構成する金属元素のうち、1種類以上の同じ金属元素を含む材料により形成されることが好ましい。このような材料を用いると、半導体層7 4 2 aおよび半導体層7 4 2 bとの界面、ならびに半導体層7 4 2 cおよび半導体層7 4 2 bとの界面に界面準位を生じにくくすることができる。よって、界面におけるキャリアの散乱や捕獲が生じにくく、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧のばらつきを低減することが可能となる。よって、良好な電気特性を有する半導体装置を実現することが可能となる。

[0 2 5 1]

半導体層7 4 2 aおよび半導体層7 4 2 cの厚さは、3 nm以上1 0 0 nm以下、好ましくは3 nm以上5 0 nm以下とする。また、半導体層7 4 2 bの厚さは、3 nm以上7 0 0 nm以下、好ましくは3 nm以上1 0 0 nm以下、さらに好ましくは3 nm以上5 0 nm以下とする。

[0 2 5 2]

また、半導体層7 4 2 bがIn－M－Zn酸化物であり、半導体層7 4 2 aおよび半導体層7 4 2 cもIn－M－Zn酸化物であるとき、半導体層7 4 2 aおよび半導体層7 4 2 cを $\text{In}:\text{M}:\text{Zn}=\text{x}_1:\text{y}_1:\text{z}_1$ [原子数比]、半導体層7 4 2 bを $\text{In}:\text{M}:\text{Zn}=\text{x}_2:\text{y}_2:\text{z}_2$ [原子数比] とすると、 y_1/x_1 が y_2/x_2 よりも大きくなるように半導体層7 4 2 a、半導体層7 4 2 c、および半導体層7 4 2 bを選択することができる。好ましくは、 y_1/x_1 が y_2/x_2 よりも1.5倍以上大きくなるように半導体層7 4 2 a、半導体層7 4 2 c、および半導体層7 4 2 bを選択する。さらに好ましくは、 y_1/x_1 が y_2/x_2 よりも2倍以上大きくなるように半導体層7 4 2 a、半導体層7 4 2 c、および半導体層7 4 2 bを選択する。より好ましくは、 y_1/x_1 が y_2/x_2 よりも3倍以上大きくなるように半導体層7 4 2 a、半導体層7 4 2 cおよび半導体層7 4 2 bを選択する。 y_1 が x_1 以上であるとトランジスタに安定した電気特性を付与できるため好ましい。ただし、 y_1 が x_1 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_1 は x_1 の3倍未満であると好ましい。半導体層7 4 2 aおよび半導体層7 4 2 cを上記構成とすることにより、半導体層7 4 2 aおよび半導体層7 4 2 cを、半導体層7 4 2 bよりも酸素欠損が生じにくい層とする

ことができる。

[0253]

なお、半導体層742aおよび半導体層742cがIn-M-Zn酸化物であるとき、InおよびMの和を100 atomic %としたとき、Inと元素Mの含有率は、好ましくはInが50 atomic %未満、元素Mが50 atomic %以上、さらに好ましくはInが25 atomic %未満、元素Mが75 atomic %以上とする。また、半導体層742bがIn-M-Zn酸化物であるとき、InおよびMの和を100 atomic %としたとき、Inと元素Mの含有率は好ましくはInが25 atomic %以上、元素Mが75 atomic %未満、さらに好ましくはInが34 atomic %以上、元素Mが66 atomic %未満とする。

[0254]

例えば、InまたはGaを含む半導体層742a、およびInまたはGaを含む半導体層742cとしてIn:Ga:Zn=1:3:2、1:3:4、1:3:6、1:6:4、または1:9:6などの原子数比のターゲットを用いて形成したIn-Ga-Zn酸化物や、In:Ga=1:9などの原子数比のターゲットを用いて形成したIn-Ga酸化物や、酸化ガリウムなどを用いることができる。また、半導体層742bとしてIn:Ga:Zn=3:1:2、1:1:1、5:5:6、または4:2:4、1などの原子数比のターゲットを用いて形成したIn-Ga-Zn酸化物を用いることができる。なお、半導体層742a、半導体層742b、および半導体層742bの原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス20%の変動を含む。

[0255]

半導体層742bを用いたトランジスタに安定した電気特性を付与するためには、半導体層742b中の不純物および酸素欠損を低減して高純度真性化し、半導体層742bを真性または実質的に真性に見なせる酸化物半導体層とすることが好ましい。また、少なくとも半導体層742b中のチャネル形成領域が真性または実質的に真性に見なせる半導体層とすることが好ましい。

[0256]

なお、実質的に真性に見なせる酸化物半導体層とは、酸化物半導体層中のキャリア密度が、 8×10^{11} 個/cm³未満、好ましくは 1×10^{11} /cm³未満、さらに好ましくは 1×10^{10} 個/cm³未満であり、 1×10^{-9} 個/cm³以上である酸化物半導体層をいう。

[0257]

図28に、半導体層742として酸化物半導体を用いたトランジスタ構造の一例を示す。図28に例示するトランジスタ822は、半導体層742aの上に半導体層742bが形成されている。トランジスタ822は、バックゲート電極を有するボトムゲート型のトランジスタの一種である。図28(A)はトランジスタ822の上面図である。図28(B)は、図28(A)中のX1-X2の一点鎖線で示した部位の断面図(チャネル長方向の断面図)である。図28(C)は、図28(A)中のY1-Y2の一点鎖線で示した部位の断面図(チャネル幅方向の断面図)である。

[0258]

絶縁層729上に設けられた電極723は、絶縁層726、絶縁層728、および絶縁層729に設けられた開口747aおよび開口747bにおいて、電極746と電氣的に接続されている。よって、電極723と電極746には、同じ電位が供給される。また、開口747aおよび開口747bは、どちらか一方を設けなくてもよい。また、開口747aおよび開口747bの両方を設けなくて

もよい。開口747aおよび開口747bの両方を設けない場合は、電極723と電極746に異なる電位を供給することができる。

[0259]

<酸化半導体のエネルギーバンド構造>

ここで、半導体層742a、半導体層742b、および半導体層742cの積層により構成される半導体層742の機能およびその効果について、図32(A)および図32(B)に示すエネルギーバンド構造図を用いて説明する。図32(A)は、図27(B)にD1-D2の一点鎖線で示す部位のエネルギーバンド構造図である。図32(A)は、トランジスタ850のチャネル形成領域のエネルギーバンド構造を示している。

[0260]

図32(A)中、Ec882、Ec883a、Ec883b、Ec883c、Ec886は、それぞれ、絶縁層772、半導体層742a、半導体層742b、半導体層742c、絶縁層726の伝導帯下端のエネルギーを示している。

[0261]

ここで、真空準位と伝導帯下端のエネルギーとの差（「電子親和力」ともいう。）は、真空準位と価電子帯上端のエネルギーとの差（イオン化ポテンシャルともいう。）からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリプソメータ（例えば、HORIBA JOBIN YVON社 UT-300）を用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析（UPS: Ultraviolet Photoelectron Spectroscopy）装置（例えば、PHI社 VersaProbe）を用いて測定できる。

[0262]

なお、原子数比がIn:Ga:Zn=1:3:2のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.5 eV、電子親和力は約4.5 eVである。また、原子数比がIn:Ga:Zn=1:3:4のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.4 eV、電子親和力は約4.5 eVである。また、原子数比がIn:Ga:Zn=1:3:6のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.3 eV、電子親和力は約4.5 eVである。また、原子数比がIn:Ga:Zn=1:6:2のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.9 eV、電子親和力は約4.3 eVである。また、原子数比がIn:Ga:Zn=1:6:8のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.5 eV、電子親和力は約4.4 eVである。また、原子数比がIn:Ga:Zn=1:6:10のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.5 eV、電子親和力は約4.5 eVである。また、原子数比がIn:Ga:Zn=1:1:1のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.2 eV、電子親和力は約4.7 eVである。また、原子数比がIn:Ga:Zn=3:1:2のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約2.8 eV、電子親和力は約5.0 eVである。

[0263]

絶縁層772と絶縁層726は絶縁物であるため、Ec882とEc886は、Ec883a、Ec883b、およびEc883cよりも真空準位に近い（電子親和力が小さい）。

[0264]

また、Ec883aは、Ec883bよりも真空準位に近い。具体的には、Ec883aは、Ec883bよりも0.05eV以上、0.07eV以上、0.1eV以上または0.15eV以上、かつ2eV以下、1eV以下、0.5eV以下または0.4eV以下真空準位に近いことが好ましい。

[0265]

また、Ec883cは、Ec883bよりも真空準位に近い。具体的には、Ec883cは、Ec883bよりも0.05eV以上、0.07eV以上、0.1eV以上または0.15eV以上、かつ2eV以下、1eV以下、0.5eV以下または0.4eV以下真空準位に近いことが好ましい。

[0266]

また、半導体層742aと半導体層742bとの界面近傍、および、半導体層742bと半導体層742cとの界面近傍では、混合領域が形成されるため、伝導帯下端のエネルギーは連続的に変化する。即ち、これらの界面において、準位は存在しないか、ほとんどない。

[0267]

従って、当該エネルギーバンド構造を有する積層構造において、電子は半導体層742bを主として移動することになる。そのため、半導体層742aと絶縁層724との界面、または、半導体層742cと絶縁層726との界面に準位が存在したとしても、当該準位は電子の移動にほとんど影響しない。また、半導体層742aと半導体層742bとの界面、および半導体層742cと半導体層742bとの界面に準位が存在しないか、ほとんどないため、当該領域において電子の移動を阻害することもない。従って、上記酸化物半導体の積層構造を有するトランジスタは、高い電界効果移動度を実現することができる。

[0268]

なお、図32(A)に示すように、半導体層742aと絶縁層772の界面、および半導体層742cと絶縁層726の界面近傍には、不純物や欠陥に起因したトラップ準位890が形成され得るものの、半導体層742a、および半導体層742cがあることにより、半導体層742bと当該トラップ準位とを遠ざけることができる。

[0269]

特に、本実施の形態に例示するトランジスタは、半導体層742bの上面と側面が半導体層742cと接し、半導体層742bの下面が半導体層742aと接して形成されている。このように、半導体層742bを半導体層742aと半導体層742cで覆う構成とすることで、上記トラップ準位の影響をさらに低減することができる。

[0270]

ただし、Ec883aまたはEc883cと、Ec883bとのエネルギー差が小さい場合、半導体層742bの電子が該エネルギー差を越えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、絶縁層の界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

[0271]

従って、Ec883a、およびEc883cと、Ec883bとのエネルギー差を、それぞれ0.1eV以上、好ましくは0.15eV以上とすると、トランジスタのしきい値電圧の変動が低減され、トランジスタの電気特性を良好なものとすることができるため、好ましい。

[0272]

また、半導体層742a、および半導体層742cのバンドギャップは、半導体層742bのバンドギャップよりも広いほうが好ましい。

[0273]

図32(B)は、図28(B)にD3-D4の一点鎖線で示す部位のエネルギーバンド構造図である。図32(B)は、トランジスタ822のチャネル形成領域のエネルギーバンド構造を示している。

[0274]

図32(B)中、Ec887は、絶縁層728の伝導帯下端のエネルギーを示している。半導体層742を半導体層742aと半導体層742bの2層とすることで、トランジスタの生産性を高めることができる。なお、半導体層742cを設けない分、トラップ準位890の影響を受けやすくなるが、半導体層742を単層構造とした場合よりも高い電界効果移動度を実現することができる。

[0275]

本発明の一態様によれば、電気特性のばらつきが少ないトランジスタを実現することができる。よって、電気特性のばらつきが少ない半導体装置を実現することができる。本発明の一態様によれば、信頼性の良好なトランジスタを実現することができる。よって、信頼性の良好な半導体装置を実現することができる。

[0276]

また、酸化物半導体は、エネルギーギャップが3.0eV以上と大きく、可視光に対する透過率が大きい。また、酸化物半導体を適切な条件で加工して得られたトランジスタにおいては、オフ電流を使用時の温度条件下（例えば、25℃）において、100zA（ 1×10^{-19} A）以下、もしくは10zA（ 1×10^{-20} A）以下、さらには1zA（ 1×10^{-21} A）以下とすることができる。このため、消費電力の少ない半導体装置を提供することができる。

[0277]

本発明の一態様によれば、消費電力が少ないトランジスタを実現することができる。よって、消費電力が少ない表示素子や表示装置などの半導体装置を実現することができる。または、信頼性の良好な表示素子や表示装置などの半導体装置を実現することができる。

[0278]

図27に示すトランジスタ850の説明にもどる。絶縁層772に設けた凸部上に半導体層742bを設けることによって、半導体層742bの側面も電極743で覆うことができる。すなわち、トランジスタ850は、電極743の電界によって、半導体層742bを電氣的に取り囲むことができる構造を有している。このように、導電膜の電界によって、チャネルが形成される半導体層を電氣的に取り囲むトランジスタの構造を、surrounded channel (s-channel) 構造とよぶ。また、s-channel構造を有するトランジスタを、「s-channel型トランジスタ」もしくは「s-channelトランジスタ」ともいう。

[0279]

s-channel構造では、半導体層742bの全体（バルク）にチャネルを形成することもできる。s-channel構造では、トランジスタのドレイン電流を大きくすることができ、さらに大きいオン電流を得ることができる。また、電極743の電界によって、半導体層742bに形成されるチャネル形成領域の全領域を空乏化することができる。したがって、s-channel構造で

は、トランジスタのオフ電流をさらに小さくすることができる。

[0280]

なお、絶縁層772の凸部を高くし、また、チャネル幅を小さくすることで、s-channel構造によるオン電流の増大効果、オフ電流の低減効果などをより高めることができる。また、半導体層742bの形成時に、露出する半導体層742aを除去してもよい。この場合、半導体層742aと半導体層742bの側面が揃う場合がある。

[0281]

また、図29に示すトランジスタ851のように、半導体層742の下方に、絶縁層を介して電極723を設けてもよい。図29(A)はトランジスタ851の上面図である。図29(B)は、図29(A)中のX1-X2の一点鎖線で示した部位の断面図である。図29(C)は、図29(A)中のY1-Y2の一点鎖線で示した部位の断面図である。

[0282]

また、図30に示すトランジスタ852のように、電極743の上方に絶縁層775を設け、絶縁層775上に層725を設けてもよい。図30(A)はトランジスタ852の上面図である。図30(B)は、図30(A)中のX1-X2の一点鎖線で示した部位の断面図である。図30(C)は、図30(A)中のY1-Y2の一点鎖線で示した部位の断面図である。

[0283]

なお、図30では、層725を絶縁層775上に設けているが、絶縁層728上、または絶縁層729上に設けてもよい。層725を、遮光性を有する材料で形成することで、光照射によるトランジスタの特性変動や、信頼性の低下などを防ぐことができる。なお、層725を少なくとも半導体層742bよりも大きく形成し、層725で半導体層742bを覆うことで、上記の効果を高めることができる。層725は、有機物材料、無機物材料、又は金属材料を用いて作製することができる。また、層725を導電性材料で作製した場合、層725に電圧を供給してもよいし、電氣的に浮遊した（フローティング）状態としてもよい。

[0284]

図31に、s-channel構造を有するトランジスタの一例を示す。図31に例示するトランジスタ848は、前述したトランジスタ847とほぼ同様の構成を有する。トランジスタ848は、絶縁層772に設けた凸部上に半導体層742が形成されている。トランジスタ848はバックゲート電極を有するトップゲート型のトランジスタの一種である。図31(A)はトランジスタ848の上面図である。図31(B)は、図31(A)中のX1-X2の一点鎖線で示した部位の断面図である。図31(C)は、図31(A)中のY1-Y2の一点鎖線で示した部位の断面図である。

[0285]

絶縁層729上に設けられた電極744aは、絶縁層726、絶縁層728、および絶縁層729に設けられた開口747cにおいて、半導体層742と電氣的に接続されている。また、絶縁層729上に設けられた電極744bは、絶縁層726、絶縁層728、および絶縁層729に設けられた開口747dにおいて、半導体層742と電氣的に接続されている。

[0286]

絶縁層726上に設けられた電極743は、絶縁層726、および絶縁層772に設けられた開口747aおよび開口747bにおいて、電極723と電氣的に接続されている。よって、電極746

と電極 7 2 3 には、同じ電位が供給される。また、開口 7 4 7 a および開口 7 4 7 b は、どちらか一方を設けなくてもよい。また、開口 7 4 7 a および開口 7 4 7 b の両方を設けなくてもよい。開口 7 4 7 a および開口 7 4 7 b の両方を設けない場合は、電極 7 2 3 と電極 7 4 6 に異なる電位を供給することができる。

[0287]

なお、s - c h a n n e l 構造を有するトランジスタに用いる半導体層は、酸化物半導体に限定されるものではない。

[0288]

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

[0289]

(実施の形態 3)

本実施の形態では、本発明の一態様のタッチパネルモジュール及び電子機器について、図 3 3 乃至図 3 5 を用いて説明を行う。

[0290]

図 3 3 に示すタッチパネルモジュール 8 0 0 0 は、上部カバー 8 0 0 1 と下部カバー 8 0 0 2 との間に、F P C 8 0 0 3 に接続されたタッチパネル 8 0 0 4、フレーム 8 0 0 5、プリント基板 8 0 0 6、バッテリー 8 0 0 7 を有する。

[0291]

本発明の一態様のタッチパネルは、例えば、タッチパネル 8 0 0 4 に用いることができる。

[0292]

上部カバー 8 0 0 1 及び下部カバー 8 0 0 2 は、タッチパネル 8 0 0 4 のサイズに合わせて、形状や寸法を適宜変更することができる。

[0293]

フレーム 8 0 0 5 は、タッチパネル 8 0 0 4 の保護機能の他、プリント基板 8 0 0 6 の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有する。またフレーム 8 0 0 5 は、放熱板としての機能を有していてもよい。

[0294]

プリント基板 8 0 0 6 は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であっても良いし、別途設けたバッテリー 8 0 0 7 による電源であってもよい。バッテリー 8 0 0 7 は、商用電源を用いる場合には、省略可能である。

[0295]

また、タッチパネル 8 0 0 4 は、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

[0296]

図 3 4 (A) 乃至 (H) 及び図 3 5 は、電子機器を示す図である。これらの電子機器は、筐体 5 0 0 0、表示部 5 0 0 1、スピーカ 5 0 0 3、LED ランプ 5 0 0 4、操作キー 5 0 0 5 (電源スイッチ、又は操作スイッチを含む)、接続端子 5 0 0 6、センサ 5 0 0 7 (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、

電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクروفोन5008、等を有することができる。

[0297]

図34(A)はモバイルコンピュータであり、上述したものの他に、スイッチ5009、赤外線ポート5010、等を有することができる。図34(B)は記録媒体を備えた携帯型の画像再生装置(たとえば、DVD再生装置)であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図34(C)はテレビジョン装置であり、上述したものの他に、スタンド5012等を有することができる。また、テレビジョン装置の操作は、筐体5000が備える操作スイッチや、別体のリモコン操作機5013により行うことができる。リモコン操作機5013が備える操作キーにより、チャンネルや音量の操作を行うことができ、表示部5001に表示される映像を操作することができる。また、リモコン操作機5013に、当該リモコン操作機5013から出力する情報を表示する表示部を設ける構成としてもよい。図34(D)は携帯型遊技機であり、上述したものの他に、記録媒体読込部5011、等を有することができる。図34(E)はテレビ受像機能付きデジタルカメラであり、上述したものの他に、アンテナ5014、シャッターボタン5015、受像部5016、等を有することができる。図34(F)は携帯型遊技機であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図34(G)は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器5017、等を有することができる。図34(H)は腕時計型情報端末であり、上述したもののほかに、バンド5018、留め金5019、等を有することができる。ベゼル部分を兼ねる筐体5000に搭載された表示部5001は、非矩形状の表示領域を有している。表示部5001は、時刻を表すアイコン5020、その他のアイコン5021等を表示することができる。図35(A)はデジタルサイネージ(Digital Signage:電子看板)である。図35(B)は円柱状の柱に取り付けられたデジタルサイネージである。

[0298]

図34(A)乃至(H)及び図35に示す電子機器は、様々な機能を有することができる。例えば、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、又は、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動又は手動で補正する機能、撮影した画像を記録媒体(外部又はカメラに内蔵)に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図34(A)乃至(H)及び図35に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

[0299]

本実施の形態の電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。該

表示部に、本発明の一態様のタッチパネルを適用することができる。

[0300]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

[符号の説明]

[0301]

AMP__1OUT1 出力信号

AMP__1OUT4 出力信号

10 画素

11 トランジスタ

12 トランジスタ

13 EL素子

15 画素電極

16 発光層

17 共通電極

17__1 電極

17__2 電極

17__3 電極

17__4 電極

18 隔壁層

20 電極

21 走査線

22 信号線

23 電流供給線

23__1 電流供給線

23__2 電流供給線

23__3 電流供給線

23__4 電流供給線

24 共通電極線

30 電極

30__1 電極

30__2 電極

30__3 電極

30__4 電極

41 基板

42 基板

43 基板

201 トランジスタ

202 発光素子

2 1 2	絶縁層
2 1 3	絶縁層
2 3 1	着色層
3 1 0	タッチパネル
3 2 0	タッチパネル
3 2 1	導電層
3 2 2	E L 層
3 2 3	導電層
3 2 4	光学調整層
3 5 1	導電層
3 5 2	導電層
3 7 1	基板
3 7 2	基板
3 7 3	F P C
3 7 4	I C
3 8 1	表示部
3 8 2	駆動回路
3 8 3	配線
3 8 4	駆動回路
3 8 5	導電層
3 8 6	導電層
3 8 7	導電層
3 8 8	接続部
3 8 9	接続部
4 0 0	タッチパネル
4 0 0 A	タッチパネルモジュール
4 0 0 B	タッチパネルモジュール
4 0 1	表示部
4 0 2	タッチセンサ部
4 1 1	表示駆動回路
4 1 2	タッチセンサ駆動回路
4 1 3	タイミングコントローラ
4 1 4	走査線駆動回路
4 1 5	信号線駆動回路
4 1 6 A	アナログ回路
4 1 6 B	アナログ回路
4 1 7	デジタル信号処理回路
4 2 0	ホストコントローラ
4 4 0	I C

4 5 1 基板
4 5 2 対向基板
4 5 3 F P C
4 5 4 I C
4 5 4 A I C
4 5 4 B I C
4 5 5 I C
4 5 5 B I C
4 5 6 表示部
4 5 7 タッチセンサ部
4 5 8 走査線駆動回路
4 5 9 P C B
4 6 0 I C
5 0 0 積分回路
5 0 0__1 積分回路
5 0 0__2 積分回路
5 0 0__3 積分回路
5 0 0__4 積分回路
5 0 1 オペアンプ
5 0 2 容量
5 0 3 スイッチ
5 1 0 レベルシフト回路
7 2 3 電極
7 2 4 絶縁層
7 2 5 層
7 2 6 絶縁層
7 2 7 絶縁層
7 2 8 絶縁層
7 2 9 絶縁層
7 4 1 絶縁層
7 4 2 半導体層
7 4 2 a 半導体層
7 4 2 b 半導体層
7 4 2 c 半導体層
7 4 3 電極
7 4 4 a 電極
7 4 4 b 電極
7 4 6 電極
7 4 7 a 開口

7 4 7 b	開口
7 4 7 c	開口
7 4 7 d	開口
7 5 5	不純物
7 7 1	基板
7 7 2	絶縁層
7 7 5	絶縁層
8 1 0	トランジスタ
8 1 1	トランジスタ
8 2 0	トランジスタ
8 2 1	トランジスタ
8 2 2	トランジスタ
8 2 5	トランジスタ
8 3 0	トランジスタ
8 3 1	トランジスタ
8 4 0	トランジスタ
8 4 1	トランジスタ
8 4 2	トランジスタ
8 4 3	トランジスタ
8 4 4	トランジスタ
8 4 5	トランジスタ
8 4 6	トランジスタ
8 4 7	トランジスタ
8 4 8	トランジスタ
8 5 0	トランジスタ
8 5 1	トランジスタ
8 5 2	トランジスタ
8 8 2	E c
8 8 3 a	E c
8 8 3 b	E c
8 8 3 c	E c
8 8 6	E c
8 8 7	E c
8 9 0	トラップ準位
4 5 2 2	対向基板
5 0 0 0	筐体
5 0 0 1	表示部
5 0 0 2	表示部
5 0 0 3	スピーカ

5 0 0 4	L E D ランプ
5 0 0 5	操作キー
5 0 0 6	接続端子
5 0 0 7	センサ
5 0 0 8	マイクロフォン
5 0 0 9	スイッチ
5 0 1 0	赤外線ポート
5 0 1 1	記録媒体読込部
5 0 1 2	スタンド
5 0 1 3	リモコン操作機
5 0 1 4	アンテナ
5 0 1 5	シャッターボタン
5 0 1 6	受像部
5 0 1 7	充電器
5 0 1 8	バンド
5 0 1 9	留め金
5 0 2 0	アイコン
5 0 2 1	アイコン
6 5 3 4	P C B
8 0 0 0	タッチパネルモジュール
8 0 0 1	上部カバー
8 0 0 2	下部カバー
8 0 0 3	F P C
8 0 0 4	タッチパネル
8 0 0 5	フレーム
8 0 0 6	プリント基板
8 0 0 7	バッテリー

請求の範囲

[請求項1]

画素と、タッチセンサと、積分回路と、を有するタッチパネルであって、
前記画素は、トランジスタと、発光素子と、を有し、
前記発光素子は、画素電極と、共通電極との間に発光層を有し、
前記タッチセンサは、第1の電極と、第2の電極と、を有し、
前記第1の電極は、パルス信号を与えることができる機能を有し、
前記第2の電極は、前記パルス信号に応じた信号を検出することができる機能を有し、
前記積分回路は、オペアンプを有し、
前記オペアンプは、第1入力端子と、第2入力端子と、を有し、
前記第1入力端子は、前記第2の電極に電氣的に接続され、
前記第2入力端子は、前記共通電極に電氣的に接続される、タッチパネル。

[請求項2]

画素と、タッチセンサと、積分回路と、を有するタッチパネルであって、
前記画素は、トランジスタと、発光素子と、を有し、
前記発光素子は、前記トランジスタを介して電流供給線に電氣的に接続され、
前記タッチセンサは、第1の電極と、第2の電極と、を有し、
前記第1の電極は、パルス信号を与えることができる機能を有し、
前記第2の電極は、前記パルス信号に応じた信号を検出することができる機能を有し、
前記積分回路は、オペアンプを有し、
前記オペアンプは、第1入力端子と、第2入力端子と、を有し、
前記第1入力端子は、前記第2の電極に電氣的に接続され、
前記第2入力端子は、前記電流供給線に電氣的に接続される、タッチパネル。

[請求項3]

請求項1または2において、
前記第1の電極と、前記第2の電極とは、前記トランジスタが形成される基板側に設けられる、タッチパネル。

[請求項4]

請求項1または2において、
前記第1の電極または前記第2の電極の一方は、前記トランジスタを構成する導電層と同層に形成される電極である、タッチパネル。

[請求項5]

請求項4において、
前記第1の電極または前記第2の電極の他方は、対向基板側に設けられる、タッチパネル。

[請求項6]

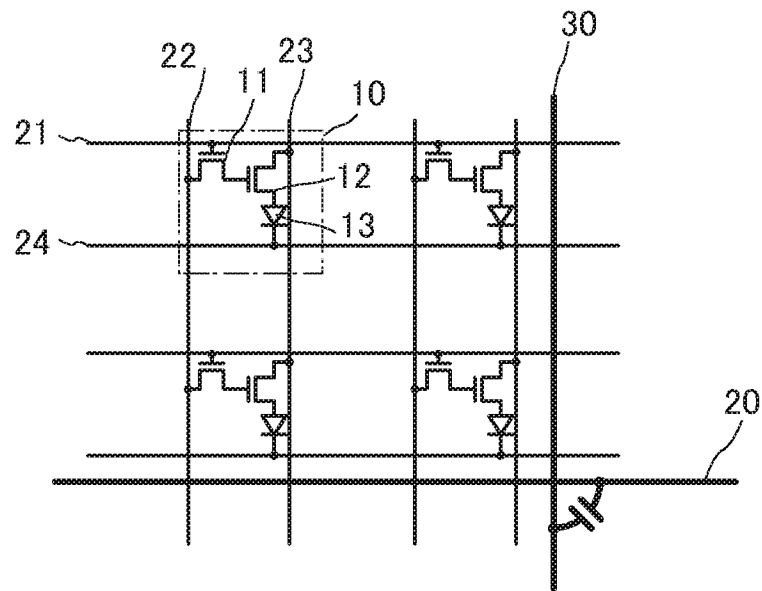
請求項4において、
前記第1の電極または前記第2の電極の一方は、前記画素電極以下の層に設けられる電極である、タッチパネル。

[請求項7]

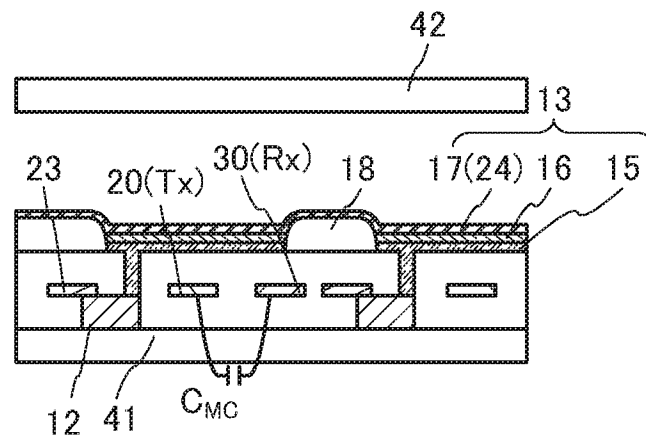
請求項 1 または 2 のいずれか一において、
前記タッチセンサは、相互容量方式である、タッチパネル。

[図1]

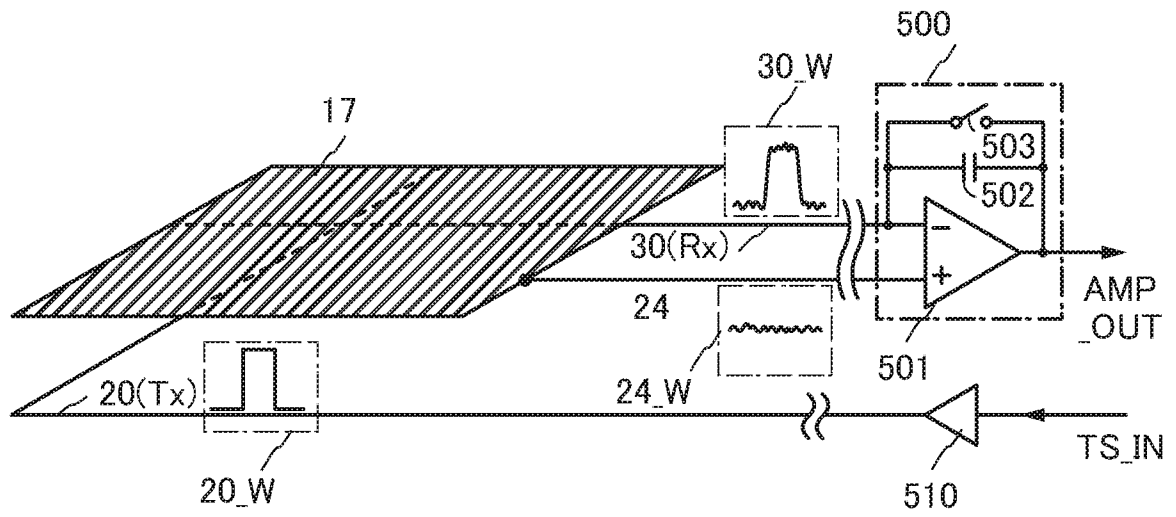
(A)



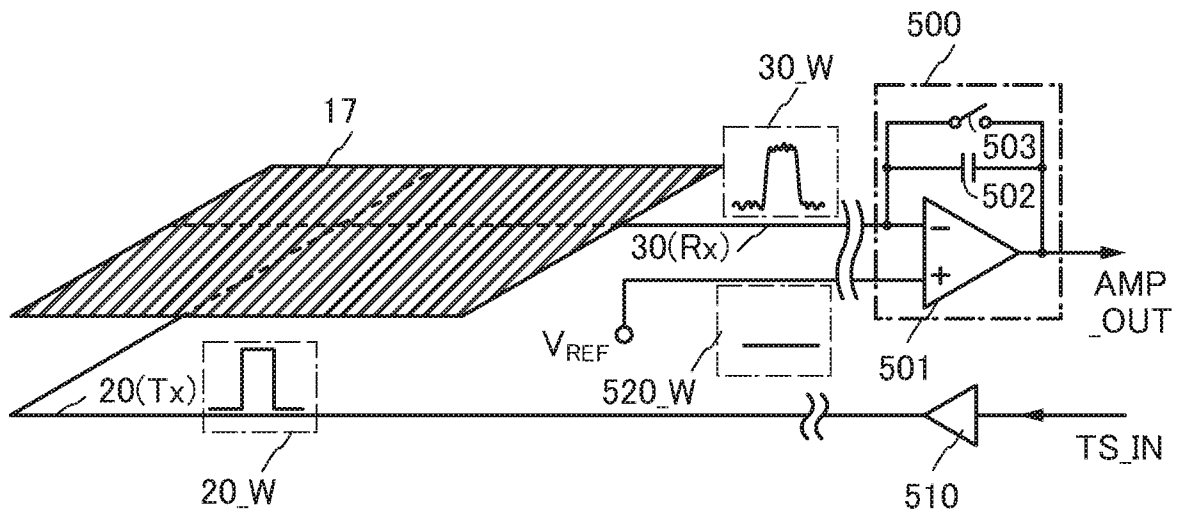
(B)



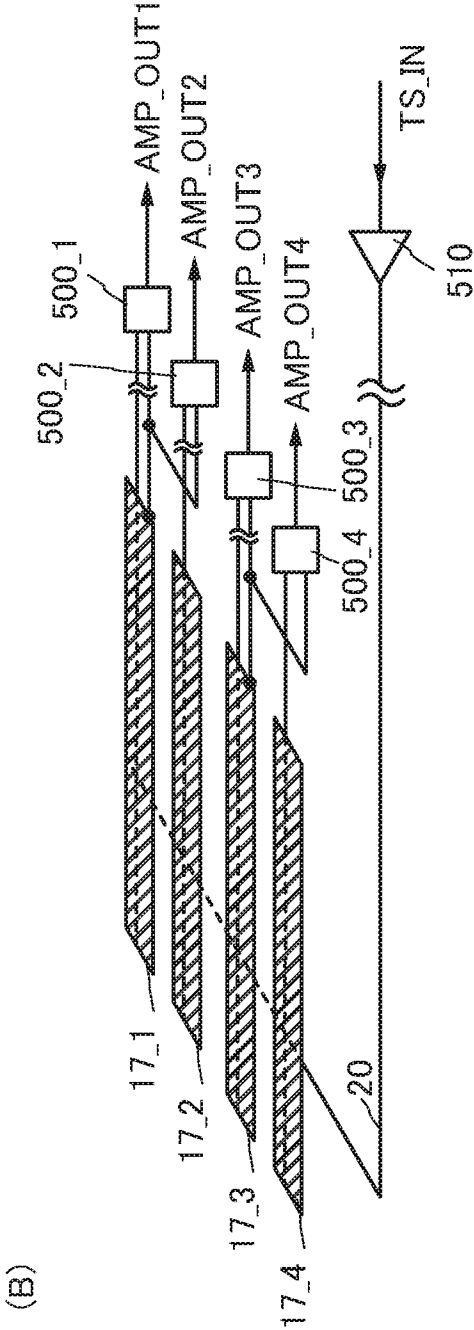
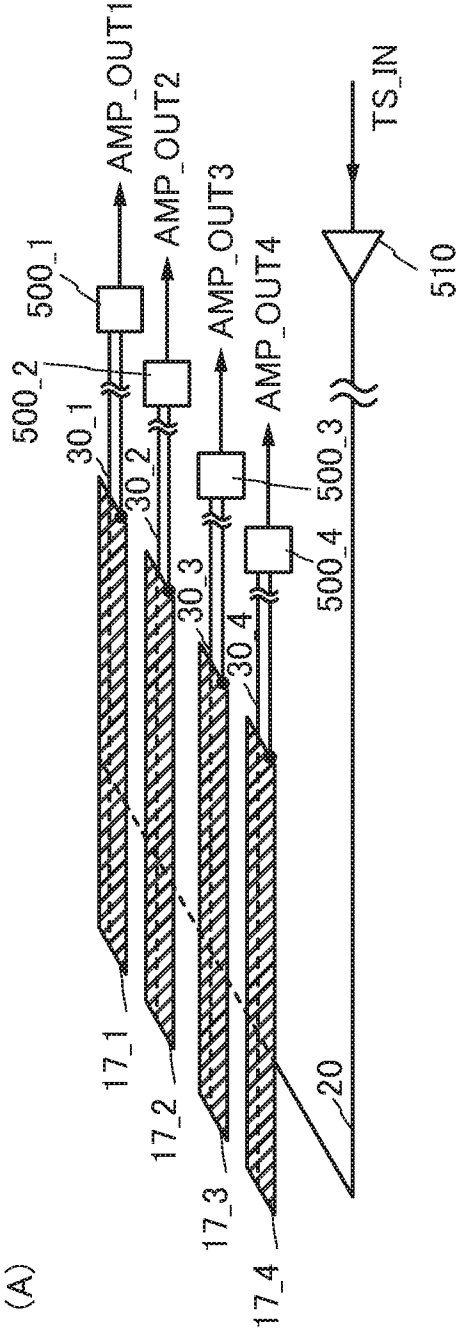
[図2]



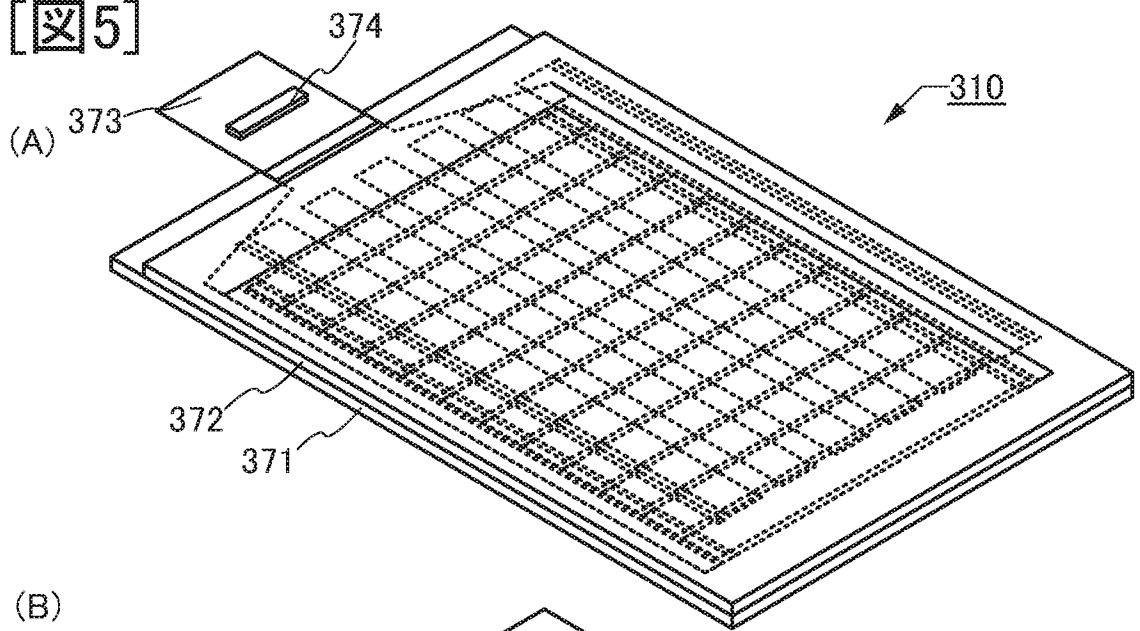
[図3]



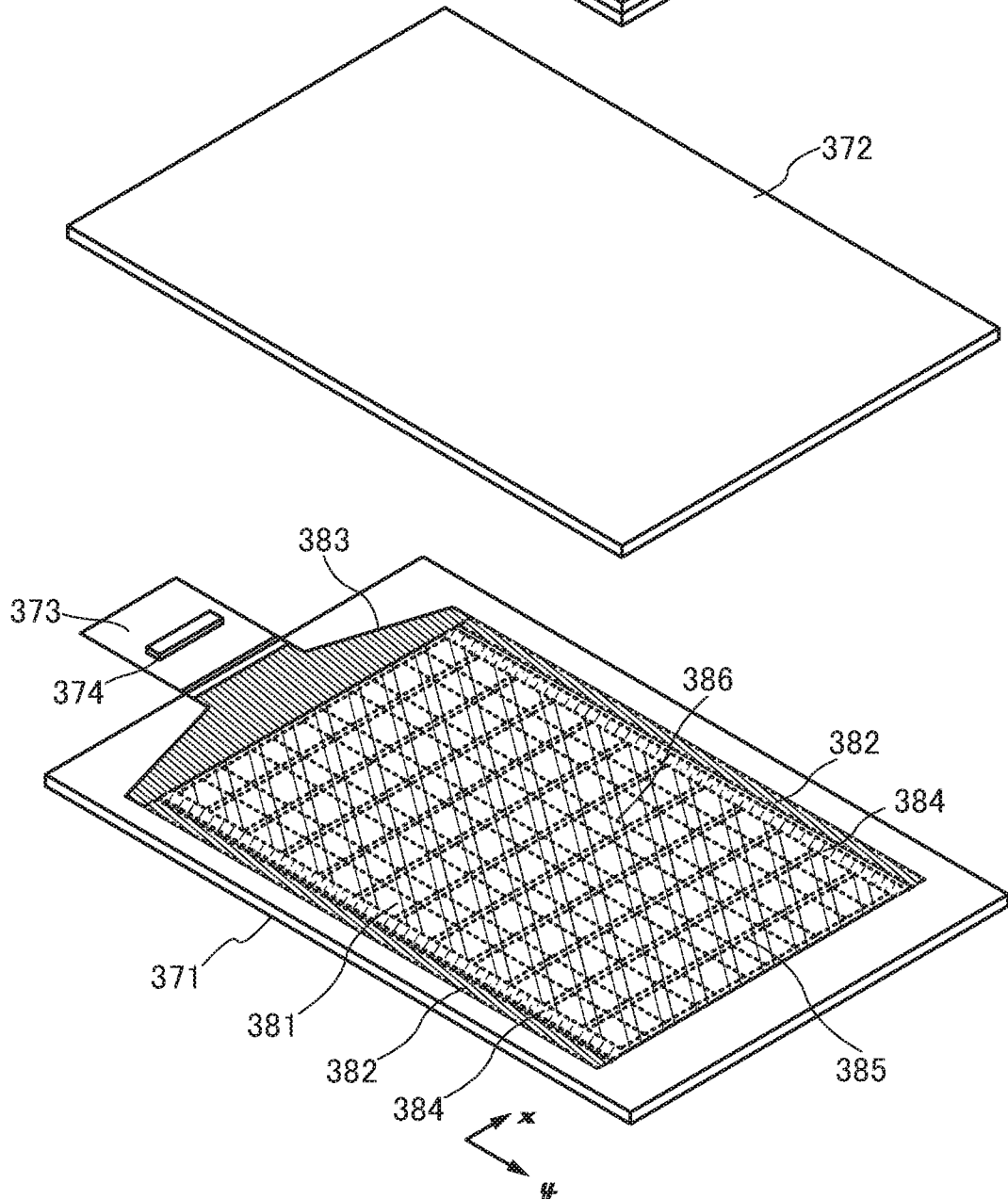
[圖4]



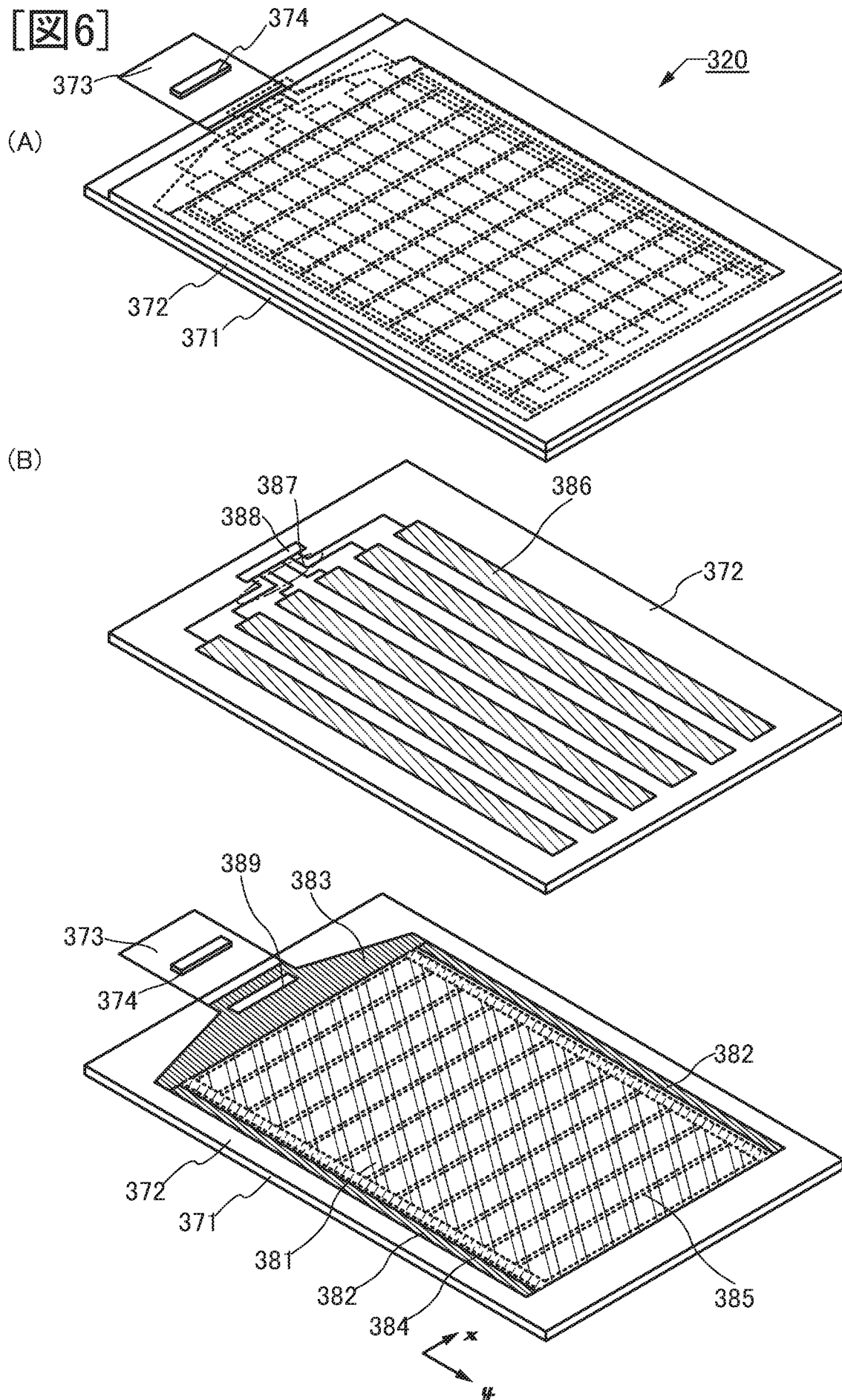
[図5]



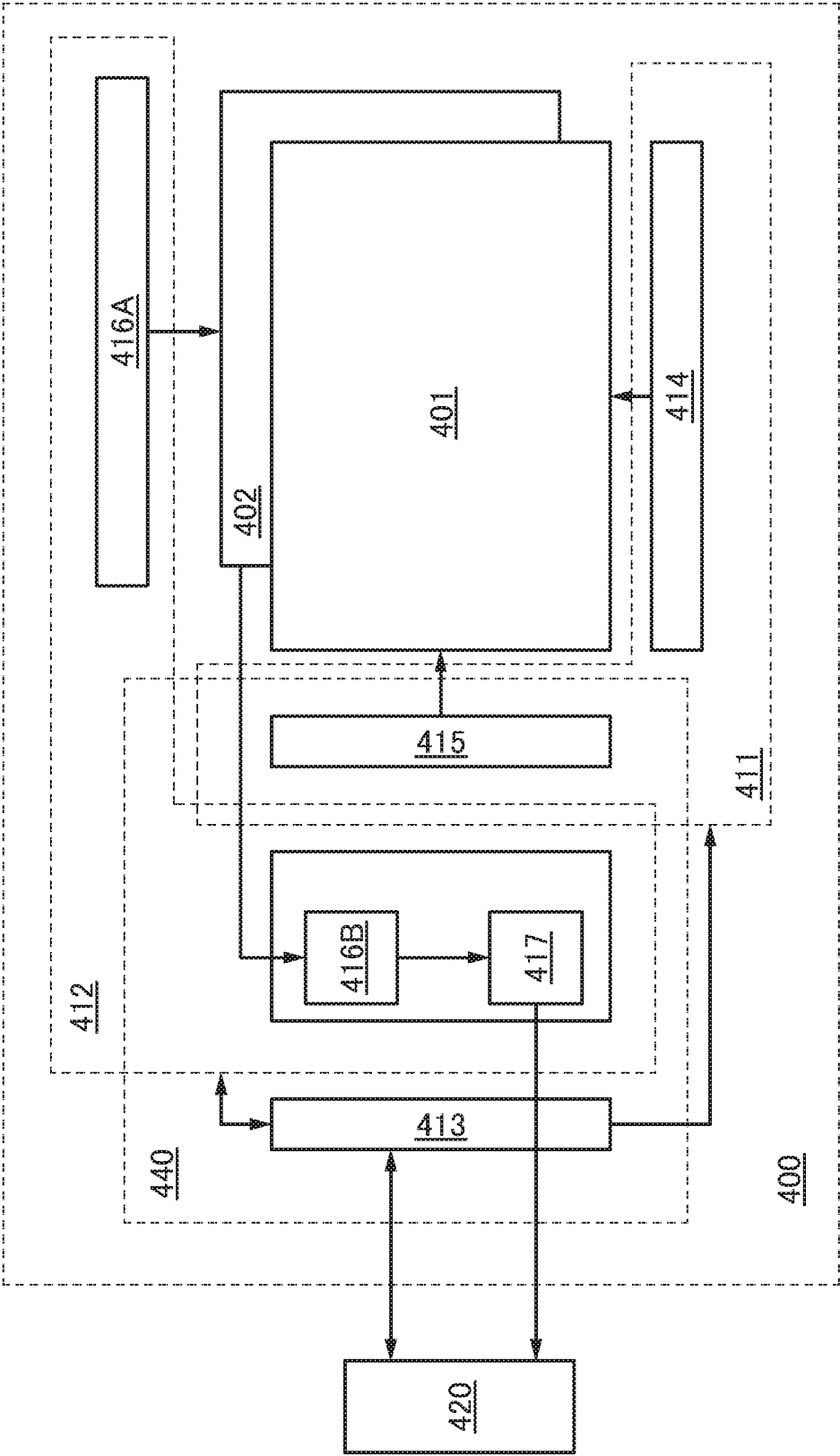
(B)



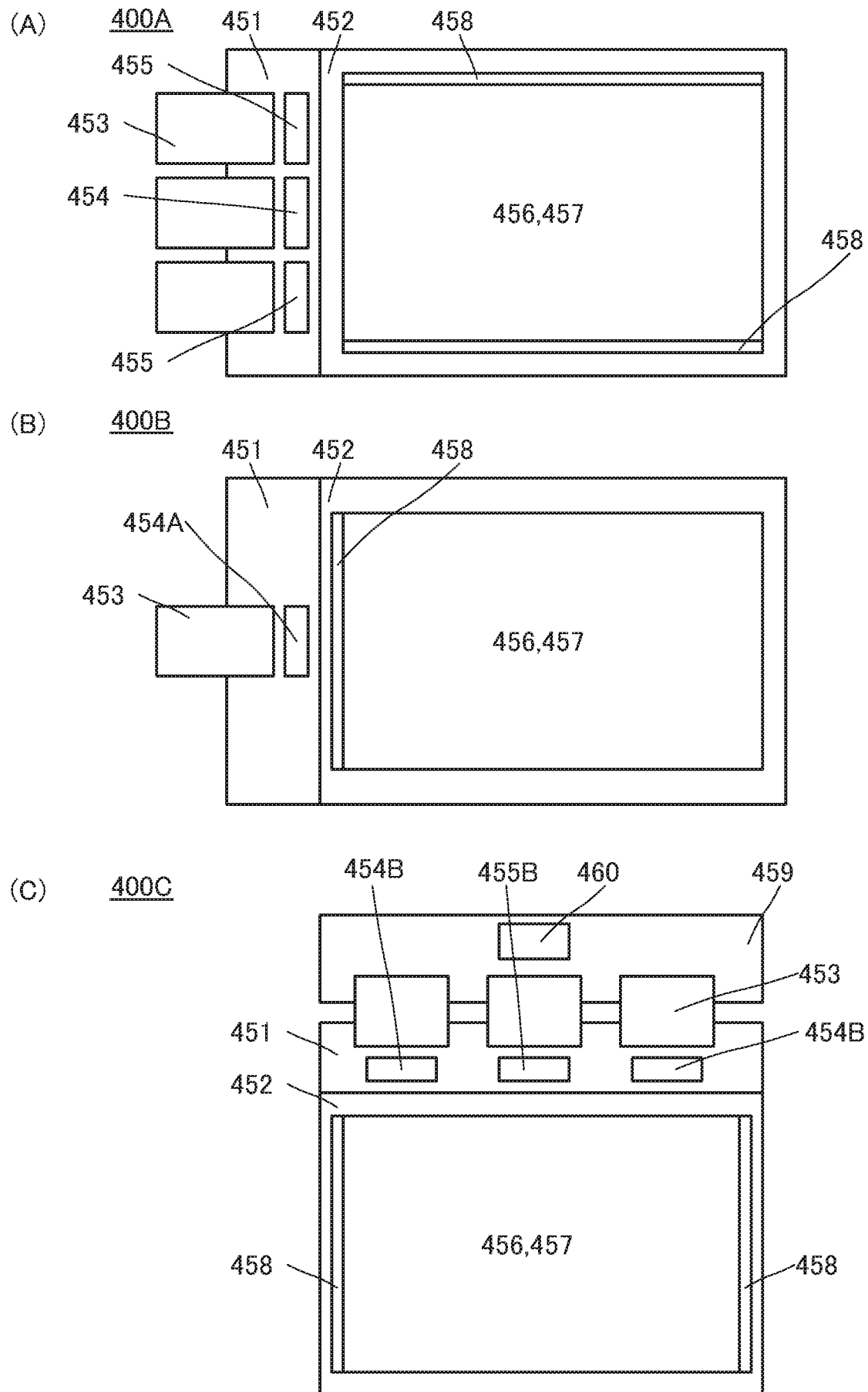
[図6]



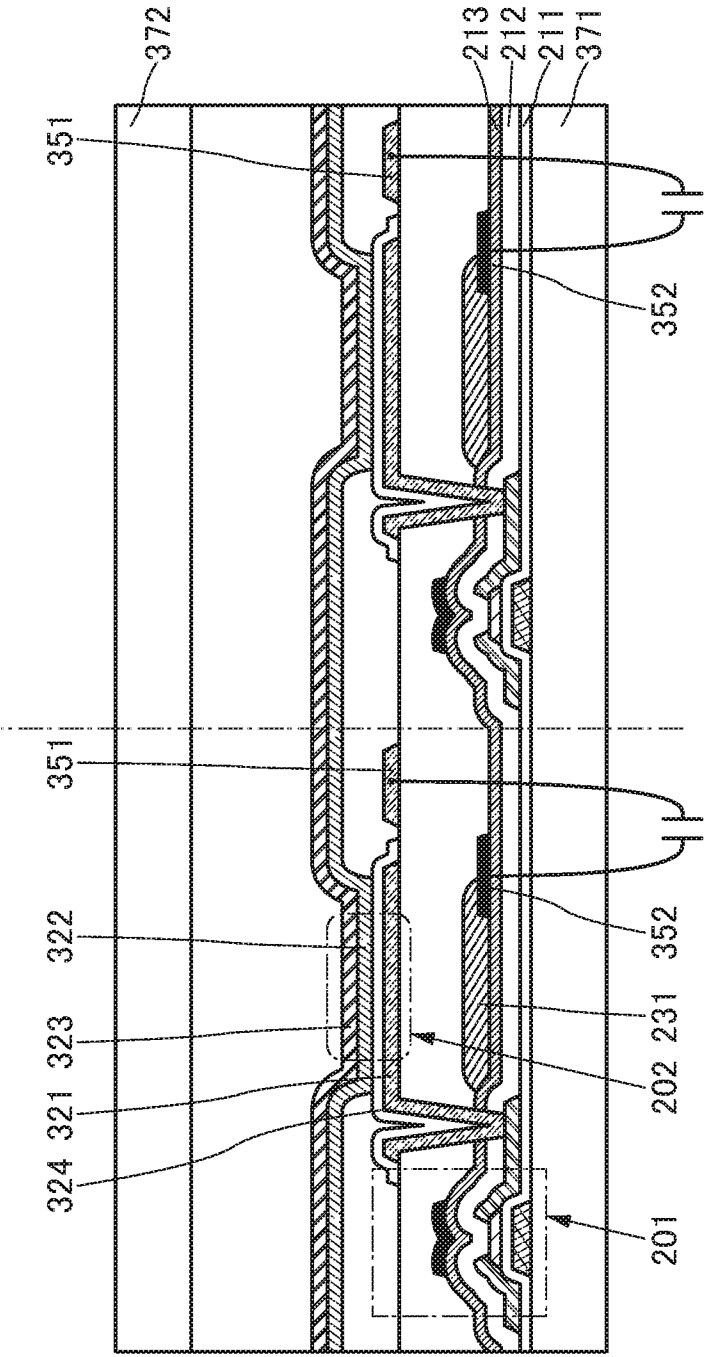
[X] 7



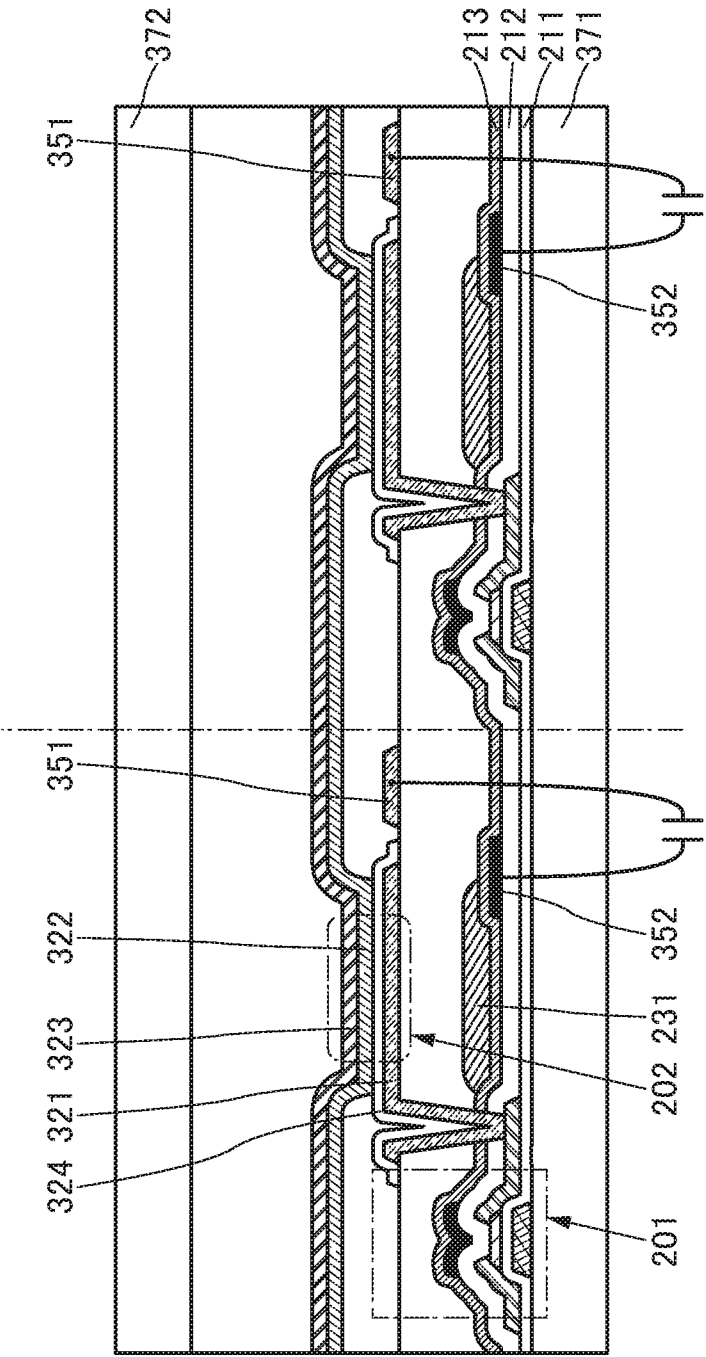
[図8]



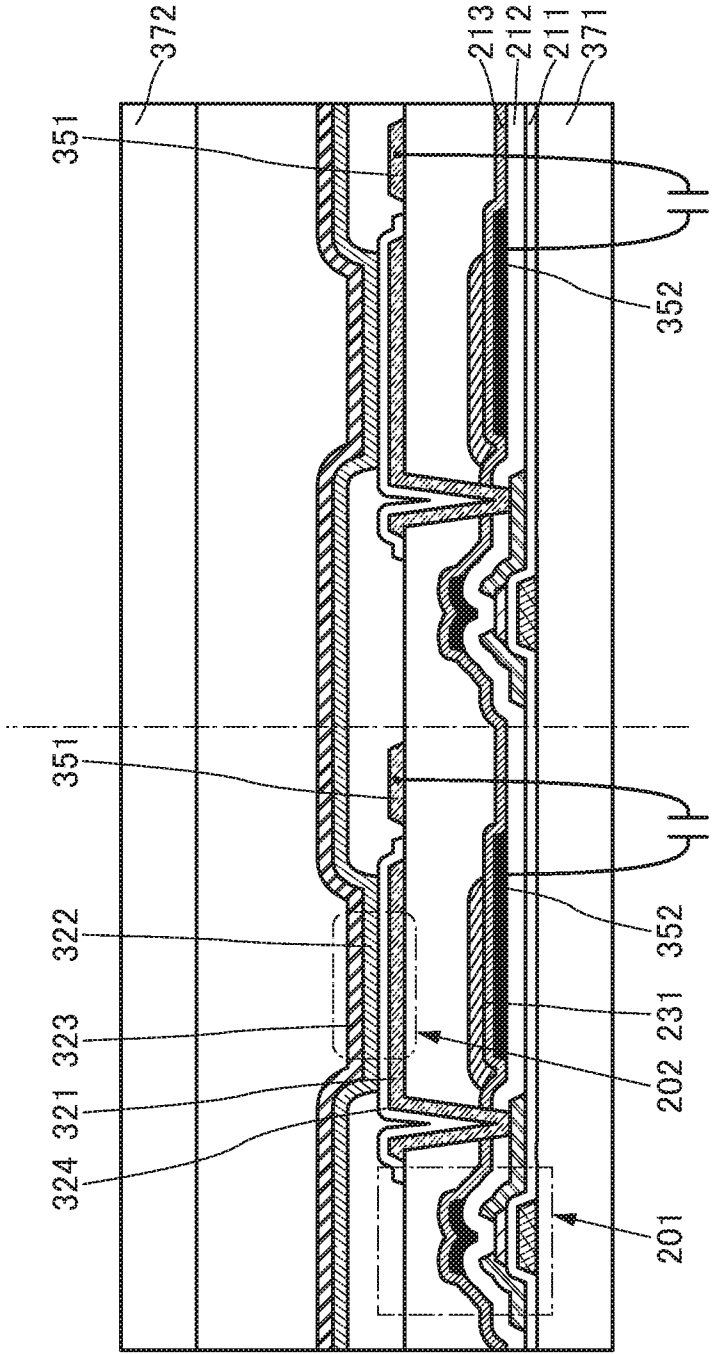
[圖9]



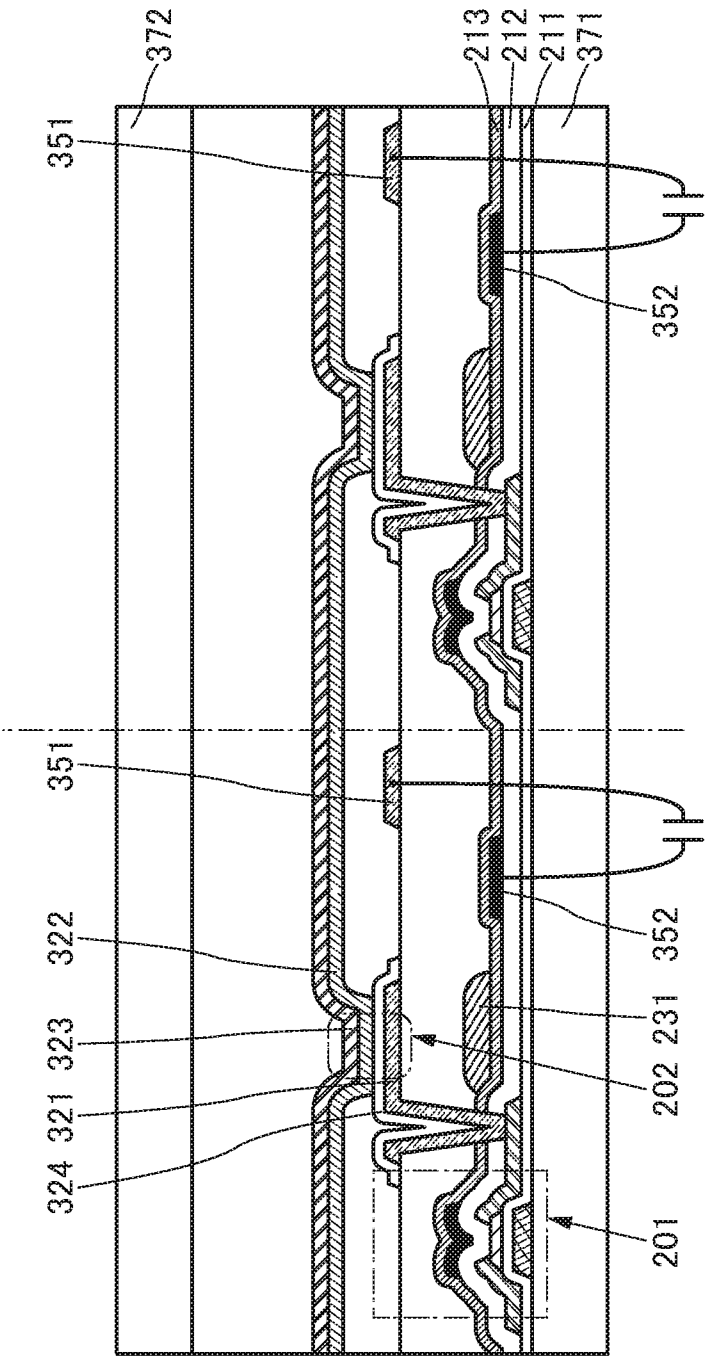
[圖10]



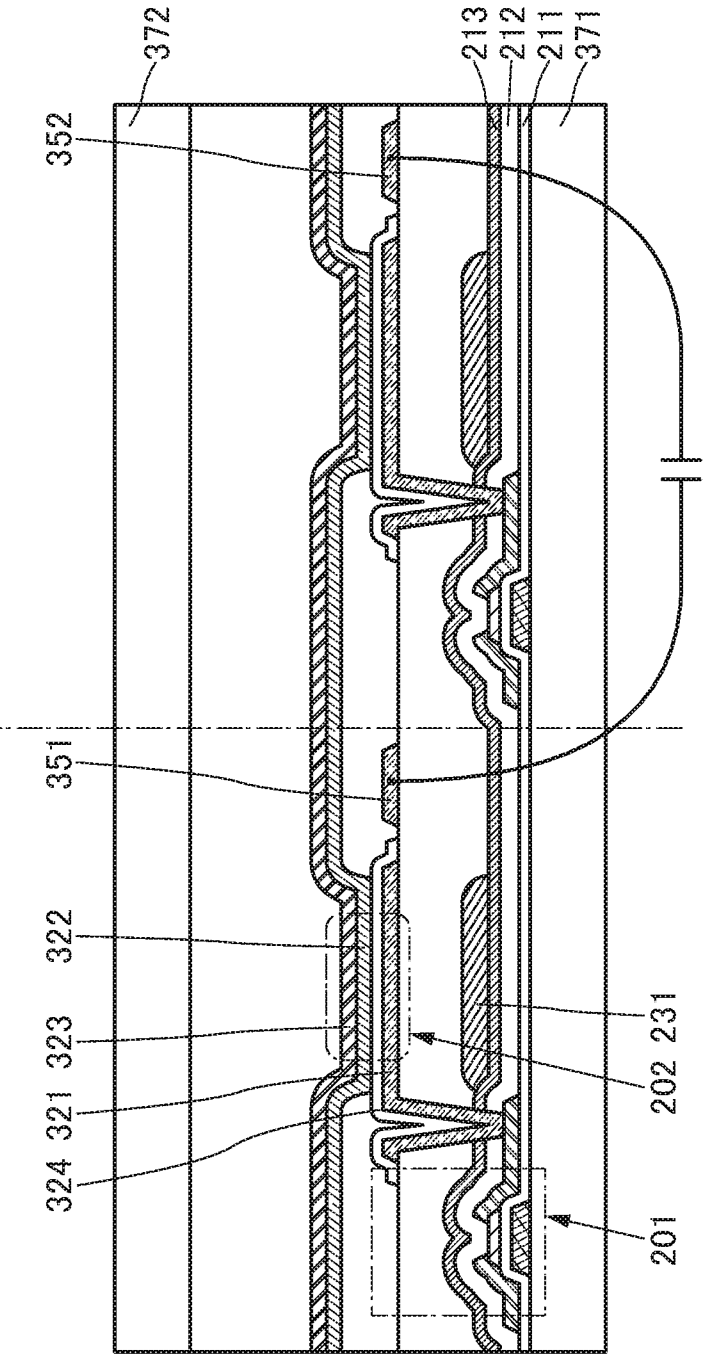
[圖11]



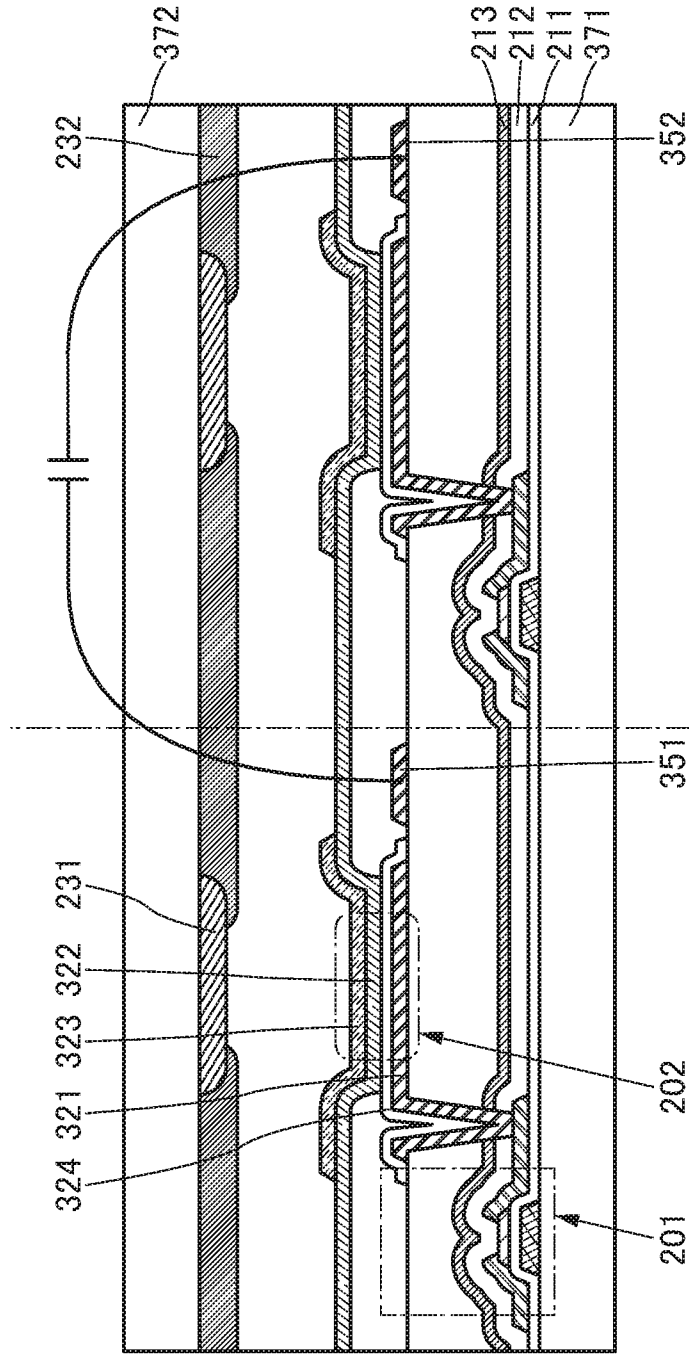
[図12]



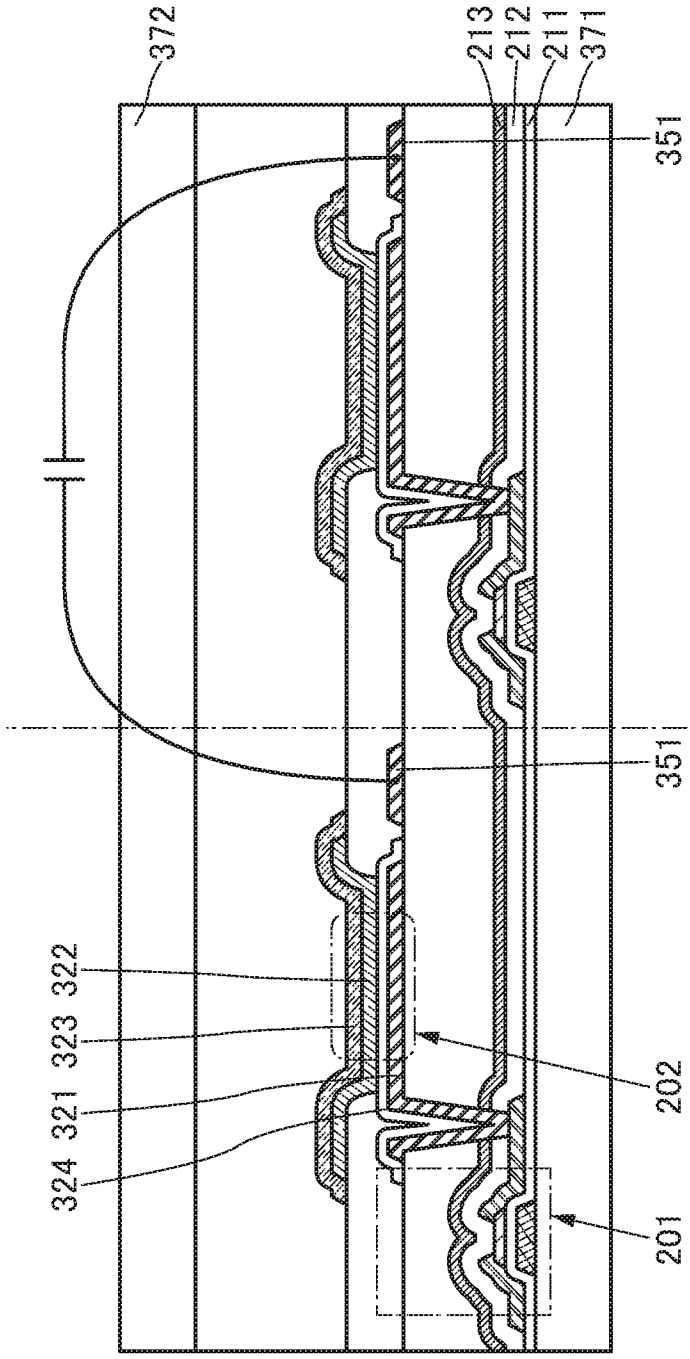
[圖13]



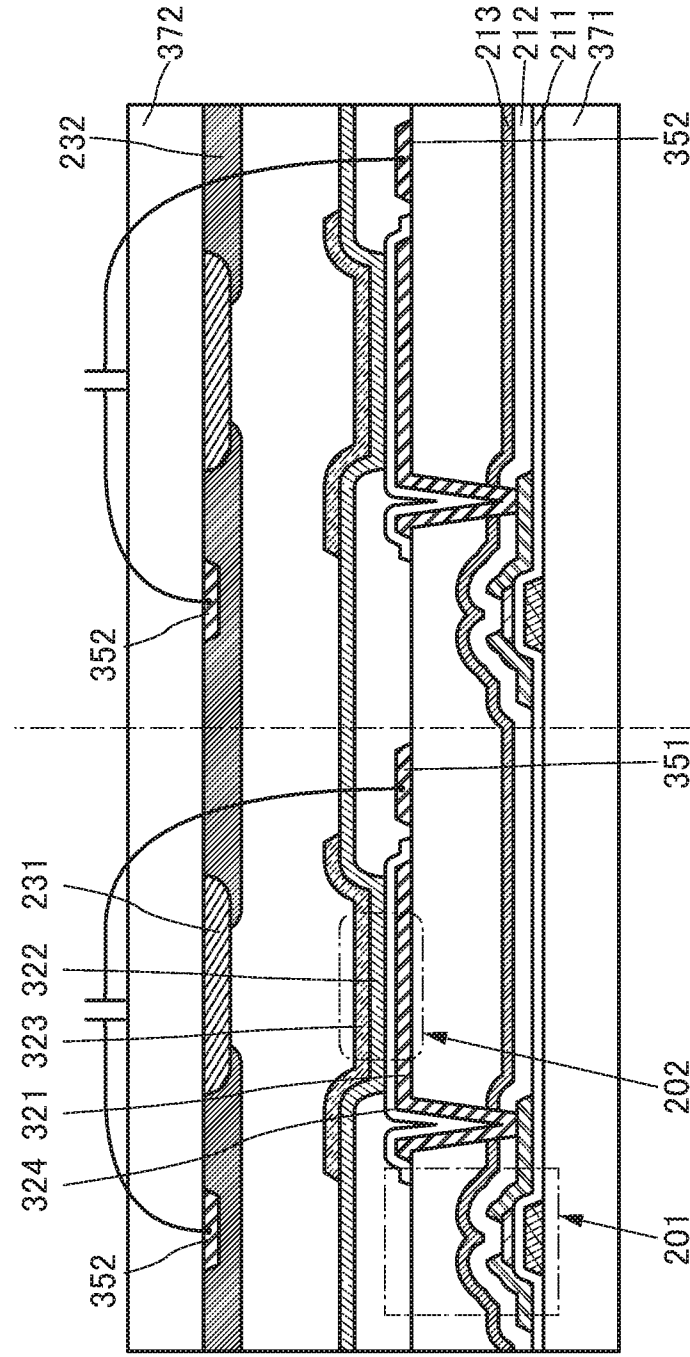
[圖14]



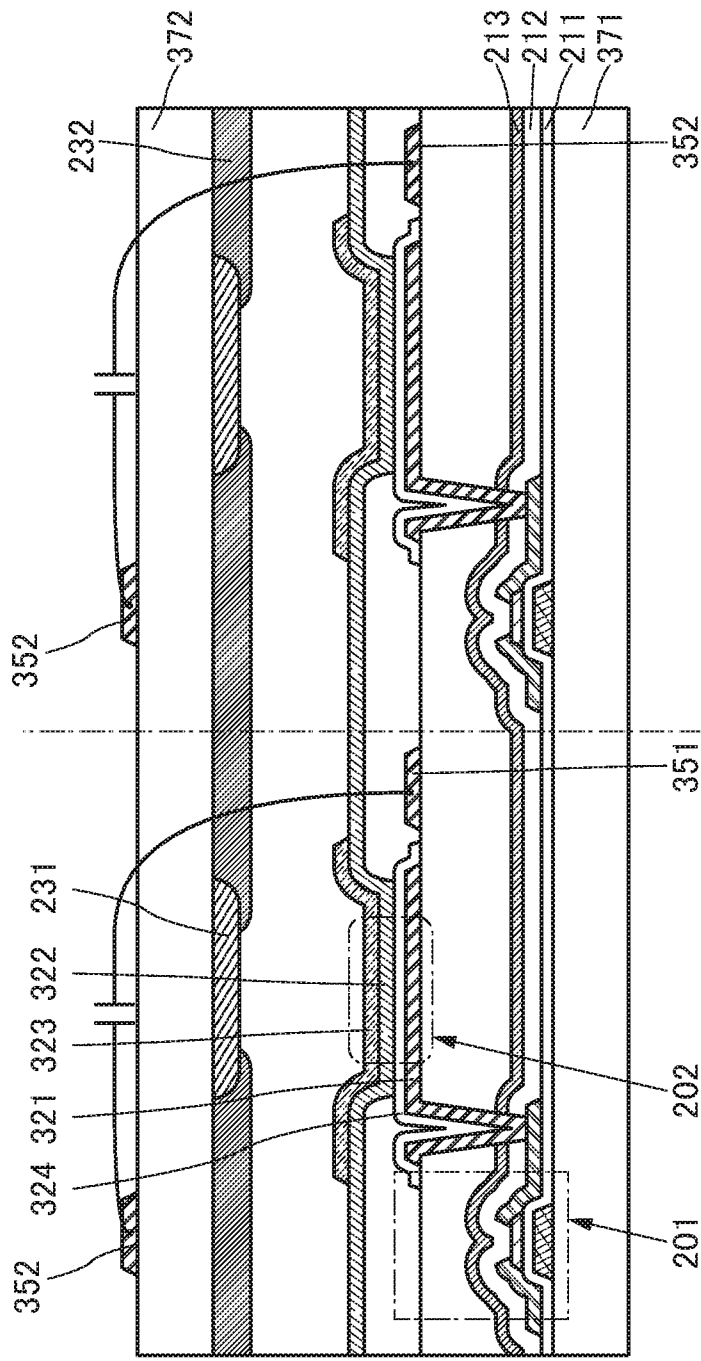
[圖15]



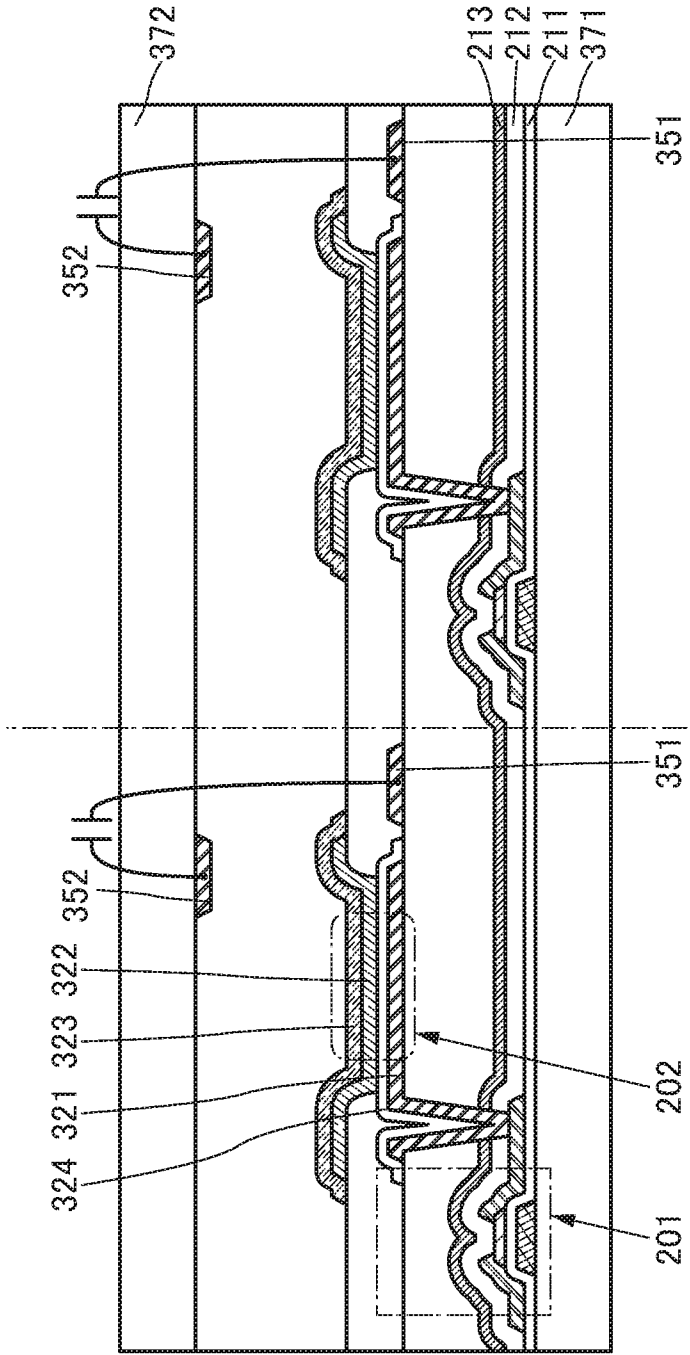
[圖 16]



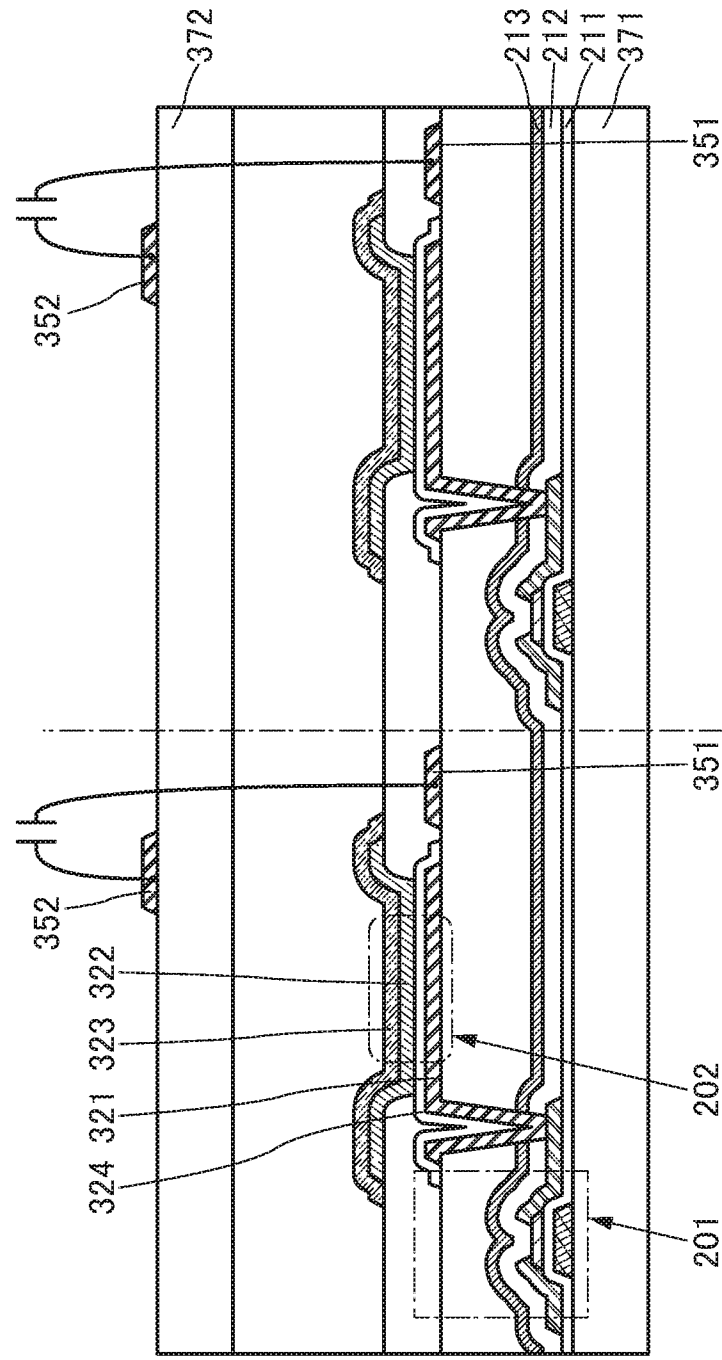
[図17]



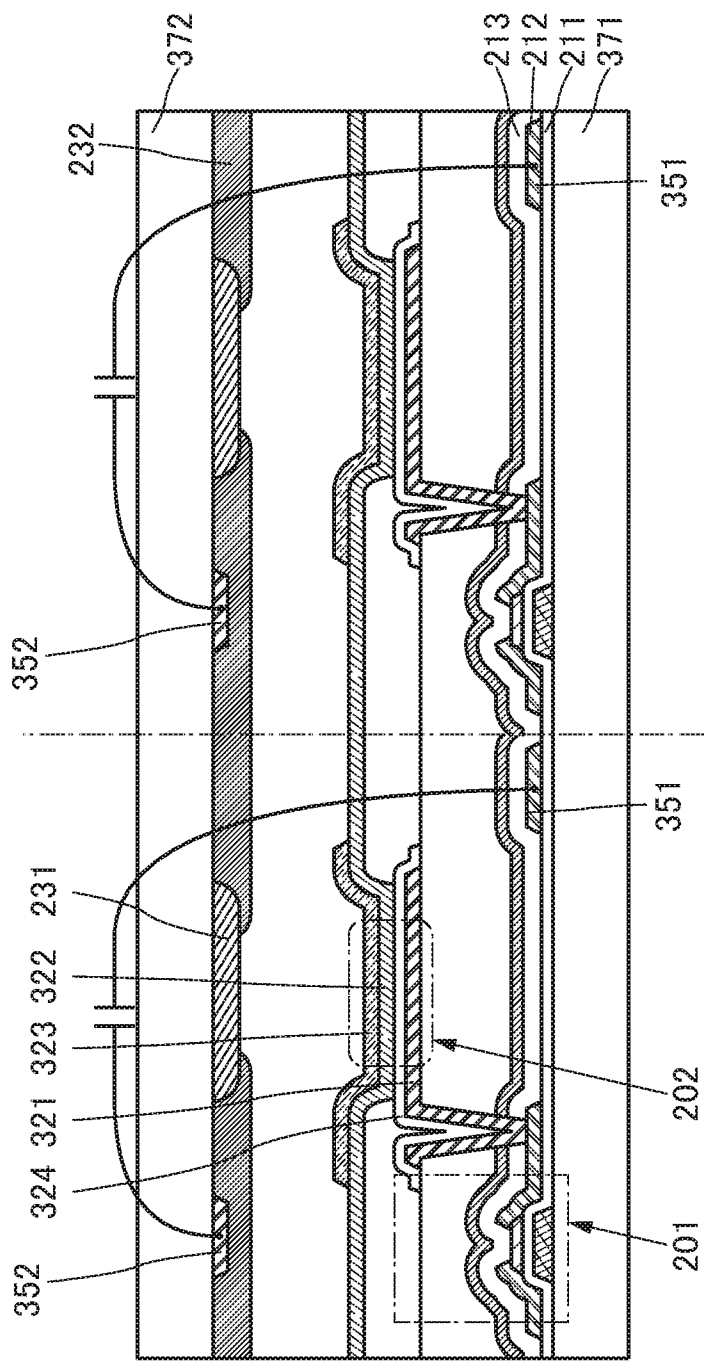
[圖18]



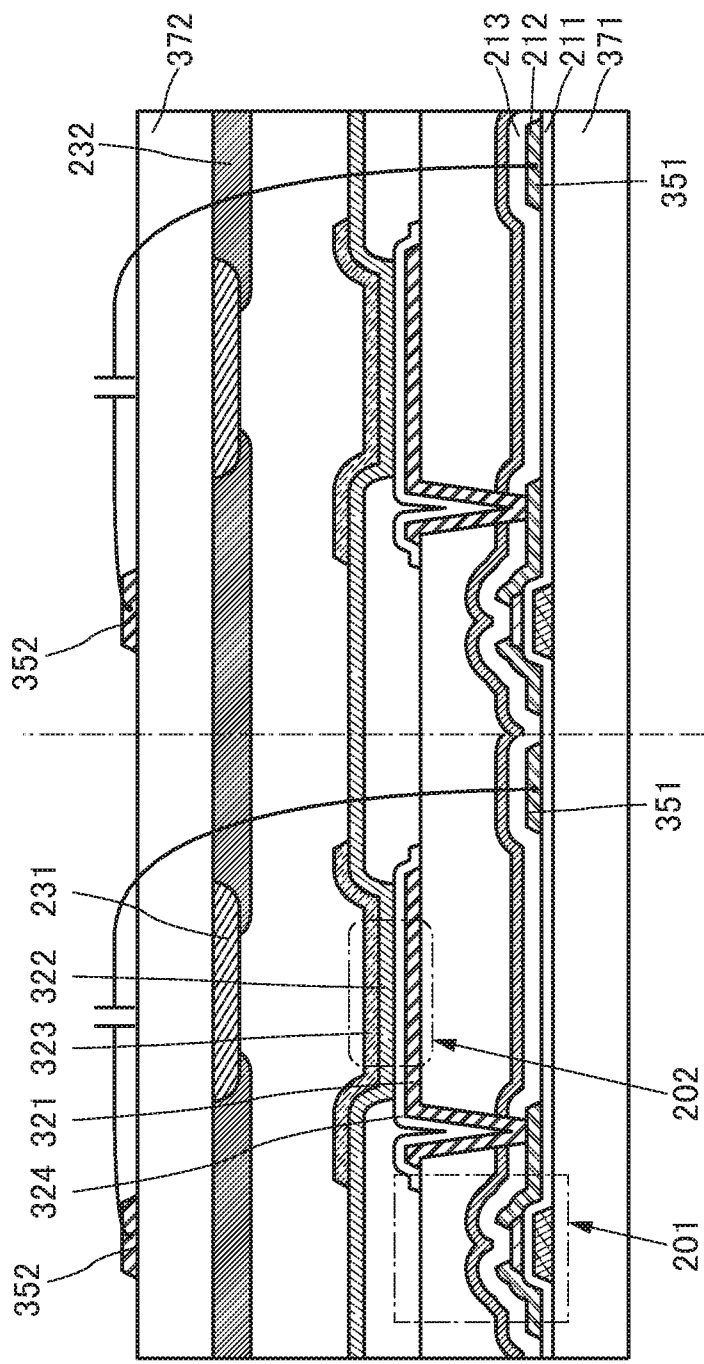
[圖19]



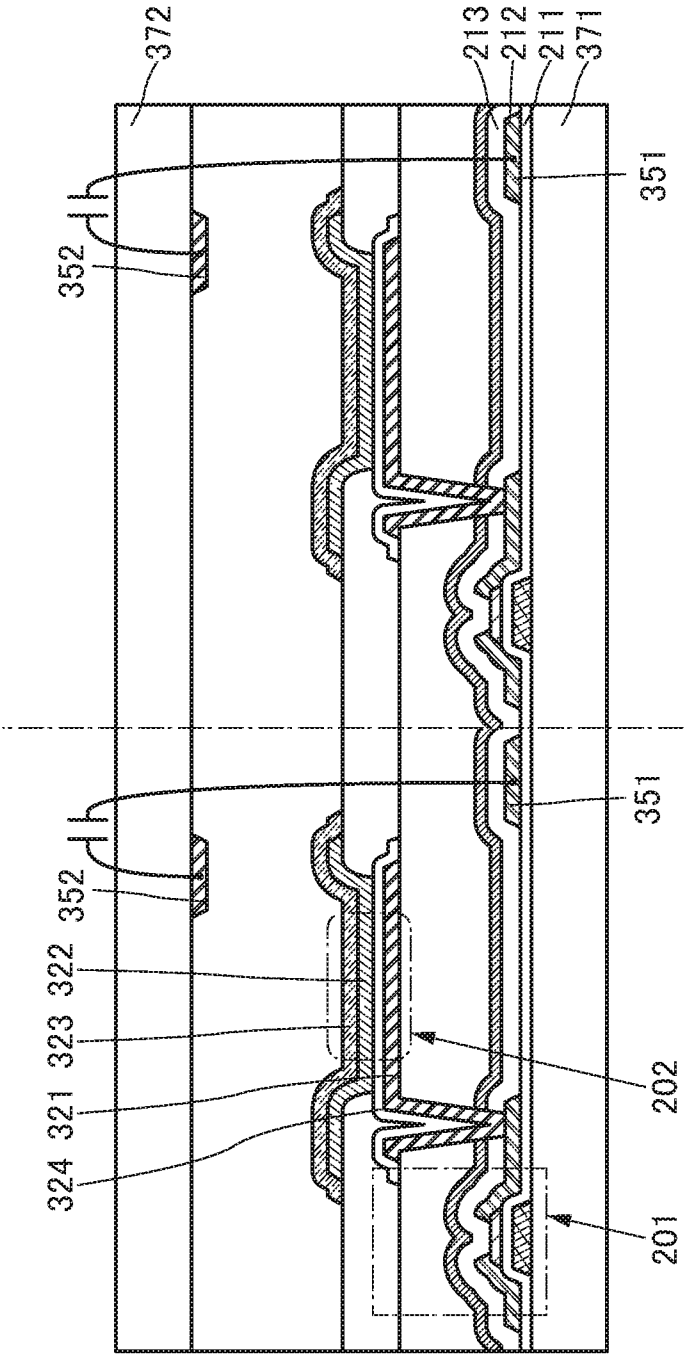
[図20]



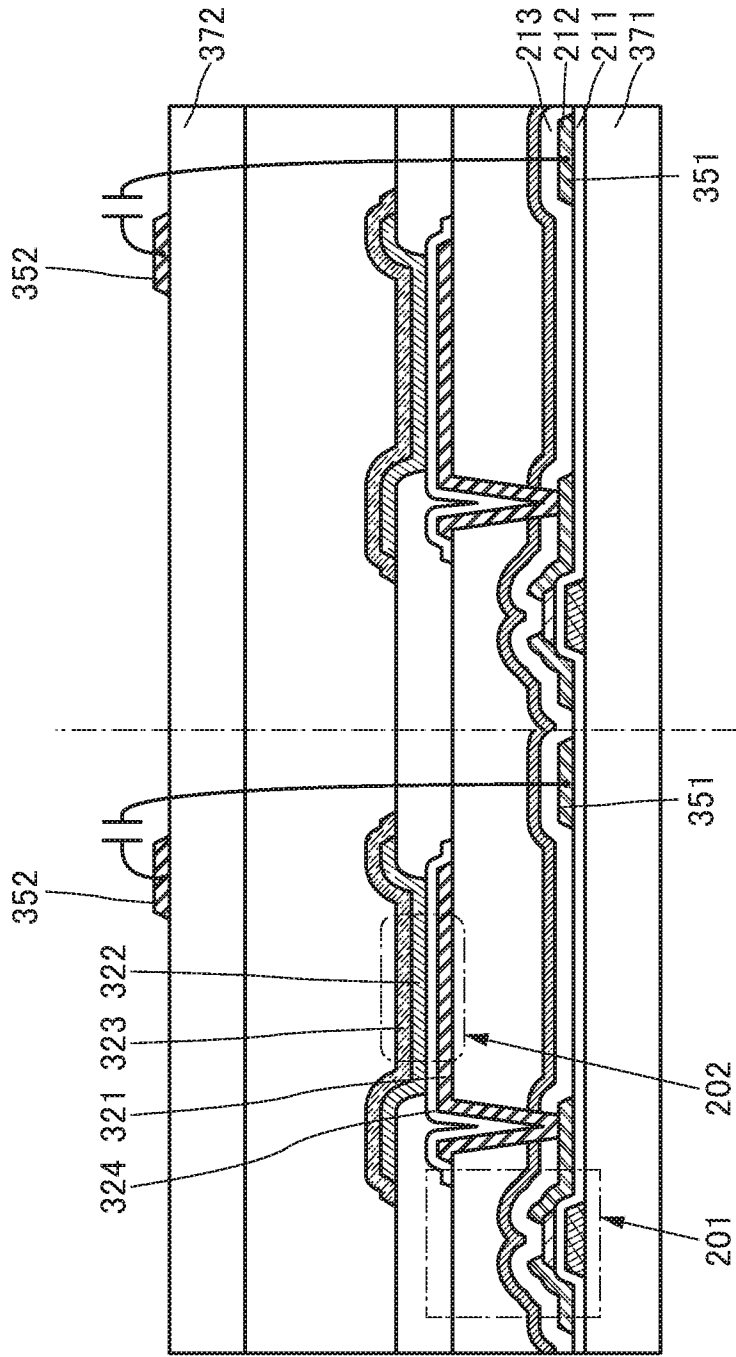
[図21]



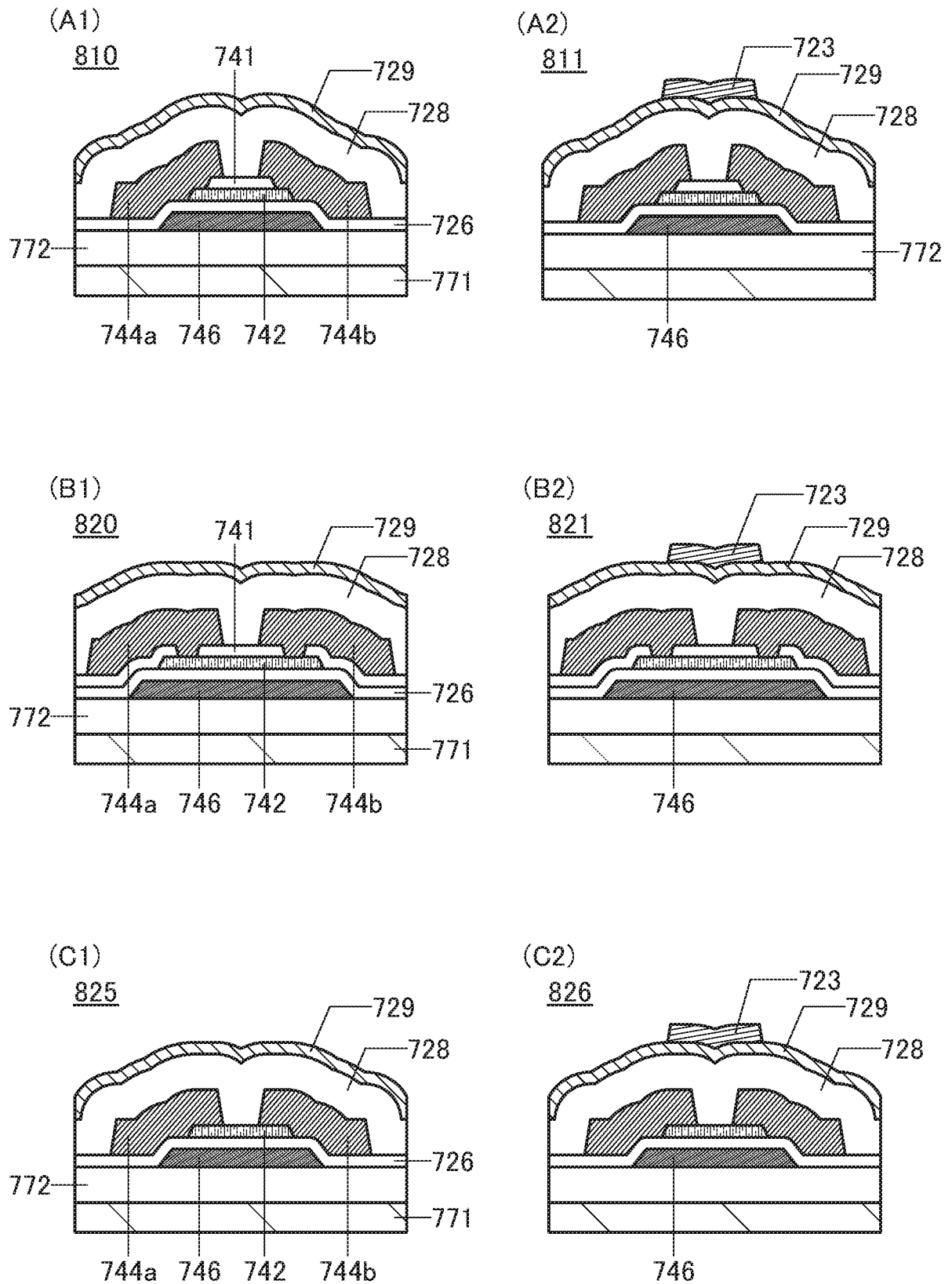
[圖 22]



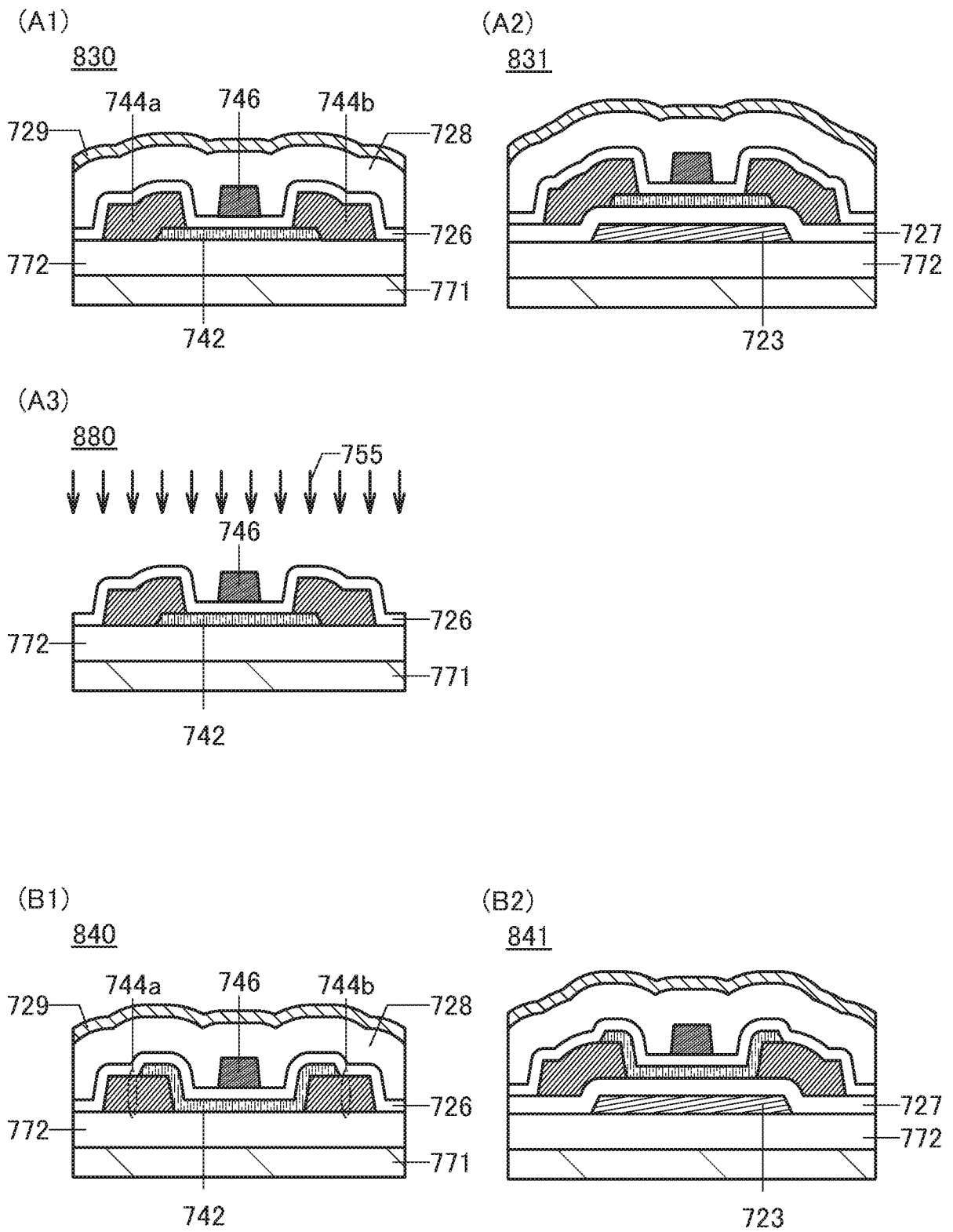
[圖 23]



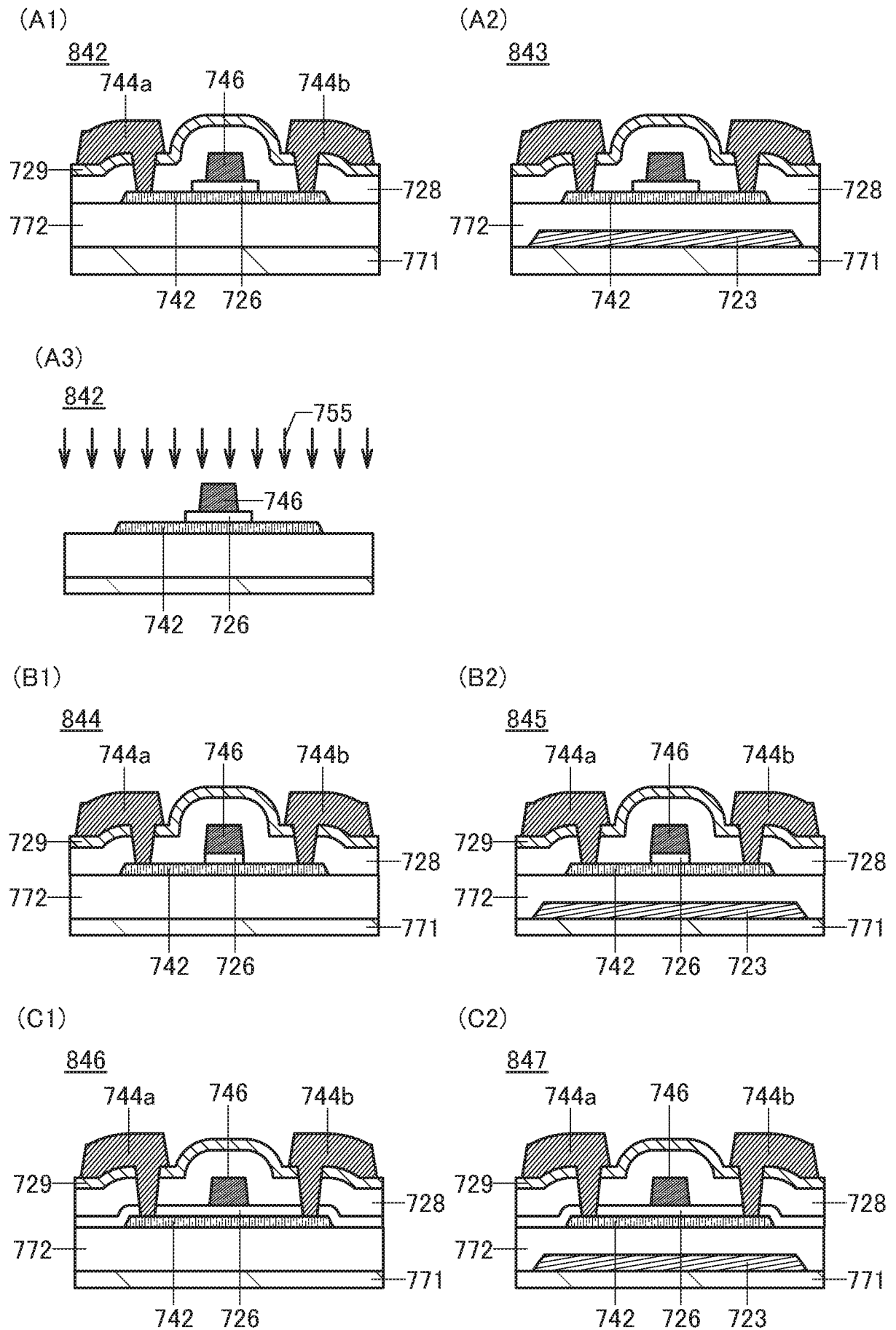
[図24]



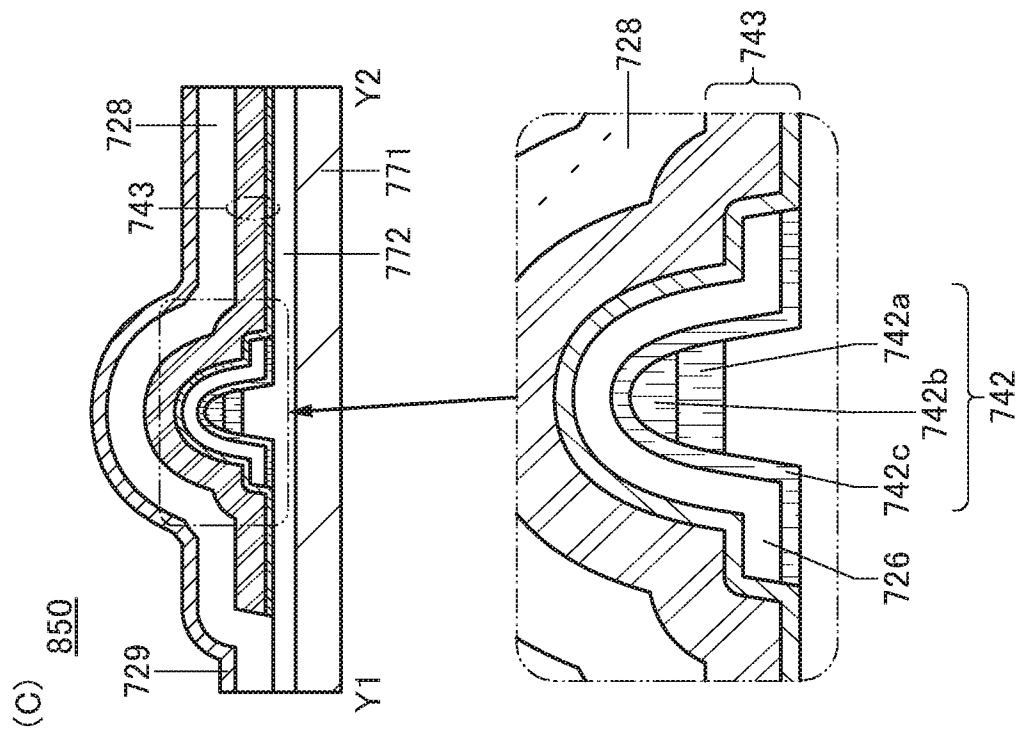
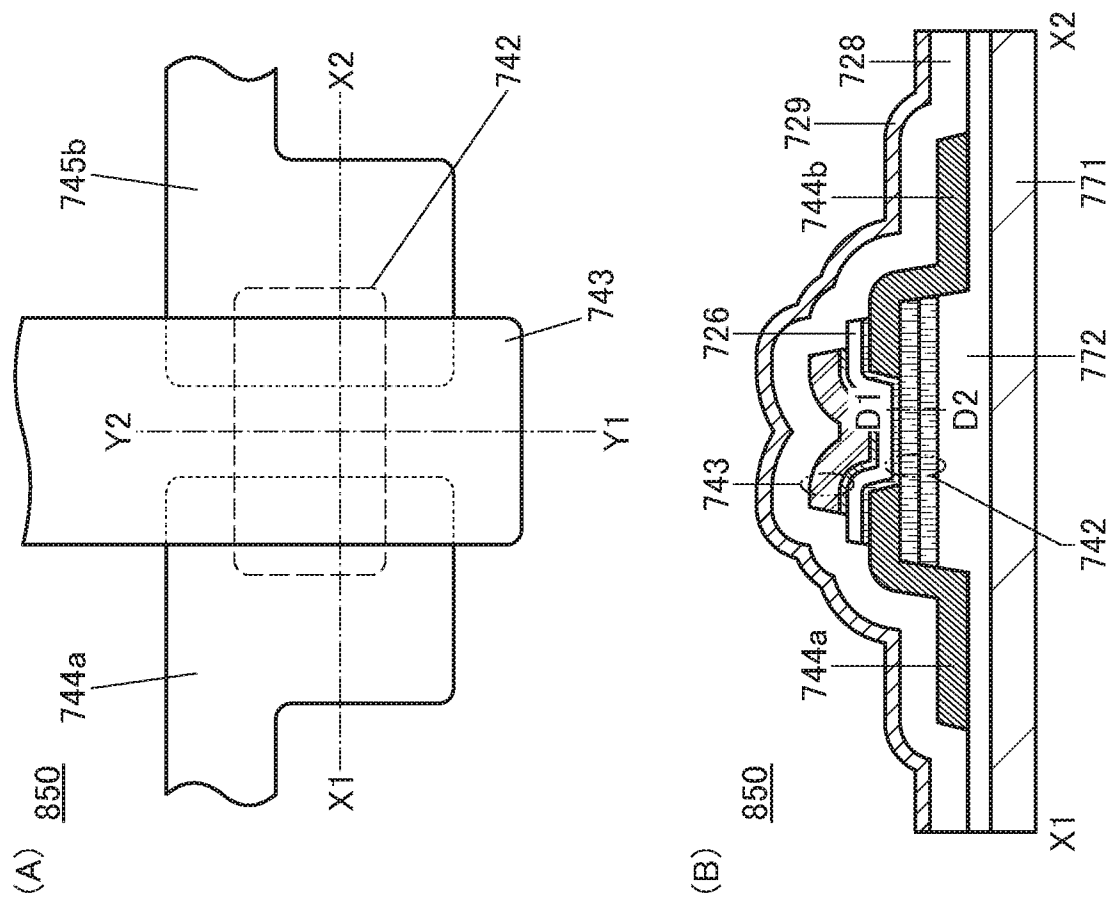
[図25]

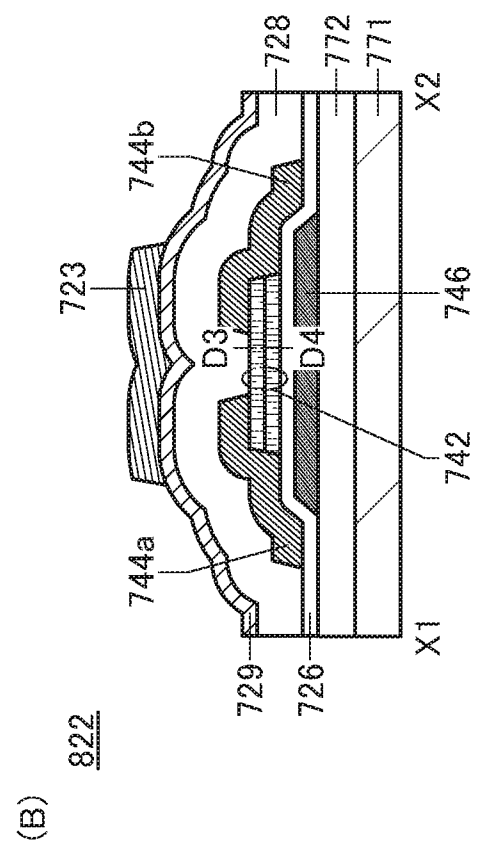
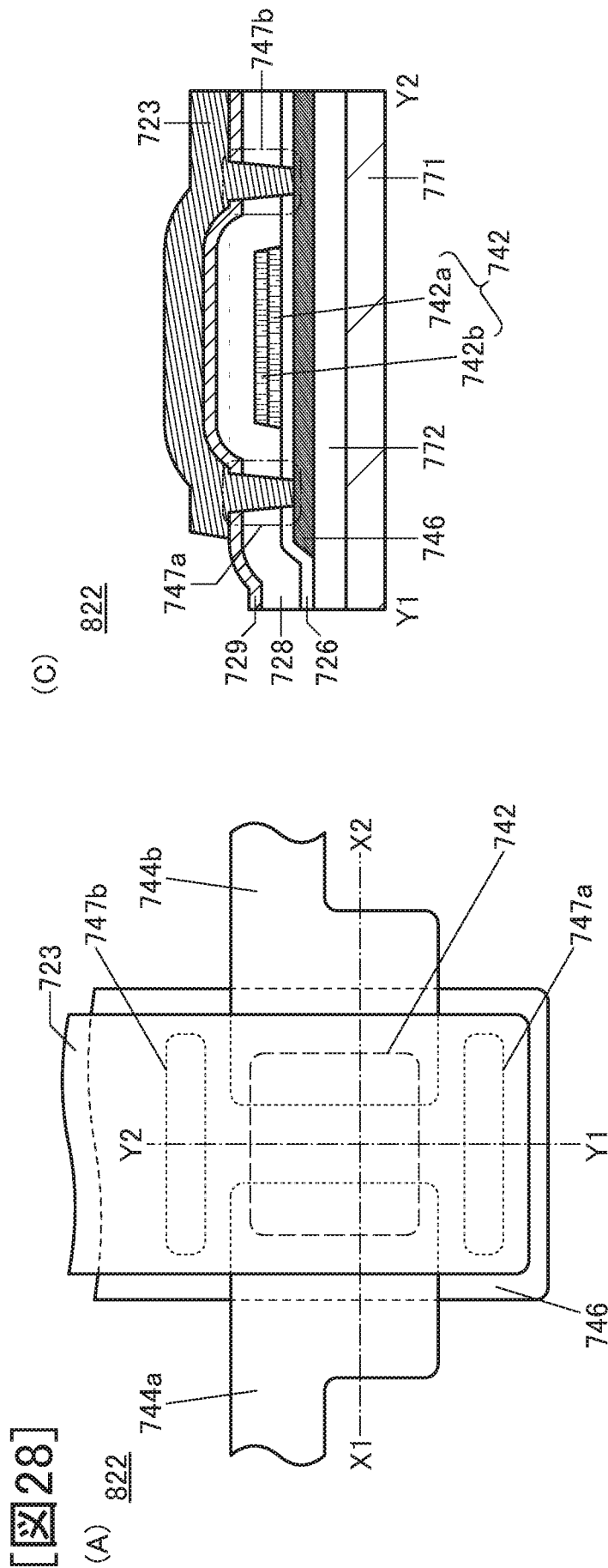


[図26]

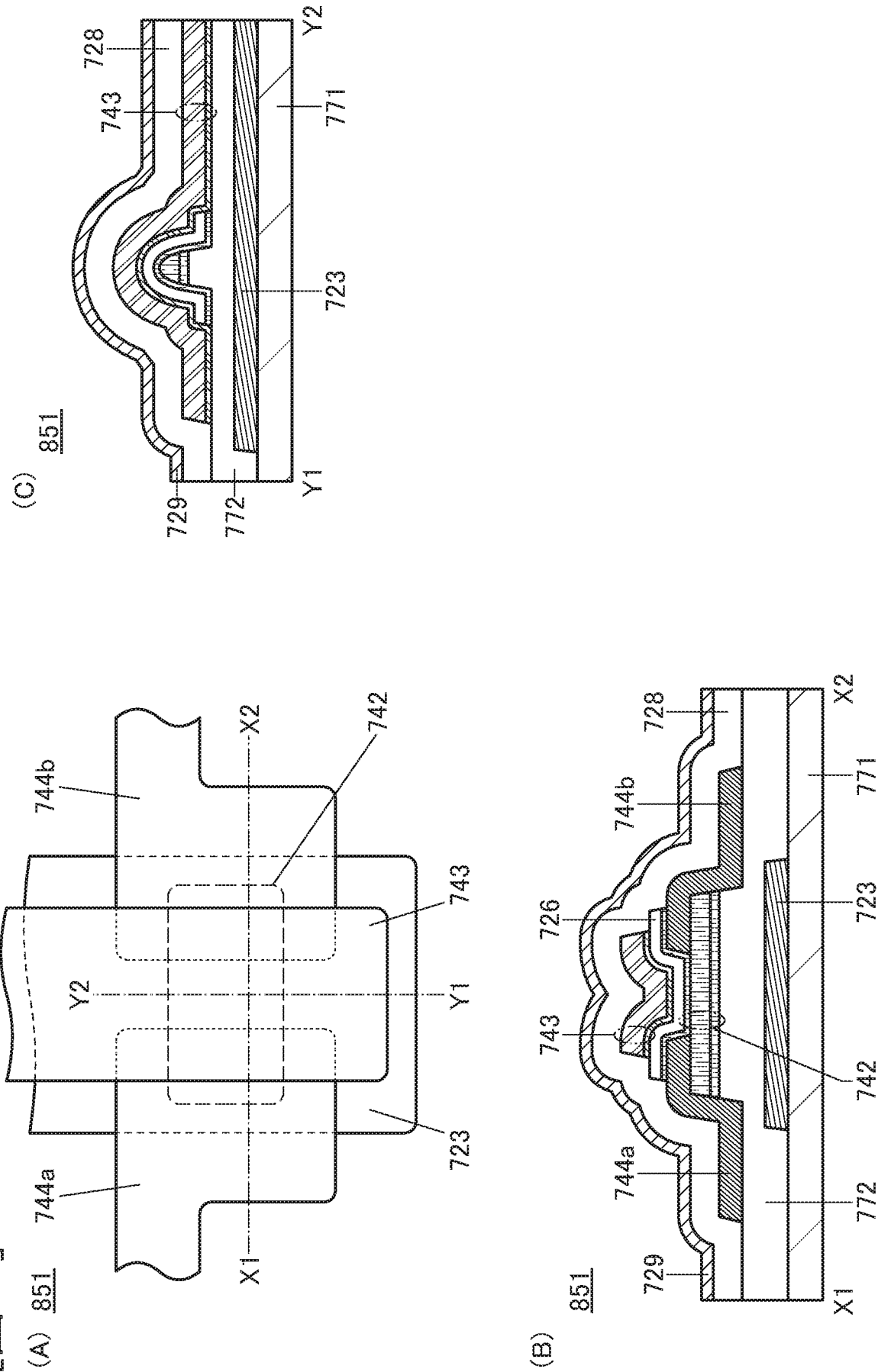


27

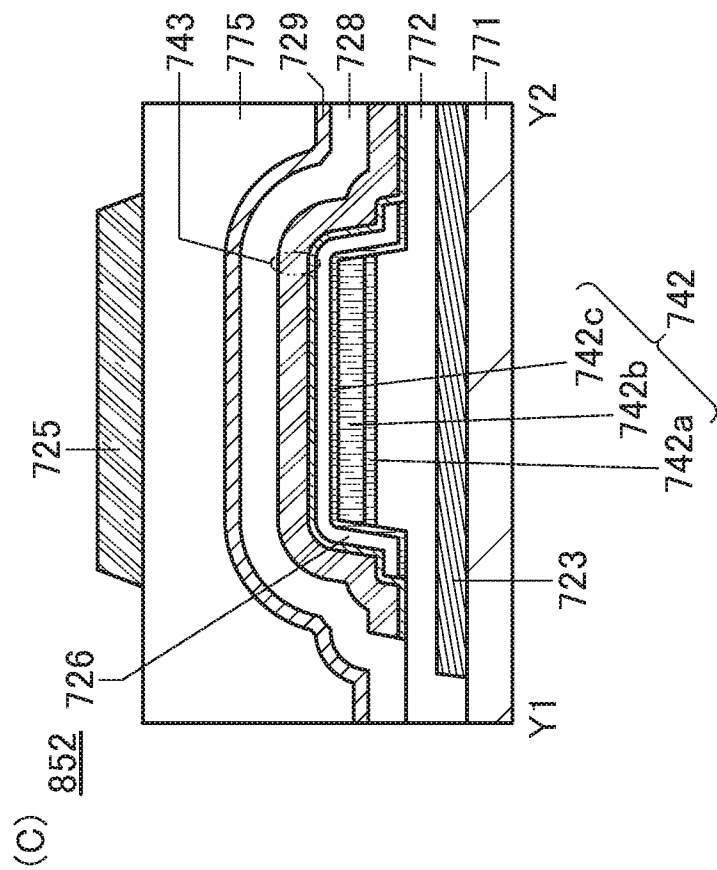
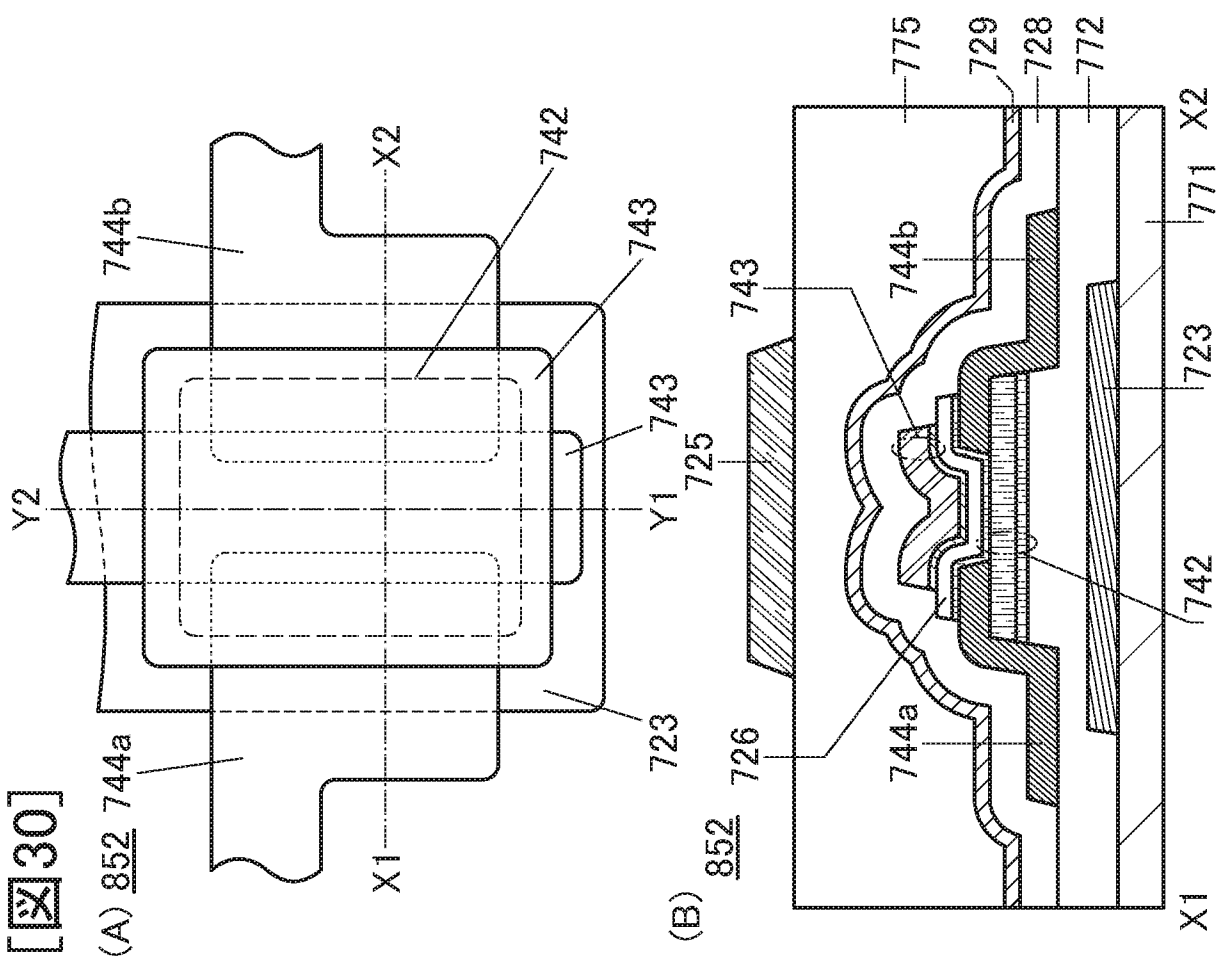




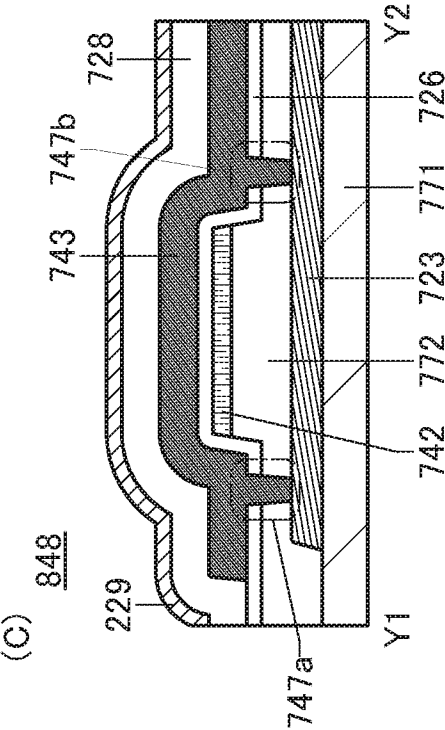
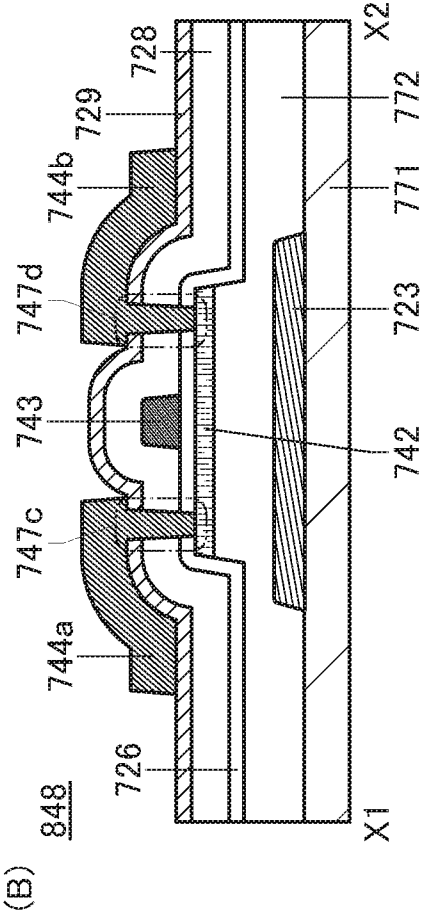
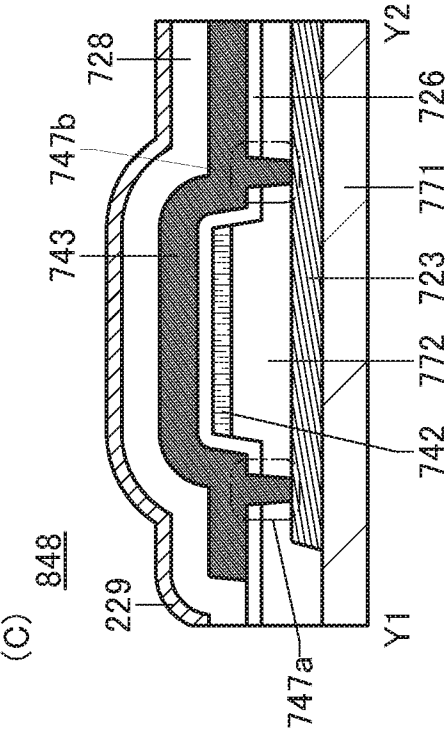
[図29]



[図30]

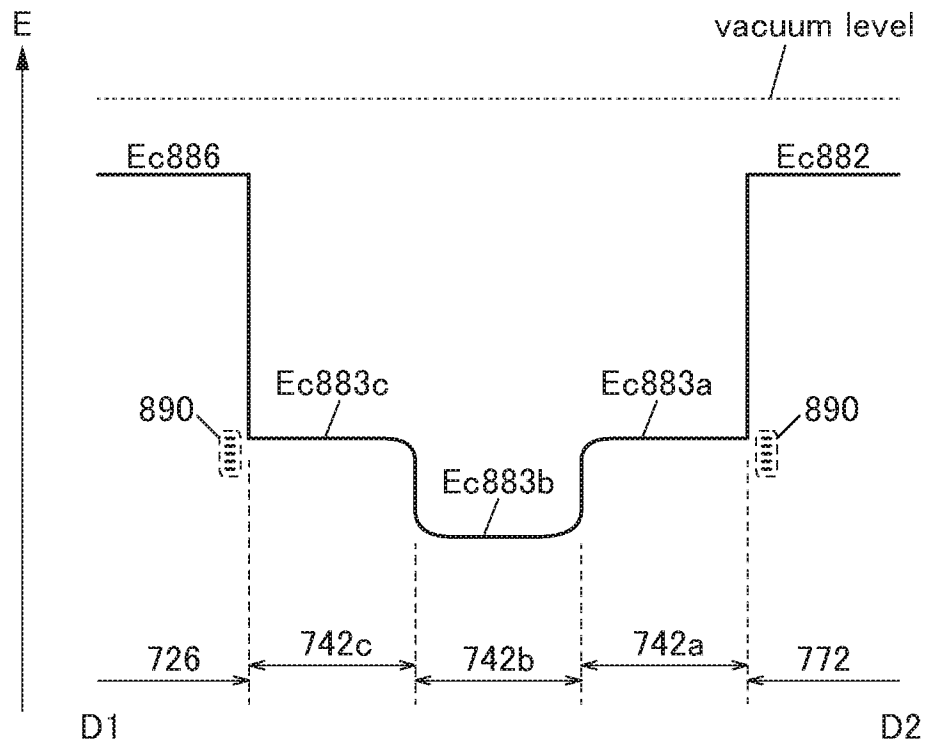


[図31]

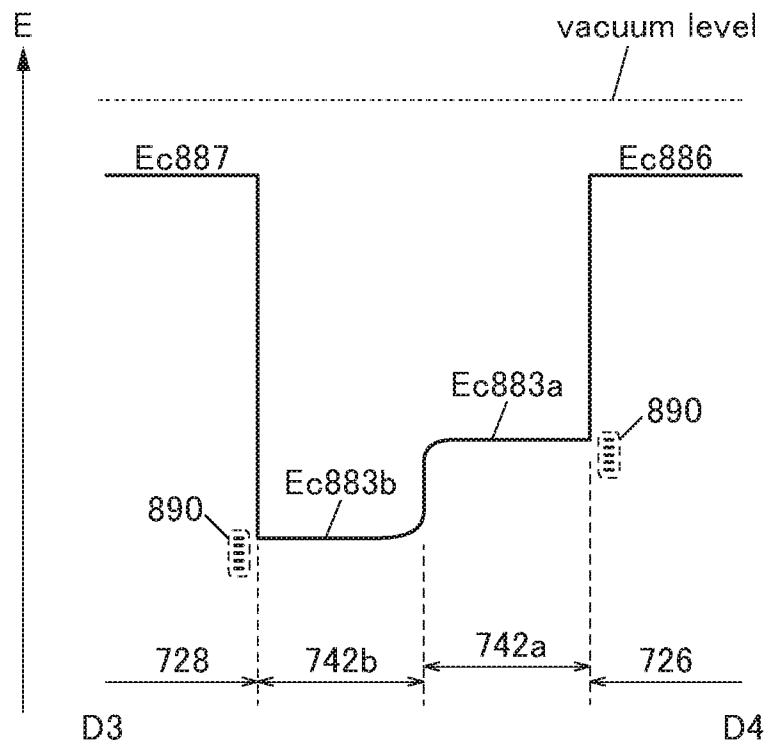


[図32]

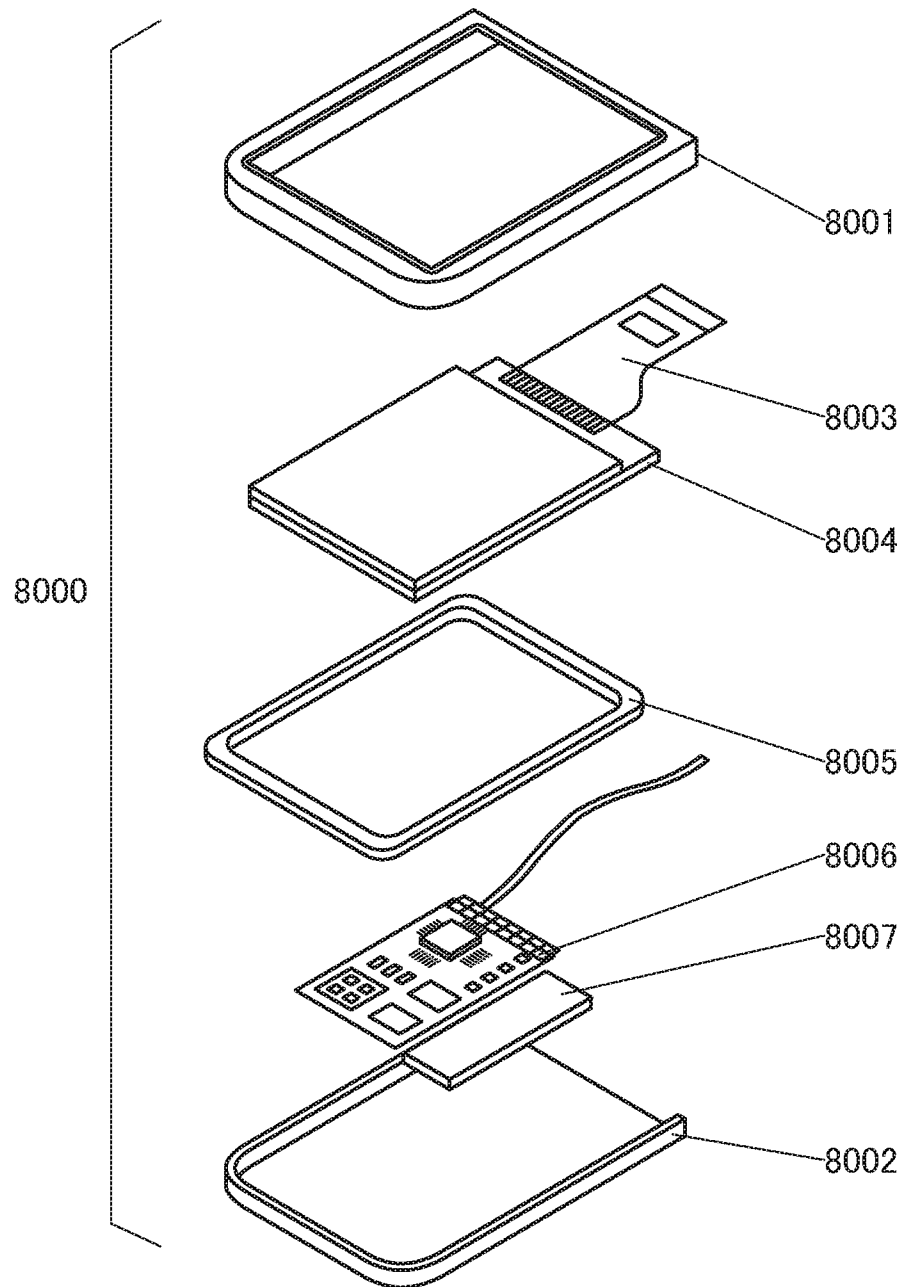
(A)



(B)

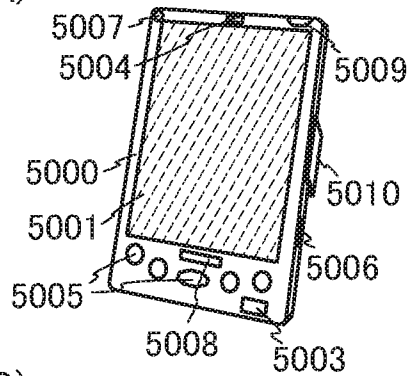


[図33]

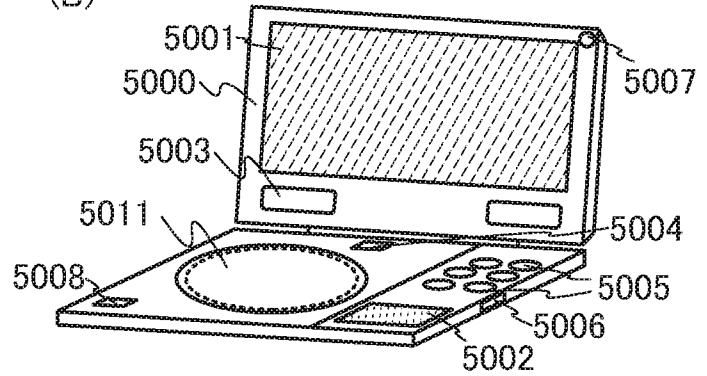


[図34]

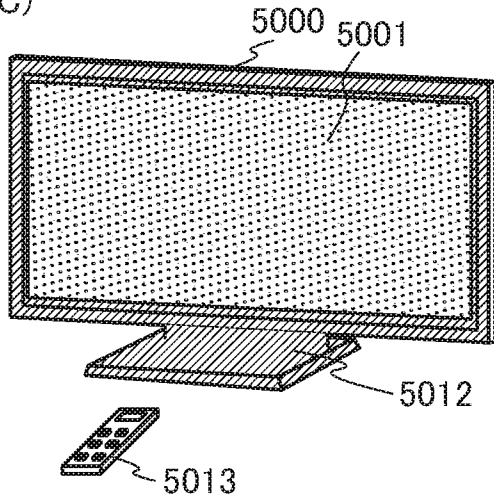
(A)



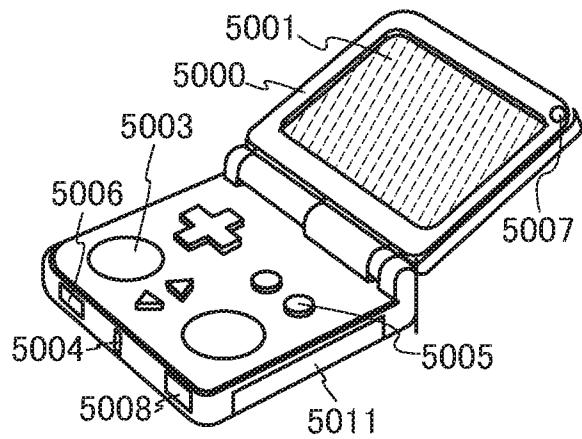
(B)



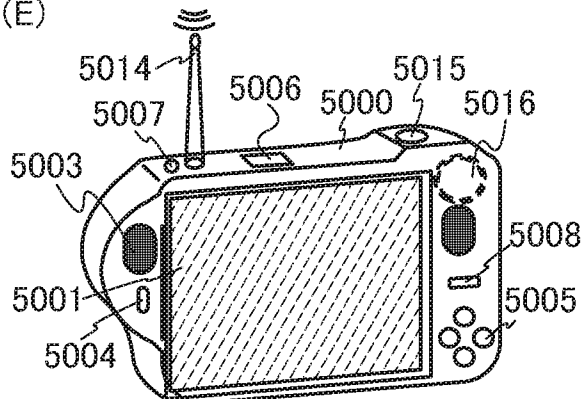
(C)



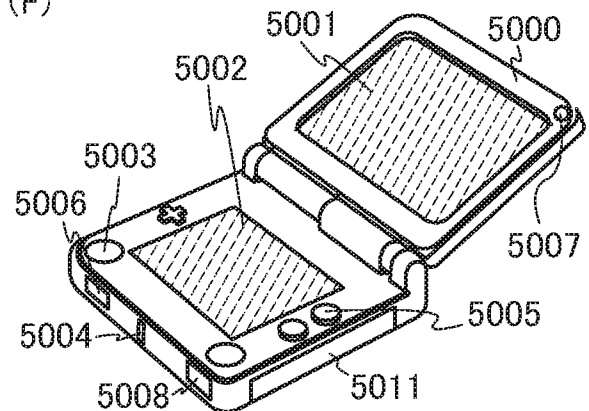
(D)



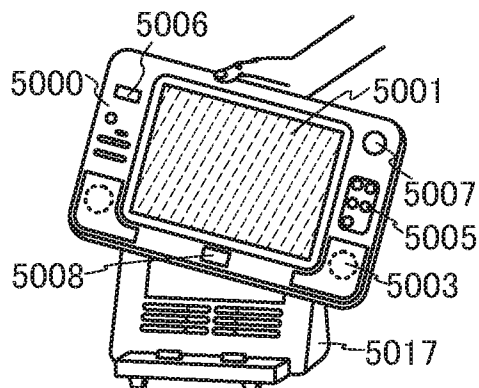
(E)



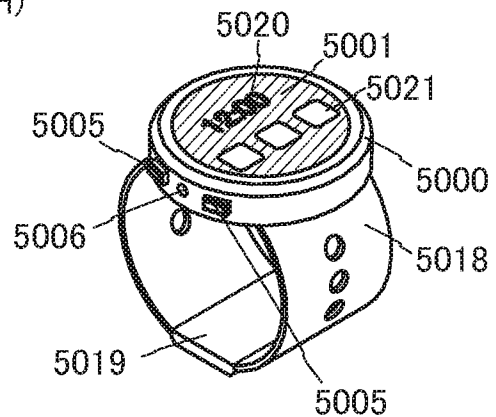
(F)



(G)

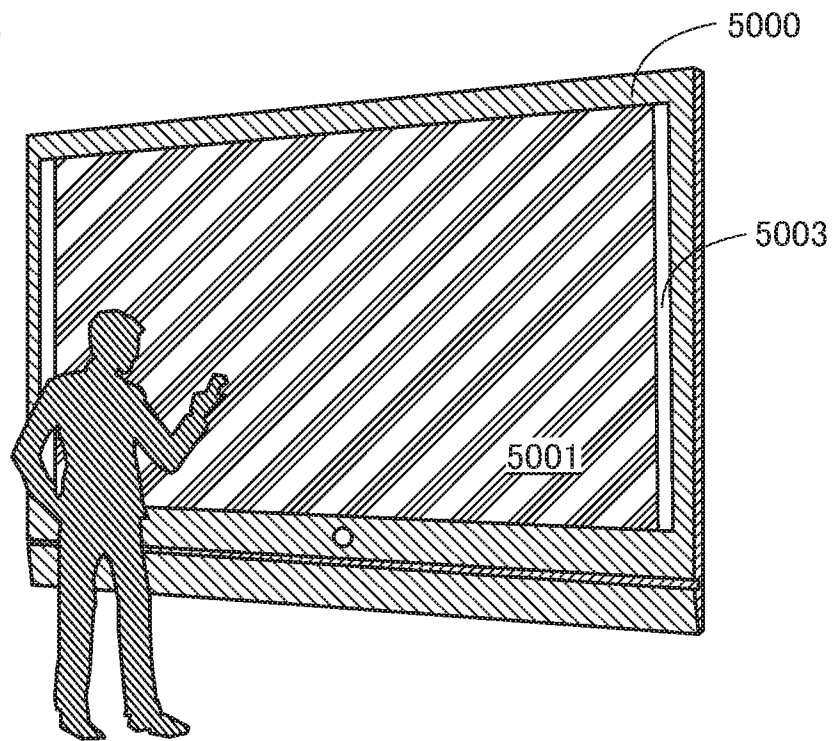


(H)

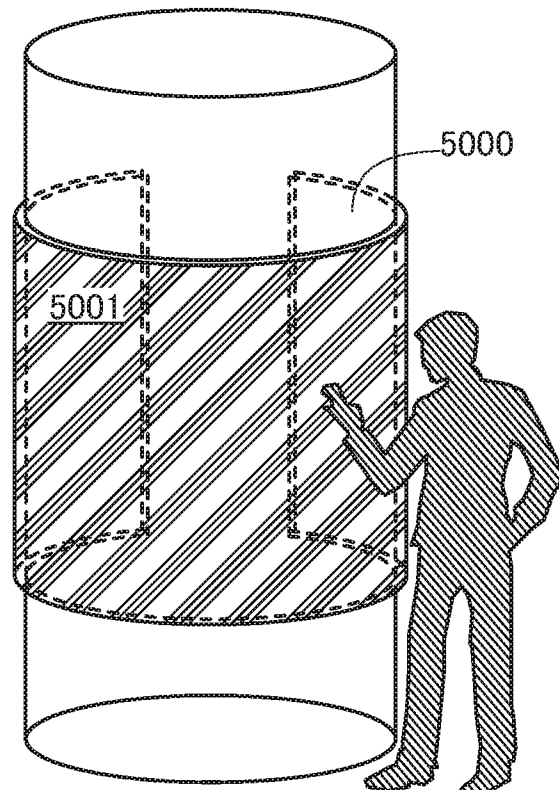


[図35]

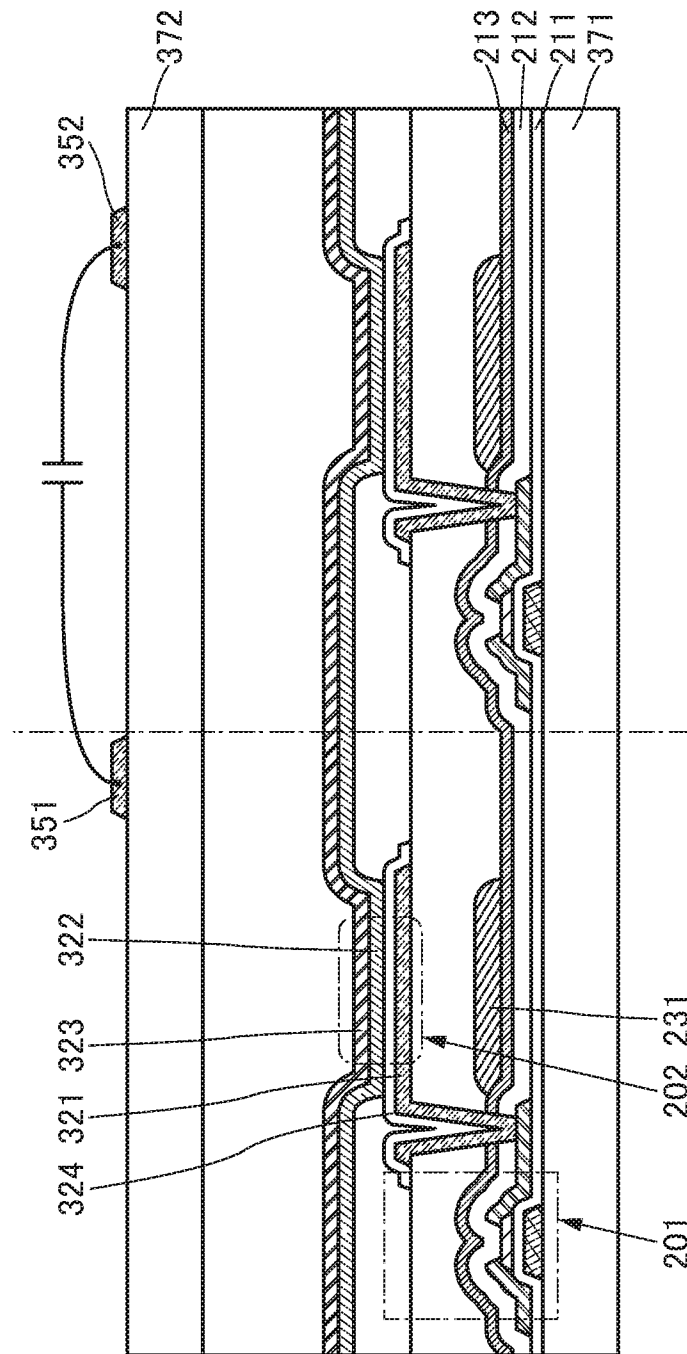
(A)



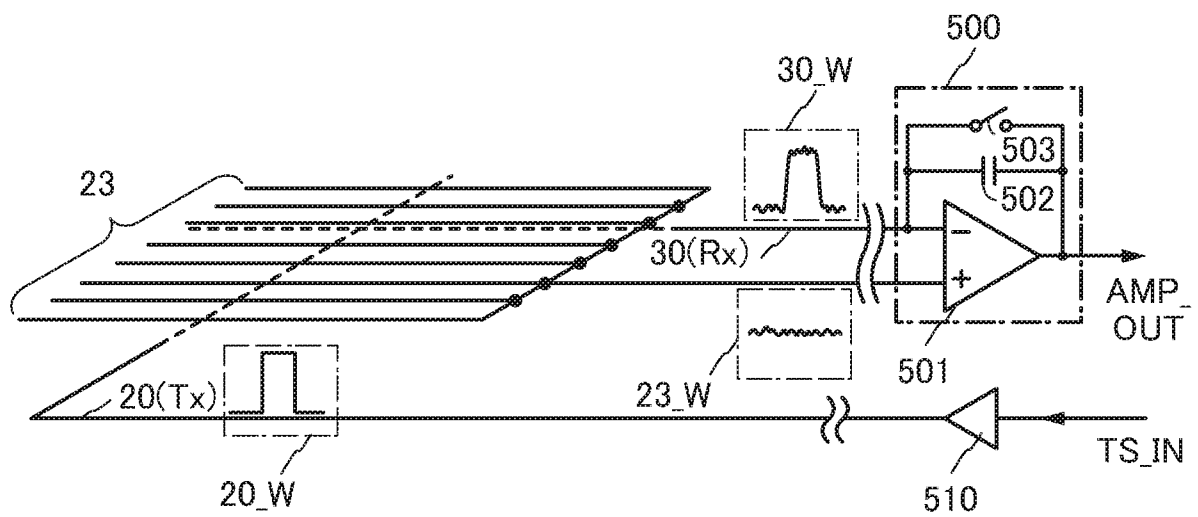
(B)



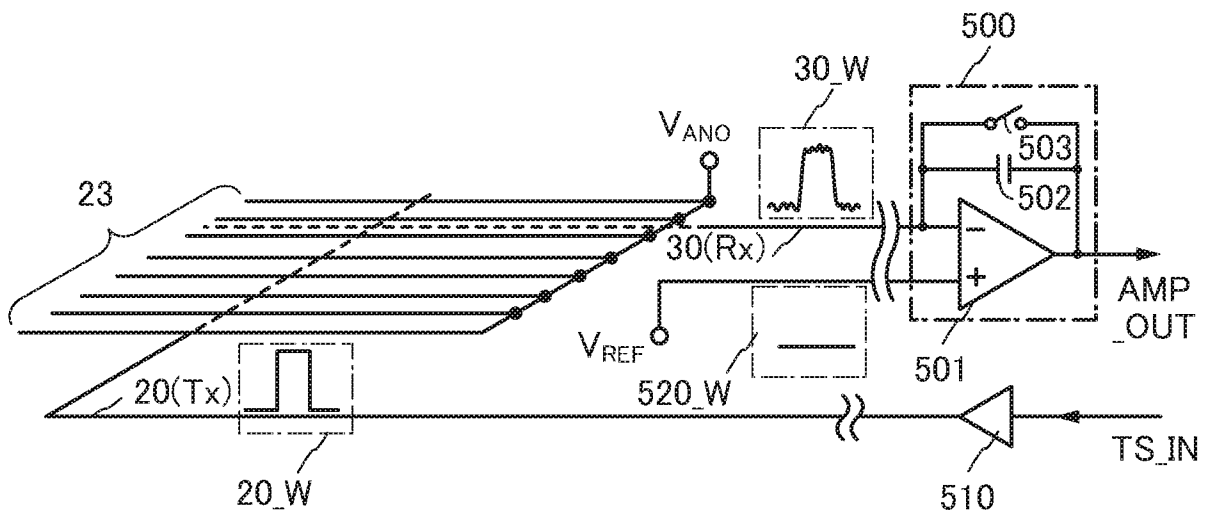
93

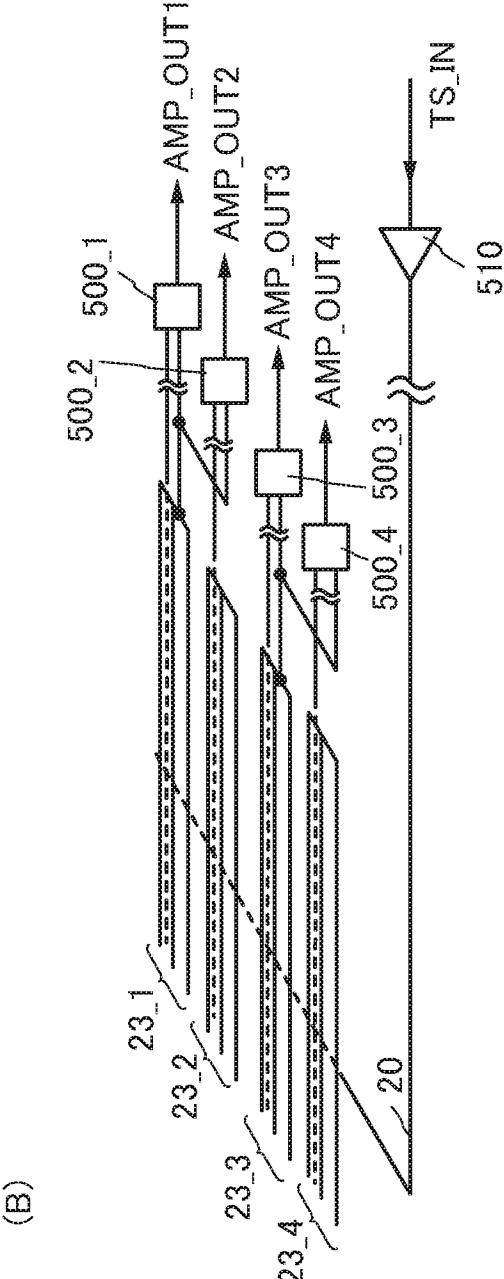
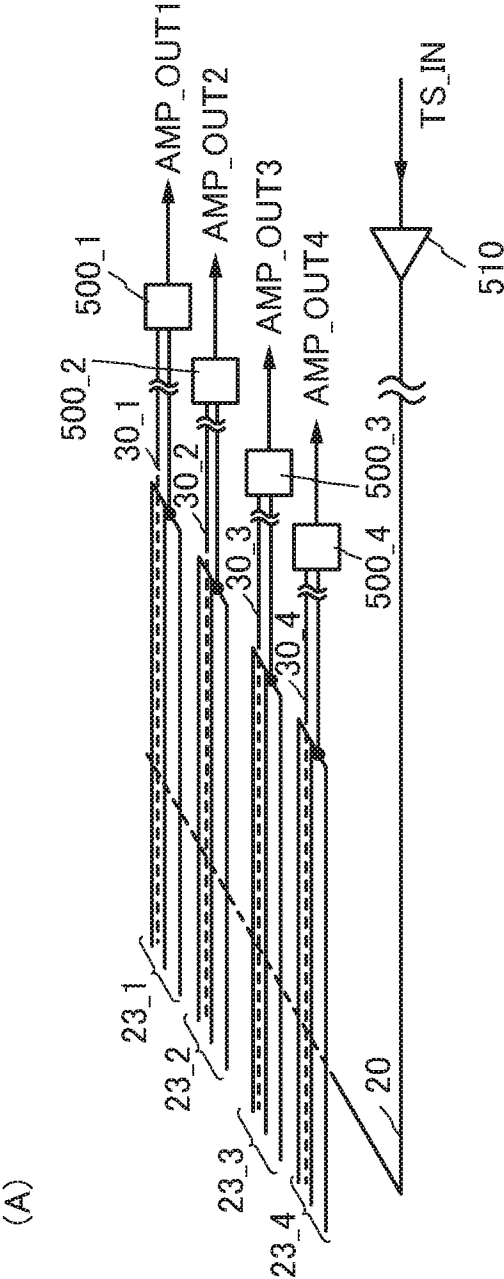


[図37]



[図38]





INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2016/052882

A. CLASSIFICATION OF SUBJECT MATTER

G06F3/041(2006.01) i, G06F3/044(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F3/041, G06F3/044

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2015/059995 A1 (Sharp Corp.), 30 April 2015 (30.04.2015), entire text; all drawings & CN 105765498 A	1-7
A	JP 2014-71626 A (Renesas SP Drivers Inc.), 21 April 2014 (21.04.2014), entire text; all drawings & US 2014/0092061 A1 & CN 103713788 A	1-7
A	JP 2013-218659 A (Samsung Display Co., Ltd.), 24 October 2013 (24.10.2013), entire text; all drawings & US 2013/0265244 A1 & EP 2650762 A2 & KR 10-2013-0114421 A & CN 103365509 A	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 September 2016 (09.09.16)

Date of mailing of the international search report
20 September 2016 (20.09.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G06F3/041(2006.01)i, G06F3/044(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06F3/041, G06F3/044

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	W0 2015/059995 A1（シャープ株式会社）2015.04.30, 全文全図 & CN 105765498 A	1-7
A	JP 2014-71626 A（株式会社ルネサスエスピードライブ）2014.04.21, 全文全図 & US 2014/0092061 A1 & CN 103713788 A	1-7
A	JP 2013-218659 A（三星ディスプレイ株式会社）2013.10.24, 全文全図 & US 2013/0265244 A1 & EP 2650762 A2 & KR 10-2013-0114421 A & CN 103365509 A	1-7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

09.09.2016

国際調査報告の発送日

20.09.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

原 秀人

5E

9644

電話番号 03-3581-1101 内線 3521