



特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類 5 C06F 13/10</p>	<p>A1</p>	<p>(11) 国際公開番号 WO 92/06057</p> <p>(43) 国際公開日 1992年4月16日 (16.04.1992)</p>
<p>(21) 国際出願番号 PCT/JP91/01325 (22) 国際出願日 1991年10月2日(02. 10. 91)</p> <p>(30) 優先権データ 特願平2/265885 1990年10月3日(03. 10. 90) JP</p> <p>(71) 出願人(米国を除くすべての指定国について) 富士通株式会社(FUJITSU LIMITED)[JP/JP] 〒211 神奈川県川崎市中原区上小田中1015番地 Kanagawa, (JP)</p> <p>(72) 発明者;および (75) 発明者/出願人(米国についてのみ) 日高祐次(HIDAKA, Yuji)[JP/JP] 木村 誠(KIMURA, Makoto)[JP/JP] 〒211 神奈川県川崎市中原区上小田中1015 富士通株式会社内 Kanagawa, (JP)</p> <p>(74) 代理人 弁理士 伊東忠彦(ITO, Tadahiko) 〒102 東京都千代田区麹町5丁目7番地 秀和紀尾井町TBR1010号 Tokyo, (JP)</p> <p>(81) 指定国 AU, CA, DE(欧州特許), ES(欧州特許), FR(欧州特許), GB(欧州特許), JP, US.</p> <p>添付公開書類 国際調査報告書</p>		

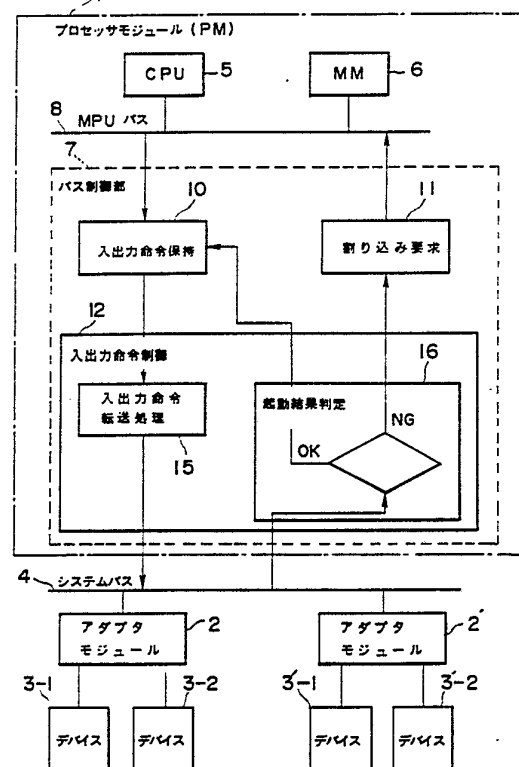
(54) Title :SYSTEM FOR CONTROLLING ISSUE OF INPUT/OUTPUT INSTRUCTION IN DATA PROCESSING SYSTEM

(54) 発明の名称 データ処理システムにおける入出力命令の発行制御システム

- 1 ... processor module (PM)
- 2, 2' ... adaptor module
- 3-1, 3-2, 3'-1, 3'-2 ... device
- 4 ... system bus
- 7 ... bus controlling part
- 8 ... MPU bus
- 10 ... holding of input/output instruction
- 11 ... interrupt request
- 12 ... control of input/output instruction
- 15 ... processing for transferring input/output instruction
- 16 ... decision of starting result

(57) Abstract

A system for controlling the issues of input/output instructions applicable to a data processing system which includes a processor module having a CPU and adaptor modules which are in connection with the processor module by a system bus and control input/output devices according to the input/output instructions issued from the processor module. While the CPU executes other instructions after issuing the input/output instructions, the adaptor modules execute the input/output instructions and transfer the results of processing to the processor module. When the results sent from the adaptor modules are not normal, the CPU receives interrupt requests to provide the results of processing in the adaptor modules.



(57) 要約

入出力命令の発行制御システムは、CPUを有したプロセッサモジュールと、このプロセッサモジュールにシステムバスで接続され、プロセッサモジュールからの入出力命令に基づいて入出力装置を制御するアダプタモジュールとを有するデータ処理システムに適用される。上記CPUは入出力命令を発行した後に他の処理を実行し、アダプタモジュールはプロセッサモジュールからの入出力命令に基づいた処理の結果をプロセッサモジュールに応答する。アダプタモジュールでの処理が正常でない場合に、アダプタモジュールでの処理結果を提供するための割り込み要求がプロセッサモジュール内のCPUになされる。

情報としての用途のみ

PCTに基づいて公開される国際出願のパブリック第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	ES	スペイン	ML	マリ
AU	オーストラリア	FI	フィンランド	MN	モンゴル
BB	バルバドス	FR	フランス	MR	モーリタニア
BE	ベルギー	GA	ガボン	MW	マラウイ
BF	ブルキナ・ファソ	GI	ギニア	NL	オランダ
BG	ブルガリア	GB	イギリス	NO	ノルウェー
BJ	ベナン	GR	ギリシャ	PL	ポーランド
BR	ブラジル	HU	ハンガリー	RO	ルーマニア
CA	カナダ	IT	イタリア	SD	スーダン
CF	中央アフリカ共和国	JP	日本	SE	スウェーデン
CG	コンゴ	KP	朝鮮民主主義人民共和国	SN	セネガル
CH	スイス	KR	大韓民国	SU <sup>+</sup>	ソビエト連邦
CI	コート・ジボアール	LI	リヒテンシュタイン	TD	チャード
CM	カメルーン	LK	スリランカ	TG	トーゴ
CS	チェコスロバキア	LU	ルクセンブルグ	US	米国
DE	ドイツ	MC	モナコ		
DK	デンマーク	MG	マダガスカル		

<sup>+</sup> SUの指定はロシア連邦の指定としての効力を有する。しかし、その指定が旧ソビエト連邦のロシア連邦以外の他の国で効力を有するかは不明である。

## 明細書

データ処理システムにおける入出力命令の発行制御システム技術分野

本発明は、データ処理システムにおける入出力命令の発行制御システムに関し、特に入出力命令発行後の効率的なデータ処理システムでの処理を可能にするデータ処理システムにおける入出力命令の発行制御システムに関する。

背景技術

図 1 はデータ処理システムの基本的な構成例を示す。図 1 において、このデータ処理システムは、プロセッサモジュール 40、アダプターモジュール (ADP) 42, 42' 及びプロセッサモジュール 40 と各アダプターモジュール 42, 42' を接続するシステムバス 41 を有している。各アダプターモジュール 42, 42' には補助記憶装置 (ディスク装置等) 等の入出力装置 (DV) 43, 44, 43', 44' が接続されており、プロセッサモジュールはシステムバス 41、アダプターモジュール 42, 42' を介して入出力装置 43, 44, 43', 44' を制御する。プロセッサモジュール 40 においては、CPU 45、メモリモジュール (MM) 46 及びバス制御部 48 が内部バス (MPUバス) 47 によって相互に接続されている。バス制御部 48 は、CPU 45 から発行された入出力命令をシステムバス 41 を介してアダプターモジュール 42 (42') に転送するためのバスコマンドを生成する処理を行なう。このバスコマンドに基づいて入出力命令がアダプターモジュール 42 (42') に転送される。また、バス制御部 48 は、アダプターモ

## 2

ジュール42(42')からシステムバス41を介して送られてくる入出力命令に基づいた入出力装置43, 44の起動結果をCPU45に通知する。

5 図2は図1に示すデータ処理システムにおける従来の入出力命令の発行制御処理を示すフローチャートである。

10 図2において、この入出力命令の発行制御処理は、プロセッサモジュール51、システムバス52、アダプタモジュール53(以下、単にアダプタという)での処理に分けられる。これらプロセッサモジュール51、システムバス52、アダプタ53は、図1と同様に接続されている。

15 プロセッサモジュール51のCPUは入出力命令54を発行する。この入出力命令はMPUバスを介してバス制御部に送られる。そして、バス制御部は入出力命令をシステムバスに適合する形式に変換し、形式が変換された入出力命令がシステムバス52を介してアダプタ(ADP)に供給される。CPUからの入出力命令を受取ったアダプタ(ADP)53は、その入出力命令に基づいて入出力装置の制御が可能か否かをシステムバス52の応答信号によりプロセッサモジュール51のバス制御部に通知する。アダプタ53からの応答信号を受信したバス制御部は、その応答信号をCPUに通知する。

20 プロセッサモジュール51のCPUは入出力命令54を発行した後はその入出力命令54に基づいたアダプタからの応答信号が送信されてくるのを待機している。この状態において、CPUがアダプタからの応答信号を受け取ると、CPUは起動結果判定処理56を行なう。この起動結果判定処理56において、入出力装置が起動されたと判定する、CPUは次の命令を発行するための処理57を行なう。また、入出力装置が

25

起動されていないと判定すると、所定の起動失敗処理 5 8（再起動処理等）を行なう。

上記のような従来の入出力命令の発行制御処理においては、プロセッサモジュールの CPU は、入出力命令を発行した後に、次の命令を発行するための処理を中止し、応答信号がアダプタから報告されるのを待機していた。システムバスの規模が比較的大きい等の理由により、システムバスを介して入出力命令をプロセッサモジュールからアダプタに送信し、またその応答信号をシステムバスを介してプロセッサモジュールに返送するには比較的時間がかかる。このような待機時間も CPU の処理速度が小さい場合には特に問題とならなかった。しかし、近年 CPU の性能が向上し、CPU の処理速度が大きくなると、上記のような待機時間が CPU の処理効率に与える影響が大きくなる。即ち、このような待機時間がデータ処理システム全体の利用効率を低下させる原因となった。

## 15 発明の開示

本発明の概括的な目的は上記従来の問題点を解決した新規で有用なデータ処理システムにおける入出力命令の発行制御システムを提供することにある。

本発明の特定の目的は、CPU が入出力命令を発行した後に、アダプタモジュールからの起動結果を受信しない場合であっても、CPU は他の処理を実行できるようにしたデータ処理システムにおける入出力命令の発行制御システムを提供することにある。

上記目的は、入出力命令の発行を含む複数種の処理を行い得る処理ユニットを有した第一のモジュールと、この第一のモジュールにシステムバスで接続され、このシステムバスを介した第一のモジュールからの入

出力命令に基づいて入出力装置を制御する第二のモジュールとを有したデータ処理システムにおいて、第一のモジュールの処理ユニットから発行される入出力命令の処理制御を行なう入出力命令の発行制御システムであって、上記第一のモジュールの処理ユニットは入出力命令の発行後、  
5 5 他の処理を行なうと共に、上記第一のモジュールは処理ユニットから発行された入出力命令を保持する入出力命令保持手段と、入出力命令保持手段上保持された入出力命令を第二のモジュールにシステムバスを介して転送する転送手段とを有し、上記第二のモジュールは、入出力命令に基づいた処理の結果をシステムバスを介して上記第一のモジュールに  
10 10 応答する応答手段を有し、上記第一のモジュールは更に、第二のモジュールの応答手段から供給される処理結果に基づいて入出力命令に基づいた第二のモジュールでの処理が正常に行なわれたか否かを判別する判別手段と、判別手段が第二のモジュールでの処理が正常に行なわれなかったと判定したときに、入出力命令の発行後他の処理を行なっている処理  
15 15 ユニットに対して、第二のモジュールでの処理結果を提供するための割り込み要求を行なう割り込み要求手段とを有する入出力命令の発行制御システムによって達成される。

他の目的、特徴及び効果は図面を参照して以下に述べる説明からより明らかになるであろう。

20

#### 図面の簡単な説明

図 1 は従来のデータ処理システムの基本的な構成例を示すブロック図。

図 2 は従来の入出力命令発行処理を示すフローチャート。

図 3 は本発明の入出力発行システムの原理を示すブロック図。

25 25 図 4 は本発明の入出力発行システムでの処理の原理を示すブロック図。

図 5 はデータ処理システムの基本的な構成例を示すブロック図。

図 6 は本発明に係るデータ処理システムの実施例を示すブロック図。

図 7 は図 6 におけるプロセッサモジュール、アダプタモジュールの内部バスの構成例を示す図。

5 図 8 A 及び図 8 B は CPU から発行される入出力命令の構成例を示す図。

図 9 は図 6 における I O P R レジスタの構成を示すブロック図。

図 10 は図 6 における I O I N S T レジスタの構成を示すブロック図。

図 11 は入出力命令バスコマンドの形式を示す図。

10 図 12 は入出力命令発行時のバス信号の構成を示す図。

図 13 は図 6 における I R Q R レジスタの構成例を示すブロック図。

図 14 は入出力命令発行処理の一例を示すフローチャート。

#### 発明の実施をするための最良の形態

15 本発明の概要を図 3 及び図 4 に基づいて説明する。

図 3 において、データ処理システムは、プロセッサモジュール 1 及びアダプタモジュール 2, 2' を有し、プロセッサモジュール 1 及びアダプタモジュール 2, 2' はシステムバス 4 によって接続されている。プロセッサモジュール 1 は M P U バス 8 によって互いに接続される CPU

20 5、メモリモジュール 6 及びバス制御部 7 を有している。アダプタモジュール 2 にはディスク装置等の入出力装置 3-1, 3-2 が接続され、アダプタモジュール 2 がプロセッサモジュール 1 からの入出力命令に基づいて入出力装置 3-1, 3-2 を制御する。他のアダプタモジュール 2' にも同様に入出力装置 3'-1, 3'-2 が接続されている。

25 プロセッサモジュール 1 のバス制御部 7 はプロセッサモジュール 1 内

のMPUバス8とシステムバス4との間でのデータ転送制御を行なう。  
このバス制御部7は、CPU5から発行された入出力命令を保持する入出力命令保持ブロック10、入出力命令制御ブロック12及び割り込み要求ブロック11を有している。割り込み要求ブロック11はアダプタ  
5 モジュール2, 2'における入出力装置の起動が成功しなかったときに、入出力装置の起動が失敗したことをCPU5に割り込みにより通知する。入出力命令制御ブロック12は、入出力命令保持ブロック10に保持された入出力命令を入力し、その入出力命令をシステムバス4を介してアダプタモジュール2, 2'に転送する。また、入出力命令制御ブロック  
10 12は、アダプタモジュール2, 2'からの起動結果を判定し、その判定結果に基づいて入出力命令保持ブロック10を受け入れ可能状態になるか、又は割り込み要求ブロック11を有効にする。即ち、入出力命令制御ブロック12は入出力命令転送処理ブロック15及び起動結果判定部16を有する。入出力命令転送処理ブロック15は入出力命令保持ブ  
15 ロック10に保持された入出力命令をシステムバス4に適合する形式に変換し、その形式が変換された入出力命令をシステムバス4を介してアダプタモジュール2, 2'に転送する。起動結果判定部16はアダプタモジュール2, 2'から送られてくる起動結果の情報に基づいて入出力装置の起動が成功(OK)したか失敗(NG)したかを判定する。そし  
20 て、入出力装置の起動が成功(OK)した場合には、入出力命令保持ブロック10が次の命令を受け入れ可能な状態に制御され(リセット)、入出力装置の起動が失敗(NG)した場合には、割り込み要求ブロック11が有効になるよう制御される。

上述したように、バス制御部7は次の三つの状態を取り得る。(1)  
25 入出力命令保持ブロック10がリセットされ、入力命令を受け取ること

が可能なアベイラブル状態；（２）割り込み要求ブロック 1 1 が有効となるインタラプト状態；（３）入出力命令を実行しており入出力命令を受け付けないビジー状態である。

5 図 4 のフローチャートに基づいて入出力命令の発行制御処理を説明する。

入出力命令の発行制御処理は、プロセッサモジュール 2 1、システムバス 2 2、アダプタ 2 3 での処理に分けられる。これらプロセッサモジュール 2 1、システムバス 2 2、アダプタ 2 3 は図 3 と同様に接続されている。

10 プロセッサモジュール 2 1 の CPU は入出力命令 2 4 を発行する。この入出力命令 2 4 はバス制御部 7 の命令選択デコーダ（図示略）に入力される。命令選択デコーダにより CPU からの命令が入出力命令 2 4 であると判別されると、入出力命令 2 4 がバス制御部の入出力命令保持ブロック 1 0 に保持される。入出力命令 2 4 が入出力命令保持ブロック 1  
15 0 に保持されたことがバス制御部から CPU に通知されると、入出力命令 2 4 に基づいて入出力装置が実際に起動されたか否かにかかわらず、CPU は次の命令の発行処理 2 5 を実行する。

一方、バス制御部の入出力命令制御ブロック 1 2 は入出力命令保持ブロック 1 0 から入出力命令 2 4 を受け取る。そして、入出力命令制御ブ  
20 ロック 1 2 内の入出力命令転送処理ブロック 1 5 は入出力命令 2 4 をシステムバス 2 2 を介してアダプタ 2 3 に転送するためのバスコマンドを生成するための処理を行なう。このバスコマンドに従って、入出力命令 2 4 がシステムバス 2 2 を介してアダプタ 2 3 に転送される。アダプタ 2 3 は受信した入出力命令 2 4 によって指定される入出力装置を起動す  
25 る。そして、入出力装置の起動が成功したか否かを示す起動結果の情報

をアダプタ 2 3 がシステムバス 2 2 を介してプロセッサモジュール 2 1 のバス制御部に返送する。バス制御部における起動結果判定ブロック 1 6 は判定処理 2 6 においてアダプタ 2 3 から返送される起動結果の情報に基づいて入出力装置の起動が成功したか (OK)、失敗したか (N  
5 G) を判定する。起動結果判定ブロック 1 6 が入出力装置の起動が成功 (OK) したと判定すると、入出力命令保持ブロック 1 0 が次の入出力命令を受け入れることのできる状態 (アベイラブル状態) になる (リセット処理 2 7)。このとき、バス制御部は入出力装置の起動結果を CPU に報告しない。即ち、CPU は所定の処理を継続的に実行する。そして、バス制御部は次の入出力命令が CPU から発行されるのを待機す  
10 る。また、起動結果判定ブロック 1 6 が入出力装置の起動が失敗 (NG) であったと判定すると、割り込み要求ブロック 1 1 が有効となり、CPU に割り込みがかけられ、入出力装置の起動が失敗した旨がバス制御部から CPU に通知される。

15 なお、バス制御部 7 が入出力命令に基づいた処理を実行しているとき (ビジー状態)、CPU から次の入出力命令が発行されると、その入出力命令は、例えば、PM 内部バスで定められた所定のエラーシーケンスを実行し、CPU に対してビジー状態のときに入出力命令が発行されたことが通知される。このようなことは、一般に CPU 内のソフトウェア  
20 のバグでしか発生し得ない。

バス制御部 7 から割り込みにて入出力装置の起動が失敗した旨を通知された CPU は所定の起動失敗処理を行なう。この起動失敗処理は、入出力命令の再発行処理、障害を回復させるためのリカバリ処理、オペレータへの警報処理等を含む。警報処理は、誤ったデバイス番号で入出力装置を指定した場合、システムバスにハードウェア的な障害がある場  
25

合等に実行され得る。

図5から図14に基づいて本発明の実施例を説明する。

図5はデータ処理システムの基本構成例を示す。図5において、このデータ処理システムは複数のプロセッサモジュール110(1)~110(3)と複数のアダプタモジュール130(1), 130(2)とを有する。プロセッサモジュール110(1)~110(3)及びアダプタモジュール130(1), 130(2)はシステムバス110に接続され、各プロセッサモジュール110(1)~110(3)はシステムバス100を介して各アダプタモジュール130(1), 130(2)を制御する。第一のアダプタモジュール130(1)には磁気ディスク装置等の2つの入出力装置150, 151が接続され、この第一のアダプタモジュール130(1)は入出力命令に基づいて入出力装置150, 151を制御する。第二のアダプタモジュール130(2)にもまた2つの入出力装置152, 153が接続され、この第二のアダプタモジュール130(2)は、入出力命令に基づいて入出力装置152, 153を制御する。

各プロセッサモジュール及びアダプタモジュールは例えば図6に示すように構成されている。図6においては、第一のプロセッサモジュール110(1)、第一のアダプタモジュール130(1)について示されているが、他のプロセッサモジュール110(2), 110(3)及びアダプタモジュール130(2)も同様の構成である。

プロセッサモジュール110(1)はPM内部バス114によって結合されたCPU111、メモリ112及びバスコントローラ113を有している。バスコントローラ113は、入出力命令レジスタ115(IOPR)、出力レジスタ117(IBOR)、入力レジスタ118(I

B I R)、割り込み要求レジスタ119及びI/O命令制御回路116を有している。I/O命令制御回路116はCPU111から発行される入出力命令に対する処理を行なう。入出力命令レジスタ115(I O P R)、出力レジスタ117(I B O R)、入力レジスタ118(I B I R)及び割り込み要求レジスタ119(I R Q R)はI/O命令制御回路116によって制御される。入出力命令レジスタ115(I O P R)はCPU111からの入出力命令を格納するために使用され、この入出力命令レジスタ115(I O P R)に格納された入出力命令は出力レジスタ117、トランスミッター120を介してシステムバス100に供給される。システムバス100上のアダプタモジュール130(1)からの起動結果に関する情報がレシーバ121を介して入力レジスタ118(I B I R)に取込まれる。そして、入力レジスタ118(I B I R)の情報に基づいて割り込み要求レジスタ119(I R Q R)に割り込み要求に関する情報がセットされる。

15 アダプタモジュール130(1)はアダプタ内部バス137によって結合されMPU135、メモリ136及びバスコントローラ140とを有している。バスコントローラ140は、入力レジスタ132(I B I R)、I/O命令受信レジスタ133(I O I N S T)、出力レジスタ138(I B O R)及びI/O命令受信制御回路134を有しているI/O命令受信制御回路134はシステムバス100を介してプログラムモジュール110(1)から供給される入出力命令に対する処理を行なう。入力レジスタ132(I B I R)、I/O命令受信レジスタ133(I O I N S T)及び出力レジスタ138(I B O R)はI/O命令受信制御回路134によって制御される。I/O命令受信レジスタ133(I O I N T)は、システムバス100上の入出力命令をレシーバ13

1、入力レジスタ132 (IBIR) を介して格納するために使用され、I/O命令受信レジスタ133に格納された入出力命令はアダプタ内部バス137を介してMPU135に供給される。MPU135は供給された入出力命令に基づいて入出力装置150又は151の制御を行なう。

- 5 I/O命令受信制御回路130は入出力命令に対する応答信号(起動結果に関する情報)を出力レジスタ138 (IBOR)、トランスミッター139を介してシステムバス100上に出力する。

プログラムモジュール110 (1) 内のPM内部バス114及びアダプタモジュール130 (1) 内のアダプタ内部バス137は例えば図7  
10 に示すように構成されている。即ち、各バスは、32ビットのデータバス(DB)、32ビットのアドレスバス(AB)、1ビットのデータストロブライン(DS)、1ビットのアドレスストロブライン(AS) 1ビットのリード/ライトライン(R/W)、1ビットのデータコンプライションライン(DC)を有する。CPU111はこのデータバス(DB)とアドレスバス(AB)を介して入出力命令をバスコント  
15 ローラ113に転送する。即ち、CPU111はいわゆるメモリマップドI/Oの手法により入出力命令をバスコントローラ113に転送する。なお、バスの動作が正常に終了したことを表わす応答信号は、データコンプライションライン(DC)を介してCPU111に転送される。C  
20 PU111は所定時間内にこの応答信号を受信しない場合にエラーを検出する。CPU111から出力される入出力命令のフォーマットは例えば図8A及び図8Bに示すようになっている。図8Aはアドレス(32ビット)であり、アドレスの最上位バイト(0~7)が入出力命令であるか否かを示す。この最上位バイトが例えばX'FF'(16進数)の  
25 ときに、入出力命令であることを示す。更にアドレスは、アクセスする

アダプタモジュール及び入出力装置を特定するためのアダプタ番号（ADP）、デバイス番号（DVC）と入出力命令の種類を示すオペコード（OPC）を含む。図8Bはデータ（32ビット）であり、このデータは入出力命令のパラメータ（磁気ディスク装置のヘッド番号、シーク番号等）を示す。

上記の入出力命令に対応して、入出力命令レジスタ115（IOPR）は例えば図9に示すように構成される。即ち、入出力命令レジスタ115（IOPR）は、アダプタ番号（ADP）を格納するための第一の領域115b、デバイス番号（DVC）を格納するための第二の領域115c、オペコード（OPC）を格納するための第三の領域115d及びパラメータを格納するための第四の領域115eを有している上記第一、第二、第三の領域115b、115c、115dはアドレスバス（AB）及び出力レジスタ117（IBOR）との間に接続され、上記第四の領域115eはデータバス（DB）と出力レジスタ117（IBOR）との間に接続されている。この入出力命令レジスタ115（IOPR）には更に、状態ビット（ST）が設けられている。状態ビット（ST）が“0”のときは、入出力命令レジスタ115（IOPR）が入出力命令を取り込むことが可能である状態を示す。状態ビット（ST）が“1”のときは、入出力命令レジスタ115（IOPR）がビジーであることを示す。上記入出力命令レジスタ115（IOPR）の第一乃至第四の領域には、I/O命令制御回路116からのライトイネーブル信号によりアドレスバス（AB）、データバス（DB）上の情報が取り込まれる。また状態ビット（ST）はI/O命令制御回路116によってセット“1”又はリセット“0”される。

CPU111は入出力命令レジスタ115（IOPR）のすべての

ビットをリード可能である。例えば、アドレスX 'FF 0 0 0 0 0 0' を指定することで、状態ビット (ST) 及び第一乃至第三の領域 (ADP, DVC, OPC) がリード可能であり、例えばアドレスX 'FF 0 0 0 0 0 4' を指定することで、パラメータがリード可能である。

5 I/O命令制御回路116は入出力命令レジスタ115 (IOPR) に格納された入出力命令にプロセッサモジュール110 (1) を特定するためのプロセッサ番号 (PM) を付加して入出力命令バスコマンドを生成する。この入出力命令コマンドのフォーマットは、例えば、図11  
10 に示すように、プロセッサ番号 (PM)、アダプタ番号 (ADP)、デバイス番号 (DVC) 及びオペコード (OPC) で構成された第一のワード (32ビット) と入出力命令のパラメータで構成される第二のワード (32ビット) とに分割されたものとなっている。また、システムバス100は、図12に示すように、32ビットのデータバス (DB)、3ビットのバス (TB) 及び2ビットのレスポンスライン (RLN) を含んでいる。バス (TB) は、データバス (DB) 上のデータの  
15 種類を特定するもので、バス (TB) 上の3ビットデータは例えば次のような意味を有する。

000 : 無効データ	100 : 入出力命令コマンド
001 : データ転送コマンド	101 : 入出力命令データ
20 010 : データ転送アドレス	110 : 入出力割り込みコマンド
011 : データ転送データ	111 : 入出力割り込みデータ

上記入出力命令バスコマンドは図11に示すようにデータバス (DB) を介して1ワードずつプロセッサモジュール110 (1) からアダプタモジュール130 (1) に転送される。このとき、バス (TB) を介して  
25 データもまたプロセッサモジュール110 (1) からアダプ

タモジュール130(1)に転送される。例えば、図11に示す第1のワード(ワード0)が転送されるときには、バス(TB)上を入出力命令コマンドを表わす3ビットデータ“100”が転送され、第2のワード(ワード1)が転送されるときには、バス(TB)上を入出力命令データを表わす3ビットデータ“101”が転送される。アダプタモジュール130(1)はバス(TB)上の3ビットデータに基づいてデータバス(DB)上に入出力命令バスコマンドの種類を判別する。

アダプタモジュール130(1)のI/O命令受信レジスタ133(I O I N S T)は例えば、図10に示すように構成されている。即ち、I/O命令受信レジスタ133(I O I N S T)は、プロセッサ番号(PM)を格納する第一の領域133b、デバイス番号(DVC)を格納する第二の領域133c、オペコード(OPC)を格納する第三の領域133d、及びパラメータを格納する第四の領域133eを有している。更にI/O命令受信レジスタ133は割り込みビット(V)を有する。図11に示すようなフォーマットの入出力命令バスコマンドが入力レジスタ132にセットされると、バスコマンド内のプロセッサ番号(PM)、デバイス番号(DVC)、オペコード(OPC)及びパラメータがI/O命令受信レジスタ133(I O I N S T)の対応する領域に格納される。I/O命令制御回路134は、アダプタモジュール130(1)がプロセッサモジュール110(1)からの入出力命令に対して正常に応答できる場合に、割り込みビット(V)を“1”にセットする。割り込みビット(V)が“1”にセットされると、MPU135に対して割り込みが要求される。MPU135は、この割り込み要求によりI/O命令受信レジスタ133(I O I N S T)内のデータをアダプタ内部バス137を介して取り込み、プロセッサモジュール110

(1)からの入出力命令を知る。そして、MPU135はこの入出力命令に基づいて処理を行なう(入出力装置の起動等)。MPU135は入出力命令に基づいた処理が終了したときに上記割り込みビット(V)を“0”にリセットする。

- 5 一方、I/O命令受信制御回路134はアダプタモジュール130(1)の状態を監視している。そして、I/O命令受信制御回路134は入出力命令バスコマンドを入力すると、アダプタモジュール130(1)の状態に応じた応答信号をプロセッサモジュール110(1)に返送する。この応答信号は図12に示す2ビットのレスポンスライン
- 10 (RLN)を介してアダプタモジュール130(1)からプロセッサモジュール110(1)に供給される。レスポンスライン(RLN)上の2ビットデータ(応答信号)は例えば次のようなアダプタモジュール130(1)の状態を表わす。

- 00 : アダプタ番号に対応するアダプタモジュールが存在しない状態
- 15 01 : 正常な応答が可能である状態
- 10 10 : I/O命令受信レジスタ133(IOINST)がビジーである状態(I/O命令受信レジスタ133が以前のバスコマンドにより使用中である)
- 20 11 : アダプタの準備が整っていない状態(障害やリセット直後の初期化等によりアダプタが動作可能でない)

アダプタモジュール130(1)は、バスコマンドによって指定された入出力装置が起動可能であれば応答信号“01”をレスポンスライン(RLN)に出力し、またその入出力装置が起動できない場合には“0

25 0”, “10”, “11”のうちのいずれかの応答信号をレスポンスラ

イン (RLN) に出力する。

プロセッサモジュール110(1)内のバスコントローラ113における割り込み要求レジスタ119は、例えば図13に示すように構成される。即ち、割り込み要求レジスタ119は、割り込み要求ビット(5 I)119aとレスポンスライン(RLN)、入力レジスタ118を介して供給される応答信号(2ビット)を格納する応答信号領域119bとを有する。割り込み要求ビット(I)119aはI/O命令制御回路116によって“1”にセットされる。割り込み要求ビット(I)119aが“1”にセットされると、CPU111に割り込み要求がなされ、10 応答信号領域119bにセットされた応答信号がPM内部バス114を介してCPU111に取り込まれる。CPU111は取り込んだ応答信号に応じて所定の処理を行なう。

プロセッサモジュール110(1)から発行される入出力命令には、起動型の入出力命令と完了型の入出力命令とがある。これらの命令はオペコード(OPC)によって区別される。例えばオペコード(OPC)15 が00~7Fであるときは、起動型の入出力命令を表わし、それ以外のオペコード(OPC)では完了型の入出力命令を表わす。起動型の入出力命令では、入出力命令に基づいてアダプタモジュールが実際にディスク装置等の入出力装置に対してデータの入出力処理を行なう。完了型の20 入出力命令では、入出力命令がアダプタモジュールに発行された直後に処理は終了する。例えば、アダプタモジュールをリセットするための命令は完了型の入出力命令に属する。

入出力命令の発行制御は次のような手順で行なわれる。

CPU111は入出力命令を発行する前に例えばX'FF000000'番地をリードする命令により入出力命令レジスタ115(IOP25 0)

R)の状態ビット(ST)が“0”であるか否かを判定する。そして、状態ビット(ST)が“0”であることが検出されると、CPU111は入出力命令に対応したアドレスX‘FFXXXXXX’へのライト命令をPM内部バス114に出力する。CPU111はこのように入出力命令を発行した後は、その入出力命令に対する結果のいかにかわら  
5 ず、他の処理を順次実行する。

I/O命令制御回路116は、図14に示すフローチャートに従って処理を行なう。

I/O命令制御回路116は、PM内部バス114を監視している。  
10 そして、ステップ200がCPU111からのアドレスX‘FFXXXX  
XXX’へのライト命令を検出すると、I/O命令制御回路116は入出力命令がCPU111から発行されたことを検出する。そして、ステップ201が状態ビット(ST)が“0”であることを判別すると、ステップ203において、I/O命令制御回路116はライトイネーブル信号(WE)を出力し、その結果、CPU111から出力されたアド  
15 レスバス(AB; 8~31)とデータバス(DB; 0~31)上のデータ(アダプタ番号(ADP)、デバイス番号(DVC)、オペコード(OPC)、パラメータ)が入出力命令レジスタ115(IOPR)にセットされる。すなわち、CPU111から発行された入出力命令が入出力命令レジスタ115(IOPR)にセットされる。このとき、ス  
20 テップ203は、入出力命令レジスタ115(IOPR)の状態ビット(ST)を“1”にセットする。その後、ステップ204は入出力命令レジスタ115(IOPR)にセットされた入出力命令に基づいた入出力命令バスコマンドを生成し、システムバス100に出力する。入出力  
25 命令バスコマンドにて特定されるアダプタモジュールは、この入出力バ

5 スコマンドを受け取ると、アダプターモジュールの状態に対応した応答  
信号をレスポンスライン（RLN）を介してプロセッサモジュールに返  
送する。I/O命令制御回路116はステップ204の後、ステップ2  
05にてレスポンスライン（LRN）を監視している。そして、ステッ  
10 プ205がレスポンスライン（LRN）上のアダプタモジュールからの  
応答信号を検出すると、ステップ206が入出力命令が起動型であるか  
否かそしてステップ207がレスポンスライン（RLN）上の応答信号  
が正常な状態を示す“01”であるか否かを判定する。その結果、入出  
力命令が起動型であり、応答信号が“01”であると、I/O命令制御  
10 回路116は、入出力命令に基づいて指定した入出力装置が起動された  
と判断する。

そして、ステップ208が入出力命令レジスタ115（IOPR）の  
状態ビット（ST）を“0”にリセットする。即ち、プロセッサモジ  
ュールは次の入出力命令が発行できる状態となる。

15 一方、ステップ206が入出力命令が完了型であると判別し、又はス  
テップ207がレスポンスライン（RLN）上の応答信号が“01”で  
ないと判断すると、処理はステップ209に進む。例えば、ステップ2  
06が入出力命令が起動型と判断し、かつ、ステップ206が応答信号  
が“01”でないと判断すると、I/O命令制御回路116は入出力命  
20 令に基づいた入出力装置が失敗したことを認識する。ステップ209は  
レスポンスライン（RLN）上の応答信号（2ビット）を割り込み要求  
レジスタ119にセットし、また割り込み要求ビット（I）119aを  
“1”にセットする。割り込み要求ビット（I）119aに“1”が  
25 セットされると、CPU111に割り込み要求がなされる。そして、割  
り込みを受けたCPU111は所定のタイミングで割り込み要求レジス

タ119にセットされた応答信号に応じた前述したような起動失敗処理を行なう。その後、CPU111は割り込み要求ビット(I)119aを“0”リセットするために、そのリセット命令に対応したアドレスX‘F0000000’にデータX‘80000000’をライトする命令をPM内部バス114に出力する。I/O命令制御回路116においては、ステップ211がアドレスX‘F0000000’にデータ‘80000000’をライトする命令を検出すると、ステップ212が入出力命令レジスタ115(IOPR)の状態ビット(ST)と割り込み要求レジスタ119の割り込み要求ビット(I)119aを夫々“0”にリセットする。ステップ212が終了すると、I/O命令制御回路116は初期状態に復帰する。

なお、ステップ201にて状態ビット(ST)が“0”でないと判断されると、ステップ202がPM内部バス114に異常があるとして所定のエラーシーケンスを実行する。

15

#### 産業上の利用可能性

以上説明したように、本発明によれば、第一のモジュールの処理ユニットは入出力命令を発行した後、他の処理を行なう。そして、入出力命令に基づいた第二のモジュールでの処理が正常に行なわれなかったときに、割り込みによって処理ユニットに対して第二のモジュールでの処理結果が提供される。従って処理ユニットでの利用効率が向上し、データ処理システムの処理効率が向上する。

本発明は上記実施例に限定されるものではなく、本発明の範囲内で変形例や改良例が可能である。

25

## 請求の範囲

1. 入出力命令の発行を含む複数種の処理を行ない得る処理ユニットを有した第一のモジュールと、この第一のモジュールにシステムバスで接続され、このシステムバスを介した第一のモジュールからの入出力命令に基づいて入出力装置を制御する第二のモジュールとを有したデータ処理システムにおいて、第一のモジュールの処理ユニットから発行される入出力命令の処理制御を行なう入出力命令の発行制御システムであって、

上記第一のモジュールの処理ユニットは入出力命令の発行後、他の処理を行なうと共に、上記第一のモジュールは処理ユニットから発行された入出力命令を保持する入出力命令保持手段と、入出力命令保持手段に保持された入出力命令を第二のモジュールにシステムバスを介して転送する転送手段とを有し、

上記第二のモジュールは、入出力命令に基づいた処理の結果をシステムバスを介して上記第一のモジュールに応答する応答手段を有し、

上記第一のモジュールは更に、第二のモジュールの応答手段から供給される処理結果に基づいて入出力命令に基づいた第二のモジュールでの処理が正常に行なわれたか否かを判別する判別手段と、判別手段が第二のモジュールでの処理が正常に行なわれなかったと判定したときに入出力命令の発行後他の処理を行なっている処理ユニットに対して第二のモジュールでの処理結果を提供するための割り込み要求を行なう割り込み要求手段とを有する入出力命令の発行制御システム。

2. 上記入出力命令保持手段は、入出力命令保持手段が入出力命令を保持できる状態にあるときに第一の判別データを保持し、入出力命令保持手段が入出力命令を保持することができない状態にあるときに第二の

判別データを保持する判別データ保持手段を有し、処理ユニットは判別データ保持手段に第一の判別データが保持されるときに入出力命令を発行する請求項1記載の入出力命令発行制御システム。

3. 入出力命令保持手段に入出力命令が保持されたときに判別データ保持手段に第二の判別データを保持する第一の手段と、判別手段が第二のモジュールでの処理が正常に行なわれたと判別したときに判別データ保持手段に第一の判別データを保持する第二の手段とを有する請求項2記載の入出力命令の発行制御システム。

4. 入出力命令保持手段に入出力命令が保持されたときに判別データ保持手段に第二の判別データを保持する第一の手段と、処理ユニットが割り込み要求手段からの割り込み要求に基づいて処理を行なった後に判別データ保持手段に第一の判別データを保持する第三の手段とを有する請求項2記載の入出力命令の発行制御システム。

5. 上記転送手段は、入出力命令保持手段に保持された入出力命令に基づいてシステムバスに適合する入出力命令バスコマンドを生成するバスコマンド生成手段を有し、バスコマンド生成手段にて生成された入出力命令バスコマンドがシステムバスを介して第二のモジュールに供給される請求項1記載の入出力命令の発行制御システム。

6. 上記システムバスは、所定数の応答ラインを有し、上記応答手段は応答ラインの数と同じビット数で表現された処理結果のビット情報を応答ラインを介して上記第一のモジュールに転送する手段を有する請求項1記載の入出力命令の発行制御システム。

7. 上記割り込み要求手段は、第二のモジュールにおける応答手段からの処理結果を格納する第一の格納手段と、判別手段が第二のモジュールでの処理が正常に行なわれなかったと判別したときに、割り込み要求

の情報を格納する第二の格納手段とを有し、第二の格納手段に割り込み要求の情報が格納されているときに、第一の格納手段に格納された処理結果を処理ユニットに提供するための割り込み要求がなされる請求項1記載の入出力命令の発行制御システム。

5       8. 上記割り込み要求手段は、上記転送する手段にて転送された処理結果のビット情報を格納する第一のレジスタと、判別手段が第二のモジュールでの処理が正常に行なわれなかったと判別したときに、割り込み要求を示すビット情報を格納する第二のレジスタを有し、第二のレジスタに割り込み要求を示すビット情報が格納されているときに、第一の  
10       レジスタに格納された処理結果のビット情報を処理ユニットに提供するための割り込み要求がなされる請求項6記載の入出力命令の発行制御システム。

9. 入出力命令は第二のモジュールを特定するための第一の情報と、第二のモジュールが制御する入出力装置を特定する第二の情報と、入出力装置に対する制御パラメータを特定する第三の情報を有する請求項1  
15       記載の入出力命令の発行制御システム。

10       10. 上記入出力命令保持手段は、第一の情報が保持される第一の領域、第二の情報が保持される第二の領域、第三の情報が保持される第三の領域を有する請求項9記載の入出力命令の発行制御システム。

20

25

FIG. 1

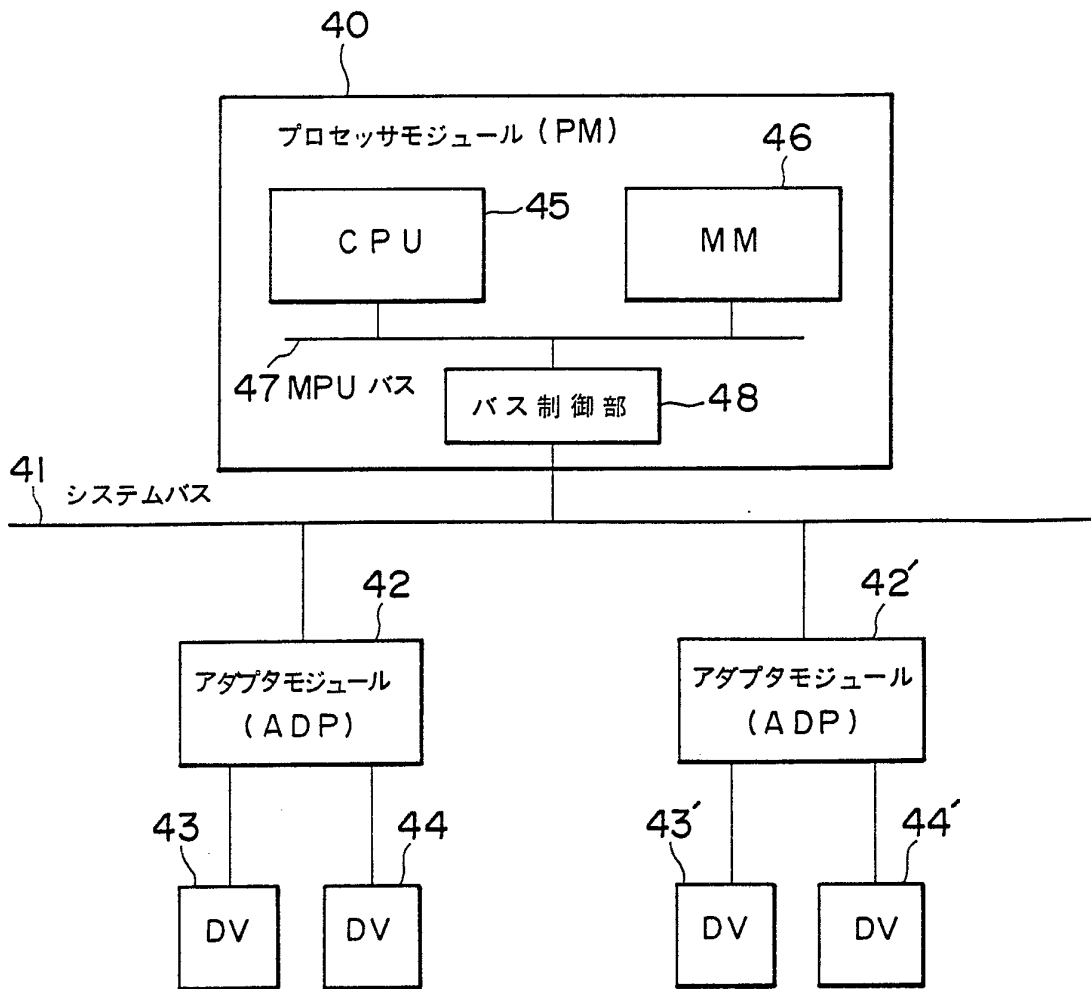


FIG. 2

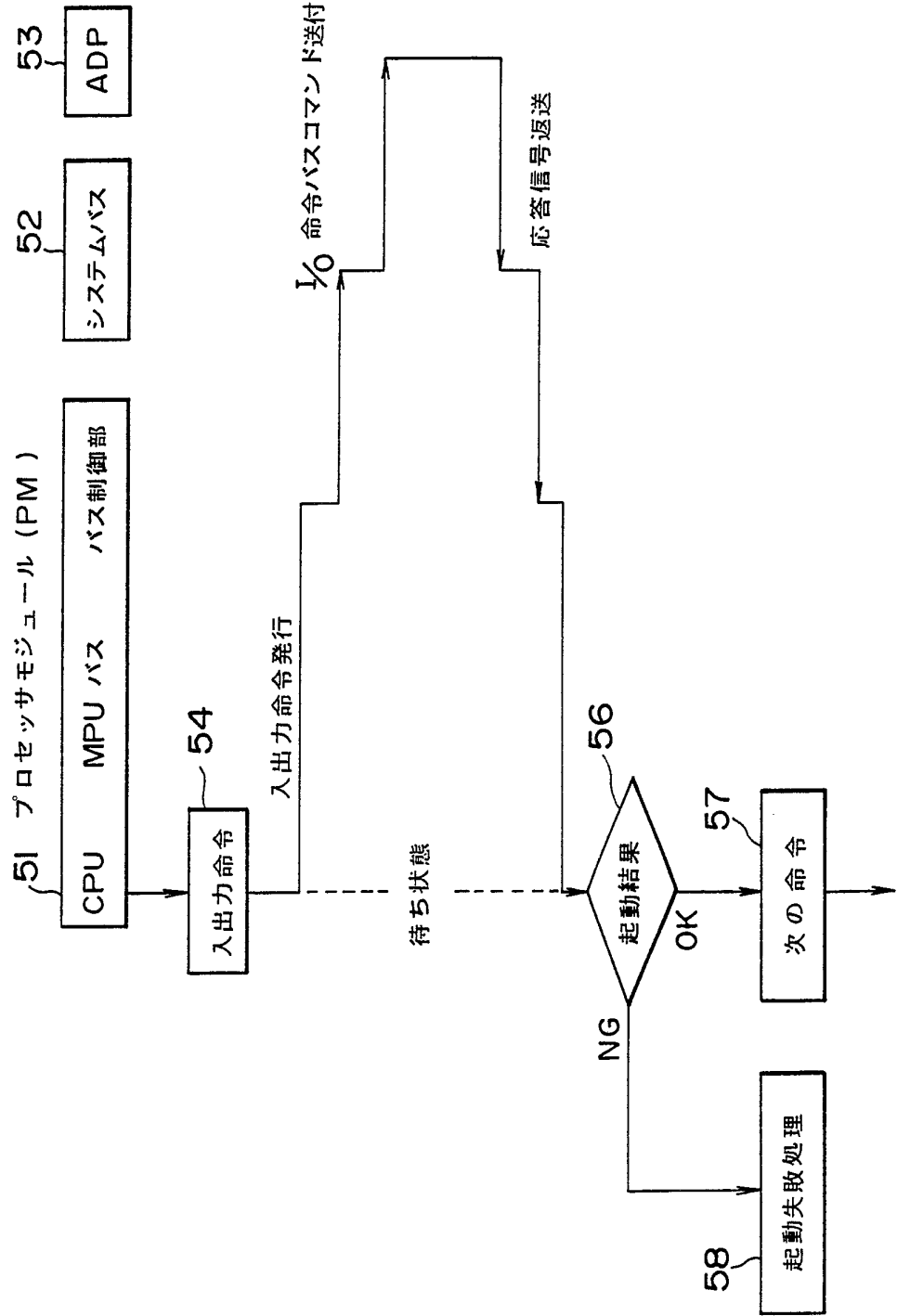


FIG. 3

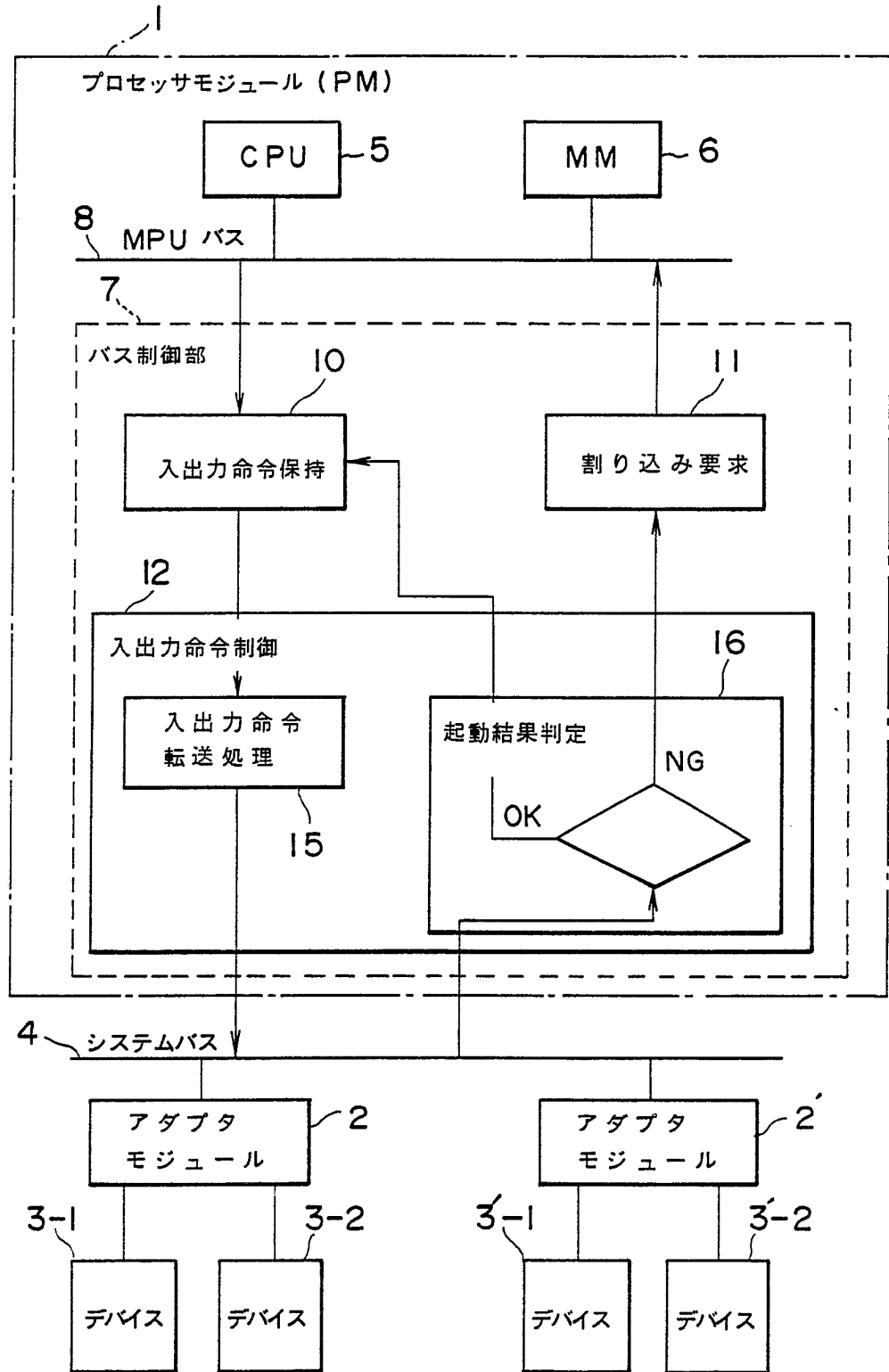


FIG. 4

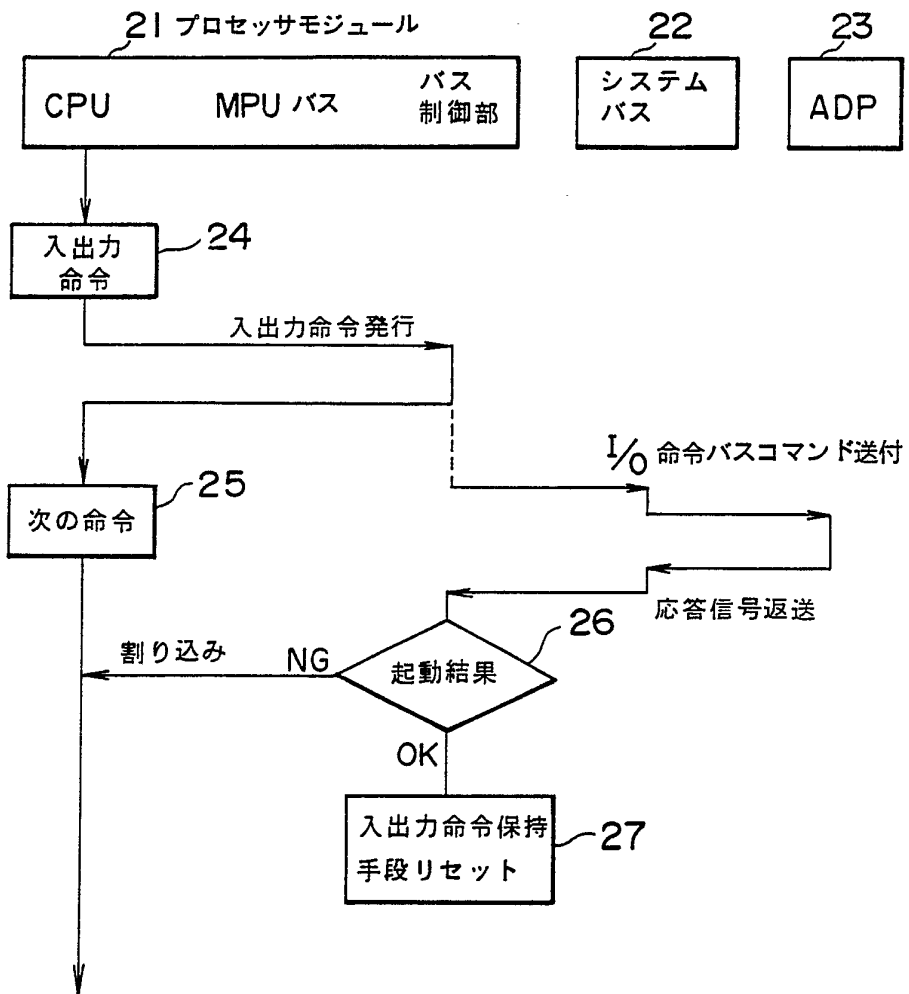


FIG. 5

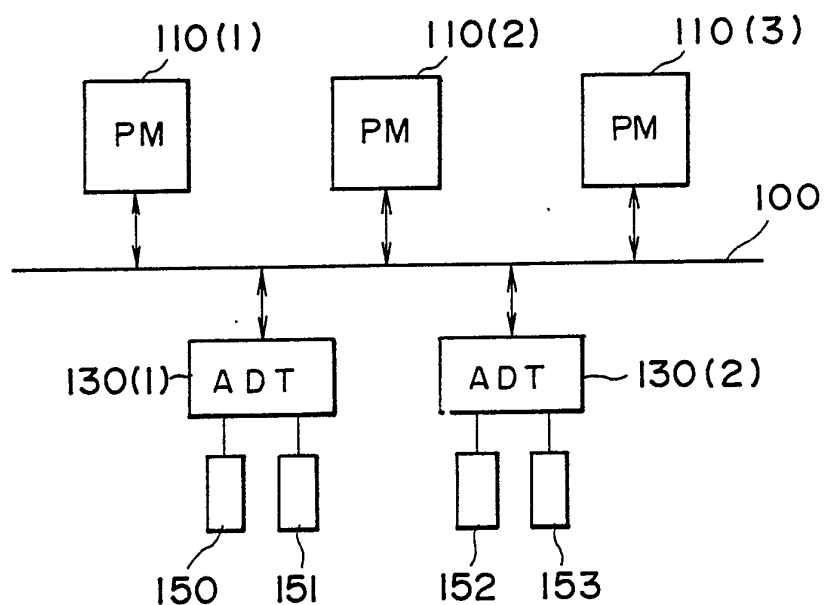


FIG. 7

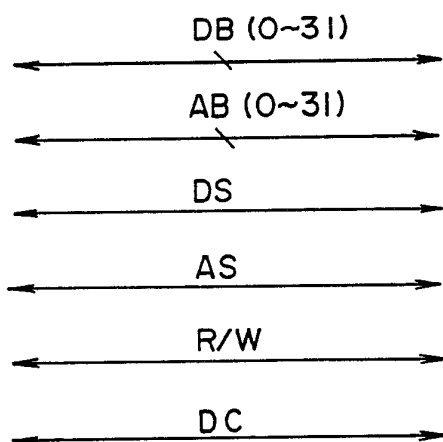


FIG. 6

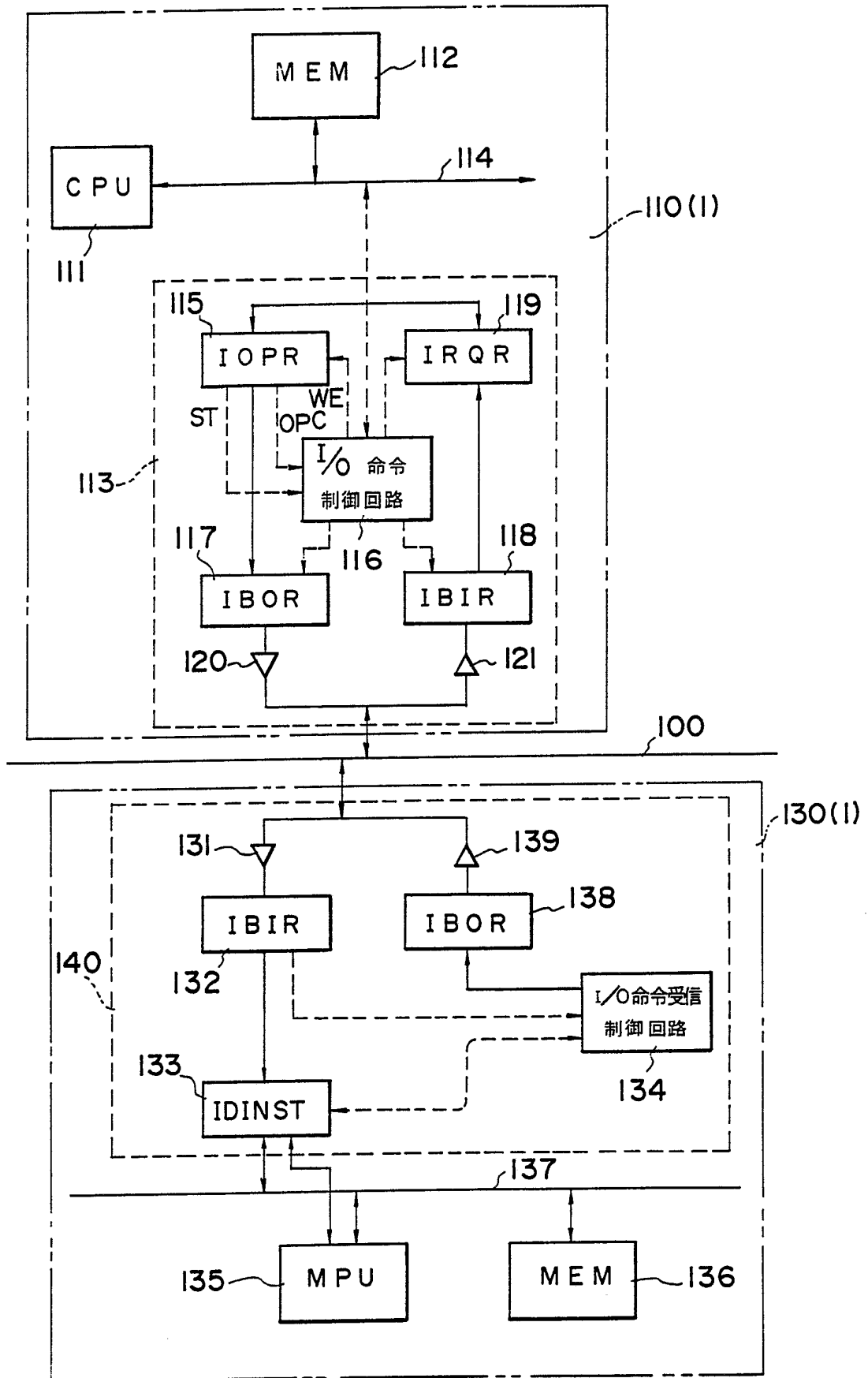


FIG. 8 A FIG. 8 B

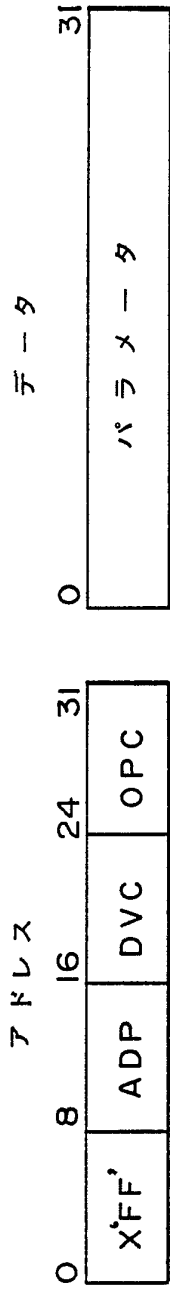


FIG. 9

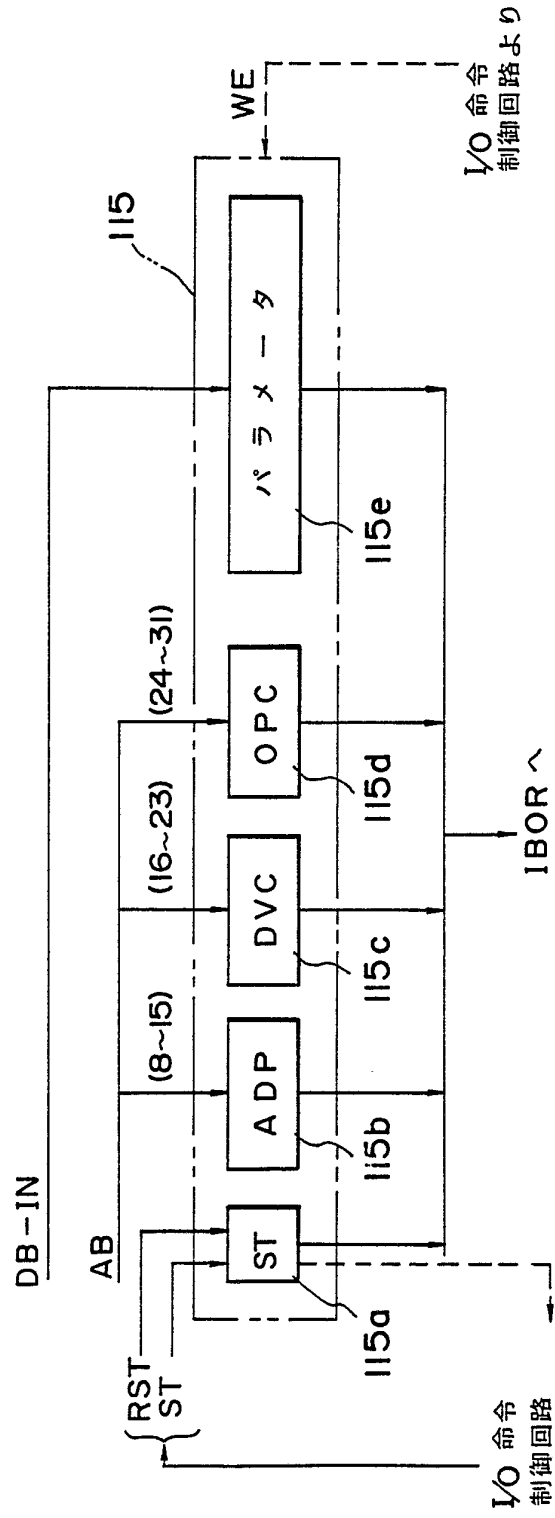


FIG. 10

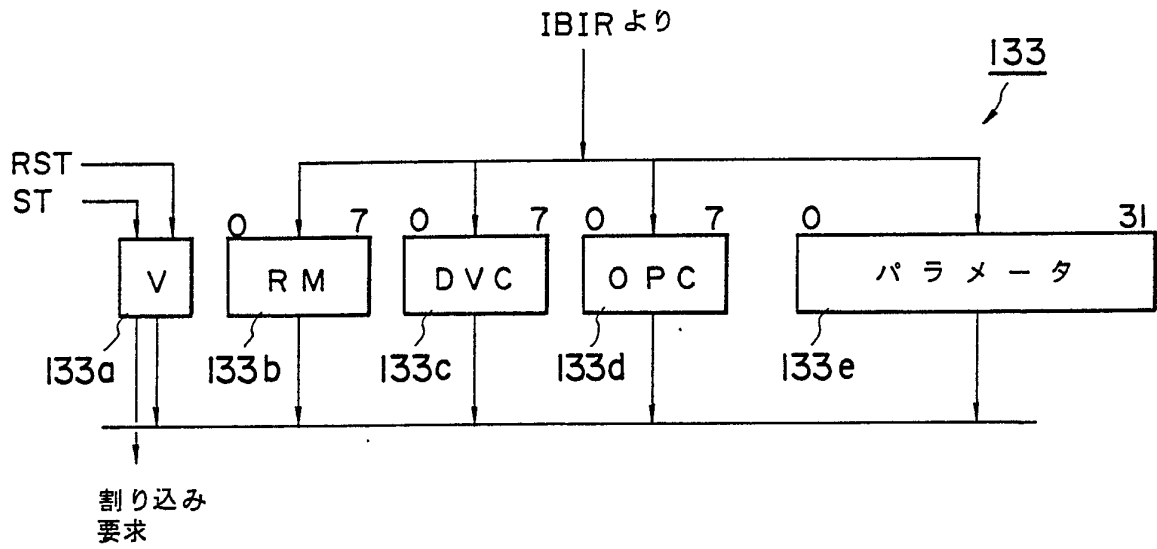


FIG. 11

	0	8	16	24	31	TB
ワード 0	PM	ADP	DVC	OPC		100
ワード 1	パラメータ					101

FIG. 12

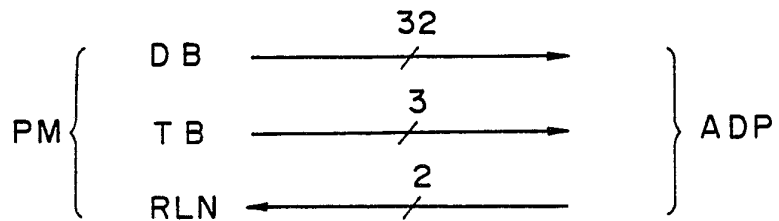
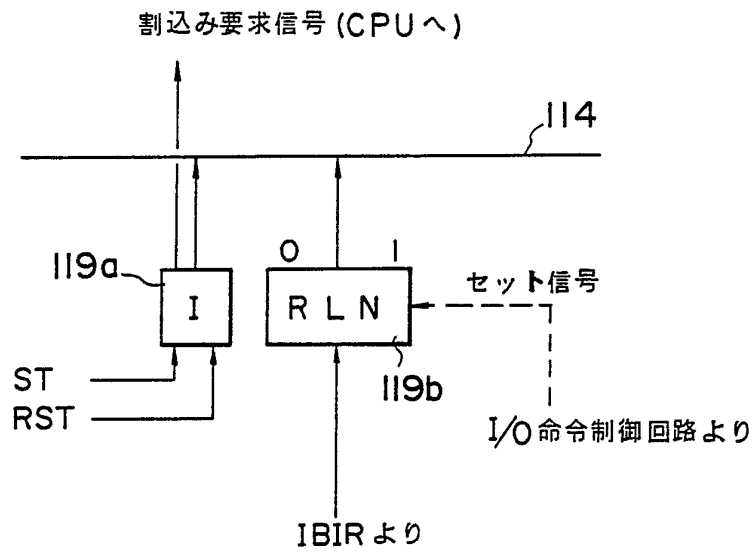
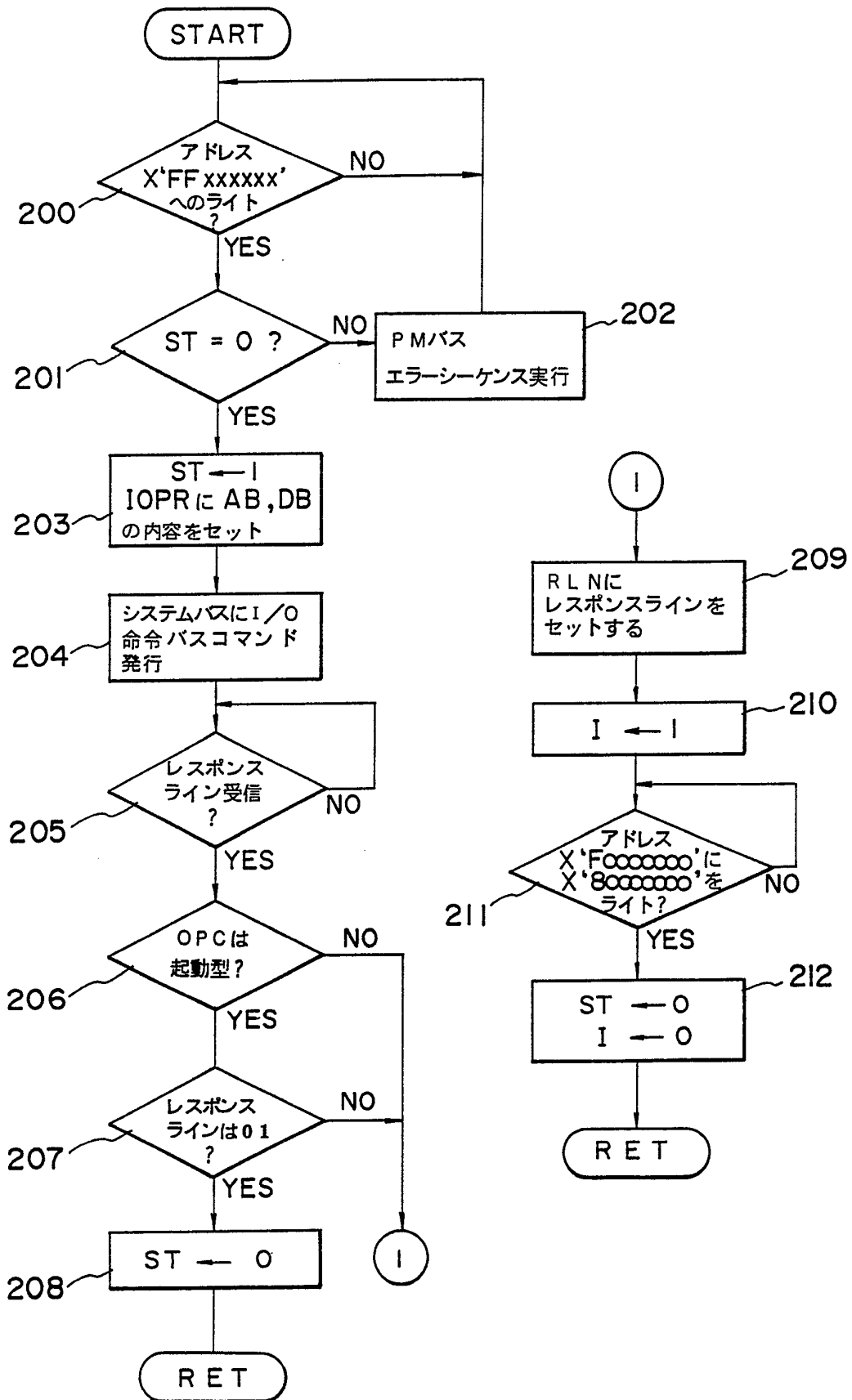


FIG. 13



10 / 10  
FIG.14



# INTERNATIONAL SEARCH REPORT

International Application No PCT/JP91/01325

<b>I. CLASSIFICATION OF SUBJECT MATTER</b> (if several classification symbols apply, indicate all) <sup>6</sup>		
According to International Patent Classification (IPC) or to both National Classification and IPC		
Int. Cl <sup>5</sup> C06F13/10		
<b>II. FIELDS SEARCHED</b>		
Minimum Documentation Searched <sup>7</sup>		
<b>Classification System</b>	<b>Classification Symbols</b>	
IPC	C06F13/10-13/14	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched <sup>8</sup>		
Jitsuyo Shinan Koho	1926 - 1990	
Kokai Jitsuyo Shinan Koho	1971 - 1990	
<b>III. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <sup>9</sup>		
<b>Category</b> <sup>*</sup>	<b>Citation of Document</b> , <sup>11</sup> with Indication, where appropriate, of the relevant passages <sup>12</sup>	<b>Relevant to Claim No.</b> <sup>13</sup>
X	JP, A, 61-288232 (Fujitsu Ltd.), December 18, 1986 (18. 12. 86)	1, 2
<p><sup>*</sup> Special categories of cited documents: <sup>10</sup></p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p>		
<b>IV. CERTIFICATION</b>		
Date of the Actual Completion of the International Search		Date of Mailing of this International Search Report
December 10, 1991 (10. 12. 91)		January 7, 1992 (07. 01. 92)
International Searching Authority		Signature of Authorized Officer
Japanese Patent Office		

I. 発明の属する分野の分類		
国際特許分類 (IPC)		
Int.Cl. <sup>8</sup> C06F13/10		
II. 国際調査を行った分野		
調査を行った最小限資料		
分類体系	分類記号	
IPC	C06F13/10-13/14	
最小限資料以外の資料で調査を行ったもの		
日本国実用新案公報      1926-1990年 日本国公開実用新案公報      1971-1990年		
III. 関連する技術に関する文献		
引用文献の カテゴリー※	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
X	JP, A, 61-288232 (富士通株式会社), 18.12月.1986 (18.12.86)	1, 2
※引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリーの文献		
IV. 認 証		
国際調査を完了した日	国際調査報告の発送日	
10.12.91	07.01.92	
国際調査機関	権限のある職員	5, B 7, 2, 3, 0
日本国特許庁 (ISA/JP)	特許庁審査官 齊 藤 操	