

201369

公告本

A4
C4

申請日期	81-03-10
案號	81102077
類別	U031-17-15

(以上各欄由本局填註)

發明
新型專利說明書

一、發明 名稱	中文	位準變換電路
	英文	Level Inverter Circuit
二、發明 人	姓名	強恩哈特 Johann Harter
	籍貫 (國籍)	德國
	住、居所	德國 W-8069 萊克爾特秀森慕尼黑街 9 號
三、申請人	姓名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	籍貫 (國籍)	德國
	住、居所 (事務所)	德國 慕尼黑威田巴契廣場 2 號
	代表人 姓名	夫蘭茲約瑟夫福克斯 (FRANZ-JOSEF FUCHS) 希母特史塔木勒 (HELMUT STADTMULLER)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

201369

五、發明說明 ()

本發明有關於一個單石積體位準變換電路。

於現行之微電子技術中，晶片上之半導體元件常須用到不同的電源電壓以及信號位準。這些電壓與信號位準，可以藉由位準變換電路而於"晶片上"產生。

德國公布之未追訴(Non-prosecuted)之專利申請第DE-37 29 925 A1號中發表了一種單石積體CMOS型位準轉換電路。若此一電路以相當小的體積(約1微米)生產，當n通道電晶體兩端的電位差超過6至10伏時，會產生所謂熱帶電載子(熱電子)的問題，可以參閱ESSDERC 1986年刊第191頁，由H. Terletzki及L. Risch所發表之"熱載子之雙開反相器之工作條件"。對於n通道電晶體，將會產生不良的減退現象，如工作電壓 V_{th} 的增加，以及洩極至源極之電流 I_{ds} 的降低。對於p通道電晶體亦然("熱電洞")。

為了避免此一效應，於德國未追訴專利申請第DE-37 33046 A1號中，使用了額外的具相同通道之電晶體，其閘極連接至一個定電壓。

現在用常用之電介質來作為金氧半電晶體之閘極，其厚度儘可能降至最小，通常為25奈米或更低。於工作時，閘極與通道區域之間將出現高電場強度。而使得閘極電介質產生不良的崩潰，以及破壞受影響之電晶體。

因此，本發明的目的之一在提供一個單石積體位準變換電路，它可以克服上述之缺點，以及較不易受到上述

五、發明說明 (>)

電場之影響，換句話說，當加入相當高的電壓時，本發明將可以防止熱電子與熱電洞的出現，以及防止閘極的崩潰。

由於上述以及以下的其它目的，本發明使用了一個單石積體位準轉變電路，此電路具有第一、第二、第三、第四、第五與第六對電晶體，每個電晶體均具有源極、汲極、閘極與信號通道；第一及第二電晶體對為第一通道型式，第三、第四、第五及第六電晶體對為第二通道型式；第一電晶體對的源極連接至第一電壓；第一電晶體對的兩個電晶體之閘極分別接收輸入信號及互補輸入信號（其位準為第一電壓及第二電壓）；第一電晶體對之汲極；分別連接到所對應的第二電晶體對之源極；第二電晶體對之閘極連接到第二電壓；第三電晶體對之一個電晶體信號通道與第四電晶體對之一個電晶體信號通道串聯，而於第四電晶體對之一個電晶體汲極處定出了第一信號節點，於此節點產生了此位準轉換電路之輸出信號；第三電晶體對的另一個電晶體之信號通道與第四電晶體對之另一個信號通道串聯，而於第四電晶體對另一個電晶體汲極處定出了第二信號節點，於此節點產生此位準轉換電路之另一輸出信號；第四電晶體對中有一電晶體之閘極，連接至第四電晶體對中另一電晶體之汲極；而第四電晶體對中另一電晶體之閘極連接至此一電晶體之汲極；第四電晶體對之電晶體源極連接至第三電

五、發明說明 (3)

壓；第三電晶體對之電晶體汲極連接至第二電壓；第五電晶體對中有一電晶體之信號通道與第六電晶體對中一個電晶體之信號通道串聯；而第五電晶體對中另一電晶體之信號通道與第六電晶體對中另一電晶體之信號通道串聯；第五電晶體對之電晶體的汲極分別連接至第三電晶體對之閘極；第五電晶體對之電晶體閘極連接至第二電壓；第六電晶體對中有一電晶體之閘極連接至第六電晶體對中另一電晶體之源極及一個電路節點；第六電晶體對中另一電晶體之閘極，連接至此一電晶體之源極及另一個電路節點。

本發明的另一個特徵為，第一通道型電晶體為n型電晶體，第二通道型電晶體為P型電晶體。

本發明的另一個特徵為，第二電壓比第一電壓高而比第三電壓低。

本發明的另一個特徵為，第一通道型電晶體為P型電晶體，第二通道型電晶體為n型電晶體。

本發明的另一個特徵為，第二電壓比第一電壓低而比第三電壓高。

本發明的另一個特徵為，此一P型電晶體之基體區域，連接至第一、第二、第三電壓中最大的一個電壓，或是比這三個電壓還高的電壓。

本發明的另一個特徵為，此一n型電晶體之基體區域，連接至第一、第二、第三電壓中最小的一個電壓，或

五、發明說明 (4)

是比這三個電壓還小的電壓。

本發明的另一個特徵為，輸入信號具有定電壓值，等於第一電壓及第二電壓。

其它的特徵亦均被視為本發明之特徵，而於申請專利範圍中宣告。

雖然以下使用一個特定的位準轉變電路來描述本發明，本發明並不限於以下的細節，因為可以在不離開本發明的精神及申請專利範圍的範疇下，而作出許多的變化及修正。

由下面的特定實施例之描述以及附圖，可以讓我們了解到本發明的結構與方法，以及本發明的其它目的與優點。

圖 1 及圖 3 為本發明之較佳實施例的線路圖。

圖 2 為輸入及輸出信號圖。

首先詳細參考圖 1，這是本發明之位準變換電路的一個實施例，此電路具有第一電晶體對 TP1，第一電晶體對具有 n 通道電晶體 T1、T2，電晶體之源極連接至第一電壓 VSS0。於運作時，輸入信號加至電晶體 T1 之閘極。輸入信號的一個位準（例如低位準）等於第一電壓 VSS0，輸入信號的另一個位準（例如高位準）等於第二電壓 VDD0。第一電壓 VSS0 可能為 0 伏（通常稱之接地），第二電壓可能為 3 伏。在運作中，輸入信號 A 的互補信號 \bar{A} ，可加至另一個電晶體 T2 的閘極。

五、發明說明 (5)

此位準變換電路亦具有第二電晶體對 TP2，第二電晶體對具有兩個 n 通道電晶體 T_n 。第一電晶體對 TP1 的電晶體 T1、T2 的汲極，連接到第二電晶體對 TP2 的電晶體 T_n 之源極。第二電晶體對 TP2 的電晶體 T_n 之閘極，連接到第二電壓 VDD0。

此電路亦具有含電晶體 T5、T6 之第三電晶體對 TP3，以及含電晶體 T3、T4 之第 4 電晶體對 TP4。這些電晶體 (T3 至 T6) 為 p 通道電晶體。第 3 電晶體對 TP3 之電晶體 T5 之通道路徑，與第 4 電晶體對 TP4 之電晶體 T3 之通道路徑互相串聯。同樣地，第 3 電晶體對 TP3 之電晶體 T6 之通道路徑，與第 4 電晶體對 TP4 之電晶體 T4 之通道路徑互相串聯。於第 4 電晶體對 TP4 之電晶體 T3、T4 之汲極處 (分別與第 3 電晶體對 TP3 之電晶體 T5、T6 之源極對應)，形成了第 1 及第 2 電路節點 1、2，以輸出信號 \bar{B} 、B。輸出信號 \bar{B} 及 B 為互補信號。第 4 電晶體對 TP4 之第 1 電晶體 T3 的閘極，連接到第 4 電晶體對 TP4 之第 2 電晶體的汲極。同樣地，第 4 電晶體對 TP4 的第 2 電晶體 T4 的閘極，連接至第 4 電晶體對 TP4 的第 1 電晶體 T3 的汲極。因此，第 4 電晶體對 TP4 的電晶體 T3、T4 的閘極與汲極間為互相交叉連接，而且又分別連接至電路節點 2、1，以及第 3 電晶體對 TP3 之電晶體 T6、T5 之源極。第 4 電晶體對 TP4 的電晶體 T3、T4 之源極均連接至第 3 電壓 VDD1。第 3 電晶體對 TP3 的電晶體 T5、T6 之汲

五、發明說明 (b)

極連接至第 2 電壓 VDD0，以第 2 電晶體對 TP2 的電晶體 Tn 之閘極。

此外，位準轉變電路另具有含兩個電晶體 Tp 之第 5 電晶體對 TP5，以及含兩個電晶體 T7、T8 之第 6 電晶體對 TP6。第 5 電晶體對 TP5 的電晶體 Tp 之通道路徑，與第 6 電晶體對 TP6 之電晶體 T7 或 T8 之通道路徑互串聯。第 5 電晶體對 TP5 的兩個電晶體 Tp 的汲極，分別連接至第 3 電晶體對 TP3 的電晶體 T5 或 T6 之閘極，以及第 2 電晶體對 TP2 的電晶體 Tn 的汲極。第 5 電晶體對 TP5 的兩個電晶體 Tp 之閘極連接至第 2 電壓 VDD0。第 6 電晶體對 TP6 的第 1 電晶體 T7 的閘極連接至第 2 電路節點，以及第 4 電晶體對 TP4 的電晶體 T3 的閘極。第 6 電晶體對 TP6 的第 1 電晶體 T7 的閘極，亦連接至第 6 電晶體對 TP6 的第 2 電晶體 T8 的源極。同樣地，第 6 電晶體對 TP6 的第 2 電晶體 T8 的閘極，連接至第 1 電路節點 1，以及第 4 電晶體對 TP4 的電晶體 T4 的閘極。第 6 電晶體對 TP6 的第 2 電晶體 T8 的閘極，連接至第 6 電晶體對 TP6 的第 1 電晶體 T7 的源極。因此，第 6 電晶體對 TP6 的電晶體 T7、T8 的閘極與源極間為互相交差連接。

於圖 1 之實施例中，首先 TP1 及 TP2 電晶體對所含之電晶體 Tn 中之電晶體 T1、T2，按上述皆為 n 通道電晶體。相對地，第 3 至第 6 電晶體對所含之電晶體 TP 及電晶體 T3 至 T8，皆為 p 通道電晶體。而且，第 2 電壓 VDD0 最

五、發明說明 (7)

好更大於第 1 電壓 $VSS0$ 且更小於第 3 電壓 $VDD1$ 。

以下將詳細說明圖 1 之位準變換電路的實施例之作用，藉圖 2 所示之輸入信號 A 、 \bar{A} 及輸出信號 B 、 \bar{B} 之波型。作為一個例子， $VSS0$ 、 $VDD0$ 及 $VDD1$ 之電壓值假設為、第 1 電壓 $VSS0=0$ 伏；第 2 電壓 $VDD0=3$ 伏；第 3 電壓 $VDD1=8$ 伏。

於時間 t_1 之前，輸入信號 A 之值為第 1 電壓 $VSS0=0$ 伏（低值），因此另一輸入信號 \bar{A} 之值為第 2 電壓 $VDD0=3$ 伏（高值）。第 1 電晶體對 TP1 之電晶體 T1 為閉塞態。而以下所列之位準轉變電路之電晶體都將導通：第 1 電晶體對 TP1 之電晶體 T2、連接至 T2 之第 2 電晶體對之電晶體 Tn、第 3 電晶體對之電晶體 T6。由於第 3 電晶體對 TP3 之電晶體 T6 連接至第 2 電壓 $VDD0=3$ 伏，因此第 2 電路節點 2 之電壓值為第 2 電壓 $VDD0=3$ 伏。 $VDD0$ 為輸出信號 B 之低位準。此時第 4 電晶體對 TP4 之第 3 電晶體 T3 為導通，因此第 1 電路節點 1 及輸出信號 B （第 1 輸出信號 B 之互補值），其電壓值等於第 3 電壓 $VDD1=8$ 伏，此為第 2 輸出信號 B 之高位準。

因此，以下所列之電晶體將受到閉塞：第 4 電晶體對 TP4 之電晶體 T4、第 6 電晶體對之電晶體 T8、以及一個連接至 T8 之第 5 電晶體對之電晶體 Tp。另一方面，第 6 電晶體對 TP6 之電晶體 T7、以及一個連接到第 5 電晶體對 TP5 的電晶體 Tp，均為導通。由於 T5 閉塞，因此第 3

五、發明說明 (8)

電晶體對 TP3 之電晶體 T5 之閘極之電壓為第 3 電壓 VDD1 = 8 伏。

於 t1 及 t2 間，第 1 輸入信號 A 之值為第 2 電壓 VDD0 = 3 伏之高位準。因此，第 1 輸入信號 A 之互補信號 \bar{A} (第 2 輸入信號，其值等於第一電壓 VSS0 = 0 伏 (低位準))。此一狀態與時間 t1 之前的狀態相反。因此，於電晶體對 TP1 至 TP6 中，第 1 電晶體 T1、Tn (連接至電晶體 T1)、T3、T5、Tp (連接至電晶體 T7) 及 T7，其狀態分別等於時間 t1 之前的各電晶體 T2、Tn (連接至 T2)、T6、T4、Tp) 連接至電晶體 T8) 及 T8 之狀態，反之亦然 (對於精通此技的人，只要告知線路及信號的對稱性，而不必重複說明)。因此第 1 輸出信號 B 之值等於第 3 電壓 VDD1 = 8 伏 (高位準)，而第 2 輸出信號 B (輸出信號 B 之互補信號)，其值等於第 2 電壓 VDD0 = 3 伏 (低位準)。

時間 t2 後之電路及信號狀態，與時間 t1 之前完全相同。

整體言之，輸入信號 A、 \bar{A} 其信號位準之值為第 1 電壓 (VSS0) 及第 2 電壓 (VDD0)，而輸出信號 B、 \bar{B} 其信號位準之值為第 2 電壓 (VDD0) 及第 3 電壓 (VDD1)。

本發明將可避免熱電子或熱電洞的問題，因為最大的電位差 (第 3 電壓 VDD1 減去第 1 電壓 VSS0)，是經由兩個同一類型的電晶體連接：即，電晶體 T7 及連接至 T7 之電晶體 Tp、電晶體 T8 及連接至 T8 之電晶體 Tp，以及電晶

五、發明說明(9)

體 T1 及連接至 T1 之電晶體 T_n，電晶體 T2 及連接至 T2 之電晶體 T_n。

本發明亦可避免閘極電介質崩潰，因為閘極電介質上的電壓，將不會超過第 3 電壓減去第 2 電壓，或是第 2 電壓減去第 1 電壓之電壓。

圖 3 為本發明的另一個實施例，其中第 1 電晶體對 TP1 之電晶體 T1、T2，以及第 2 電晶體對之電晶體 T_p，均為 p 通道電晶體；而第 3、第 4、第 6 電晶體對 TP3、TP4、TP6 之電晶體 T3 至 T8，及第 5 電晶體對 TP5 之電晶體 T_n，均為 n 通道電晶體。第 2 電壓 VSS0，比第 1 電壓 VDD0 更負，且比第 3 電壓 VSS1 更正。於圖 3 之實施例中，輸入信號 A、 \bar{A} 之信號位準為第 2 電壓 VSS0=0 伏及第 1 電壓 VDD0=3 伏，能轉換成為輸出信號 B、 \bar{B} 之信號位準，例如，第 3 電壓 VSS1=-5 伏及第 2 電壓 VSS0=0 伏。

於任一個實施例中，為了要防止閃鎖 (latch up) 效應，最好將 p 通道電晶體 (圖 1 中之 T3 至 T8 及 T_p，及圖 3 中之 T1、T2、T_p) 之基體連接到 VSS0、VDD0、VDD1 或 VDD0、VSS0、VSS1 中最大的一個電壓，或是更大的電壓。同樣地，最好將 n 通道電晶體 (圖 1 之電晶體 T1、T2 及 T_n，及圖 3 之電晶體 T3 至 T8 及 T_n) 之基體區域，連接到 VSS0、VDD0、VDD1 或 VDD0、VSS0、VSS1 中最小的一個電壓，或是更小的電壓。

於圖 1 之實施例中，上述之電壓值為第 3 電壓 VDD1 及

五、發明說明 (10)

第 1 電壓 VSS_0 。於圖 3 之實施例中，上述之電壓值為第 1 電壓 VDD_0 及第 3 電壓 VSS_1 。

於運作時，本發明之位準轉變電路可產生輸出信號 B 及 \bar{B} ，其位準值分別為第 2 電壓 (VDD_0 或 VSS_0)。與第 3 電壓 (VDD_1 或 VSS_1) 之差值。若有外加線路連接到此位準變換電路，例如動態隨機存取記憶體之字元 (word) 線路驅動電路，由於使用了本發明之位準變換電路，故其高位準將比動態隨機存取記憶體其它部分之電壓值為高，且輸出信號 B 、 \bar{B} 之低位準 (這裡使用正邏輯)，也比外加電路 (本例中為字元線路驅動器) 之正常低位準為高。但是，當我們考慮外加電路的輸入級之切換行為後，將發現上述之性質 (B 、 \bar{B} 之低位準比正常低位準高)，不會產生不良作用；或是說，當此位準轉變電路之輸出信號 B 、 \bar{B} 為低位準時，只要能使輸入級之低位準路徑為閉塞態，則不會產生錯誤運作。上述之定規

(provision) 只是一個簡單的測度大小定規。對於瞭解一般電子技術應用之人士均可瞭解此一定規。

因此，本發明之位準變換電路可以使用在動態隨機存取記憶體中，特別是字元線路電路中。

本發明也可使用於非按時改變的輸入信號 A 、 \bar{A} ，也就是說輸入信號之位準值為一常數。此時本發明之位準變換電路之功用，如同電壓單純移轉。

四、中文發明摘要(發明之名稱：)

位準變換電路

一種單石積體位準轉變電路，此電路可將差值為第1電壓差的信號，轉變成差值為第2電壓差的信號。此電路具有6對電晶體。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：Level Inverter Circuit)

A monolithically integrated level inverter circuit converts signals with a first potential difference to signals with a second potential difference. The circuit contains six pairs of transistors.

附註：本案已向

國(地區)申請專利，申請日期：

案號：

歐洲

1991年3月22日 案號：91104578.9

六、申請專利範圍

1. 一種單石積體位準轉變電路，此電路具有：

第1、第2、第3、第4、第5、第6電晶體對，每個電晶體均具有源極、汲極、閘極與通道路徑；

該第1與第2電晶體對之電晶體屬第1通道型，上述第3、第4、第5、第6電晶體對之電晶體屬於第2通道型；

該電晶體對之電晶體的源極連接至第1電壓；

該第1電晶體對之兩個電晶體的閘極，分別可接收輸入信號與其互補信號，這兩個信號之位準值為第1電壓與第2電壓；

該第1電晶體對之兩個電晶體的汲極，分別連接至該第2電晶體對之兩個電晶體的源極；

該第2電晶體對之電晶體的閘極，均連接到第2電壓；

該第3電晶體對之第1個電晶體的通道路徑，與該第4電晶體對之第1個電晶體的通道路徑互相串聯，而於該第4電晶體對的第1個電晶體汲極處，定出了第1電路節點，以產生位準轉變電路之第1個輸出信號；

該第3電晶體對之另一個電晶體的通道路徑，與該第4電晶體對之另一個電晶體之通道路徑互相串聯，而於該第4電晶體對的另一個電晶體汲極處，定出了第2電路節點，以產生位準轉變電路之另1個輸出信

六、申請專利範圍

號；

該第4電晶體對之第1個電晶體的閘極，連接至該第4電晶體對之另1個電晶體的汲極，且該第4電晶體對之另1個電晶體的閘極，連接至該第4電晶體對之第1個電晶體的汲極；

該第4電晶體對之電晶體的源極，連接至第3電壓；

該第3電晶體對之電晶體的汲極，連接至第2電壓；

該第5電晶體對之第1個電晶體的通道路徑，與該第6電晶體對之第1個電晶體的通道路徑互相串聯，該第5電晶體對之另1個電晶體的通道路徑，與該第6電晶體對之另1個電晶體的通道路徑互相串聯；

該第5電晶體對之兩個電晶體的汲極，分別連接到該第3電晶體對之兩個電晶體的閘極；

該第5電晶體對之電晶體的閘極，均連接至第2電壓；且

該第6電晶體對之第1個電晶體的閘極，連接至該第6電晶體對之另1個電晶體的源極以及1個該電路節點，該第6電晶體對之另1個電晶體的閘極，連接至該第6電晶體對之第1個電晶體的源極以及另1個該電路節點。

2. 如申請專利範圍第1項之位準轉變電路，其中該第1

六、申請專利範圍

通道型電晶體為 n 通道型，且該第 2 通道型電晶體為 p 通道型。

3. 如申請專利範圍第 1 或第 2 項之位準變換電路，其中第 2 電壓較第 1 電壓更正，且較第 3 電壓更負。
4. 如申請專利範圍第 1 項之位準轉變電路，其中該第 1 通道型電晶體為 p 通道型，且該第 2 通道型電晶體為 n 通道型。
5. 如申請專利範圍第 1 或第 4 項之位準轉變電路，其中第 2 電壓較第 1 電壓更負，且較第 3 電壓更正。
6. 如申請專利範圍第 2 項之位準變換電路，其中該 p 通道型電晶體的基體區域，連接至上述 3 個電壓中最正的一個電壓。
7. 如申請專利範圍第 2 項之位準變換電路，其中該 p 通道型電晶體的基體區域，連接至一個比上述 3 個電壓更正之電壓。
8. 如申請專利範圍第 4 項之位準變換電路，其中該 p 通道型電晶體的基體區域，連接至上述 3 個電壓中最正的一個電壓。
9. 如申請專利範圍第 4 項之位準變換電路，其中該 p 通道型電晶體的基體區域，連接至一個比上述 3 個電壓更正之電壓。
10. 如申請專利範圍第 2 項之位準轉變電路，其中該 n 通道型電晶體的基體區域，連接至上述 3 個電壓中最

六、申請專利範圍

a

負的一個電壓。

11. 如申請專利範圍第2項之位準轉變電路，其中該n通道型電晶體的基體區域，連接至一個比上述3個電壓更負的電壓。

12. 如申請專利範圍第4項之位準轉變電路，其中該n通道型電晶體之基體區域，連接至上述3個電壓中最負的一個電壓。

13. 如申請專利範圍第4項之位準轉變電路，其中該n通道型電晶體之基體區域，連接至比上述3個電壓更負之電壓。

14. 如申請專利範圍第1項之位準轉變電路，其中該輸入信號具有定電壓值，其值等於第1電壓或第2電壓。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部中央標準局員工消費合作社印製

201369

FIG 3

