

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2017-523488

(P2017-523488A)

(43) 公表日 平成29年8月17日(2017.8.17)

(51) Int.Cl. F I テーマコード (参考)
G06F 12/00 (2006.01) G06F 12/00 564A 5B060

審査請求 未請求 予備審査請求 未請求 (全 19 頁)

(21) 出願番号 特願2016-558772 (P2016-558772)
 (86) (22) 出願日 平成27年6月23日 (2015. 6. 23)
 (85) 翻訳文提出日 平成28年12月27日 (2016. 12. 27)
 (86) 国際出願番号 PCT/US2015/037210
 (87) 国際公開番号 W02015/200338
 (87) 国際公開日 平成27年12月30日 (2015. 12. 30)
 (31) 優先権主張番号 14/318, 114
 (32) 優先日 平成26年6月27日 (2014. 6. 27)
 (33) 優先権主張国 米国 (US)

(71) 出願人 591016172
 アドバンスト・マイクロ・ディバイズ・
 インコーポレイテッド
 ADVANCED MICRO DEVI
 CES INCORPORATED
 アメリカ合衆国、94088-3453
 カリフォルニア州、サニペイル、ピー・
 オウ・ボックス・3453、ワン・エイ・
 エム・ディ・プレイス、メイル・ストップ
 ・68 (番地なし)
 (74) 代理人 100108833
 弁理士 早川 裕司
 (74) 代理人 100111615
 弁理士 佐野 良太

最終頁に続く

(54) 【発明の名称】 メモリ物理層インタフェースのトレーニング用統合型コントローラ

(57) 【要約】

メモリ物理層インタフェース(PHY)(140, 205)に統合されたコントローラ(215)は、ダイナミックランダムアクセスメモリ(DRAM)等の関連する外部メモリ(135)と通信するためのメモリPHYを構成するのに用いられるトレーニングを制御するために使用可能であり、これにより、BIOS(120)とメモリPHYとの間のデータパイプライン上でトレーニングシーケンスを提供する必要性が取り除かれる。例えば、メモリPHYに統合されたコントローラ(215)は、トレーニングアルゴリズムに基づいて、外部メモリと通信するためのメモリPHYの読み出しトレーニング及び書き込みトレーニングを制御することができる。このトレーニングアルゴリズムは、トレーニングアルゴリズムによって生成されたトレーニングシーケンス又はコマンドが通過する信号経路を特徴付けるシード情報をBIOSから受信することなく、メモリPHYと外部メモリとの間のタイミング遅延及び電圧オフセットの解決に向けて収束する、シードレストレーニングアルゴリズムであってもよい。

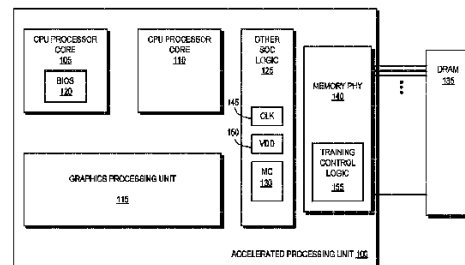


FIG. 1

【特許請求の範囲】**【請求項 1】**

外部メモリ(135)に接続するためのメモリ物理層インタフェース(PHY)(140, 205)と、

前記メモリPHYに統合されたコントローラ(215)であって、トレーニングアルゴリズムに基づいて、前記外部メモリと通信するための前記メモリPHYのトレーニングを制御するためのコントローラ(215)と、を備える装置。

【請求項 2】

前記トレーニングアルゴリズムは、シードレストレーニングアルゴリズムである、請求項 1 に記載の装置。

【請求項 3】

前記コントローラは、前記トレーニングアルゴリズムによって生成されたトレーニングシーケンス又はコマンドが通過する信号経路を特徴付けるシード情報を基本入出力システム(BIOS)(120)から受信することなく、前記メモリPHYと前記外部メモリとの間のタイミング遅延及び電圧オフセットの解決に向けて収束するように、前記メモリPHYのトレーニングを制御する、請求項 1 に記載の装置。

【請求項 4】

前記トレーニングアルゴリズムに基づいて前記コントローラによって生成された制御信号に応じて、前記外部メモリに送られるプログラム可能なコマンドのシーケンスを高速に生成するための第 1 のトレーニングエンジン(220)をさらに備える、請求項 3 に記載の装置。

【請求項 5】

前記第 1 のトレーニングエンジンによって生成された制御信号に応じて、前記外部メモリに送られるトレーニングデータのシーケンスを生成するための第 2 のトレーニングエンジン(225)をさらに備える、請求項 4 に記載の装置。

【請求項 6】

前記外部メモリから受信したシーケンスを、前記第 2 のトレーニングエンジンによって生成された前記トレーニングシーケンスと比較するための第 3 のトレーニングエンジンをさらに備える、請求項 5 に記載の装置。

【請求項 7】

前記第 1 のトレーニングエンジンは、前記トレーニングアルゴリズムに基づいて、前記第 2 のトレーニングエンジン及び前記第 3 のトレーニングエンジンのうち少なくとも 1 つによって実行されるタスクの実行を順序付ける、請求項 6 に記載の装置。

【請求項 8】

前記第 3 のトレーニングエンジンは、前記外部メモリからのデータ読み出し及び前記外部メモリへのデータ書き込みの少なくとも 1 つのために前記メモリPHYによって用いられるタイミングパラメータ及び電圧オフセットパラメータのうち少なくとも 1 つを調整する、請求項 6 に記載の装置。

【請求項 9】

前記第 3 のトレーニングエンジンは、サンプリングされたトレーニングデータの正確なサンプル及び不正確なサンプルの数に基づいて、前記タイミング遅延及び前記電圧オフセットのうち少なくとも 1 つを決定する、請求項 8 に記載の装置。

【請求項 10】

メモリ物理層インタフェース(PHY)(140, 205)に統合されたコントローラ(215)にて、トレーニングアルゴリズムに基づいて、外部メモリ(135)と通信するための前記メモリPHYをトレーニングするための制御信号を生成すること、を含む方法(300)。

【請求項 11】

前記制御信号を生成することは、シードレストレーニングアルゴリズムに基づいて前記制御信号を生成することを含む、請求項 10 に記載の方法。

10

20

30

40

50

【請求項 1 2】

前記制御信号を生成することは、前記トレーニングアルゴリズムによって生成されたトレーニングシーケンス又はコマンドが通過する信号経路を特徴付けるシード情報を基本入出力システム（BIOS）から受信することなく、前記メモリPHYと前記外部メモリとの間のタイミング遅延及び電圧オフセットの解決に向けて前記トレーニングアルゴリズムが収束するように、前記制御信号を生成することを含む、請求項 1 0 に記載の方法。

【請求項 1 3】

第 1 の制御信号を前記コントローラから第 1 のトレーニングエンジン（220）へ提供することであって、前記第 1 のトレーニングエンジンは、前記第 1 の制御信号に応じて、前記外部メモリに送られるコマンドのシーケンスを高速で生成することをさらに含む、請求項 1 0 に記載の方法。

10

【請求項 1 4】

第 2 の制御信号を前記第 1 のトレーニングエンジンから第 2 のトレーニングエンジン（225）へ提供することであって、前記第 2 のトレーニングエンジンは、前記第 1 のトレーニングエンジンからの前記第 2 の制御信号に応じて、前記外部メモリに送られるトレーニングシーケンスを生成することをさらに含む、請求項 1 3 に記載の方法。

【請求項 1 5】

第 3 の制御信号を前記第 1 のトレーニングエンジンから第 3 のトレーニングエンジンへ提供することであって、前記第 3 のトレーニングエンジンは、前記第 3 の制御信号に応じて、前記外部メモリから受信したシーケンスを、前記第 2 のトレーニングエンジンによって生成された前記トレーニングシーケンスと比較することをさらに含む、請求項 1 4 に記載の方法。

20

【請求項 1 6】

前記第 2 のトレーニングエンジン及び前記第 3 のトレーニングエンジンのうち少なくとも 1 つによって実行されるタスクの実行を、前記第 1 のトレーニングエンジンが、前記第 2 のトレーニングエンジン及び前記第 3 のトレーニングエンジンのうち少なくとも 1 つに対して提供される信号に基づいて順序付けすることをさらに含む、請求項 1 5 に記載の方法。

【請求項 1 7】

前記第 3 のトレーニングエンジンにて、前記外部メモリからのデータ読み出し及び前記外部メモリへのデータ書き込みのうち少なくとも 1 つのために前記メモリPHYによって用いられるタイミング遅延及び電圧オフセットのうち少なくとも 1 つを決定することをさらに含む、請求項 1 5 に記載の方法。

30

【請求項 1 8】

前記タイミング遅延及び前記電圧オフセットのうち少なくとも 1 つを決定することは、サンプリングされたトレーニングデータ内の正確なサンプル及び不正確なサンプルの所定の比率に基づいて、前記タイミング遅延及び前記電圧オフセットのうち少なくとも 1 つを決定することを含む、請求項 1 7 に記載の方法。

【発明の詳細な説明】**【技術分野】**

40

【0001】

本願は、概して処理システムに関し、具体的には、処理システムのメモリ物理レイアウトフェースに関する。

【背景技術】**【0002】**

システムオンチップ（systems-on-a-chip：SOC）等の処理システムは、メモリを用いて、データ又は命令を後に使用するために記憶する。例えば、SOCは、命令又はデータをメモリから読み出し、命令又はデータを用いて演算を実行し、結果をメモリに書き戻すことの可能な中央処理装置（CPU）、画像処理装置（GPU）、加速処理装置（APU）等の処理装置を含み得る。処理システムは、ダイナミックランダムアクセスメモリ（

50

D R A M) 等のメモリモジュールへのアクセスを制御するメモリ物理レイヤインタフェースを含む得る。D R A M を用いて情報を記憶することにより、処理システムの動作中に処理装置から記憶情報にアクセスできるようになっている。処理システムのメモリ物理レイヤインタフェースは、従来、「メモリ P H Y」と呼ばれている。メモリコントローラは、通常、メモリ P H Y の動作を制御するために用いられる。

【 0 0 0 3 】

メモリ P H Y は、通常、D R A M からのデータの読み出し又は D R A M へのデータの書き込みを正確に行うことが可能になる前に、メモリ P H Y と D R A M との間のインタフェースを介してやり取りされるシーケンスを用いてトレーニングされる。インタフェーストレーニングの手順は、読み出し及び書き込み用のインタフェースエンドポイントでのコマンド発行とデータサンプルタイミングとの比較的粗い同期を実行するためのグローバルインタフェース初期化のメカニズム (a global interface initialization mechanism) を含んでもよい。このグローバル同期のためのトレーニングシーケンスは、例えば、「バブル (bubble) 」と呼ばれ得るコマンドギャップを用いて周期的な形に区切られた、D R A M コマンドの連続的なストリームによって構築されてもよい。このシーケンスは、連続的なストリーム内の粗く / 汎用的なインタフェースのタイミングをフレーム化又は同期化するために用いることの可能な一連の時間 / イベントマーカを生成する。その後、より精密な信号毎のトレーニング手順を用いて、データ信号をサンプリングするための最適なタイミング及び電圧オフセットを検出してもよい。信号毎のトレーニング手順用のトレーニングシーケンスは、D R A M から読み出され及び / 又は D R A M に書き込まれる複数の「 1 」及び複数の「 0 」のランダムな組み合わせを含んでもよい。トレーニングシーケンスに応じて D R A M から戻される信号は、「データアイ (data eye) 」の輪郭 (contour) を決定するのに用いられるが、データアイの輪郭は、時間と電圧の関数としてデータ信号の値を表す、立上りエッジ、立下りエッジ及び高位 / 低位電圧を示すプロットである。

【 0 0 0 4 】

従来のトレーニング手順は、処理システムのプロセッサで動作する B I O S コードによって起動される。しかし、B I O S は、通常、メモリ P H Y から論理的又は物理的に離れている。例えば、B I O S とメモリ P H Y とは、データパイプライン、メモリキャッシュ及びバッファによって分離され得る。これらの介在するインタフェース及びサブシステムブロックは、B I O S から送信されたトレーニング制御及びデータのシーケンスを歪ませ、又は、変更する場合がある。例えば、トレーニングシーケンスにバブルが加わって、効率的なトレーニングアルゴリズムの検出を更に困難にする場合がある。このため、B I O S は、通常、複雑なトレーニング制御シーケンスのシーディング (seeding) 及びデータ後処理スキームをトレーニングコードに組み込むことになる。この両方のアプローチには、重大な欠陥がある。例えば、後処理中にデータを移動、マイニング及び操作するために追加の時間が必要となることによって、トレーニングを実行するのに必要な時間全体が増加する。合計トレーニング時間配分が固定されている場合には、後処理で費やす追加の時間が必要となれば、他の処理で時間を節約して、全体的なトレーニング時間を配分内に収まるようにしなければならない。時間の節約は、より短いパターンの実行によって可能になるが、その結果、より大きなトレーニングエラーを引き起こす可能性がある。別の例では、アルゴリズムが収束するのを妨げる可能性のある上記パイプラインの課題が回避されるシステム状態からトレーニングを開始するために、トレーニングシーケンスのシーディングが用いられるが、初期システム状態を正確に定義するために適切なシード値を検出するには、システム及びプラットフォームの徹底的な特徴抽出が必要となる。シード値は、データパイプライン、メモリ P H Y 、又は、B I O S からメモリ P H Y を経由して D R A M に至り、そして B I O S へと戻る、他の論理的又は物理的な実体を特徴付ける情報を含んでもよい。各シード値は、各処理システム又は D R A M の実装に対して研究施設で特徴付けられなければならない。したがって、生成しなければならないシード情報の量及び種類は、システム及び関連するメモリデバイスの数と多様性とが増加するにつれて急速に拡大しており、これにより、B I O S コードのサイズが増大し、B I O S の保守がさらに困

10

20

30

40

50

難になる可能性がある。

【0005】

本開示は、添付図面を参照することによってより良く理解され、本開示の多くの特徴及び利点が当業者において明らかとなる。異なる図面で用いられる同じ符号は、同様又は同一のアイテムを示している。

【図面の簡単な説明】

【0006】

【図1】いくつかの実施形態による、1つ以上の中央処理装置(CPU)プロセッサコアと画像処理装置(GPU)とを含む加速処理装置(APU)のブロック図である。

【図2】いくつかの実施形態による、メモリPHYとDRAMとを含む処理装置の一部のブロック図である。

【図3】いくつかの実施形態による、図1に示すAPU等の処理装置に実装され得るメモリPHYをトレーニングする方法のフロー図である。

【図4】いくつかの実施形態による、処理システムの構成要素の少なくとも一部を実装する集積回路装置を設計及び製造する方法を示すフロー図である。

【発明を実施するための形態】

【0007】

上述したように、BIOSとメモリPHYとの間のデータパイプラインは、DRAMに提供されるトレーニングシーケンスのタイミングを制御するためにBIOSに実装され得る効率的なトレーニングアルゴリズムを検出することを、より困難にし得る。さらに、トレーニングシーケンスの変更があると、BIOS内のトレーニングアルゴリズムが、DRAMによって戻される信号を処理することがより困難になる。トレーニングアルゴリズムをBIOSからメモリPHYに移動させることによって、データパイプラインに起因するトレーニングシーケンスの歪みを補償するために実行される、後処理で組み込まれるシステムの時間割当てに関するプレッシャーが軽減可能となり、これにより、タイミングシーケンスのタイミング制御が改善される。また、いくつかの実施形態では、トレーニングアルゴリズムのシーディングの必要性を軽減し又は無くすことができる。さらに、トレーニングアルゴリズムをメモリPHYに実装することによって、メモリPHYを実装するのに用いられるハードウェアの設計を簡素化し、技術者が、処理システムに適合したより効率的なトレーニングアルゴリズムを生成することが可能になる。さらにまた、(例えば、メモリPHYを実装するのに用いられるハードウェアの一部としての)ハードウェアにトレーニングアルゴリズムの実施形態を実装することによって、テストを「高速に」実行することが可能となるが、これは、コマンド及びトレーニングシーケンスがDRAMインタフェースの最大レートで送信可能であることを意味する。

【0008】

いくつかの実施形態では、メモリPHY内のマイクロコントローラ等の統合型コントローラが、関連するDRAMと通信するためのメモリPHYを構成するのに用いられるトレーニングアルゴリズムを制御するために使用可能であり、これによって、BIOSとメモリPHYとの間のデータパイプライン上でトレーニングシーケンスを提供する必要性を取り除く。この結果、トレーニングアルゴリズムは、シードレストレーニングアルゴリズムとして実装することができるが、この理由は、トレーニングシーケンスがデータパイプライン上で搬送される際の歪み又は変更への対処を行う必要が無いからである。本明細書で用いられるように、「シード」情報とは、トレーニングアルゴリズムによって生成されたトレーニングシーケンス又はコマンドが通過する信号経路を特徴付ける情報を指す。トレーニングアルゴリズムは、シード情報を用いて、トレーニングアルゴリズムが同期解決に向けて収束するように初期システム状態を確立するが、これにより、戻り信号の後処理は、メモリPHYと関連するDRAMとの間のフェーズ差異(つまり、タイミング遅延)及び電圧オフセットに対する解決に向けて収束することができる。このため、「シード有り」のトレーニングアルゴリズムは、収束のためのシード情報を必要とする。一方、「シード無し」のトレーニングアルゴリズムは、シード情報を用いて初期状態を確立せずに、同

10

20

30

40

50

期解決に向けて収束することができる。しかしながら、いくつかの実施形態においては、BIOSは、シードレステレーニングアルゴリズムによって使用可能な構成情報（例えば、DRAMの構成を識別する情報等）を、収束の確認をするのに当該情報が不要の可能性があるととしても、提供してよい。

【0009】

いくつかの実施形態では、マイクロコントローラは、DRAMに送信されるプログラム可能なコマンドシーケンスを生成する第1のトレーニングエンジンと、トレーニングシーケンスを生成する第2のトレーニングエンジンと、DRAMから受信したトラフィックを、DRAMに提供されるトレーニングシーケンスに基づいて当該トラフィックの期待値と比較する第3のトレーニングエンジンと、に接続されている。例えば、第3のトレーニングエンジンは、1つ以上の送信されたトレーニングシーケンスを、受信した信号と関連付けて、送信シーケンスと受信シーケンスとの間のタイミング遅延を判定してもよい。また、第3のトレーニングエンジンは、メモリPHYによって用いられるタイミング又は電圧のオフセットを調整してもよい。第1のトレーニングエンジンは、第2及び第3のトレーニングエンジンによって実行されるタスクの実行を順序付けしてもよい。

10

【0010】

図1は、いくつかの実施形態による、1つ以上の中央処理装置（CPU）プロセッサコア105、110と、画像処理装置（GPU）115と、を含む加速処理装置（APU）100のブロック図である。APU100は、システムオンチップ（SOC）として実装され得る。CPUプロセッサコア105、110は、命令を、個別に、同時に、又は、並列に実行することができる。図1に示すAPU100は、2つのCPUプロセッサコア105、110を含んでいるが、本開示の利益を享受する本技術分野の当業者であれば、APU100内のプロセッサコアの数が設計事項であることを理解できるであろう。APU100のいくつかの実施形態は、図1に示す2つのCPUプロセッサコア105、110よりも多い又は少ないCPUプロセッサコアを含み得る。GPU115は、ディスプレイに出力するのに用いられる視覚画像を生成するためのものである。また、GPU115のいくつかの実施形態は、複数の処理コア（図示省略）を含み得る。

20

【0011】

CPUプロセッサコア105は、ハードウェア、ファームウェア、ソフトウェア、又は、ハードウェア、ファームウェア及びソフトウェアの組み合わせとして実装することの可能な基本入出力システム（BIOS）120を含む。BIOS120のいくつかの実施形態は、例えばAPU100を含むシステムの電源が投入され又は当該システムが起動すると、APU100の構成要素を初期化又はテストするのに用いられる。BIOS120は、オペレーティングシステムを読み込むのに用いられてもよい。BIOS120が生成する命令又はコマンドは、1つ以上のデータパイプライン（図1では省略）を用いて、APU100内の他のロケーションに伝送され得る。BIOS120は、別の構成として、CPUプロセッサコア110内に実装されてもよいし、APU100内の他のロケーションに実装されてもよい。

30

【0012】

また、図1に示すAPU100は、他のSOCロジック125を含む。他のSOCロジック125のいくつかの実施形態は、アドレスを生成するとともに、メモリリードサイクル又はメモライトサイクルを開始するDMAエンジン（図示省略）、メモリ間のデータ転送を行うDMAエンジン（図示省略）、又は、データをCPUプロセッサコア105、110間若しくはCPUプロセッサコアとGPU115との間で転送するDMAエンジン（図示省略）を含み得る。さらに、他のSOCロジック125は、ルーティングロジック、コヒーレンシロジック、又は、他の機能を実行するロジックを含んでもよい。他のSOCロジック125のいくつかの実施形態は、APU100と、外部のDRAM135等の他のメモリとの間のデータフローを調整するメモリコントローラ（MC）130を含む。メモリコントローラ130は、外部メモリからの情報の読み出し及び外部メモリへの情報の書き込みを制御するのに用いられるロジックを含む。また、メモリコントローラ130

40

50

は、リフレッシュロジックを含んでもよく、このリフレッシュロジックを用いて情報を D R A M に定期的な書き込みして、D R A M のメモリセル内の情報が保持されてもよい。D R A M のいくつかの実施形態は、ダブルデータレート (D D R) D R A M であってもよく、この場合には、メモリコントローラ 1 3 0 は、メモリクロックの立上り及び立下りエッジの両方において、D R A M への又は D R A M からのデータ転送を行ってもよい。

【 0 0 1 3 】

メモリコントローラ 1 3 0 は、D R A M 1 3 5 等の他のメモリモジュールの動作を、メモリ P H Y 1 4 0 と呼ばれ得るメモリ物理レイアウトフェース 1 4 0 を介して送信された信号を用いて制御してもよい。メモリ P H Y 1 4 0 は、A P U 1 0 0 に接続され得る他のメモリモジュールの動作を決定する信号を駆動するのに用いられる回路を含む。例えば、メモリ P H Y 1 4 0 は、D R A M 1 3 5 等のメモリモジュールの一部からの読み出し、当該一部への書き込み、当該一部のリフレッシュ又は当該一部の消去を制御する信号を提供してもよい。メモリ P H Y 1 4 0 は、異なる動作点で動作可能であってもよく、これらの動作点は、メモリ P H Y 1 4 0 の動作周波数及び / 又は動作電圧によって決定されてもよい。例えば、他の S O C ロジック 1 2 5 は、メモリ P H Y 1 4 0 及び / 又はメモリコントローラ 1 3 0 内の同期を決定するクロック信号と、メモリ P H Y 1 4 0 及び / 又はメモリコントローラ 1 3 0 が用いる電圧を決定する基準電圧 (V D D) 1 5 0 と、を提供するクロック 1 4 5 を含んでもよい。

【 0 0 1 4 】

メモリ P H Y 1 4 0 をトレーニングして、メモリ P H Y 1 4 0 と D R A M 1 3 5 との間の通信中の読み出し性能又は書き込み性能を向上させる必要がある。したがって、メモリ P H Y 1 4 0 は、集積トレーニング制御ロジック 1 5 5 を含み、集積トレーニング制御ロジック 1 5 5 を用いて、トレーニングシーケンス又はコマンドの生成、トレーニングシーケンス又はコマンドの D R A M 1 3 5 への送信、シーケンス又はコマンドの送信に応じて D R A M 1 3 5 が生成した信号の受信、及び、D R A M 1 3 5 からの応答に基づくメモリ P H Y 1 4 0 のリードパラメータ / ライトパラメータの調整を行う。

【 0 0 1 5 】

トレーニング制御ロジック 1 5 5 をメモリ P H Y 1 4 0 に統合化することは、B I O S 1 2 0 に実装されたアルゴリズムを用いてメモリ P H Y 1 4 0 のトレーニングを行う従来の方法に対して数々の利点がある。トレーニング制御ロジック 1 5 5 によって用いられるトレーニングアルゴリズムの後処理及び / 又はシーディングは、B I O S 1 2 0 とメモリ P H Y 1 4 0 との間のデータパイプライン上でトレーニングシーケンスを送信する必要をなくすことによって、軽減され又は取り除かれてもよい。さらに、メモリ P H Y 1 4 0 のトレーニングをサポートするトレーニング制御ロジック 1 5 5 をメモリ P H Y 1 4 0 に組み込むことは、B I O S 1 2 0 がメモリ P H Y 1 4 0 のトレーニングをサポートするように設計することと比べて複雑さが極めて減少する。例えば、B I O S トレーニングアルゴリズムを設計するためには、極めて多量の複雑なメモリ P H Y 初期化及び制御の詳細を、B I O S トレーニングアルゴリズムの設計を担う技術者に伝えなければならない。例えば、メモリ P H Y 1 4 0 は、タイミングを定義し、周波数をロックする等のために用いられる何百ものレジスタ (明瞭性を考慮して図 1 では省略) を含み、各レジスタは、正確なシーケンスで初期化されアクセスされなければならない。B I O S 技術者は、メモリ P H Y 1 4 0 の動作に詳しくなく、少なくともメモリ P H Y 1 4 0 の設計を担う技術者と比較してメモリ P H Y 1 4 0 の動作をよく知らない可能性がある。メモリ P H Y のトレーニングアルゴリズムの設計責任をメモリ P H Y 技術者の手に委ねるのは、より効率的な設計につながり、これにより、トレーニングアルゴリズムのシーディングの必要性を減らすことにある。また、多重の P H Y インスタンスのトレーニングをシリアルに行なけばならず、B I O S の修正は、新たなトレーニングコードのリリース及び研究施設でのシード情報の特徴抽出と強く結びついている。さらに、B I O S トレーニングアルゴリズムを用いてメモリ P H Y 1 4 0 をトレーニングする前に、B I O S 1 2 0 とメモリ P H Y 1 4 0 との間のデータパイプラインをサポートするために A P U 1 0 0 内の多数のブロックが構成され

10

20

30

40

50

実行中であることが必要になる場合があることから、各ターゲットプラットフォームの市場への投入までの時間が増加し得る。

【0016】

図2は、いくつかの実施形態による、図1に示すメモリPHY140及びDRAM135等のメモリPHY205及びDRAM210を含む処理装置の一部200のブロック図である。メモリPHY205は、コントローラ215を含み、コントローラ215を用いて、DRAM210と通信するメモリPHY205に対するリードトレーニング及びライトトレーニングを、トレーニングアルゴリズムに基づいて制御する。コントローラ215のいくつかの実施形態は、ハードウェア、ファームウェア、ソフトウェア、又は、ハードウェア、ファームウェア及びソフトウェアの組み合わせとして実装されてもよい。コントローラ215は、いくつかの実施形態では、マイクロコントローラ215と呼ばれ得る。コントローラ215は、メモリPHY205と一体に設けられており、これにより、データパイプラインを介してメモリPHY205から分離されていないので、コントローラ215が実行するトレーニングアルゴリズムは、シードレストレーニングアルゴリズムとなり得る。本明細書で述べるように、シードレストレーニングアルゴリズムは、例えば返送信号を後処理するために、トレーニングアルゴリズムによって生成されたトレーニングシーケンス又はコマンドが通過する信号経路又はデータパイプラインを特徴付ける情報を用いて構成される必要がない。コントローラ215は、電源が投入された場合、垂直帰線周波数が変化した場合、電源状態が所定の周波数で定期的に移行した場合（例えば、アイドル状態と起動状態との間で）、又は、他のイベント若しくは信号が発生した場合に、トレーニングを開始してもよい。

10

20

【0017】

コントローラ215は、例えば図1に示すBIOS120等のBIOSと情報交換してもよい。いくつかの実施形態では、BIOSは、例えばローカルスタティックランダムアクセスメモリ(SRAM)等のメモリアレイを読み出すことによって、DRAM210に関連する構成情報を提供することによって、又は、システムが起動するとトレーニングシーケンスを開始するようにコントローラ215に指示することによって、コントローラ215を構成してもよい。しかしながら、コントローラ215が構成されると、コントローラ215のいくつかの実施形態は、メモリPHY205に対するトレーニングを、BIOSから殆ど独立して、且つ、BIOSからの入力が殆ど行われることなく制御することができる。例えば、コントローラ215は、BIOSから独立して動作し、且つ、メモリPHY205を、トレーニングコマンド又はトレーニングシーケンスをBIOSから受信することなくトレーニングすることの可能なトレーニングアルゴリズムを実行する。コントローラ215は、メモリPHY205に対するトレーニングを、BIOSからコントローラ215に対してデータパイプラインを介して送信される必要のある入力がBIOSから行われることなく制御することができるので、トレーニングアルゴリズムは、シードレストレーニングアルゴリズムとして実装することができる。

30

【0018】

コントローラ215は、アドレスコマンドステートマシン(ACSM)220と呼ばれ得る第1トレーニングエンジン220に接続されている。ACSM220は、メモリPHY205のトレーニング中にDRAM210に提供可能なコマンドを生成する。プログラム可能なコマンドは、メモリPHY205の集積部分としてハードウェアに実装される第1トレーニングエンジン220の実施形態に対応して「高速に(at speed)」生成することができる。コマンドは、コントローラ215によって決定されたシーケンス内で複数のレジスタ(図示省略)に記憶されてもよい。その後、コマンドは、コントローラ215がACSM220内の制御レジスタに開始ビットを書き込むのに応じて、DRAM210に発行されてもよい。ACSM220によって生成されたコマンドは、DRAM210の指定されたロケーションから情報を読み出すリードコマンドと、DRAM210の指定されたロケーションに情報を書き込むライトコマンドと、を含んでもよい。ACSM220のいくつかの実施形態は、リードコマンド及びライトコマンドを同時に合成するループバッ

40

50

クコマンドを生成してもよい。ループバックコマンドは、メモリPHY205の物理ピンに送られる信号を駆動する。この信号は、メモリPHY205を通過する経路に沿って返送される。したがって、DRAM210をメモリPHY205の物理ピンに接続するのを必要とせず、ループバックコマンドを用いてメモリPHY205をテストすることができる。ACSM220のいくつかの実施形態は、ループコマンドを生成してもよく、ループコマンドは、1つ以上のコマンドを、指定された遅延時間をコマンド間に挟んで繰り返し実行することによって、実行中に単一命令をループ又は繰り返し、複数のコマンドを順次ループ等する。

【0019】

コントローラ215は、PRBSパターン生成器チェッカ(PPGC)225と呼ばれ得る第2のトレーニングエンジン225に接続されてもよい。PPGC225のいくつかの実施形態は、プログラム可能であり、メモリPHY205のトレーニング用のトレーニングシーケンスとして用いられるデータストリームを生成することができる。例えば、PPGC225は、コントローラ215によって提供された信号に応じて、16ビット以下の多項式に対するデータストリームを生成してもよい。PPGC225のいくつかの実施形態は、トレーニングシーケンスを生成するのに用いられる独立した生成器235と、メモリPHY205とDRAM210との間を流れるトレーニングシーケンスを含む読み出し又は書き込みストリームの同期をチェックするのに用いられるチェッカ230と、を含む。PPGC225の動作は、ACSM220から受信した信号によって制御されてもよい。例えば、ACSM220は、生成器235におけるトレーニングシーケンスの生成等の動作の実行を順序付ける信号を提供してもよい。

【0020】

コントローラ215は、データトレーニング状態マシン(DTSM)240と呼ばれ得る第3のトレーニングエンジン220に接続されてもよい。DTSM240は、DRAM210から受信したトラフィックを、DRAM210に提供されたトレーニングシーケンスと比較して、メモリPHY205によって用いられるタイミングパラメータ又は電圧オフセットパラメータを調整するか否かを決定する。例えば、PPGC225は、メモリPHY205の読み出しトレーニング又は書き込みトレーニングの間にDRAM210から戻されるシーケンスとの比較のために、トレーニングシーケンスの表現(representation)をDTSM240に提供してもよい。トレーニングのループを開始する前に、コントローラ215は、メモリPHY205によって使用されるタイミングパラメータ又は電圧オフセットパラメータを制御するために、DTSM240を構成してもよい。次に、コントローラ215は、1つ以上のトレーニングシーケンスを駆動するためにACSM220及びPPGC225をプログラムしてもよい。次に、DTSM240は、PPGC225によって生成されたトレーニングシーケンスを、DRAM210から受信したシーケンスと比較する。例えば、DTSM240は、複数の異なる遅延においてトレーニングシーケンスと受信シーケンスとを関連付けてもよい。比較に基づき、DTSM240は、比較に基づき、タイミングパラメータ又は電圧オフセットパラメータを調整するか否かを決定するが、これは、例えば、これらのパラメータの1つ以上を増加又は減少させることによって行う。例えば、タイミングオフセットは、トレーニングシーケンス及び受信シーケンスの相互関係に基づき決定される遅延に基づいて、増加又は減少してもよい。DTSM240のいくつかの実施形態は、データ輪郭アイ位置(data contour eye position)に対するトレーニングのための上位又は下位閾値比較ロジックを有するデータフィルタ又は2進加算器も実装してよい。

【0021】

先入れ先出し(FIFO)バッファのセットを用いて、トレーニングシーケンスを、DRAM210に提供される前にバッファしてもよいし、受信シーケンスを、DRAM210から受信した後にバッファしてもよい。例えば、送信FIFOバッファ245のセットを用いて発信トラフィックをバッファしてもよいし、受信FIFOバッファ250のセットを用いて着信トラフィックをバッファしてもよい。1つ以上の受信機255を用いて、

10

20

30

40

50

DRAM 210に至るチャンネルを介して信号を受信してもよいし、当該信号を受信FIFOバッファ250に提供してもよい。1つ以上のドライバ260, 265を用いて、信号を、送信FIFOバッファ245からチャンネルを介してDRAM 210に送信してもよい。例えば、チャンネル270で伝送されるデータ信号(DQ)又はタイミング信号(DQS)を、ドライバ260を用いて駆動してもよい。また、受信機255は、データ信号(DQ)又はタイミング信号(DQS)を、チャンネル270を介して受信してもよい。別の例の場合、ドライバ265を用いて、アドレス(ADDR)又はコマンド(CMD)を、DRAM 210に至るチャンネル275を介して駆動してもよい。受信機255又はドライバ260, 265によって用いられるタイミング遅延時間及び電圧オフセットは、調整されてもよい。

10

【0022】

メモリPHY 205は、タイミング/電圧制御ロジック280を含む。DTSM 240は、信号をタイミング/電圧制御ロジック280に提供して、タイミングパラメータに対する調整を指示してもよい。例えば、DTSM 240は、タイミング/電圧制御ロジック280に指示して、タイミング遅延時間又は電圧オフセットを、DRAM 210に提供されたトレーニングシーケンスとDRAM 210から受信したシーケンスとの比較結果に基づいてインクリメント又はデクリメントしてもよい。次に、タイミング/電圧制御ロジック280は、制御信号を受信機255又はドライバ260, 265に提供して、受信機255又はドライバ260, 265が使用するタイミング遅延時間又は電圧オフセットを調整してもよい。タイミング/電圧制御ロジック280のいくつかの実施形態を用いて、タイミング遅延時間又は電圧オフセットを、受信イネーブル段階、書き込み平準化段階、リードトレーニング段階、ライトトレーニング段階、及び、メモリPHY 205とDRAM 210との間のインタフェースについてのデータアイ輪郭(data eye contour)の電圧レベルを決定する段階等の複数の段階で調整してもよい。

20

【0023】

図3は、いくつかの実施形態による、図1に示す加速処理装置100等の処理装置に実装され得るメモリPHYをトレーニングする方法300のフロー図である。方法300の実施形態は、図1に示すトレーニング制御ロジック155、又は、図2に示すコントローラ215、ACSM 220、PPGC 225、DTSM 240及びタイミング/電圧制御ロジック280等のトレーニング制御ロジックに実装されてもよい。

30

【0024】

ブロック305において、トレーニング制御ロジックは、受信イネーブルトレーニング(receive enable training)を実行してメモリPHYを有効にすることによって、DRAMとのインタフェースを介してデータを受信可能な時点を決する。いくつかの実施形態は、受信イネーブルトレーニングを、リードコマンドを送信して選択アドレスをDRAMから読み出すことによって実行する。DRAMから受信した信号に含まれる対応するパブルシーケンスを生成するパブルシーケンス(sequence of bubbles)をリードコマンドに点在させる。次に、トレーニング制御ロジックは、DRAMから受信した信号をモニタリングして、メモリPHY内のコマンド生成時刻を、DRAMからのコマンド応答がメモリPHYに返送される時刻に一致させる。パブル間の時間間隔範囲は、最悪時の往復遅延時間に経路内の全ての内部メモリPHY遅延時間及びDRAM遅延時間を加算した値よりも大きくなるように時間長が設定される。これにより、応答がより速く又はより遅くなることに関連してコマンド応答について起こり得るエイリアシングを必ず回避することができる。メモリPHYは、受信イネーブルトレーニング段階において読み出し状態を常時保持するように構成することができる。例えば、コントローラ215は、ACSM 220、PPGC 225及びDTSM 240を構成することができる。次いでトレーニング段階を開始することができる。ACSM 220は、コマンド/アドレスを発行してトレーニングシーケンスをDRAM 210に書き込むことができ、次に、コマンド/アドレスを発行してトレーニングシーケンスをDRAM 210から読み戻すことができる。いくつかの実施形態では、情報は、コマンドが発行されるとDRAM 210に実際に書き込まれることが

40

50

なく、DQバスを無視する。返送DQSのみがモニタリングされる。したがって、発行コマンドは、リードコマンドと同様であるが、DTSM240は、何れのデータがコマンドに回答して返送されるかについて気付かない。DTSM240は、DRAM210から返送されるDQSストロブのタイミングを調整することのみ注意する。トレーニングシーケンスは、PPGC225により生成され、DRAM210に提供することができる。次に、DTSM240は、DRAM210からの受信データをトレーニングシーケンスに関連付けて往復遅延時間を特定し、タイミング/電圧制御ロジック280に指示することにより、パラメータを受信機255及びドライバ260, 265等の適切な受信機/ドライバについて調整して、検出した往復遅延時間をゼロにすることができる。

【0025】

ブロック310では、トレーニングロジックは、書き込み平準化を実行して、メモリPHYが用いるクロック信号を、DRAMが用いるクロック信号に一致させる。したがって、トレーニングロジックのいくつかの実施形態は、メモリPHYクロック信号及びタイミング(DQS)信号を送信することができ、タイミング(DQS)信号を用いて、DRAMにおけるクロック値をサンプリングする。次に、トレーニングロジックは、DQバスで返送されたDRAMクロックのサンプリング値を用いて、例えば遅延時間を生じさせてDQS信号の位相をDRAM内のメモリクロック位相に一致させることによって、メモリPHYクロック及びDRAMクロックを一致させる。例えば、コントローラ215から信号を受信すると、ACSM220はライトコマンドを生成することができ、このライトコマンドによって、立ち上がりエッジを含むメモリPHYクロック信号、及び、DRAM210に供給されるDQS信号にDRAM内のメモリクロックをサンプリングさせる。ライトコマンドは、本明細書で述べるように、レジスタ222から読み出される情報に基づいて生成することができる。次に、DRAMクロックのサンプリング値は、メモリPHY205に返送することができる。PPGC225内のチェッカ230は、内部比較値を生成し、この値をDTSM240に提供する。次に、DTSM240は、内部比較値を、DRAM210から受信したサンプリングクロック信号値と比較することができ、比較結果に基づいて調整信号を生成して、ライトDQS(ライトタイミング信号)をDRAM210内のクロックに一致させることができる。次に、DTSM240は、タイミング/電圧制御ロジック280に指示することによって、受信機255及びドライバ260, 265についてタイミングパラメータを調整して、メモリPHYクロック及びDRAMクロックを同期させることができる。例えば、内部比較値が「0」であって、DRAMクロックのサンプリング値が「1」である場合には、DTSM240は、タイミング/電圧制御ロジック280に指示することによって、メモリPHY205のタイミングを所定の時間長だけ進めることができる。内部比較値が「1」であって、DRAMクロックのサンプリング値が「1」である場合には、DTSM240は、タイミング/電圧制御ロジック282に指示することによって、メモリPHY205のタイミングを所定の時間長だけ遅らせることができる。このプロセスを繰り返し行なって、メモリPHY205クロック及びDRAMクロックの同期を所定の許容範囲内に収めることができる。

【0026】

ブロック315では、トレーニングロジックは、リード/ライトフェーズトレーニングを実行して、データアイ輪郭の1次元時間領域境界を、メモリPHYとDRAMとの間のリード/ライトデータバスに基づいて決定する。したがって、トレーニングロジックのいくつかの実施形態は、一連のコマンドを送信して、トレーニングシーケンスをDRAM内のアドレスに書き込むことができ、次に、トレーニングシーケンスをDRAMのアドレス指定ロケーションから異なる遅延時間だけ遅らせて、ループ読み出しによって読み出し続けることによって、データアイ輪郭の1次元時間領域境界を決定することができる。例えば、コントローラ215から信号を受信すると、ACSM220は、コマンドを発行して、PPGC225が生成する1つ以上のシーケンスを、DRAM210内の1つ以上のアドレスに書き込むことができる。次に、ACSM220は、一連のリードコマンドをDRAM210内のアドレスに対して発行して、これらのリードコマンドを異なる遅延値でル

10

20

30

40

50

ープする。次いで、DTSM240は、ループリードコマンドの各コマンドに対応する受信シーケンスを、提供されたトレーニングシーケンスと比較することによって、データアイ輪郭の左端及び右端を求めることができる。次に、DTSM240は、タイミング/電圧制御ロジック280に指示することによって、タイミングパラメータ、例えば受信機255の位相を調整して、左端と右端との間の中間点等のデータアイ輪郭内の所定位置に一致させることができる。

【0027】

ブロック320では、トレーニングロジックは、2次元(2D)リード/ライトフェーズトレーニングを実行して、データアイ輪郭の電圧レベルを、メモリPHYとDRAMとの間のリード/ライトデータパスに基づいて求める。したがって、トレーニングロジックのいくつかの実施形態は、一連のリードコマンド/ライトコマンドを送信して、トレーニングシーケンスをDRAMから読み出し、DRAMに書き込むことができる。一連のリードコマンド/ライトコマンドは、異なるタイミング遅延時間及び異なる電圧オフセットを用いて実行することによって、データアイ輪郭の電圧レベルを求めることができる。例えば、コントローラ215から信号を受信すると、ACSM220は、コマンドを発行して、PPGC225が生成する1つ以上のシーケンスを、DRAM210内の1つ以上のアドレスに、初期タイミング遅延時間を用いて書き込むことができる。次に、ACSM220は、一連のループリードコマンドをDRAM210内のアドレスに対して発行することができる。リードコマンド/ライトコマンドは、異なる電圧オフセット値を受信機255又はドライバ260, 265に提供することによって同時に発行することができる。次に、DTSM240は、ループリードコマンドの各コマンドに対応する受信シーケンスを、提供されたトレーニングシーケンスと比較することによって、初期タイミング遅延時間に対応するデータアイ輪郭の左端と右端との間の電圧レベルを求めることができる。タイミング遅延時間は変更することができ(例えば、インクリメント又はデクリメントする)、電圧レベルを求めるプロセスを繰り返すことができる。このプロセスを繰り返して、2次元データアイ輪郭を、タイミング遅延時間及び電圧レベルの範囲に亘って生成することができる。それとは別に、いくつかの実施形態は、電圧レベル及びループを、選択された電圧レベルに対応するタイミング遅延時間に亘って繰り返し選択することによって、2次元データアイ輪郭を生成することができる。

【0028】

DTSM240は、タイミング/電圧制御ロジック280に指示することにより、タイミング遅延及び電圧オフセットを受信機255又はドライバ260, 265について調整して、最良の電圧レベル及びタイミング遅延時間を与えるデータアイ輪郭内の位置に一致させることができる。タイミング遅延時間又は電圧オフセットに対する調整範囲は、サンプリングトレーニングデータ内の適正サンプル及び不正サンプルの数に基づいて設定することができる。DTSM240のいくつかの実施形態は、最適なタイミング遅延時間及び電圧オフセットを、サンプリングトレーニングデータ内の不正サンプルに対する適正サンプルの所定の比に基づいて求めることができる。例えば、DTSM240は、タイミング遅延時間及び電圧オフセットを、メモリPHY205から受信した不正サンプル数に対する適正サンプル数の比が所定比と等しいか、又は所定比を下回るまで調整することができる。DTSM240のいくつかの実施形態は、所定比を用いて、データアイ輪郭の形状を、より良好な最適トレーニング位置を求めることができる予測値で変更することができる。例えば、2Dアイ輪郭は、所定比に基づいて拡大又は縮小させることができる。2Dデータアイ輪郭に対する他の変更も可能である。

【0029】

本明細書に記載した技術の実施形態は、システムBIOSに実装され、データパイプラインを介してメモリPHYに搬送されなければならない従来のトレーニングアルゴリズムに対して、多数の利点を有し得る。統合型トレーニングロジックのいくつかの実施形態は、全体的なトレーニング時間を減少させ、益々複雑化するトレーニングシーケンスを実質的に一定のトレーニング時間を維持しながら実装することが可能であってよい。トレーニ

10

20

30

40

50

ングロジックをメモリ P H Y に統合化することによって、高速なコマンド/データ生成及び制御をメモリ P H Y データパイプの近くに配置することが可能になり、これにより、トレーニングシーケンス等のきめ細かな制御が可能になる。また、トレーニングロジックの実施形態は、ファームウェアアルゴリズム開発とハードウェアメカニズムの設計との間のより緊密な結合を余儀なくさせることによって、シードレストレーニングを拡大してもよい。さらに、トレーニングは、異なるメモリ P H Y インスタンスに対して並行して実行してもよい。トレーニングロジックがメモリ P H Y に統合化されると、シリコンシステムのデバッグ及びハードウェアの教育プロセスがより簡単に実装され得る。

【 0 0 3 0 】

トレーニングロジックがメモリ P H Y に統合化されると、設計プロセスも改善され得る。例えば、メモリ P H Y のためのトレーニングハードウェア及びトレーニングアルゴリズムは、S O C の残りの部分とは切り離して開発及びテストすることができる。システムの複雑性及びメモリ P H Y の振舞いの詳細は、メモリ P H Y と、S O C 内のその他の論理と、の間の境界部分に含まれていてもよい。また、システム構成は、R T L シミュレーションから統合型トレーニングアルゴリズムの開発環境への自然な拡張をサポートしてもよい。さらに、メモリ P H Y 用のトレーニングハードウェア及びこれに対応するトレーニングアルゴリズムは、複数の（サードパーティの S O C を含む）S O C に亘る完全な I P としてパッケージされ得る。

【 0 0 3 1 】

いくつかの実施形態では、上述した装置及び方法は、図 1 ~ 図 3 を参照して説明したメモリ P H Y 等の 1 つ以上の集積回路（ I C ）装置（集積回路パッケージ又はマイクロチップとも呼ばれる）を含むシステムにおいて実現することができる。電子設計自動化（ E D A ）ソフトウェアツール及びコンピュータ支援設計（ C A D ）ソフトウェアツールは、これらの I C 装置の設計及び製造に用いることができる。これらの設計ツールは、通常、1 つ以上のソフトウェアプログラムとして表現される。1 つ以上のソフトウェアプログラムは、コンピュータシステムが実行可能なコードを含むことによってコンピュータシステムを操作し、1 つ以上の I C 装置の回路を表すコードで動作させることによってプロセスの少なくとも一部を実行して、製造システムを設計又は適合させて回路を製造することができる。このコードは、命令、データ、又は、命令及びデータの組み合わせを含むことができる。設計ツール又は製造ツールを表すソフトウェア命令は、通常、コンピューティングシステムにアクセスできるコンピュータ可読記憶媒体に記憶される。同様に、 I C 装置の設計又は製造の 1 つ以上の工程を表すコードは、コンピュータ可読記憶媒体又は異なるコンピュータ可読記憶媒体に記憶することができ、当該コードに対して、コンピュータ可読記憶媒体又は異なるコンピュータ可読記憶媒体からアクセスすることができる。

【 0 0 3 2 】

コンピュータ可読記憶媒体は、使用時にコンピュータシステムからアクセスできる任意の記憶媒体、又は、記憶媒体の組み合わせを含むことによって、命令及び/又はデータをコンピュータシステムに提供することができる。このような記憶媒体としては、これらに限定されないが、光媒体（例えば、コンパクトディスク（ C D ）、デジタル多用途ディスク（ D V D ）、ブルーレイ（登録商標）ディスク）、磁気媒体（例えば、フロッピー（登録商標）ディスク、磁気テープ若しくは磁気ハードディスク）、揮発性メモリ（例えば、ランダムアクセスメモリ（ R A M ）若しくはキャッシュ）、不揮発性メモリ（例えば、リードオンリメモリ（ R O M ）若しくはフラッシュメモリ）、又は、微小電子機械システム（ M E M S ）を利用した記憶媒体が挙げられる。コンピュータ可読記憶媒体は、コンピューティングシステムに内蔵することができ（例えば、システム R A M 又は R O M ）、コンピューティングシステムに強固に取り付けることができ（例えば、磁気ハードドライブ）、コンピューティングシステムに着脱可能に取り付けることができ（例えば、光ディスク又はユニバーサルシリアルバス（ U S B ）系フラッシュメモリ）、又は、コンピュータシステムに有線ネットワーク若しくは無線ネットワークを介して接続することができる（例えば、ネットワークアクセス可能なストレージ（ N A S ））。

10

20

30

40

50

【0033】

図4は、いくつかの実施形態による1つ以上の素子を搭載したIC装置を設計して製造する例示的な方法400を示すフロー図である。上述したように、以下のプロセスの各プロセスに対応して生成されるコードは、非一時的なコンピュータ可読記憶媒体に記憶され、他には、非一時的なコンピュータ可読記憶媒体で具現化されて、対応する設計ツール又は製造ツールによってアクセスし使用することができる。

【0034】

ブロック402では、IC装置の機能仕様を作成する。機能仕様(多くの場合、マイクロアーキテクチャ仕様(MAS)と呼ばれる)は、C、C++、SystemC、Simulink又はMATLABを含む多種多様なプログラミング言語又はモデリング言語のうち何れかの言語で表現することができる。

10

【0035】

ブロック404では、機能仕様を用いて、IC装置のハードウェアを表すハードウェア記述コードを生成する。いくつかの実施形態では、ハードウェア記述コードは、少なくとも1種類のハードウェア記述言語(HDL)を用いて表現され、ハードウェア記述言語(HDL)は、IC装置の回路をフォーマルに記述して設計するための多種多様なコンピュータ言語、仕様言語又はモデリング言語の何れかの言語を含む。生成されたHDLコードは、通常、IC装置の回路の動作、回路の設計及び体系、及び、IC装置の正しい動作をシミュレーションで検証するためのテストを表す。HDLの例としては、アナログHDL(AHDL)、Verilog HDL(ベリログHDL)、System Verilog HDL(システムベリログHDL)及びVHDLが挙げられる。IC装置に同期デジタル回路が搭載されている場合には、ハードウェア記述コードは、同期デジタル回路の動作を抽象的に表現したレジスタ転送レベル(RTL)コードを含むことができる。他の種類の回路の場合には、ハードウェア記述コードは、回路の動作を抽象的に表現したビヘイビアレベルコードを含むことができる。ハードウェア記述コードで表されるHDLモデルに対して、通常、設計検証に合格するために1回以上のシミュレーション及びデバッグ処理を実行する。

20

【0036】

ハードウェア記述コードで表される設計を検証した後、ブロック406では、合成ツールを用いてハードウェア記述コードを合成し、IC装置の回路の初期物理構造を表現又は定義するコードを生成する。いくつかの実施形態では、合成ツールは、回路素子(例えば、ゲート、トランジスタ、抵抗、キャパシタ、インダクタ、ダイオード等)と、回路素子間の接続網又は接続配線と、を含む1つ以上のネットリストを生成する。別の構成として、ネットリストの全部又は一部は、合成ツールを用いることなく手動で生成することができる。ハードウェア記述コードと同様に、ネットリストに対して、最終的な一連の1つ以上のネットリストを生成する前に、1回以上のテストプロセス及び検証プロセスを実行することができる。

30

【0037】

別の構成として、回路図編集設計ツールを用いてIC装置の回路図を生成し、次に、回路図把握ツールを用いて、結果的に得られる回路図を把握することができ、回路図の構成要素及び接続関係を表す1つ以上のネットリスト(コンピュータ可読媒体に記憶される)を生成することができる。次に、把握した回路図に対して、1回以上のシミュレーションを実行してテスト及び検証を行うことができる。

40

【0038】

ブロック408では、1つ以上のEDAツールが、ブロック406で生成されたネットリストを用いて、IC装置の回路の物理レイアウトを表すコードを生成する。このプロセスは、例えば配置ツールを含むことができ、この配置ツールは、ネットリストを使用してIC装置の回路の各素子の位置を決定又は固定する。さらに、配線ツールを配置プロセスに構築して、回路素子をネットリストに従って接続するために必要な配線を追加して引き回す。結果的に得られるコードは、IC装置の3次元モデルを表す。コードは、例えばゲ

50

ラフィックデータベースシステム I I (G D S I I) フォーマット等のデータベースファイルフォーマットで表すことができる。このフォーマットのデータは、通常、回路レイアウトに関する幾何学的形状、テキストラベル及び他の情報を階層形式で表す。

【 0 0 3 9 】

ブロック 4 1 0 では、物理レイアウトコード（例えば、G D S I I コード）を製造設備に提供し、製造設備では、メモリ物理レイアウトコードを用いて、製造設備の製造ツールを構成又は適合させて（例えば、マスク作業を行うことにより）I C 装置を製造する。すなわち、物理レイアウトコードは、1 つ以上のコンピュータシステムに書き込むことができ、次にこれらのコンピュータシステムは、製造設備のツールの動作、又は、製造設備内で行われる製造処理のツールの動作を全部若しくは一部制御することができる。

10

【 0 0 4 0 】

いくつかの実施形態では、上述した方法の特定の態様は、ソフトウェアを実行する処理システムの 1 つ以上のプロセッサにより実行することができる。ソフトウェアは、非一時的なコンピュータ可読記憶媒体に記憶され、又は、非一時的なコンピュータ可読記憶媒体で明確に具現化される 1 つ以上の実行可能命令セットを含む。ソフトウェアは、命令及び特定データを含むことができ、命令及び特定データを 1 つ以上のプロセッサが実行すると、1 つ以上のプロセッサを操作して、上述した方法の 1 つ以上の態様を実行する。非一時的なコンピュータ可読記憶媒体としては、例えば磁気ディスク記憶装置若しくは光ディスク記憶装置、フラッシュメモリ等の固体記憶装置、キャッシュ、ランダムアクセスメモリ（R A M）、又は、他の不揮発性メモリ装置若しくは不揮発性メモリ装置等が挙げられる。

20

【 0 0 4 1 】

概要を上述した操作又は構成要素の全てが必要であるわけではなく、特定の操作又は装置の一部は必要ではなく、1 つ以上の更に別の操作を行ってもよい。また、構成要素を記載の構成要素の他に含めてもよいことに留意されたい。さらには、操作が列挙された順序は、必ずしもこれらの操作が行われる順序ではない。また、コンセプトが、特定の実施形態を参照して説明されている。しかしながら、本技術分野の当業者であれば、種々の変形及び変更を、以下の特許請求の範囲に記載される本開示の範囲から逸脱しない限り加えることができることを理解できる。したがって、本明細書及び図は、限定的な意味ではなく例示として捉えられるべきであり、全てのこのような変形は、本開示の範囲に含まれるべきである。

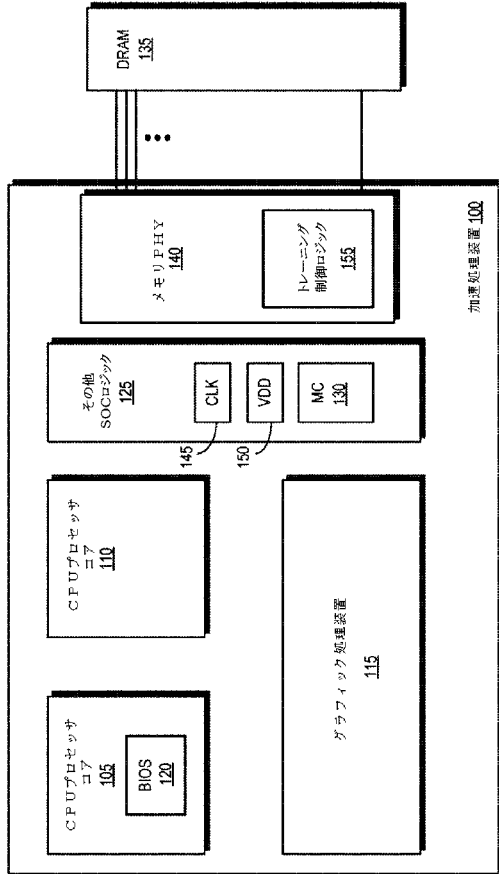
30

【 0 0 4 2 】

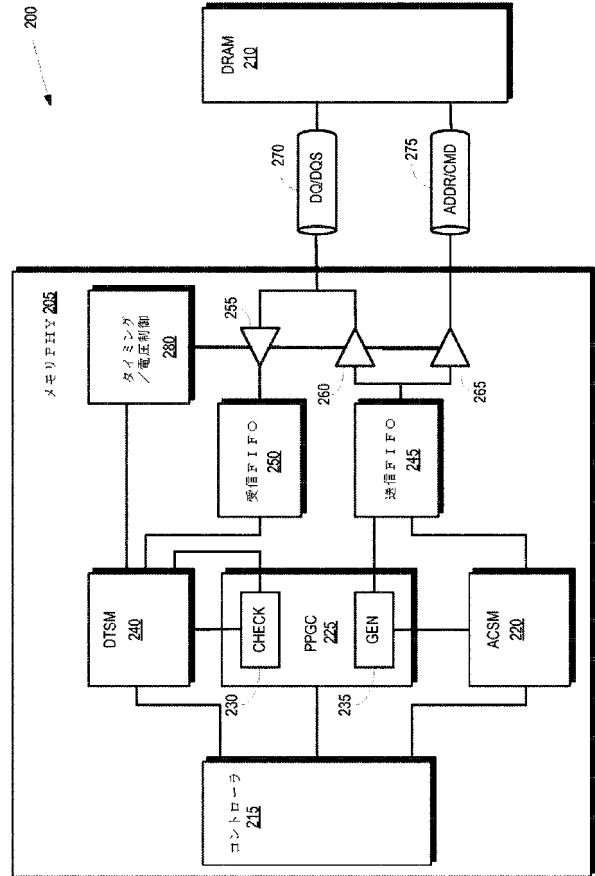
効果、他の利点及び課題に対する解決手段について、特定の実施形態を参照しながら説明してきた。しかしながら、効果、利点、課題に対する解決手段、及び、全ての効果、利点又は解決手段をもたらすか更に顕著にする全ての特徴が、何れかの請求項又は全ての請求項の必須の特徴、必要な特徴又は基本的な特徴であると捉えられてはならない。さらに、開示された特定の実施形態は、開示した発明を、異なる態様で、且つ、本明細書において提示された示唆の恩恵を享受する本技術分野の当業者にとって明白な均等な態様で変更して実施することができることから、例示に過ぎない。以下の特許請求の範囲に記載される限定以外の限定を、本明細書において開示された構成又は設計の詳細に加えるものではない。したがって、開示された特定の実施形態は、変更又は改変することができ、全てのこのような変更が、開示した発明の範囲に含まれると考えられる。したがって、本明細書で要求する保護は、以下の特許請求の範囲に記載の通りである。

40

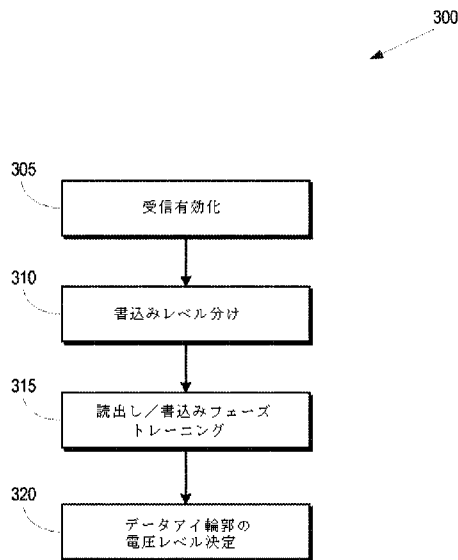
【図 1】



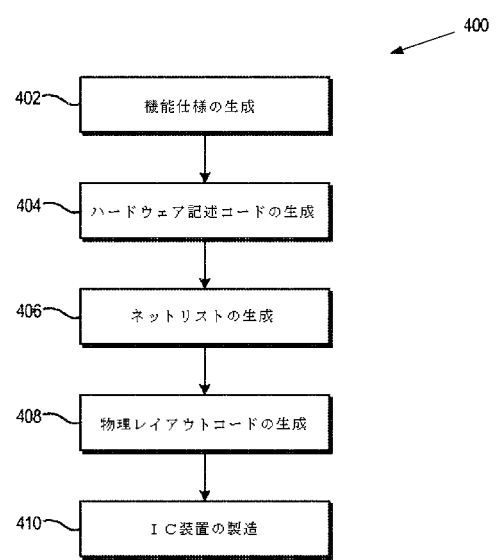
【図 2】



【図 3】



【図 4】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2015/037210
A. CLASSIFICATION OF SUBJECT MATTER		
G06F 12/08(2006.01)i, G06F 13/16(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G06F 12/08; G06F 13/40; G06F 3/06; G11C 16/32; H03L 7/06; G06F 13/42; G11C 7/22; G11C 16/06; G06F 13/16		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: PHY(physical layer interface), BIOS, external, DRAM, training, learning, delay		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 2616946 B1 (ADVANCED MICRO DEVICES, INC.) 04 June 2014 See paragraphs [0003], [0009], [0011]-[0012]; claim 1; and figure 1.	1-2,10-11
A		3-9,12-18
A	US 2012-0307577 A1 (SRINIVAS SRIADIBHATLA et al.) 06 December 2012 See paragraphs [0003]-[0004]; and figure 1.	1-18
A	US 2012-0126868 A1 (ERIK P. MACHNICKI et al.) 24 May 2012 See paragraphs [0015], [0019]; and figure 2.	1-18
A	KR 10-2012-0077315 A (INDILINX CO., LTD.) 10 July 2012 See paragraphs [0023], [0029]; and figure 1.	1-18
A	US 2014-0108683 A1 (AVAGO TECHNOLOGIES GENERAL IP(SINGAPORE) PTE. LTD.) 17 April 2014 See paragraph [0022]; and figure 1.	1-18
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 07 September 2015 (07.09.2015)		Date of mailing of the international search report 14 September 2015 (14.09.2015)
Name and mailing address of the ISA/KR International Application Division Korean Intellectual Property Office 189 Cheongza-ro, Seo-gu, Daejeon Metropolitan City, 35208, Republic of Korea Facsimile No. +82-42-472-7140		Authorized officer BYUN, Sung Cheal Telephone No. +82-42-481-8262

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2015/037210

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 2616946 B1	04/06/2014	CN 103168296 A EP 2616946 A1 JP 2013-543612 A KR 10-2014-0007331 A US 2012-0066445 A1 US 2013-0124806 A1 US 8356155 B2 WO 2012-037086 A1	19/06/2013 24/07/2013 05/12/2013 17/01/2014 15/03/2012 16/05/2013 15/01/2013 22/03/2012
US 2012-0307577 A1	06/12/2012	US 8422319 B2	16/04/2013
US 2012-0126868 A1	24/05/2012	AU 2011-332209 A1 AU 2011-332209 B2 CN 102571319 A EP 2456074 A1 JP 05684918 B2 JP 2014-504064 A KR 10-1295994 B1 KR 10-2012-0055459 A TW 201251334 A TW I478498 B US 8645743 B2 WO 2012-071197 A1	09/05/2013 15/01/2015 11/07/2012 23/05/2012 18/03/2015 13/02/2014 13/08/2013 31/05/2012 16/12/2012 21/03/2015 04/02/2014 31/05/2012
KR 10-2012-0077315 A	10/07/2012	KR 10-1217937 B1 WO 2012-091486 A1	02/01/2013 05/07/2012
US 2014-0108683 A1	17/04/2014	US 2013-111123 A1 US 8634221 B2	02/05/2013 21/01/2014

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(特許庁注：以下のものは登録商標)

1 . M A T L A B

(74)代理人 100162156

弁理士 村雨 圭介

(72)発明者 グレン エイ . ダース

アメリカ合衆国 0 1 4 5 0 マサチューセッツ州、グロトン、スクアナコック ドライブ 2 0

(72)発明者 ジェリー タルボット

アメリカ合衆国 0 1 7 4 2 マサチューセッツ州、コンコード、ホールデン ウッド ロード
2 8 0

(72)発明者 アンワー カシム

アメリカ合衆国 0 2 1 4 1 マサチューセッツ州、ケンブリッジ、パークシャー ストリート
1 0 0 # 2

(72)発明者 エドアルド プレーテ

アメリカ合衆国 0 2 4 7 4 マサチューセッツ州、アーリントン、ワイマン ストリート 2 4

(72)発明者 ブライアン アミック

アメリカ合衆国 0 1 7 3 0 マサチューセッツ州、ベドフォード、ヒルクレスト ロード 4

Fターム(参考) 5B060 CC01

【要約の続き】

【選択図】図1