



⑩ A **Terinzagelegging** ⑪ **8102650**

Nederland

⑲ NL

- ⑤4 **Logische rekeneenheid bedoeld voor het behandelen van bits.**
- ⑤1 Int.Cl³: G06F 7/00.
- ⑦1 Aanvrager: Western Electric Company, Incorporated te New York.
- ⑦4 Gem.: Ir. H.M. Urbanus c.s.
Vereenigde Octrooibureaux
Nieuwe Parklaan 107
2587 BP 's-Gravenhage.

-
- ②1 Aanvraag Nr. 8102650.
- ②2 Ingediend 1 juni 1981.
- ③2 Voorrang vanaf 2 juni 1980.
- ③3 Land van voorrang: Ver. St. v. Am. (US).
- ③1 Nummer van de voorrangsaanvraag: 155317 .
- ⑥2 --

-
- ④3 Ter inzage gelegd 4 januari 1982.

De aan dit blad gehechte stukken zijn een afdruk van de oorspronkelijk ingediende beschrijving met conclusie(s) en eventuele tekening(en).

Titel: Logische rekeneenheid bedoeld voor het behandelen van bits.

De uitvinding heeft betrekking op een digitale computer die is ingericht om in responsie op instructies die daarin zijn opgeslagen data te verwerken, van welke computer deel uitmaken middelen die elke instructie in een instructie-interval ten uitvoer brengen.

5 Volgens de bekende techniek is een microcomputer ingericht voor het uitvoeren van bitbehandelingen, zoals het vrijmaken van een gekozen bit uit of het invoegen van een gekozen bit in een woord. Het is bovendien bijvoorbeeld mogelijk om een bit vanuit een willekeurige bitpositie in een bronwoord te verplaatsen naar een willekeurige bitpositie in een bestemmingswoord.

10 Gedurende de bitverplaatsingsoperatie verricht de logische rekeneenheid een beproeving met betrekking tot de in het bronwoord gekozen bit. Van deze beproevingsprocedure maakt deel uit voorafgaande aan het ten uitvoerbrengen daarvan genereren van een beproevingsmasker. In afhankelijkheid van het resultaat van de beproeving zal een gekozen bitpositie in de bestemming ofwel worden vrijgemaakt ofwel worden ingevuld. Andere bits in de bestemming blijven onveranderd. Voor een dergelijke bitverplaatsingsoperatie zijn twee of meer instructies vereist en derhalve zijn voor het verplaatsen van een enkele bit twee of meer instructie-intervallen nodig.

20 Wanneer een programmeur wenst om een bit gedurende een enkel instructie-interval te verplaatsen ontstaat aldus een probleem aanzien voor het voltooien van de bewegingsoperatie meerdere instructies worden gebruikt. De eigenschap om een bit in een enkel instructie-interval te verplaatsen is waardevol voor een microcomputer die is ontworpen voor een besturingsinrichting waarbij talrijke bitbehandelingsoperaties worden uitgevoerd.

30 De geschetste problematiek wordt volgens de uitvinding opgelost doordat de computer middelen omvat voor het in responsie op een desbetreffende instructie effectueren van een bitverplaatsingsoperatie, welke bitverplaatsingsoperatie ten uitvoer wordt gebracht in een periode die correspondeert met een enkel instructie-interval.

Ter nadere toelichting van de uitvinding zal in het onderstaande een uitvoeringsvorm daarvan worden beschreven met verwijzing naar de tekening. In de tekening is:

fig. 1 een blokschema van een inrichting van een digitale computer;

fig. 2, 3 en 4 wanneer deze op de in fig. 5 aangegeven wijze zijn gerangschikt een logisch schema van een logische rekeneenheid;

fig. 6 een stromingsdiagram;

fig. 7 een logisch schema van een bitverplaatsingsbesturingsketen, een multiplexer en een kiesketen; en

fig. 8 logische tabellen voor de bitverplaatsingsbesturingsketen.

Fig. 1 geeft een schema van de architectuur van een digitale microcomputer waarvan deeluitmaakt een logische rekeneenheid 20 die is ingericht om ingangssignalen afkomstig van verschillende ketens te ontvangen. Data die via een data- en besturingsbusleiding 25 zijn opgehaald vanuit een vrij toegankelijk geheugen 22, een uitsluitend afleesbaar geheugen 24 of andere bronnen, worden tijdelijk als ingangssignalen voor de logische rekeneenheid vastgehouden in de dataregisters TA en TB. Van het uitsluitend afleesbare geheugen 24 afkomstige gedecodeerde besturingssignalen worden door middel van de busleiding 25, een register TAB en bestuurd register-decodeerketens G en H overgedragen naar de ingangen van de logische rekeneenheid. In al de dataregisters TA en TB, alsook in de bestuurd register-decodeerketens G en H worden vier bits opgeslagen die worden toegevoerd aan de logische rekeneenheid. De uitgangssignalen van de registers TA en TB en die van de bestuurd register-decodeerketen G worden alle aangelegd aan een stel zich in de logische rekeneenheid 20 bevindende EN-poorten zoals is weergegeven in de fig. 2, 3 en 4. De uitgangssignalen van de bestuurd register-decodeerketen H worden aangelegd aan een stel van zich in de logische rekeneenheid bevindende OF-poorten, zoals is weergegeven in de fig. 2, 3 en 4. Wanneer de ingangssignalen voor de logische rekeneenheid in de desbetreffende registers zijn opgeslagen en deze rekeneenheid in werking wordt gezet om een stel van uitgangssignalen te genereren, zijn de uitgangssignalen van dit stel afhankelijk van de zich in de registers TA en TB bevindende ingangswaarden, alsook van de besturingssignalen die zijn aangelegd vanaf een besturingsketen 30 en de bestuurd registers-decodeerketens G en H. Overigens is de logische rekeneenheid 20 soort-

gelijk aan andere bekende keteninrichtingen voor een dergelijke logische rekeneenheid.

Zoals is weergegeven in fig. 1 ontvangen de bestuurd register-decodeerketens G en H respectievelijk de besturingssignalen GC en HC.

5 Deze besturingssignalen GC en HC zijn functies van een stel besturingsveldsignalen SB, $\overline{CB}$, en $\overline{MB}$, waardoor wordt bepaald of de logische rekeneenheid een normale operatie, een bit-insteloperatie, een bit-vrijgeefoperatie of een bit-bewegingsoperatie moet uitvoeren. De signalen SB, $\overline{CB}$, en $\overline{MB}$ worden gegenereerd door de besturingsketen 30 in responsie op
10 instructies die zijn opgeslagen in een instructieregister (IR) 32 en andere signalen. Het besturingssignaal HC is tevens een functie van een gekozen geïnverteerde bitsignaal $\overline{BS}$ dat representatief is voor de binaire waarde van de gekozen bit die gedurende een bit-verplaatsingsoperatie moet worden verplaatst. Het signaal $\overline{BS}$ wordt in responsie op
15 het onderzoeken van de te verplaatsen bit gegenereerd door een bit-kiesketen 34. Wanneer de gekozen bit een één is, is het signaal $\overline{BS}$ een nul en omgekeerd.

Voor elke bitverplaatsingsoperatie worden vier bits geplaatst in het register TAB ten einde een bitpositie in het bestemmingswoord, alsook
20 een bitpositie in het bronwoord te definiëren. Twee bits, of signalen, aangeduid door N1 en N0, definiëren de bitpositie te gebruiken in het bestemmingswoord. De andere twee bits, aangeduid door S1 en S0 definiëren de bitpositie van de bit die vanuit het bronwoord moet worden verplaatst.

25 Voor elke willekeurige bit-insteloperatie of bit-vrijgeefoperatie worden de twee bits N1 en N0 geplaatst in het register TAB ten einde een bitpositie in het bestemmingswoord te definiëren. Bronwoordinformatie is niet vereist.

Gedurende normale operaties van de logische rekeneenheid, dat wil
30 zeggen wanneer de logische rekeneenheid noch een bit-insteloperatie, noch een bit-vrijgeefoperatie, noch een bit-verplaatsingsoperatie uitvoert, hebben uitgangssignalen zoals afkomstig van de bestuurd register-decodeerketens G en H geen invloed op het uitgangssignaal van de logische rekeneenheid.

35 Normale operatie van de logische rekeneenheid

Het in fig. 6 weergegeven volgordediagram, ofwel toestandsdiagram is illustratief voor de toestanden die bestaan gedurende de werking van

de logische rekeneenheid 20 volgens fig. 1 in samenhang met de bijbehorende ketenvoorzieningen van de microcomputer. Alhoewel diverse toestanden zijn weergegeven in fig. 6 is het diagram slechts representatief voor een gedeelte van een groter toestandsdiagram. Het weergegeven gedeelte bevat een gedeelte dat illustratief is voor de werking van de microcomputer en de logische rekeneenheid als het resultaat van enige normale instructies samen met bit-vrijgeef-, bit-instel- en bit-verplaatsingsinstructies.

Elke instructie omvat een opvolging van toestanden beginnende aan de bovenkant van het diagram en telkens over een toestand naar beneden stappend via de opeenvolgende toestanden naar de onderkant van het diagram. Bij elk van deze toestanden behoort een identificatienummer dat is getekend in de linkerbovenhoek van het rechthoekige blok dat de desbetreffende toestand voorstelt.

In fig. 6 is de bovenste toestand 0-3 de begin- of starttoestand voor al de instructies. De toestand 0-1 aan de onderkant van het diagram is de eind-, of laatste toestand vanwaaruit de opeenvolging van toestanden teruggaat naar de begintoestand 0-3. Gedurende de toestand 0-3 wordt door middel van de busleiding 25 een enkel vier-bitsopcode gehaald vanuit het uitsluitend afleesbaar geheugen 24, welke code wordt opgeslagen in het instructieregister 32 dat zoveel als zestien verschillende instructies kan afgeven. Zulks is in het toestandsdiagram aangegeven door een symbool $\rightarrow$ IR. Normale instructies zijn voorgesteld door hexadecimale cijfers 0 tot en met 8. Nadat de opcode in het instructieregister is opgeborgen en een adres in de slaafketens van de adresvergrendelketens 33 is opgehoogd in een adresrekeeneenheid 35, wordt het nieuwe adres opgeslagen in een programmateller, die niet is weergegeven, alsook in hoofdketens van de adresvergrendelketens. De besturingsketen 30 stapt naar de toestand 0-4.

In de toestand 0-4 wordt een tweede woord van de instructie vanuit het uitsluitend afleesbare geheugen 24 opgehaald en opgeborgen in een register D/S, hetgeen is aangeduid door de uitdrukking $\rightarrow$ DdSs. Het zich in de slaafketens van de adresvergrendelketens 33 bevindende adres wordt opnieuw opgehoogd in de adresrekeeneenheid en wordt opgeslagen in de programmateller, alsook in de meesterketens van de adresvergrendelketens 33. Overgestapt wordt naar de toestand 1-5.

Dwangmatig wordt overgegaan naar de toestand 1-5, aangezien het eerste opcodewoord representatief voor een normale operatie van de logische rekeneenheid, zich bevindt binnen de grenzen zoals gedefinieerd door de hexadecimale cijfers 0 en C. Gedurende de toestand 1-5 wordt
5 via de data- en besturingsbusleiding 25 een datawoord opgehaald vanuit het geheugen 22 of 24 en opgeborgen in het register TAB. Deze operatie is in het toestandsdiagram aangeduid door het symbool → TAB. De machine stapt vervolgens naar de toestand 1-E/F.

In de toestand 1-E/F vormt de microcomputer adressen waardoor
10 toegang wordt verkregen tot de bestemming en de bron. Alhoewel voor het vormen van de adressen meer dan één toestand kan zijn vereist, wordt de toestand 1-E/F beschouwd als zijnde representatief voor het gehele adresformatieproces. Hierna wordt in de opeenvolging overgestapt naar de toestand 3-9.

15 Gedurende de toestand 3-9 wordt een bronwoord vanuit het geheugen 22 of 24 opgehaald en opgeborgen in het register TB. Zulks is voorgesteld door het symbool → TB. Als het gevolg van het opslaan van het bronwoord in het register TB wordt dat woord via een busleiding 36 in fig. 1 rechtstreeks aangelegd aan de ingangen B0, B1, B2 en B3 van de logische rekeneenheid en soortgelijk aangeduide ingangen voor de bitkiesketen 34.
20 Details van de bitkiesketen 34 zijn weergegeven in fig. 7. Gedurende de normale operatie van de logische rekeneenheid kunnen de ingangssignalen B0-B3 voor de logische rekeneenheid worden gebruikt, maar de ingangssignalen voor de bitkiesketen 34 worden niet gebruikt. In de opeenvolging wordt overgestapt naar de toestand 2-4.
25

In de toestand 2-4 wordt een bestemmingswoord vanuit een geheugen opgehaald en opgeborgen in het register TA. Zulks is in fig. 6 voorgesteld door het symbool → TA. Als een gevolg van het opslaan van het bestemmingswoord in het register TA, wordt het bestemmingswoord via een
30 busleiding 37 in fig. 1 rechtstreeks aangelegd aan de ingangen A0, A1, A2 en A3 van de logische rekeneenheid.

Besturingssignalen worden gevormd en aangelegd aan een bitverplaatsingsbesturingsketen 45 volgens de fig. 1 en 7. Zoals is weergegeven in fig. 7 is de bestuurde register-decodeerketen G een combinatie van NEN-poorten, die wanneer het signaal GC nul is alle enen produceren en die wanneer het signaal GS een één is één en niet meer dan één
35

nul produceren. De bestuurd register-decodeerketen H is een combinatie van NOF-poorten die, wanneer het signaal HC een één is alle nullen produceren en die wanneer het signaal HC een nul is één en niet meer dan een enkele één doen ontstaan.

5 Zoals is weergegeven in fig. 8 zijn de toestanden van de bestuurde register-decodeerketens G en H en die van de besturingssignalen GC en HC voor al de normale operaties van de logische rekeneenheid, aangegeven in de bovenste rijen van de tabellen I, II en III. Voor elke willekeurige normale operatie van de logische rekeneenheid is het besturingssignaal
10 GC een nul en al de uitgangssignalen afkomstig van de bestuurde register-decodeerketen G zijn enen. Aangezien deze uitgangssignalen, genaamd een bit-vrijgeefgroep van signalen, G0, G1, G2 en G3 alle enen zijn, alsook door middel van soortgelijk aangeduide leidingen in een busleiding 38 rechtstreeks worden aangelegd aan gespecificeerde ingangen van het stel
15 zich binnen de logische rekeneenheid 20 van de fig. 2, 3 en 4 bevindende EN-poorten 40, beïnvloeden de uitgangssignalen afkomstig van de bestuurde register-decodeerketen G de ingangssignalen van deze EN-poorten niet. Zulks is het geval aangezien de andere ingangssignalen van deze EN-poorten zoals A0, A1, A2 en A3 hun uitgangssignalen bepalen, die als één stel
20 van ingangssignalen worden aangelegd aan elk van de vier poorten in het stel van OF-poorten 42 in de logische rekeneenheid 20 van de fig. 2, 3 en 4, voor normale operaties van deze rekeneenheid.

Voor een normale operatie van de logische rekeneenheid is het besturingssignaal HC bovendien een één en al de uitgangssignalen afkomstig van de register-decodeerketen H zijn nullen. Aangezien deze uitgangssignalen H0, H1, H2 en H3, genaamd een bit-instelgroep van signalen, alle gelijk zijn aan nul, alsook via soortgelijk aangeduide leidingen rechtstreeks worden aangelegd aan de andere ingangen van het stel van zich binnen de rekeneenheid 20 van de fig. 2 en 3 bevindende OF-poorten
30 42, beïnvloeden de uitgangssignalen vanaf de register-decodeerketen H, de uitgangssignalen van deze OF-poorten niet. Additionele ingangssignalen van de OF-poorten 42, zoals de ingangssignalen die worden ontvangen vanaf het stel van EN-poorten 40, bepalen de uitgangssignalen van het stel van OF-poorten 42 voor normale operaties van de logische rekeneenheid.
35 eenheid.

De microcomputer is thans voorbereid om de logische rekeneenheid aan te zetten en in de opeenvolging wordt overgestapt naar de toestand

8102650

2-0 volgens fig. 6. Gedurende de toestand 2-0 wordt de logische reken-
eenheid 20 aanzet om de voorgeschreven normale logische-eenheid-reken-
operatie uit te voeren. Wanneer de operatie is voltooid produceert de
logische rekeneenheid een bestemmingswoord dat via de data- en besturings-
5 busleiding 25 wordt overgedragen naar de bestemming in het vrij toeganke-
lijk geheugen 22 alwaar dit wordt ingeschreven.

In de opeenvolging wordt overgestapt naar de toestand 0-1, waar-
bij het in de programmateller opgeborgen adres wordt overgedragen naar
de meesterketens van de adresvergrendelketens 33 volgens fig. 1, hetgeen
10 is aangeduid door het symbool PC → M. Als gevolg hiervan wordt in de
opeenvolging overgestapt naar de toestand 0-3 die de begintoestand is
voor de volgende instructie.

Bit-insteloperatie (register-decodeerketen H)

Thans wordt beschouwd de situatie waarbij in plaats van een nor-
15 male rekeneenheidoperatie een bit-insteloperatie wordt uitgevoerd.

Ten behoeve van de bit-insteloperatie wordt de geschikte opcode zoals
voorgesteld door het hexadecimale cijfer 9, gedurende de toestand 0-3
vanuit het uitsluitend afleesbaar geheugen 24 opgehaald via de leiding
25 en opgeslagen in het instructieregister 32. De besturingsketen 30
20 stapt vanuit de toestand 0-3 via de toestanden 0-4 en 1-5, waarbij één
datawoord wordt ingevoerd in het register D/S en een ander datawoord
wordt ingevoerd in het register TAB. Het datawoord dat is opgeslagen in
het register TAB bevat een instructiegedeelte met de bits N1 en N0 die
de instructie definiëren van de bit die in de bestemming moet worden
25 ingesteld. Vervolgens wordt in de toestand 1-E/F een adres voor de
bestemming gevormd uitgaande van de adresmodusinformatie die op dat
moment in het register D/S is opgeslagen. De machine stapt via de toe-
stand 3-9 waarna gedurende de toestand 2-4 het bestemmingswoord wordt
opgehaald en opgeslagen in het register TA.

30 De microprocessor is thans voorbereid voor de bit-insteloperatie
en de logische rekeneenheid 20 wordt aanzet. Het zich in het register
TA bevindende bestemmingswoord is zodanig geconfigureerd dat in de posi-
tie zoals gedefinieerd door het instructiegedeelte met de bits N1 en N0,
een bit wordt ingezet indien aldaar niet reeds een één aanwezig is.

35 Dienovereenkomstig worden besturingssignalen gevormd en aangelegd
aan de bit-verplaatsingsbesturingsketen 45 van de fig. 1 en 7. De be-

sturingssignalen voor de bit-insteloperatie zijn aangegeven in de tweede rij van tabel I in fig. 8. Gedurende de bit-insteloperatie is het bit-instelbesturingssignaal SB een één waardoor is verzekerd dat het besturingssignaal HC zoals teweeggebracht door een NOF-poort 91, een nul is. Het geïnverteerde bit-vrijgeefbesturingssignaal $\overline{CB}$ en het geïnverteerde bit-verplaatsingssignaal $\overline{MB}$ zijn enen waardoor is verzekerd dat het besturingssignaal GC zoals teweeggebracht door een NEN-poort 92, een nul is. Voor de bit-insteloperatie zijn derhalve de beide besturingssignalen HC en GC een nul.

- 10 Aangezien het besturingssignaal GC ten behoeve van de bit-insteloperatie een nul is, zijn al de bit-vrijgeefgroepsignalen G0, G1, G2, en G3 zoals afkomstig van de NEN-poorten van de bestuurd register-decodeerketen G enen, ongeacht welke bit is gekozen, een en ander zoals is weergegeven in de bovenste rij van tabel III van fig. 8. In overeenstemming met een soortgelijke reeks van bit-vrijgeefgroepsignalen voor normale rekeneenheidoperaties, hebben deze signalen geen invloed op de uitgangssignalen van het stel van EN-poorten 40 in de logische rekeneenheid.

- 20 Er zij opgemerkt dat aangezien zijn uitgangssignaal geen invloed heeft op de bit-insteloperaties, de bestuurd register-decodeerketen G niet nodig is in een computer die uitsluitend bit-insteloperaties uitvoert. Een dergelijke computer zou noch bit-vrijgeefoperaties noch bit-verplaatsingsoperaties uitvoeren.

- 25 Aangezien het besturingssignaal HC voor de bit-insteloperatie gelijk is aan nul, bepaalt de binaire waarde van het instructiegedeelte met de bits N1 en N0 welke bit moet worden ingesteld in het bestemmingswoord. Deze relatie is weergegeven in de vier onderste rijen van tabel II in fig. 8. De NOF-poorten van de bestuurd register-decodeerketen H converteren de aangelegde binaire waarde in een één-uit-vier code in de bitinstelgroepsignalen H0, H1, H2 en H3. In die code is voor elk van de binaire waarden één en niet meer dan één van de vier signalen H0, H1, H2 en H3 een één, en de andere drie zijn nullen. De in te stellen bit, en zoals gedefinieerd door de binaire code van het instructiegedeelte van bits N1 en N0, is de één.

- 35 Zoals is weergegeven in de fig. 2, 3 en 4 reageren diverse poorten 61, 62, 63 en 64 van het stel van EN-poorten 40 die zich in de rekeneen-

heid 20 bevinden, op het in het register TA opgeslagen woord, alsook op de groep van bitvrijgeefsignalen van de register-decodeerketen G.

Voor de bit-insteloperatie heeft de inhoud van het register TB geen invloed op het uitgangssignaal van de logische rekeneenheid. Aangezien
5 bovendien de tot een groep behorende bit-vrijgeefsignalen alle enen zijn, produceren de poorten 61, 62, 63 en 64 van het stel van EN-poorten 40 uitgangssignalen die zijn bepaald door hun ingangssignalen zoals afkomstig van het register TA.

Aangezien de groepvormende bit-instelsignalen zoals afkomstig van
10 de register-decodeerketen H via de busleiding 39 worden aangelegd aan het stel van OF-poorten 42 voorgesteld door een NOF-poort gevolgd door inverter en hierna aangeduid als een OF-poort, in de logische rekeneenheid, zoals weergegeven in de fig. 2 en 3, samen met de inhoud van het register TA zoals gereproduceerd door de poorten 61, 62, 63 en 64 in het
15 stel van EN-poorten 40, verzekert de enkele één in de groep van bit-instelsignalen dat het uitgangssignaal van de OF-poort waarden die één wordt aangelegd, een één zal zijn. Zulks overheerst elk willekeurig ingangssignaal dat wordt aangelegd vanaf de bijbehorende EN-poort 61, 62, 63 of 64. De drie nullen in de groep van bitinstelsignalen zoals aange-
20 legd van de register-decodeerketen H zijn van geen invloed op het uitgangssignaal van hun desbetreffende OF-poorten. Andere EN-poorten waarvan uitgangssignalen worden aangelegd aan de OF-poorten 42 zijn bedoeld voor normale rekeneenheidoperaties en produceren in deze situatie het uitgangssignaal nul. Aldus is het uitgangssignaal van het stel van OF-
25 poorten 42 het bestemmingswoord vanaf het register TA met die uitzondering dat de geselecteerde bit een is ongeacht of dit een één was toen deze oorspronkelijk werd opgeslagen in het register TA.

De uitgangssignalen van de poorten van het stel van OF-poorten 42 worden als ingangssignalen $\overline{Xi}$, waarin i een cijfer tussen 0 en 3 voor-
30 stelt, aangelegd aan een ander stel van EN-poorten 44 samen met de ingangssignalen $\overline{Yi}$ afkomstig van een stel van NOF-poorten 46. Voor de bit-insteloperatie zijn al deze ingangssignalen Yi enen, waardoor wordt bewerkstelligd dat de EN-poorten 44 uitgangssignalen produceren die hetzelfde zijn als de ingangssignalen $\overline{Xi}$. De uitgangssignalen van deze
35 EN-poorten 44 worden als ingangssignalen aangelegd aan de EXCL OF-poorten 48 die zijn voorgesteld als een EXCL OF-poort gevolgd door een inverter

Dienovereenkomstig worden besturingssignalen gevormd en toegevoerd aan de bitverplaatsingsbesturingsketen 45 van de fig. 1 en 7. Besturingssignalen voor de bit-vrijgeefoperatie zijn weergegeven in de derde rij van tabel I in fig. 8. Gedurende de bit-vrijgeefoperatie is het geïnverteerde bitvrijgeefbesturingssignaal $\overline{CB}$ een nul waardoor is verzekerd dat het besturingssignaal GC zoals geproduceerd door de NEN-poort 92, een één is. Tevens is het bit-instelbesturingssignaal SB een nul, waardoor is verzekerd dat het besturingssignaal HC zoals geproduceerd door NOF-poort 91, een één is. Een en ander heeft tot resultaat dat de beide besturingssignalen HC en GC voor de bit-vrijgeefoperatie enen zijn.

Aangezien voor de bit-vrijgeefoperatie het besturingssignaal HC een één is, zijn al de groepvormende bit-instelsignalen H0, H1, H2 en H3 zoals afkomstig van de NOF-poorten van de bestuurd register-decodeerketen H, nullen ongeacht welke bit is gekozen in het bestemmingswoord, een en ander zoals weergegeven in de bovenste rij van tabel II in fig. 8. In overeenstemming met een soortgelijke reeks van de groepvormende bit-instelsignalen voor normale rekeneenheidoperaties, hebben deze signalen geen invloed op het uitgangssignaal van het stel van OF-poorten 42 die zich in de logische rekeneenheid bevinden.

Er zij opgemerkt dat aangezien zijn uitgangssignaal geen invloed heeft op de bit-vrijgeefoperaties, de bestuurd register-decodeerketen H niet nodig is voor elke willekeurige computer die uitsluitend bit-vrijgeefoperaties uitvoert. Een dergelijke computer zou noch bit-instel- noch bit-verplaatsingsoperaties uitvoeren.

Aangezien het besturingssignaal GC voor de bit-vrijgeefoperatie een 1 is, bepaalt de binaire waarde van het instructiegedeelte van de bits N0 en N1 welke bit moet worden vrijgegeven. Deze relatie is voorgesteld in de vier onderste rijen van de tabel III in fig. 8. De NEN-poorten van de bestuurd register-decodeerketen G converteren de aangelegde binaire waarde in een één-uit-viercode in de groepvormende bit-vrijgeefsignalen G0, G1, G2 en G3. In deze code is één en niet meer dan één van de vier uitgangssignalen G0, G1, G2 en G3 een nul en de andere signalen zijn enen voor elk van de binaire waarden. De vrij te geven bit zoals bepaald door het instructiegedeelte van de bits N1 en N0, is de nul.

Zoals is weergegeven in de figuren 2, 3 en 4 reageren de poorten 61, 62, 63 en 64 van het stel van zich in de logische rekeneenheid

bevindende EN-poorten 40, met uitzondering ten aanzien van de vrij te geven bit, op het woord dat is opgeslagen in het register TA, aangezien drie van de groepvormende bitvrijgeefsignalen zoals afkomstig van de bestuurd register-decodeerketen G enen zijn. Aldus produceren drie van de EN-poorten 61, 62, 63 en 64 uitgangssignalen die corresponderen met de ingangssignalen zoals afkomstig van het register TA. Voor de bit-vrijgeefoperatie heeft de inhoud van het register TB geen invloed op het uitgangssignaal van de logische rekeneenheid. Het uitgangssignaal van de EN-poort behorende bij de gekozen bit die moet worden vrijgegeven zoals bepaald door het instructiegedeelte van de bits N1 en N0, correspondeert met het uitgangssignaal nul zoals afkomstig van de bestuurd register-decodeerketen G.

Het uitgangssignaal van de corresponderende OF-poort 42 is eveneens een nul en dit uitgangssignaal wordt tezamen met een ingangssignaal $\overline{Y_1}$ afkomstig van een NOF-poort 46 als een ingangssignaal $\overline{X_1}$ aangelegd aan de bijbehorende EN-poort 44. Dit ingangssignaal $\overline{X_1}$ is gelijk aan nul en heeft tot gevolg dat de EN-poort 44 een uitgangssignaal nul produceert. Deze nul, die representatief is voor de vrij te geven bit, wordt op zijn beurt tezamen met een nul veroorzaakt doordat al de signalen AL, Y0, Y1, Y2 en CIO enen zijn, aangelegd aan de EXCL OF-poort 48. Aangezien de beide ingangssignalen voor deze EXCL OF-poort 48 nullen zijn, wordt bestemd dat deze poort een uitgangssignaal nul op de desbetreffende leiding DB0, DB1, DB2 of DB3 van de data- en besturingsbusleiding 25, invoert in de positie van de vrij te geven bit in de bestemming. Dit uitgangssignaal van de logische rekeneenheid 20 is een nul ongeacht of dit een nul was in het woord zoals dat oorspronkelijk was opgeslagen in het register TA. Hierdoor is verzekerd dat de bit in de gekozen bitpositie van de bestemming wordt vrijgegeven op nul ongeacht of deze een nul was toen de bitvrijgeefoperatie een aanvang nam. De resterende van de data-busleidingen kunnen hetzelfde zijn als de corresponderende bits van het woord dat is opgeslagen in het register TA. Het adres en het inschrijfsignaal worden gelijktijdig aangelegd aan het geheugen 22 van fig. 1, ten einde het thans gewijzigde bestemmingswoord in te schrijven in de gekozen bestemming. De besturingsketen 30 stapt naar de toestand 0-1, de eindtoestand voor het ten uitvoer brengen van de bit-vrijgeefinstructie. De microcomputer stapt vervolgens naar de toestand 0-3 ten einde met een

andere instructie te beginnen.

Bitverplaatsingsoperatie (register-decodeerketen G en H)

Met de inrichting volgens het blokschema van fig. 1 wordt een enkel instructie-interval gebruikt voor het verplaatsen van een enkele
5 bit vanaf een willekeurig gekozen exemplaar van een aantal van bitposities in een gekozen bron, naar elke willekeurige gekozen bitpositie van een aantal van bitposities in een gekozen bestemming. Andere bits van de bestemming worden niet beïnvloed. De bron en de bestemming kunnen dezelfde of verschillende geheugenposities zijn. Tevens kunnen de bitposities
10 van de bron en de bestemming hetzelfde of verschillend zijn.

Voor de bitverplaatsingsoperatie bestaan twee belangrijke soorten van ketenoperaties. Bij een operatie van de eerste soort gaat het om het verplaatsen van een éénbit terwijl het bij een operatie van de tweede soort gaat om het verplaatsen van een nulbit. Ter illustratie van deze
15 twee soorten van operaties zullen in het onderstaande twee voorbeelden worden gegeven.

Bij het eerste voorbeeld wordt beschouwd een instructie voor het verplaatsen van een bit gekozen uit de bitpositie No. 1 van een gekozen bron naar een gekozen bitpositie No. 2 van een gekozen bestemming.
20 Verondersteld is dat het woord L in de gekozen bron is gegeven door 0110 en dat het woord M in de gekozen bestemming is gegeven door 1011. Aldus moet een éénbit uit het woord L worden verplaatst naar een bitpositie die op dit moment in het woord M een nulbit bevat.

Gedurende de toestand 0-3 van een bitverplaatsingsoperatie zoals
25 geïllustreerd in fig. 6, wordt een eerste opcode, zoals voorgesteld door het hexadecimale symbool D, via de data- en besturingsbusleiding 25 vanuit het geheugen opgehaald en opgeslagen in het instructieregister 32. De besturingsketen 30 stapt vanuit de toestand 0-3 naar de toestand 0-4, waarbij opgehaalde adresmodusinformatie via de busleiding 25 wordt inge-
30 voerd in het register D/S en (niet weergegeven) flip-flop M/D wordt gezet, ten einde aan te geven dat de instructie een dubbele opcode-instructie is.

Aangezien de bitverplaatsingsinstructie de flip-flop M/D heeft gezet, echter slechts eenmaal de toestand 0-4 heeft gepasseerd, stapt de besturing van de microcomputer vanuit de toestand 0-4 terug naar de toestand 0-3 ten einde via de busleiding 25 een tweede opcode vanuit het
35 geheugen 24 op te halen en op te bergen in het instructieregister 32

waarbij het eerste opcodewoord wordt vervangen. Dit ophalen van de tweede opcode ten behoeve van de bitverplaatsingsinstructie en hetgeen is voorgesteld door het hexadecimale symbool F, vindt plaats voor het ten uitvoer brengen van de bitverplaatsingsinstructie. In responsie op 5 de informatie die uit de eerste opcode is overgebleven en informatie vervat in de tweede opcode, stapt de besturingsketen 30 via de toestand 0-4 naar de toestand 1-5 waarbij opgehaalde adresmodusinformatie wordt ingevoerd in het register D/S ten behoeve van het kiezen van bron- en bestemmingsadressen, waarbij data worden ingevoerd in het register TAB 10 voor het bepalen van de gekozen bitpositie. Het in het register TAB opgeslagen woord bevat informatie die representatief is voor de gekozen bitpositie van de bron en de gekozen bitpositie van de bestemming. Twee van de bits S1 en S0 zoals opgeslagen in het register TAB zijn representatief voor de instructie, of bitpositie van de gekozen bronbit. 15 Twee andere bits, het instructiegedeelte van de bits N1 en N0, zijn representatief voor de instructie, of bitpositie van de gekozen bestemmingsbit die moet worden vrijgegeven of ingesteld. Voor het behandelde voorbeeld zijn de bits S1 en S0 gegeven als 01 waardoor de bitpositie No. 1 in de bron wordt voorgesteld en de bits N1 en N0 zijn gegeven als 20 10 waardoor wordt voorgesteld de bitpositie No. 2 in de bestemming. De besturingsketen stapt naar de toestand 1-E/F.

In de toestand 1-E/F worden bron- en bestemmingsadressen gevormd uitgaande van de informatie zoals deze is opgeslagen in het register D/S. Daarna worden gedurende de toestanden 3-9 en 2-4 bron- en bestemmings- 25 woorden L en M opgehaald uit het geheugen en opgeslagen in de respectievelijke registers TB en TA. Deze ophaaloperatie heeft geen invloed op de woorden die zijn opgeslagen ofwel in de bron ofwel in de bestemming.

Op dit moment worden zoals is weergegeven in de fig. 1 en 7 besturingssignalen gevormd en aangelegd aan de bitverplaatsingsbesturings- 30 keten 45. De bits S1 en S0 worden via een multiplexer 50 overgedragen en als besturingssignalen aangelegd aan de bitkiesketen 34. Gelijktijdig hiermee wordt het woord L zoals afkomstig van het register TB via de busleiding 36 aangelegd aan de ingangen B0, B1, B2 en B3 van de bitkiesketen 34, die een één-uit-vier kiezer is. De bits S1 en S0 bepalen welke bit van 35 het vier-bitwoord L via de kiesketen 34 wordt overgedragen naar zijn uitgang in de vorm van het geïnverteerde bitkiessignaal $\overline{BS}$. Aangezien de

gekozen bit B1 in de positie No. 1 een één is en aangezien de bitkiesketen 34 het gekozen bitsignaal invertteert, is het geïnverteerde gekozen bitsignaal $\overline{BS}$ een nul. Besturingssignalen voor de bitverplaatsingsoperatie voor het verplaatsen van een éénbit zijn weergegeven in de vijfde rij van tabel I in fig. 8.

De twee andere bits N1 en N0 die zijn opgeslagen in het register TAB bepalen de instructie, of bitpositie van de gekozen bestemmingsbit evenals zij dit doen voor de bitinstel- en bitvrijgeefinstructies. De bits N1 en N0 worden aangelegd aan de bestuurd register-decodeerketens G en H in de bitverplaatsingsbesturingsketen 45 ten einde daarvan uitgaande het patroon van uitgangssignalen te bepalen in afhankelijkheid van de toestand van de besturingssignalen GC en HC. Aangezien de gekozen bitpositie in de bestemming de bitpositie No. 2 is, is het instructiegedeelte van de bits N1 en N0 gegeven door 10.

Zoals is weergegeven in de fig. 1 en 7 produceert een NOF-poort 90 waarvan de ingangssignalen $\overline{BS}$ en $\overline{MB}$ beide laag zijn, een voor een gekozen bit indicatief uitgangssignaal OBS dat gelijk is aan één. Deze één heeft wanneer deze wordt aangelegd aan de NOF-poort 91 tot gevolg dat het besturingssignaal HC nul is. Aangezien het geïnverteerde bitverplaatsingsignaal $\overline{MB}$ laag is is op dit moment het besturingssignaal GC aan de uitgang van de NEN-poort 92 een één.

Met het besturingssignaal GC gelijk aan één en het instructiegedeelte van de bits N1 en N0 in de toestand 10, is het stel van bitvrijgeefsignalen G0, G1, G2, en G3 zoals afkomstig van de NEN-poorten van de bestuurd register-decodeerketen G van fig. 6, gegeven door 1011, één en ander zoals weergegeven in de vierde rij van tabel III in fig. 8. Aldus is de relevante bit in de bitpositie No. 2 aan de uitgang van de register-decodeerketen G gelijk aan nul. Deze nul wordt aangelegd aan de geschikte EN-poort 62 van het stel van EN-poorten 40 in de logische rekeneenheid 20. De drie enen worden aangelegd aan de overblijvende EN-poorten 61, 63 en 64 van dat stel, zodat de uitgangssignalen van deze drie EN-poorten zijn bepaald door de geschikte bits van het bestemmingswoord dat is opgeslagen in het register TA.

Aangezien het besturingssignaal HC gelijk is aan nul en het instructiegedeelte van de bits N1 en N0 zich in de toestand 10 bevindt, is de groep van bitinstelsignalen H0, H1, H2 en H3 zoals afkomstig van de

NOF-poorten van de bestuurd register-decodeerketen H volgens fig. 7, gegeven door 0100, zoals weergegeven in de vierde rij van tabel II. Aldus is de relevante bit in de bitpositie No. 2 aan de uitgang van de bestuurd register-decodeerketen H een één, welke wordt aangelegd aan de
5 geschikte OF-poort 42 in de logische rekeneenheid. De microcomputer is thans voorbereid om ten behoeve van de logische rekeneenheid 20 de bitverplaatsingsoperatie uit te voeren. De besturingsketen 30 stapt naar de toestand 2-0 en zet de logische rekeneenheid 20 aan.

Als gevolg van de uitgangssignalen van de bestuurd register-decodeerketens G en H, zijn de beide logische rekeneenheden 62 en 42 werkzaam om de bit in de bitpositie No. 2 vrij te geven en de bit in de bitpositie No. 2 van het woord dat momenteel is opgeslagen in het register TA, in te stellen. Uit een analyse van de logica van de logische rekeneenheid blijkt dat de OF-poort 42 voor het instellen van
15 de bit zich bevindt op een ~~later~~ logisch niveau dan de EN-poort 62 voor het vrijgeven van de bit. Zulks betekent dat het instellen van de bit een hogere prioriteit heeft dan het vrijgeven van de bit. Bij het behandelde voorbeeld wordt de in de bitpositie No. 2 aanwezige bit vrijgegeven door de nul van het signaal G2 en vervolgens door de één van
20 het signaal H2 ingesteld. De uitgangssignalen zoals afkomstig van andere bitposities van de bestuurd register-decodeerketens G en H, hebben geen invloed op de desbetreffende bits die zijn opgeslagen in het register TA. Zulks betekent dat het uitgangssignaal van de logische rekeneenheid en zoals aangelegd aan de databusleiding is gegeven door 1111. Het bestemmings-
25 adres en het schrijfsignaal worden gelijktijdig aangelegd aan het geheugen 22 dat is weergegeven in fig. 1 ten einde het gewijzigde uitgangswoord zoals afkomstig van de logische rekeneenheid in de bestemming in te schrijven. De besturingsketen 30 stapt verder naar de toestand 0-1, de eindtoestand bij de ten uitvoerbrenging van de bitverplaatsings-
30 instructie. Vanuit de toestand 0-1 ~~stapt~~ de machine naar de toestand 0-3 dat is de eerste toestand voor een andere instructie. Aldus is een enkele bit vanaf een gekozen bitpositie in de bron verplaatst naar een gekozen bitpositie in de bestemming en wel gedurende een enkel instructie-interval en zonder beïnvloeding van de toestand van enige willekeurige
35 andere bitpositie in de bestemming. Indien de bron zich op een plaats bevindt anders dan die van de bestemming heeft de schrijfoperatie

geen invloed op de inhoud van de bron.

Een voorbeeld ter illustratie van een verplaatsing van een één-bit naar een bitpositie die momenteel een éénbit bevat is soortgelijk aan het in het voorafgaande behandelde voorbeeld en zal derhalve niet
5 verder worden beschreven.

Als tweede voorbeeld van een bitverplaatsingsinstructie zal worden behandeld het verplaatsen van een nulbit vanuit het woord L naar een bitpositie in het woord M en alwaar een één is opgeslagen. Bij dit voorbeeld wordt beschouwd het verplaatsen van de bit gekozen uit de bitpositie No. 3 van een gekozen woord L dat zich bevindt in een toestand
10 0110, naar een gekozen bitpositie No. 2 van een gekozen woord M dat zich bevindt in de toestand 1110.

Wanneer de bit-verplaatsingsinstructie vanuit het geheugen is afgelezen worden eerste en tweede opcodes evenals bij het in het voorafgaande behandelde voorbeeld overgedragen naar het instructieregister.
15 Bovendien wordt de instructie van de bit die moet worden verplaatst vanaf het bronwoord en de instructie van de bit die in het bestemmingswoord moet worden beïnvloed, opgeslagen in het register TAB. De bits S1 en S0 bevinden zich in een toestand 11 welke representatief is voor de binaire
20 waarde van de instructie drie van de bit die moet worden verplaatst vanuit het bronwoord. Het instructiegedeelte van de bits N1 en N0 verkeert in de toestand 10 representatief voor de binaire waarde van de instructie twee van de te beïnvloeden bit in het gekozen bestemmingswoord.

Bestemmings- en bronwoorden M en L worden opnieuw opgeslagen in
25 de respectieve registers TA en TB. De opgeslagen bestemmings- en bronwoorden worden niet beïnvloed door de ophaaloperaties. Het register TA ontvangt aldus het bestemmingswoord 1110 en het register TB ontvangt het bronwoord 0110. De inhoud 0110 van het register TB wordt als de
30 ingangssignalen B0, B1, B2 en B3 aangelegd aan de bitkiesketen 34 volgens fig. 7. De keuze staat onder het bestuur van de bits S1 en S0 die vanaf het register TAB en door middel van de 4:2 multiplexer 50 worden aangelegd aan de bitkiesketen 34. Aangezien de bits S1 en S0 zijn gegeven door 11, wordt de nulbit in de positie drie uit het woord 0110 gekozen. De kiesketen 34 invertteert de nul zodat het geïnverteerde voor een gekozen bit
35 representatieve signaal $\overline{BS}$ wordt verkregen in de vorm van een één.

Besturingssignalen voor de bitverplaatsingsoperatie zoals deze bij het verplaatsen van een nulbit werkzaam zijn, zijn weergegeven in de vierde rij van tabel I in fig. 8.

Op dit moment zijn het geïnverteerde bitverplaatsingssignaal $\overline{MB}$ en het bitinstelsignaal SB beide nullen. Aldus is het besturingssignaal HC zoals geproduceerd door de NOF-poort 91 een één en de uitgangssignalen van de NOF-poorten van de register-decodeerketen H in de fig. 1 en 7 zijn alle nullen, zoals is weergegeven in de bovenste rij van tabel II in fig. 8. Aangezien tevens dit een bitverplaatsingsinstructie is, is het besturingssignaal GC zoals geproduceerd door de NEN-poort 92 een één. De uitgangssignalen van de NEN-poorten van de register-decodeerketen G in de fig. 1 en 7 worden bestuurd door het instructiegedeelte van de bits N1 en N0 die afkomstig zijn van het register TAB. De binaire waarde 10 daarvan heeft tot gevolg dat het uitgangssignaal van de bestuurd register-decodeerketen G is gegeven door 1011, hetgeen is weergegeven in de vierde rij van tabel III in fig. 8. Aldus verschijnt een nul in het instructiegedeelte van de bit die in het bestemmingswoord moet worden beïnvloed. De microcomputer is thans voorbereid om ten behoeve van de logische rekeneenheid 20 de bitverplaatsingsoperatie uit te voeren.

Gedurende de toestand 2-0 terwijl de logische rekeneenheid is aangezet, wordt het bestemmingswoord 1110 zoals afkomstig van het register TA door de logische rekeneenheid 20 bewerkt. De bitpositie No. 2 wordt vrijgegeven door het nulsignaal G3 afkomstig van de bestuurd register-decodeerketen G en deze positie blijft vrij zodat al de groepvormende bitinstelsignalen H0, H1, H2 en H3 afkomstig van de bestuurd register-decodeerketen H nullen zijn. Zulks heeft tot resultaat dat het uitgangssignaal van de logische rekeneenheid 20 is gegeven door 1010 en dit uitgangssignaal wordt aangelegd aan de data- en besturingsbusleiding 25. Het bestemmingsadres en het schrijfsignaal worden gelijktijdig aangelegd aan het geheugen 22 ten einde het gewijzigde uitgangswoord zoals afkomstig van de logische rekeneenheid in de bestemming in te schrijven. Indien de bron zich bevindt op een plaats anders dan die van de bestemming, wordt het bronwoord niet beïnvloed door de schrijfoperatie.

De besturingsketen 30 stapt verder naar de toestand 0-1, de eindtoestand voor het ten uitvoer brengen van de bitverplaatsingsinstructie, en vandaaruit naar de toestand 0-3, de begintoestand van een volgende

8102650

instructie. Aldus is gedurende een enkel instructie-interval een enkele bit vanuit een gekozen bitpositie in de gekozen bron verplaatst naar een gekozen bitpositie in de gekozen bestemming zonder dat de toestand van enige andere bit van de bestemming is beïnvloed.

5 Een voorbeeld ter illustratie van de verplaatsing van een nulbit vanuit de bron naar een zich in de bestemming bevindende bitpositie die op dat moment een nul bevat, is soortgelijk aan het in het voorafgaande beschreven voorbeeld en zal daarom niet verder worden beschreven.

10 Kort samengevat geldt dat een bitverplaatsingsinstructie in wezen zowel een bitvrijgeefoperatie als wel een bitinsteloperatie uitvoert. Aangezien de van de register-decodeerketen H volgens fig. 7 uitgaande bitinstelleidingen H0, H1, H2 en H3 zijn bedraad in een later niveau van de logica in de logische rekeneenheid 20 van de fig. 2, 3 en 4, dan waarin de leidingen G0, G1, G2 en G3 zijn bedraad, is de totale opera-
15 tie in feite zodanig dat eerst de bitvrijgeefoperatie en vervolgens de bitinsteloperatie wordt uitgevoerd wanneer een bit moet worden ingesteld.

Een uitgangssignaal van de bestuurde register-decodeerketen H dat bestaat uit uitsluitend nullen heeft geen hogere prioriteit dan de operatie waarbij elke willekeurige bitpositie binnen de logische reken-
20 eenheid wordt vrijgegeven. De door de bitkiesketen 34 verkregen decodeering bepaalt of een uitgangssignaal van de bestuurde register-decodeerketen H al dan niet een hogere prioriteit heeft dan de door het uitgangssignaal van de bestuurde register-decodeerketen G uitgevoerde operatie waarbij een of andere bit wordt vrijgegeven.

25 Aldus is beschreven een logische rekeneenheid die is ingericht om binnen een enkel instructie-interval een bit vrij te geven, een bit in te stellen, of een bit te verplaatsen.

C O N C L U S I E S

1. Digitale computer die is ingericht om in responsie op daarin opgeslagen instructies data te verwerken, welke computer middelen omvat dienende om elke instructie in een instructie-interval uit te voeren, gekenmerkt door: middelen die zijn ingericht om in responsie op een
5 desbetreffende instructie een bitverplaatsingsoperatie uit te voeren welke bitverplaatsingsoperatie wordt uitgevoerd in een periode corresponderende met een enkel instructie-interval.
2. Digitale computer volgens conclusie 1, gekenmerkt door middelen dienende om een enkele databit vanuit een willekeurig gekozen exemplaar
10 van een aantal bitposities in een gekozen bron te verplaatsen naar een willekeurig gekozen bitpositie van een aantal van bitposities in een gekozen bestemming en wel gedurende een enkel instructie-interval en zonder de toestand van enige andere bit van de gekozen bestemming te beïnvloeden.
- 15 3. Digitale computer volgens de conclusies 1 of 2, gekenmerkt door: een keten (25, TAB, 34, 36', TB, 50) dienende om uit de gekozen bron een voorafbepaalde bit te kiezen; een logische rekeneenheid (20) die is ingericht om in responsie op signalen afkomstig van een besturingsketen (30) en een instructieregister (32) een datawoord vanaf een ingang
20 (TA, 37) te verplaatsen naar de gekozen bestemming, een eerste bestuurd register-decodeerketen (TAB, G, 38, 92, GC) die in de logische rekeneenheid is verbonden en dienende om de voorgeschreven bitpositie vrij te geven zonder de toestand van een willekeurige andere bit in het data-woord die wordt verplaatst naar gekozen bestemming, te beïnvloeden, en
25 een tweede bestuurd register-decodeerketen (TAB, H, 39, 91, HC, 30) die in de logische rekeneenheid is verbonden en dienende om de voorgeschreven bitpositie naar keuze in te stellen zonder de toestand van een willekeurige andere bit in het datawoord die naar de gekozen bestemming wordt verplaatst, te beïnvloeden.
- 30 4. Digitale computer volgens conclusie 3, met het kenmerk, dat de logische rekeneenheid (20) omvat een stel van EN-poorten (40) en een stel van OF-poorten (42) voor het ongewijzigd overdragen van een bestemmingswoord vanuit een register (TA) via de stellen van poorten naar een databusleiding (25) en een bestemming (in 22), welke computer verder omvat:

8102650

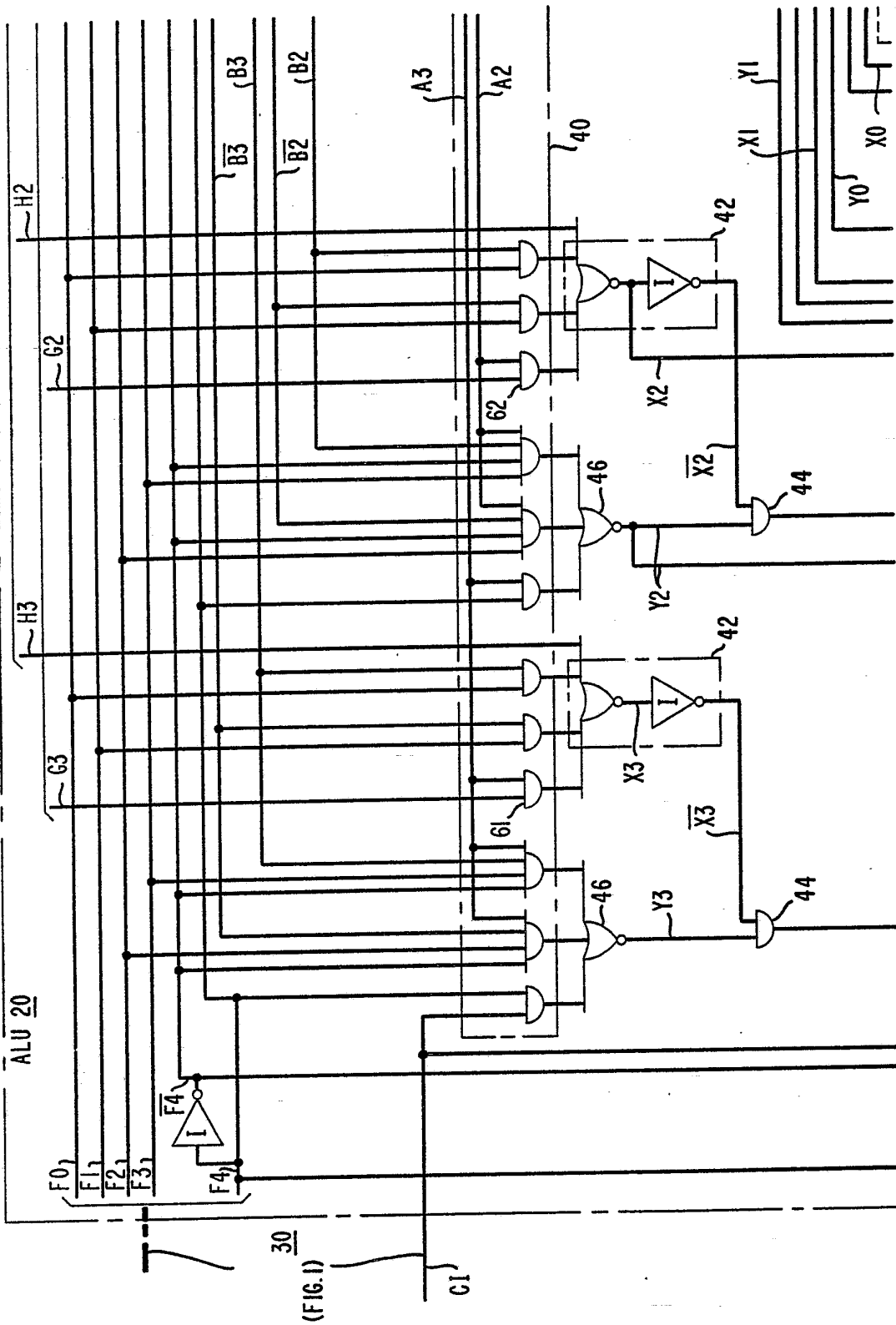
een keten (34, 36, TAB, 50) voor het kiezen van een bit uit een bronwoord (vanaf TB en 22 of 24), een tweede keten (45) die in responsie op de gekozen bit ($\overline{BS}$), een besturingsveld van bits ($\overline{CB}$, SB, $\overline{MB}$) en een instructieveld van bits (N1, N0) representatief voor een voorafbepaalde bitpositie van het bestemmingswoord, een groep van bitvrijgeefsignalen (G0, G1, G2, G3) en een groep van bitinstelsignalen (H0, H1, H2, H3) produceert, en middelen (38, 19) die zijn ingericht voor het aanleggen van de groep van bitvrijgeefsignalen aan het stel van EN-poorten en de groep van bitinstelsignalen aan het stel van OF-poorten ten einde de toestand van de bit in de voorafbepaalde bitpositie van het bestemmingswoord te wijzigen overeenkomstig de toestand van de gekozen bit zoals afkomstig van het bronwoord, zonder de toestand van enige andere bit van het bestemmingswoord te beïnvloeden.

8102650

FIG. 5

FIG. 2	FIG. 3
FIG. 4	

FIG. 2



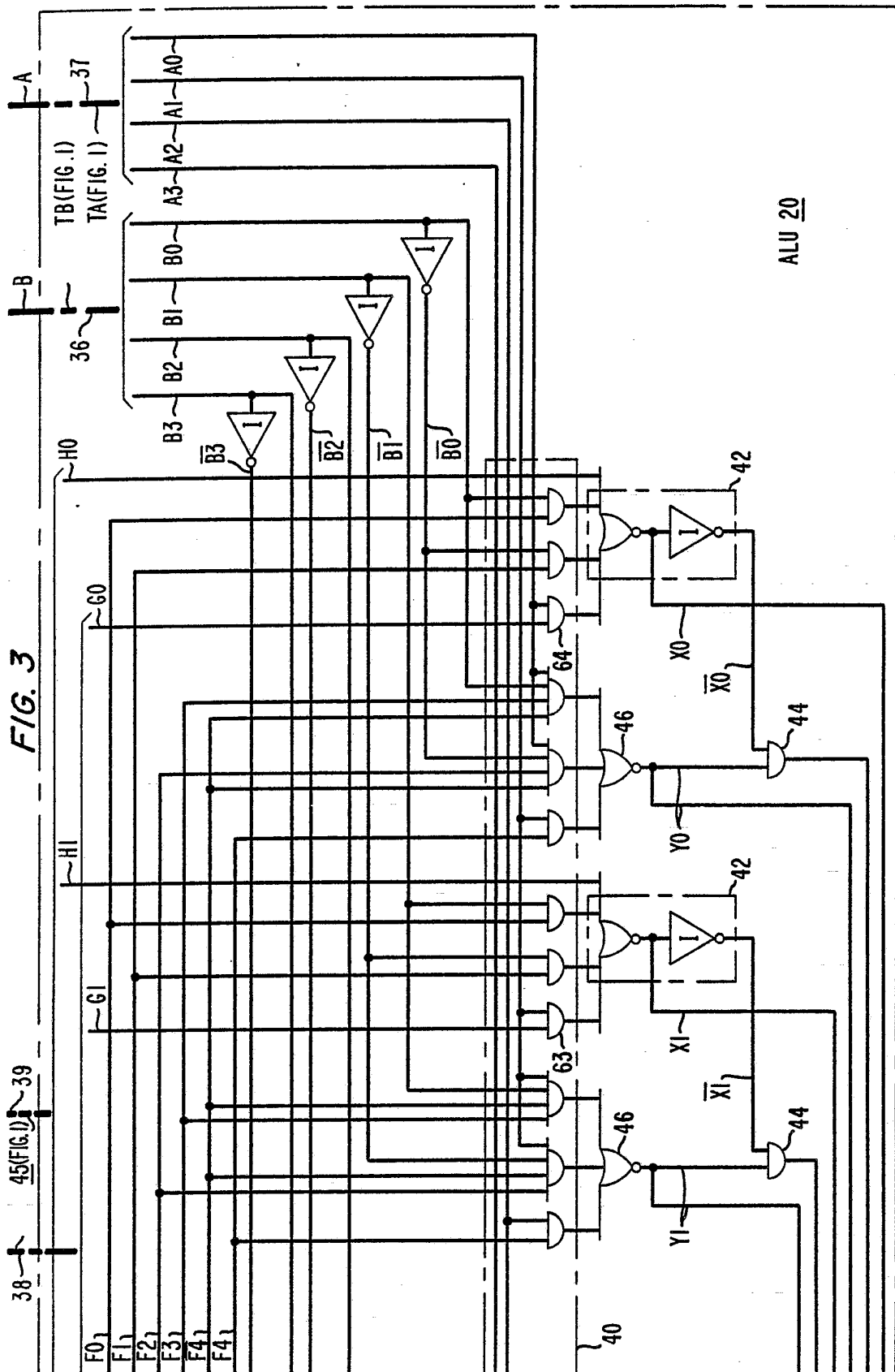


FIG. 4

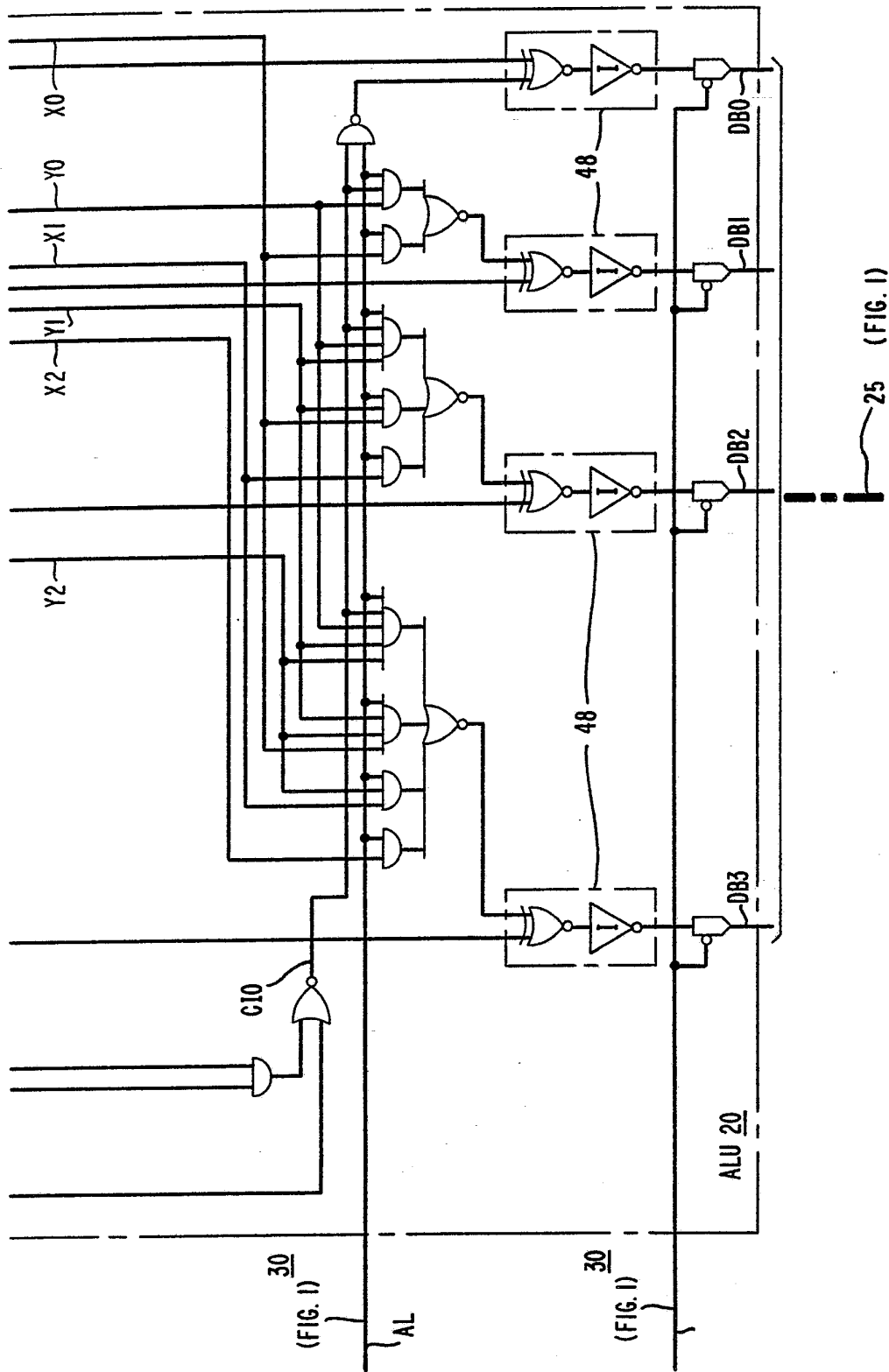
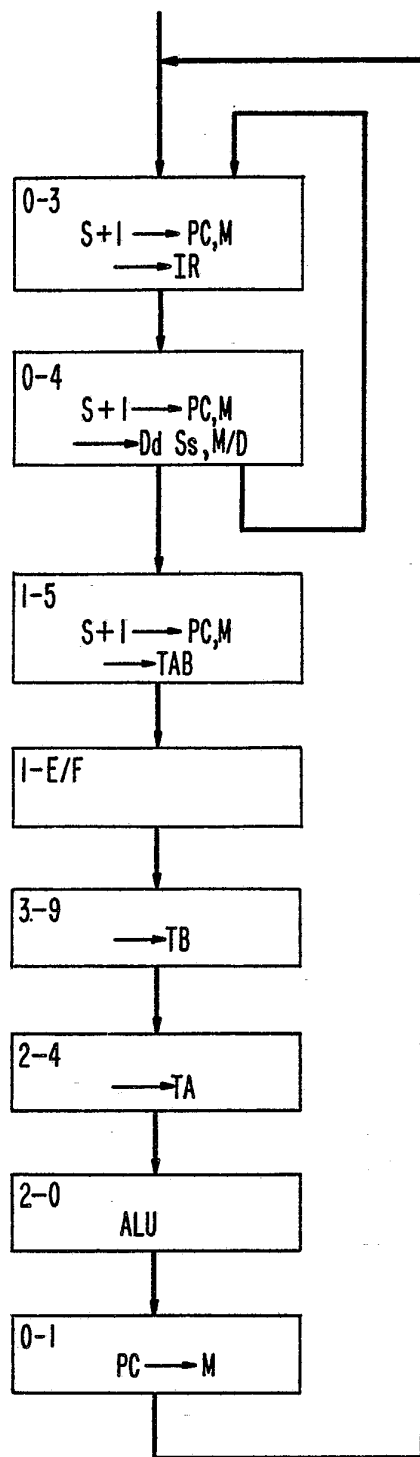


FIG. 6



8102650

FIG. 7

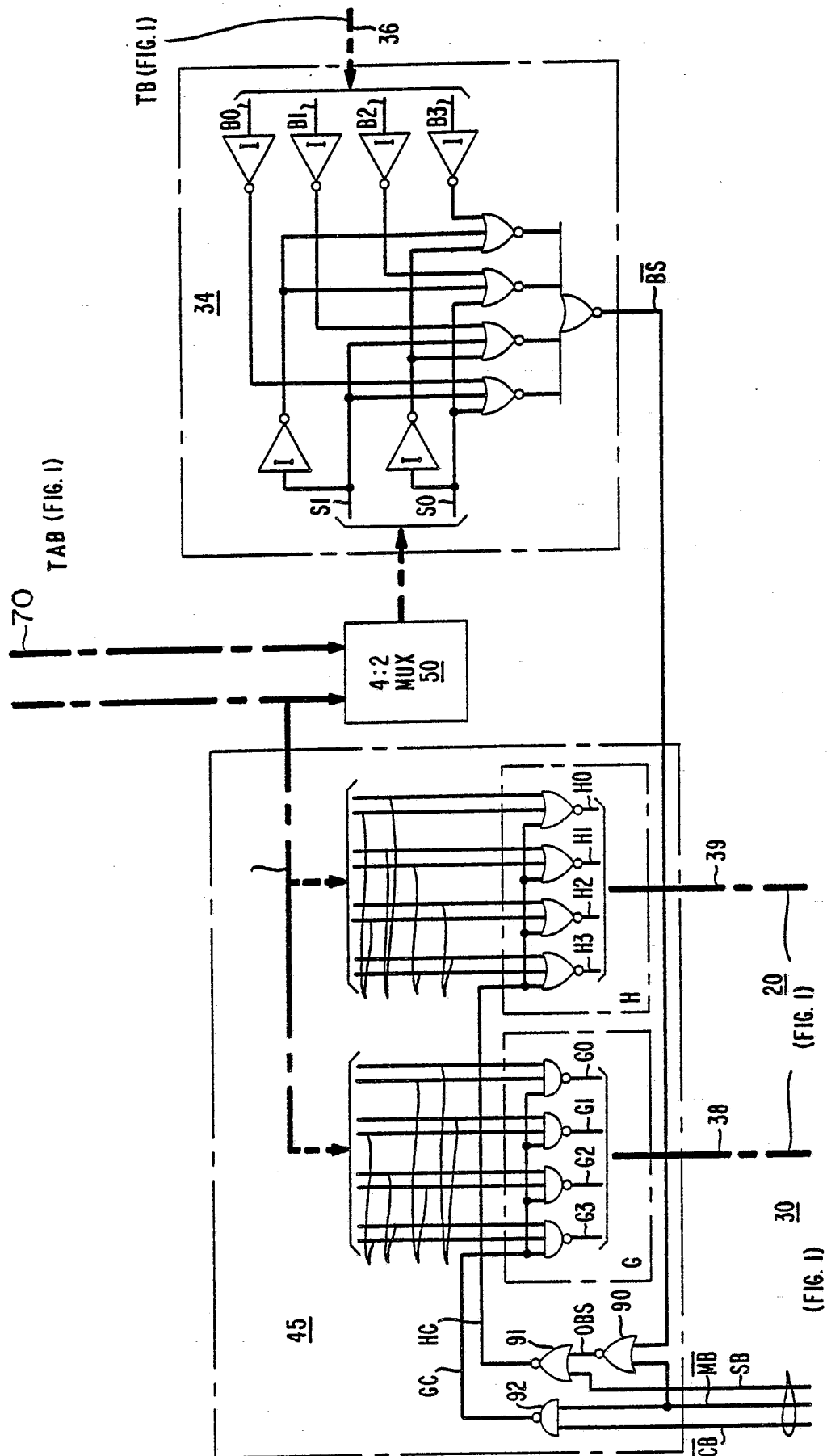


FIG. 8

TABEL I BESTURINGSSIGNALLEN

INSTRUCTIE	INGANGEN				UITGANGEN	
	SB	$\overline{CB}$	$\overline{MB}$	$\overline{BS}$	GC	HC
NORM. RE OP.	0	1	1	X	0	1
STEL BIT IN	1	1	1	X	0	0
GEEF BIT VRIJ	0	0	1	X	1	1
VERPLAATS BIT	0	1	0	1	1	1
VERPLAATS BIT	0	1	0	0	1	0

TABEL II REGISTER-DECODEERKETEN H
(BIT INSTELLING)

INGANGEN			UITGANGEN			
HC	NI	NO	H3	H2	H1	H0
1	X	X	0	0	0	0
0	0	0	0	0	0	1
0	0	1	0	0	1	0
0	1	0	0	1	0	0
0	1	1	1	0	0	0

TABEL III REGISTER-DECODEERKETEN G
(BIT VRIJGAVE)

INGANGEN			UITGANGEN			
GC	NI	NO	G3	G2	G1	G0
0	X	X	1	1	1	1
1	0	0	1	1	1	0
1	0	1	1	1	0	1
1	1	0	1	0	1	1
1	1	1	0	1	1	1