



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년08월03일
(11) 등록번호 10-1764686
(24) 등록일자 2017년07월28일

- (51) 국제특허분류(Int. Cl.)
H01L 23/498 (2006.01) *H01L 21/48* (2006.01)
H01L 21/683 (2006.01) *H01L 23/00* (2006.01)
H01L 23/544 (2006.01) *H05K 1/02* (2006.01)
H05K 3/10 (2006.01) *H05K 3/20* (2006.01)
H05K 3/34 (2006.01) *H05K 3/46* (2006.01)
- (21) 출원번호 10-2011-0000067
(22) 출원일자 2011년01월03일
심사청구일자 2015년12월28일
(65) 공개번호 10-2011-0083506
(43) 공개일자 2011년07월20일
(30) 우선권주장

JP-P-2010-005017 2010년01월13일 일본(JP)

- (56) 선행기술조사문헌

JP2009033183 A*

(뒷면에 계속)

전체 청구항 수 : 총 11 항

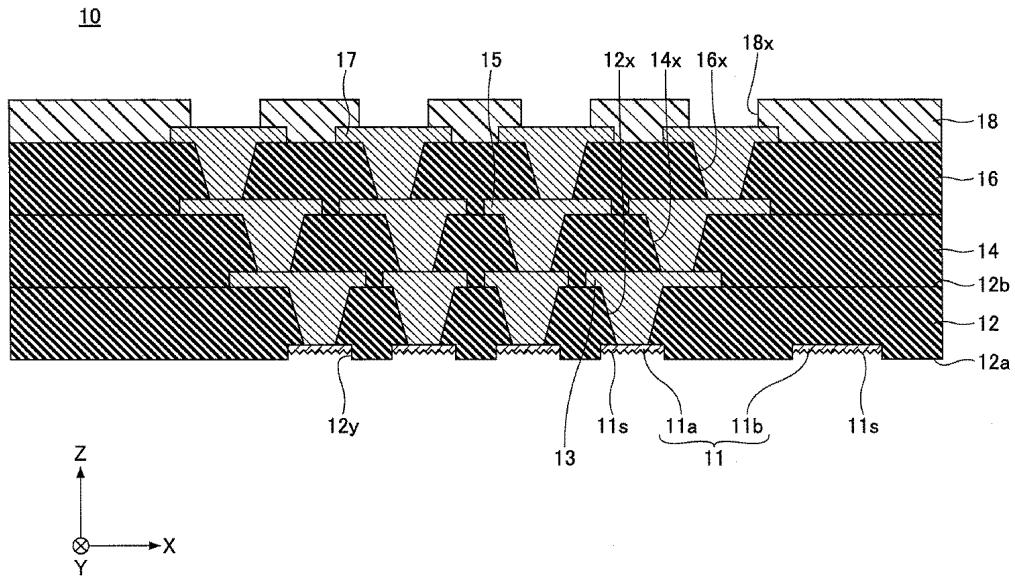
심사관 : 김진우

- (54) 발명의 명칭 배선 기판, 그 제조 방법, 및 반도체 패키지

(57) 요 약

본 발명의 배선 기판은, 절연층, 상기 절연층의 표면에 형성된 오목부, 및 상기 오목부 내에 형성된 위치 맞춤 마크를 포함하고, 상기 위치 맞춤 마크의 한 쪽의 면은, 조화면으로 되는 동시에 상기 절연층의 상기 표면으로부터 오목해지며, 상기 오목부로부터 노출된다.

대 표 도



(56) 선행기술조사문현

JP58035950 A*

JP59134840 A*

JP2002198462 A*

KR1020000057687 A*

JP2002176232 A*

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

배선 기판으로서,

상기 배선 기판의 표면이 되는 표면을 가진 절연층,

상기 절연층에 매설되어 있는 전극 패드, 및

상기 절연층에 매설되어 있는 위치 맞춤 마크를 포함하고,

상기 전극 패드의 표면은 상기 절연층의 표면에 노출되고, 상기 전극 패드의 측면과 이면은 상기 절연층에 피복되어 있으며, 또한, 상기 전극 패드의 표면은 조화면으로 형성되어 있고 상기 절연층의 표면에 대하여 오목하게 위치되며, 상기 전극 패드의 이면에는 비아가 접속되어 있고,

상기 위치 맞춤 마크의 표면은 상기 절연층의 표면에 노출되고, 상기 위치 맞춤 마크의 측면과 이면은 상기 절연층에 피복되어 있으며, 또한, 상기 위치 맞춤 마크의 표면은 조화면으로 형성되어 있고 상기 절연층의 표면에 대하여 오목하게 위치되고,

상기 전극 패드의 표면 및 상기 위치 맞춤 마크의 표면의 표면 거칠기와, 상기 절연층의 표면의 표면 거칠기가 서로 다른, 배선 기판.

청구항 2

제 1 항에 있어서,

상기 전극 패드 및 상기 위치 맞춤 마크는 구리이고, 상기 절연층은 절연 수지이며,

상기 전극 패드의 표면 및 상기 위치 맞춤 마크의 표면의 표면 거칠기 Ra가 $50\text{nm} < \text{Ra} < 200\text{nm}$ 범위인 배선 기판.

청구항 3

배선 기판의 제조 방법으로서,

지지체의 한 쪽의 표면에 금속층을 형성하는 공정,

상기 금속층 상에 전극 패드와 위치 맞춤 마크로 되는 배선층을 적층하는 공정,

상기 금속층 및 상기 배선층을 덮도록, 상기 지지체의 상기 한 쪽의 표면에 절연층을 형성하는 공정,

상기 배선층의 상기 금속층 측의 면을 조화면으로 하는 공정, 및

상기 지지체 및 상기 금속층을 제거함으로써, 상기 절연층으로부터 상기 배선층의 상기 금속층 측의 면을 노출하는 공정을 포함하고,

상기 전극 패드의 표면 및 상기 위치 맞춤 마크의 표면의 표면 거칠기와, 상기 절연층의 표면의 표면 거칠기가 서로 다른, 배선 기판의 제조 방법.

청구항 4

제 3 항에 있어서,

상기 적층하는 공정은,

상기 지지체 상에 형성된 상기 금속층의 한쪽의 면의 반대면을 조화면으로 하는 공정, 및

상기 금속층의 반대면 상에 전극 패드와 위치 맞춤 마크로 되는 배선층을 적층하는 공정을 포함하고,

상기 배선층의 상기 금속층 측의 면을 조화면으로 하는 공정은 상기 금속층의 조화면을 상기 배선층의 상기 금속층 측의 면에 전사하는 공정을 포함하는 배선 기판의 제조 방법.

청구항 5

제 4 항에 있어서,

상기 금속층의 반대면을 조화면으로 하는 공정은, 상기 지지체를 금전층으로 이용하는 전해 도금법에 의해 상기 금속층을 형성하는 동시에, 상기 금속층의 반대면을 조화면으로 하는 공정을 포함하는 배선 기판의 제조 방법.

청구항 6

제 4 항에 있어서,

상기 금속층의 반대면을 조화면으로 하는 공정은, 상기 금속층을 에칭 또는 블라스트 처리하는 공정을 포함하는 배선 기판의 제조 방법.

청구항 7

제 3 항에 있어서,

상기 배선층의 상기 금속층 측의 면을 조화면으로 하는 공정은, 상기 절연층으로부터 상기 배선층의 상기 금속층 측의 면을 노출하는 공정 후에, 에칭 또는 블라스트 처리에 의해 수행되는 배선 기판의 제조 방법.

청구항 8

제 3 항에 있어서,

상기 지지체와 상기 금속층의 재료는 다르고,

상기 절연층으로부터 상기 배선층의 상기 금속층 측의 면을 노출하는 공정에서, 상기 지지체를 소정의 에칭액으로 제거한 후, 상기 금속층을 상기 소정의 에칭액과는 다른 에칭액으로 제거하는 배선 기판의 제조 방법.

청구항 9

제 3 항에 있어서,

상기 금속층을 형성하는 공정은, 상기 지지체의 한 쪽의 표면에 깊이 조정층을 형성한 후에, 상기 금속층을 적층하는 공정을 포함하고,

상기 배선층의 상기 금속층 측의 면을 노출하는 공정은, 상기 깊이 조정층을 제거하는 공정을 더 포함하는 배선 기판의 제조 방법.

청구항 10

반도체 패키지로서,

반도체 칩, 및

상기 반도체 칩이 탑재되는 배선 기판을 포함하고,

상기 배선 기판은,

상기 배선 기판의 표면이 되는 표면을 가진 절연층,

상기 절연층에 매설되어 있는 전극 패드, 및

상기 절연층에 매설되어 있는 위치 맞춤 마크를 포함하고,

상기 전극 패드의 표면은 상기 절연층의 표면에 노출되고, 상기 전극 패드의 측면과 이면은 상기 절연층에 피복되어 있으며, 또한, 상기 전극 패드의 표면은 조화면으로 형성되어 있고 상기 절연층의 표면에 대하여 오목하게 위치되며, 상기 전극 패드의 이면에는 비아가 접속되어 있고,

상기 위치 맞춤 마크의 표면은 상기 절연층의 표면에 노출되고, 상기 위치 맞춤 마크의 측면과 이면은 상기 절연층에 피복되어 있으며, 또한, 상기 위치 맞춤 마크의 표면은 조화면으로 형성되어 있고 상기 절연층의 표면에 대하여 오목하게 위치되고,

상기 전극 패드의 표면 및 상기 위치 맞춤 마크의 표면의 표면 거칠기와, 상기 절연층의 표면의 표면 거칠기가

서로 다른, 반도체 패키지.

청구항 11

제 10 항에 있어서,

상기 전극 패드 및 상기 위치 맞춤 마크는 구리이고, 상기 절연층은 절연 수지이며,

상기 전극 패드의 표면 및 상기 위치 맞춤 마크의 표면의 표면 거칠기 R_a 가 $50\text{nm} < R_a < 200\text{nm}$ 범위인 반도체 패키지.

발명의 설명

기술 분야

[0001]

본 발명은, 일반적으로 한 쪽의 표면이 조화(粗化)면으로 된 위치 맞춤 마크를 갖는 배선 기판, 그 제조 방법, 및 상기 배선 기판에 반도체 칩을 탑재한 반도체 패키지에 관한 것이다.

배경 기술

[0002]

빌드업 기판을 예로서 설명한다. 빌드업 공법에 의해 제작된 배선 기판이 공지되어 있다. 도 1은, 빌드업 공법에 의해 제작된 코어가 없는 배선 기판(코어리스(coreless) 배선 기판)을 부분적으로 예시하는 단면도이다. 코어리스 배선 기판(100)은, 제 1 배선층(110), 제 1 절연층(120), 제 2 배선층(130), 제 2 절연층(140)이 순차적으로 적층된 구조를 갖는다.

[0003]

배선 기판(100)에 있어서, 제 1 배선층(110)은, 제 1 절연층(120)의 한 쪽에 형성된 오목부(120y) 내에 설치되어 있다. 제 1 배선층(110)의 한 쪽의 표면(110s)은 오목부(120y)로부터 노출되어 있다. 제 1 배선층(110)은 전극 패드(110a)와 위치 맞춤 마크(110b)를 포함한다. 전극 패드(110a)는 반도체 칩과 접속되는 접속 단자로서 이용된다. 위치 맞춤 마크(110b)는, 반도체 칩 등의 전자 부품과 배선 기판(100)의 위치 맞춤의 기준이나, 배선 기판(100)과 다른 배선 기판의 위치 맞춤의 기준 등으로서 이용된다.

[0004]

제 2 배선층(130)은 제 1 절연층(120)의 반대 쪽에 형성되어 있다. 제 2 배선층(130)은, 제 1 절연층(120)을 관통하고, 제 1 비아 홀(120x) 내에 충전되며, 그 상면이 노출되는 비아, 및 제 1 절연층(120)의 면에 형성된 배선 패턴을 포함한다. 제 2 배선층(130)은, 제 1 비아 홀(120x)을 향해 노출된 전극 패드(110a)와 전기적으로 접속되어 있다.

[0005]

제 2 절연층(140)은, 제 1 절연층(120) 상에, 제 2 배선층(130)을 덮도록 형성되어 있다. 필요할 경우, 다른 배선층 및 절연층을 적절하게 더 적층할 수 있다.

[0006]

계속해서, 배선 기판(100)의 제조 방법에 관하여 설명한다. 도 2 내지 도 5는, 도 1에 도시된 반도체 장치의 제조 공정을 예시한다. 도 2 내지 도 5에 있어서, 동일 부품에 대해서는, 동일한 부호를 부여하고, 그 설명을 생략한다. 도 2를 참조하면, 구리박으로 이루어지는 지지체(210)를 준비한다. 지지체(210)의 한 쪽의 표면에, 제 1 배선층(110)의 형성 위치에 대응하는 개구부(220x)를 갖는 레지스트층(220)을 형성한다.

[0007]

도 3을 참조하면, 지지체(210)를 급전층으로 이용하는 전해 도금법에 의해, 지지체(210)의 한 쪽의 표면에 금속층(230) 및 제 1 배선층(110)을 적층한다. 금속층(230)의 재료로서는, 니켈(Ni)을 이용할 수 있다. 제 1 배선층(110)의 재료는 구리(Cu) 동일 수 있다. 제 1 배선층(110)의 면(110s)은 금속층(230)의 면(230s)과 접촉하고 있다.

[0008]

도 4를 참조하면, 도 3에 나타낸 레지스트층(220)을 제거한 후, 지지체(210)의 한 쪽의 표면에 금속층(230) 및 제 1 배선층(110)을 덮도록 제 1 절연층(120)을 형성한다. 제 1 절연층(120)에 제 1 비아 홀(120x)을 형성하고 나서, 제 1 절연층(120) 상에, 제 1 비아 홀(120x)을 통해 제 1 배선층(110)과 전기적으로 접속되는 제 2 배선층(130)을 형성한다. 제 1 절연층(120) 상에 제 2 배선층(130)을 덮도록 제 2 절연층(140)을 형성하고, 필요할 경우, 다른 배선층 및 절연층을 적층한다.

[0009]

도 5에 나타낸 공정에서는, 도 4에 나타낸 지지체(210)를 제거한다. 구리박으로 이루어지는 지지체(210)를 제거하며, 금속층(230)을 제거하지 않는 예칭액이 이용된다. 이에 따라, 금속층(230)은 예칭 스탭층으로 기능하여, 지지체(210)만을 제거할 수 있다.

[0010] 다음으로, 니켈(Ni)로 이루어지는 금속층(230)만을 제거할 수 있는 에칭액을 이용하여, 금속층(230)을 에칭에 의해 제거한다. 이에 따라, 제 1 배선층(110)의 면(110s)은 외부에 노출되고, 도 1에 나타낸 배선 기판(100)이 완성된다.

선행기술문헌

특허문헌

- [0011] (특허문헌 0001) 일본국 특개평10-125819호 공보
 (특허문헌 0002) 일본국 특개2002-198462호 공보
 (특허문헌 0003) 일본국 특개2009-033183호 공보

발명의 내용

해결하려는 과제

[0012] 그런데, 전해 도금법에 의해 형성된, 니켈(Ni)로 이루어지는 금속층(230)의 면(230s)은 평활면이다. 그 때문에, 도 5에 나타낸 공정 후에 노출된, 금속층(230)의 면(230s)과 접촉하고 있었던 제 1 배선층(110)의 면(110s)(전극 패드(110a)의 면(110s) 및 위치 맞춤 마크(110b)의 면(110s))도 평활면으로 된다. 평활면의 표면 거칠기(Ra)는 50nm 이하이다($Ra \leq 50\text{nm}$).

[0013] 전술한 바와 같이, 위치 맞춤 마크(110b)는, 반도체 칩 등의 전자 부품과 배선 기판(100)의 위치 맞춤의 기준이나, 배선 기판(100)과 다른 배선 기판의 위치 맞춤의 기준 등으로서 이용된다. 위치 맞춤 마크(110b)의 면(110s)이 평활면이면, 반도체 칩과 배선 기판(100)이 적절하게 위치 맞춤되지 않는다는 문제가 생긴다. 이 문제를, 도 6을 참조하여 설명한다.

[0014] 도 6은, 예로서의 위치 맞춤 마크가 광을 반사하는 상태를 도시한다. 도 6에 있어서, 동일 부품에 대해서는, 동일한 부호를 부여하고, 그 설명을 생략한다. 또한, 도 6은 배선 기판(100)이 반전되어 도시되어 있다. 전극 패드(110a)는, 반도체 칩과 접속되는 접속 단자로서 이용된다. 즉, 반도체 칩이 배선 기판(100)의 전극 패드(110a)측에 설치되는 동안, 반도체 칩과 배선 기판(100)의 위치 맞춤이 필요하게 된다.

[0015] 도 6을 참조하면, 반도체 칩(도시 생략)과 배선 기판(100)의 위치 맞춤 등의 시에는, 광원(910)에 의해 위치 맞춤 마크(110b)의 면(110s)에 가시광 등을 조사한다. 면(110s)에서의 반사광을 CCD 카메라 등의 수광부(920)에 의해 수광함으로써, 위치 맞춤 마크(110b)를 인식한다. 인식된 위치 맞춤 마크(110b)를 기준으로 해서, 반도체 칩(도시 생략)과 배선 기판(100)의 위치 맞춤을 행한다. 또한, 광원(910)은 수광부(920)를 가로막지 않는 위치에 배치될 필요가 있기 때문에, 조사 광은 위치 맞춤 마크(110b)의 면(110s)에 비스듬히 입사될 수 있다.

[0016] 여기에서, 위치 맞춤 마크(110b)의 면(110s)이 평활면이면, 광원(910)으로부터의 조사 광은 면(110s)에 있어서는 거의 난반사되지 않는다. 그 때문에 광원(910)으로부터의 조사 광의 대부분은, 입사각(조사 광과 Z축 사이의 각)과 대략 동일한 반사각(반사광과 Z축 사이의 각)을 갖는 반사광으로 된다. 그러므로, 반사광은 수광부(920)를 향해 진행되지 않고, 도 6에 나타낸 화살표 방향으로 진행된다. 그 결과, 광원(910)으로부터의 조사 광의 대부분은 수광부(920)에는 입사되지 않는다. 따라서, 위치 맞춤 마크(110b)를 인식하는 것이 곤란하다. 위치 맞춤 마크(110b)를 인식할 수 없으면, 반도체 칩을 배선 기판(100)에 설치할 수 없는 문제가 생긴다.

[0017] 따라서, 상기 논의된 하나 이상의 문제점을 해결하기 위해서, 본 발명의 실시형태는, 신규하고 유용한, 용이하게 인식하는 것이 가능한 위치 맞춤 마크를 갖는 배선 기판, 그 배선 기판의 제조 방법, 및 상기 배선 기판에 반도체 칩 및 칩 커파시터 등의 각종 전자 부품을 설치한 반도체 패키지를 제공하는 것을 과제로 한다.

과제의 해결 수단

[0018] 더 구체적으로는, 본 발명의 실시형태는 절연층, 상기 절연층의 표면에 형성된 오목부, 및 상기 오목부 내에 형성된 위치 맞춤 마크를 포함하고, 상기 위치 맞춤 마크의 한 쪽의 면은, 조화면으로 되는 동시에 상기 절연층의 표면으로부터 오목해지며, 상기 오목부로부터 노출되는 배선 기판을 제공할 수 있다.

[0019] 본 발명의 다른 양태는, 지지체의 한 쪽의 표면에 금속층을 형성하는 공정, 상기 금속층에 위치 맞춤 마크로 되

는 배선층을 적층하는 공정, 상기 금속층 및 상기 배선층을 덮도록, 상기 지지체의 상기 한 쪽의 표면에 절연층을 형성하는 공정, 상기 배선층의 한 쪽의 면을 조화면으로 하는 공정, 및 상기 지지체 및 상기 금속층을 제거함으로써, 상기 절연층으로부터 상기 배선층의 한 쪽의 면을 노출하는 공정을 포함하는 배선 기판의 제조 방법을 제공할 수 있다.

[0020] 본 발명의 다른 양태는, 반도체 칩, 및 상기 반도체 칩이 탑재되는 배선 기판을 포함하고, 상기 배선 기판은 절연층, 상기 절연층의 표면에 형성된 오목부, 및 상기 오목부 내에 형성된 위치 맞춤 마크를 포함하고, 상기 위치 맞춤 마크의 한 쪽의 면은, 조화면으로 되는 동시에 상기 절연층의 표면으로부터 오목해지며, 상기 오목부로부터 노출되는 반도체 패키지를 제공할 수 있다.

발명의 효과

[0021] 개시의 기술에 의하면, 용이하게 인식하는 것이 가능한 위치 맞춤 마크를 갖는 배선 기판, 그 제조 방법, 및 상기 배선 기판에 반도체 칩이나 칩 커패시터 등의 각종 전자 부품을 탑재한 반도체 패키지를 제공할 수 있다.

도면의 간단한 설명

[0022] 도 1은 종래의 배선 기판을 예시하는 단면도.

도 2는 종래의 배선 기판의 제 1 제조 공정을 예시하는 도면.

도 3은 종래의 배선 기판의 제 2 제조 공정을 예시하는 도면.

도 4는 종래의 배선 기판의 제 3 제조 공정을 예시하는 도면.

도 5는 종래의 배선 기판의 제 4 제조 공정을 예시하는 도면.

도 6은 종래의 위치 맞춤 마크가 광을 반사하는 상태를 설명하기 위한 도면.

도 7은 제 1 실시형태에 따른 배선 기판을 예시하는 단면도.

도 8은 제 1 실시형태에 따른 배선 기판의 제 1 제조 공정을 예시하는 단면도.

도 9는 제 1 실시형태에 따른 배선 기판의 제 2 제조 공정을 예시하는 단면도.

도 10은 제 1 실시형태에 따른 배선 기판의 제 3 제조 공정을 예시하는 단면도.

도 11은 제 1 실시형태에 따른 배선 기판의 제 4 제조 공정을 예시하는 단면도.

도 12는 제 1 실시형태에 따른 배선 기판의 제 5 제조 공정을 예시하는 단면도.

도 13은 제 1 실시형태에 따른 배선 기판의 제 6 제조 공정을 예시하는 단면도.

도 14는 제 1 실시형태에 따른 배선 기판의 제 7 제조 공정을 예시하는 단면도.

도 15는 제 1 실시형태에 따른 배선 기판의 제 8 제조 공정을 예시하는 단면도.

도 16은 제 1 실시형태에 따른 배선 기판의 제 9 제조 공정을 예시하는 단면도.

도 17은 제 1 실시형태에 따른 배선 기판의 제 10 제조 공정을 예시하는 단면도.

도 18은 제 1 실시형태에 따른 배선 기판의 제 11 제조 공정을 예시하는 단면도.

도 19는 제 1 실시형태에 따른 배선 기판의 제 12 제조 공정을 예시하는 단면도.

도 20은 제 1 실시형태에 따른 배선 기판의 제 13 제조 공정을 예시하는 단면도.

도 21은 제 1 실시형태에 따른 위치 맞춤 마크가 광을 반사하는 상태를 설명하기 위한 도면.

도 22는 제 2 실시형태에 따른 배선 기판의 제 1 제조 공정을 예시하는 단면도.

도 23은 제 2 실시형태에 따른 배선 기판의 제 2 제조 공정을 예시하는 단면도.

도 24는 제 2 실시형태에 따른 배선 기판의 제 3 제조 공정을 예시하는 단면도.

도 25는 제 2 실시형태에 따른 배선 기판의 제 4 제조 공정을 예시하는 단면도.

도 26은 제 3 실시형태에 따른 배선 기판의 제 5 제조 공정을 예시하는 단면도.

도 27은 제 4 실시형태에 따른 배선 기판을 예시하는 단면도.

도 28은 제 4 실시형태에 따른 배선 기판의 제 1 제조 공정을 예시하는 단면도.

도 29는 제 4 실시형태에 따른 배선 기판의 제 2 제조 공정을 예시하는 단면도.

도 30은 제 4 실시형태에 따른 배선 기판의 제 3 제조 공정을 예시하는 단면도.

도 31은 제 4 실시형태에 따른 배선 기판의 제 4 제조 공정을 예시하는 단면도.

도 32는 제 5 실시형태에 따른 반도체 패키지를 예시하는 단면도.

도 33은 제 5 실시형태에 따른 반도체 패키지의 제 1 제조 공정을 예시하는 단면도.

도 34는 제 5 실시형태에 따른 반도체 패키지의 제 2 제조 공정을 예시하는 단면도.

도 35는 제 5 실시형태의 변형예에 따른 반도체 패키지를 예시하는 단면도.

발명을 실시하기 위한 구체적인 내용

[0023]

상기 실시형태의 추가적인 목적 및 이점은 다음의 설명에서 부분적으로 기술되며, 그 설명으로부터 부분적으로 명확해지거나, 또는 본 발명의 실시에 의해 이해될 것이다. 본 발명의 목적 및 이점은 특허청구범위에 특별히 지시된 구성 요소 및 조합에 의해 실현되어 달성할 수 있다. 전술한 일반적인 설명 및 다음의 상세한 설명의 모두는 예시 및 설명적인 것으로, 본 발명을 청구된 바와 같이 제한하는 것이 아님을 이해해야 한다.

[0024]

제 1 실시형태

[0025]

[제 1 실시형태에 따른 배선 기판의 구조]

[0026]

먼저, 제 1 실시형태에 따른 배선 기판의 구조에 관하여 설명한다. 도 7은, 제 1 실시형태에 따른 배선 기판을 예시하는 단면도이다. 도 7을 참조하면, 배선 기판(10)은, 제 1 배선층(11), 제 1 절연층(12), 제 2 배선층(13), 제 2 절연층(14), 제 3 배선층(15), 제 3 절연층(16), 제 4 배선층(17), 및 솔더레지스트층(18)이 적층된 구조를 갖는다.

[0027]

배선 기판(10)에 있어서, 제 1 배선층(11)은, 제 1 절연층(12)의 표면(12a)에 형성된 오목부(12y) 내에 설치되어 있다. 제 1 배선층(11)의 면(11s)은 제 1 절연층(12)의 표면(12a) 상의 오목부로부터 노출되어 있다. 제 1 절연층(12)의 표면(12a)으로부터 제 1 배선층(11)의 면(11s)까지의 깊이 또는 거리는 약 $5\mu\text{m}$ 내지 $15\mu\text{m}$ 일 수 있다. 제 1 배선층(11)의 재료는 구리(Cu) 등일 수 있다. 제 1 배선층(11)의 두께는 약 $15\mu\text{m}$ 내지 $20\mu\text{m}$ 일 수 있다. 오목부(12y)는 평면에서 볼 때 원형으로 형성될 수 있다. 제 1 절연층(12)의 재료는 에폭시 수지나 폴리이미드 수지 등의 절연 수지일 수 있다. 제 1 절연층(12)의 두께는 $50\mu\text{m}$ 일 수 있다.

[0028]

제 1 배선층(11)은, 전극 패드(11a)와 위치 맞춤 마크(11b)를 포함한다. 전극 패드(11a)는, 반도체 칩, 칩 커패시터, 칩 레지스터, 및 칩 인더터 등의 각종 전자 부품과 접속되는 접속 단자이다. 전극 패드(11a)는 평면에서 볼 때 원형으로 형성될 수 있고, 그 직경은 약 $50\mu\text{m}$ 일 수 있다.

[0029]

위치 맞춤 마크(11b)는, 반도체 칩 등의 전자 부품과 배선 기판(10)의 위치 맞춤의 기준이나, 배선 기판(10)과 다른 배선 기판의 위치 맞춤의 기준 등으로서 이용된다. 위치 맞춤 마크(11b)는, 예를 들면 평면에서 볼 때 원형으로 형성될 수 있고, 그 직경은 약 0.3mm 일 수 있다. 다만, 위치 맞춤 마크(11b)는, 평면에서 볼 때 원형으로 형성될 필요는 없고, 평면에서 볼 때 직사각형이나 삼자형 등의 임의의 형상으로 해도 상관없다.

[0030]

제 1 배선층(11)의 면(11s)(전극 패드(11a)의 면(11s) 및 위치 맞춤 마크(11b)의 면(11s))은, 소정의 표면 거칠기의 조화면으로 되어 있다. 이하에서, 조화면은 50nm 보다 큰 표면 거칠기 R_a 를 가진다($R_a > 50\text{nm}$). 제 1 배선층(11)의 면(11s)(전극 패드(11a)의 면(11s) 및 위치 맞춤 마크(11b)의 면(11s))의 소정의 표면 거칠기(R_a)는 약 150nm 인 것이 바람직하다. 그러나, $50\text{nm} < R_a < 200\text{nm}$ 이면, 본 발명에 포함된다. 제 1 배선층(11)의 조화면(11s)의 표면 거칠기(R_a)를 $50\text{nm} < R_a < 200\text{nm}$ 로 하는 기술적인 의의에 관해서는 후술한다.

[0031]

제 2 배선층(13)은, 제 1 절연층(12)의 표면(12b)측에 형성되어 있다. 제 2 배선층(13)은, 제 1 절연층(12)을 관통하고, 제 1 비아 홀(12x) 내에 충전되며, 그 상면이 노출되는 비아, 및 제 1 절연층(12)의 표면(12b)에 형성된 배선 패턴을 포함한다. 제 2 배선층(13)은, 제 1 비아 홀(12x)을 향해 노출된 전극 패드(11a)와 전기적으

로 접속되어 있다. 제 2 배선층(13)의 재료는 구리(Cu) 등일 수 있다. 제 2 배선층(13)의 두께는 약 $15\mu\text{m}$ 내지 $20\mu\text{m}$ 일 수 있다.

[0032] 제 2 절연층(14)은, 제 1 절연층(12) 상의 제 2 배선층(13)을 덮도록 형성되어 있다. 제 2 절연층(14)의 재료로서는, 에폭시 수지나 폴리이미드 수지일 수 있다. 제 2 절연층(14)의 두께는 약 $50\mu\text{m}$ 일 수 있다.

[0033] 제 3 배선층(15)은 제 2 절연층(14) 상에 형성되어 있다. 제 3 배선층(15)은, 제 2 절연층(14)을 관통하고, 제 2 비아 홀(14x) 내에 충전되며, 그 상면이 노출되는 비아, 및 제 2 절연층(14) 표면에 형성된 배선 패턴을 포함한다. 제 3 배선층(15)은, 제 2 비아 홀(14x)을 향해 노출된 제 2 배선층(13)과 전기적으로 접속되어 있다. 제 3 배선층(15)의 재료는 구리(Cu) 등일 수 있다. 제 3 배선층(15)의 두께는 약 $15\mu\text{m}$ 내지 $20\mu\text{m}$ 일 수 있다.

[0034] 제 3 절연층(16)은, 제 2 절연층(14) 상에, 제 3 배선층(15)을 덮도록 형성되어 있다. 제 3 절연층(16)의 재료는 에폭시 수지나 폴리이미드 수지일 수 있다. 제 3 절연층(16)의 두께는 약 $50\mu\text{m}$ 일 수 있다.

[0035] 제 4 배선층(17)은 제 3 절연층(16) 상에 형성되어 있다. 제 4 배선층(17)은, 제 3 절연층(16)을 관통하고, 제 3 비아 홀(16x) 내에 충전되며, 그 상면이 노출되는 비아, 및 제 3 절연층(16) 상에 형성된 배선 패턴을 포함한다. 제 4 배선층(17)은, 제 3 비아 홀(16x)을 향해 노출된 제 3 배선층(15)과 전기적으로 접속되어 있다. 제 4 배선층(17)의 재료는 구리(Cu) 등일 수 있다. 제 4 배선층(17)의 두께는 약 $15\mu\text{m}$ 내지 $20\mu\text{m}$ 일 수 있다.

[0036] 솔더레지스트층(18)은, 제 3 절연층(16) 상에, 제 4 배선층(17)을 덮도록 형성되어 있다. 솔더레지스트층(18)은 개구부(18x)를 갖고, 제 4 배선층(17)의 일부는 솔더레지스트층(18)의 개구부(18x)의 내부를 향해 노출되어 있다. 솔더레지스트층(18)의 재료는 에폭시 수지나 이미드 수지 등을 포함하는 감광성 수지 조성물일 수 있다. 솔더레지스트층(18)의 두께는 약 $50\mu\text{m}$ 일 수 있다.

[0037] 필요할 경우, 개구부(18x) 내부를 향해 노출되는 제 4 배선층(17) 상에, 금속층 등을 형성해도 된다. 금속층의 예는, Au층이나, Ni/Au층(Ni층과 Au층을 이 순서로 적층한 금속층), Ni/Pd/Au층(Ni층과 Pd층과 Au층을 이 순서로 적층한 금속층)이다.

[0038] 또한, 솔더레지스트층(18)의 개구부(18x) 내부를 향해 노출되는 제 4 배선층(17) 상에(제 4 배선층(17) 상에 금속층 등이 형성되어 있을 경우에는, 금속층 등의 상에) 솔더 볼이나 리드 펤n 등의 외부 접속 단자를 형성해도 상관없다. 외부 접속 단자는, 마더보드 등의 실장 기판(도시 생략)에 설치된 패드와 전기적으로 접속하기 위한 단자이며, 필요할 경우 형성될 수 있다.

[0039] [제 1 실시형태에 따른 배선 기판의 제조 방법]

[0040] 계속해서, 제 1 실시형태에 따른 배선 기판의 제조 방법에 관하여 설명한다. 도 8 내지 도 20은, 제 1 실시형태에 따른 배선 기판의 제조 공정을 예시하는 도면이다. 도 8 내지 도 20에 있어서, 도 7과 동일 부품에 대해서는, 동일한 부호를 부여하고, 그 설명을 생략한다.

[0041] 도 8을 참조하면, 지지체(21)를 준비한다. 지지체(21)로서는, 실리콘판, 글래스판, 금속판, 금속박 등이다. 본 실시형태에서는, 지지체(21)로서 구리박을 이용한다. 이는 도 10에 나타낸 공정에 있어서 지지체가 전해 도금용 급전층으로서 이용되기 때문이다. 도 17에 나타낸 공정에 있어서 지지체는 용이하게 제거 가능하다. 지지체(21)의 두께는 약 $35\mu\text{m}$ 내지 $100\mu\text{m}$ 일 수 있다.

[0042] 도 9를 참조하면, 제 1 배선층(11)을 구성하는 전극 패드(11a)의 형성 위치에 대응하는 개구부(22x), 및 제 1 배선층(11)을 구성하는 위치 맞춤 마크(11b)의 형성 위치에 대응하는 개구부(22y)를 갖는 레지스트층(22)을 형성한다. 레지스트층(22)의 두께는 약 $30\mu\text{m}$ 내지 $50\mu\text{m}$ 일 수 있다.

[0043] 구체적으로는, 지지체(21)의 한 쪽의 표면에, 에폭시 수지나 이미드 수지 등을 포함하는 감광성 수지 조성물로 이루어지는 액상 또는 페이스트 레지스트를 도포한다. 또는, 지지체(21)의 한 쪽의 표면에, 에폭시 수지나 이미드 수지 등을 포함하는 감광성 수지 조성물로 이루어지는 드라이 필름 레지스트 등의 필름 레지스트를 적층한다. 레지스트층(22)을 노광하고 도포 또는 적층된 레지스트를 현상함으로써, 개구부(22x 및 22y)를 형성한다. 이에 따라, 개구부(22x 및 22y)를 갖는 레지스트층(22)이 형성된다. 개구부(22x 및 22y)를 가지는 필름 레지스트를 지지체(21)의 한 쪽의 표면에 적층해도 상관없다.

[0044] 개구부(22x)는 제 1 배선층(11)을 구성하는 전극 패드(11a)에 대응하는 위치에 형성된다. 전극 패드의 배치 피치는 약 $100\mu\text{m}$ 일 수 있다. 개구부(22x)는 평면에서 볼 때 원형으로 형성될 수 있고, 그 직경은 약 $50\mu\text{m}$ 일 수 있다. 개구부(22y)는 평면에서 볼 때 원형으로 형성될 수 있고, 그 직경은 0.3mm 일 수 있다. 위치 맞춤 마크

(11b)는, 평면에서 볼 때 원형으로 형성될 필요는 없고, 평면에서 볼 때 직사각형 및 삼각형 등의 임의의 형상으로 해도 상관없다.

[0045] 도 10을 참조하면, 지지체(21)를 금전층으로 이용하는 전해 도금법에 의해, 개구부(22x 및 22y) 내의 지지체(21)의 한 쪽의 표면에 금속층(23)을 형성한다. 금속층(23)은, 후술하는 도 17에 나타낸 공정에서 지지체(21)를 제거할 때에, 제 1 배선층(11)이 제거되는 것을 방지하기 위해 설치된다. 금속층(23)은 에칭 스텝층으로서 기능한다. 금속층(23)의 재료는 지지체(21)를 제거하기 위한 에칭액에 의해 제거되지 않는다.

[0046] 구체적으로는, 제 1 실시형태에서는 지지체(21)로서 구리박을 이용하고 있기 때문에, 금속층(23)의 재료는, 구리(Cu)를 제거하기 위한 에칭액에 의해 제거할 수 없는 니켈(Ni)을 이용한다. 니켈(Ni)로 구성되는 금속층(23)은, 예를 들면 도금욕(plating bath)으로서 술폰산 니켈욕에서 전해 도금법에 의해 형성될 수 있다. 도금욕으로서 술폰산 니켈욕에서 전해 도금법에 의해 형성된 니켈(Ni)로 구성되는 금속층(23)의 표면(23s)은 평활면으로 된다. 여기에서, 평활면은 50nm 이하의 표면 거칠기를 가진다($R_a \leq 50\text{nm}$). 그러나, 금속층(23)은, 구리(Cu)를 제거하기 위한 에칭액에 의해 제거할 수 없는 것이면, 니켈(Ni) 이외의 재료를 이용해도 상관없다. 금속층(23)의 두께는 약 5 μm 내지 15 μm 일 수 있다.

[0047] 도 11을 참조하면, 지지체(21)를 금전층으로 이용하는 전해 도금법에 의해, 개구부(22x 및 22y) 내의 금속층(23)의 면(23s)에 제 1 배선층(11)을 형성한다. 제 1 배선층(11)의 재료는 구리(Cu) 등일 수 있다. 제 1 배선층(11)의 두께는 약 15 μm 내지 20 μm 이다. 제 1 배선층(11)은, 전극 패드(11a)와 위치 맞춤 마크(11b)를 포함한다. 전극 패드(11a)는, 반도체 칩과 접속되는 접속 단자로서 이용된다. 위치 맞춤 마크(11b)는, 반도체 칩 등의 전자 부품과 배선 기판(10)의 위치 맞춤의 기준이나, 배선 기판(10)과 다른 배선 기판의 위치 맞춤의 기준으로서 이용된다. 이렇게, 전극 패드(11a)와 위치 맞춤 마크(11b)는, 동일 공정에 있어서 형성된다.

[0048] 다음으로, 도 12를 참조하면, 도 11에 나타낸 레지스트층(22)을 제거한 후, 금속층(23) 및 제 1 배선층(11)을 덮도록 지지체(21)의 한 쪽의 표면에 제 1 절연층(12)을 형성한다. 제 1 절연층(12)의 재료는 열경화성 필름 형상의 에폭시 수지나 폴리이미드 수지 등, 또는 열경화성 액상 또는 페이스트 형상의 에폭시 수지나 폴리이미드 수지일 수 있다. 제 1 절연층(12)은, 후술하는 공정에서 레이저 가공법 등에 의해 제 1 비아 홀(12x)을 형성하기 쉽게 할 수 있도록, 필러가 함유된 가공성이 우수한 수지재를 이용하는 것이 바람직하다. 제 1 절연층(12)의 두께는 약 50 μm 이다.

[0049] 제 1 절연층(12)의 재료로서 필름 형상의 에폭시 수지나 폴리이미드 수지, 열경화성 액상 또는 페이스트 형상의 에폭시 수지나 폴리이미드 수지 등을 이용했을 경우에는, 금속층(23) 및 제 1 배선층(11)을 덮도록 지지체(21)의 표면에 필름 형상의 제 1 절연층(12)을 적층할 수 있다. 적층된 제 1 절연층(12)을 가압한 후, 제 1 절연층(12)을 경화 온도 이상으로 가열해서 경화시킨다. 제 1 절연층(12)을 진공 분위기 하에서 적층함으로써, 보이드가 형성되는 것을 방지할 수 있다.

[0050] 제 1 절연층(12)의 재료로서 열경화성 액상 또는 페이스트 형상의 에폭시 수지나 폴리이미드 수지 등을 이용했을 경우에는, 금속층(23) 및 제 1 배선층(11)을 덮도록 액상 또는 페이스트 형상의 제 1 절연층(12)을, 예를 들면 스핀 코팅법 등에 의해 도포할 수 있다. 그리고, 도포한 제 1 절연층(12)을 경화 온도 이상으로 가열해서 경화시킨다.

[0051] 도 13을 참조하면, 제 1 절연층(12)에, 제 1 절연층(12)을 관통하고 제 1 배선층(11)의 면을 노출시키는 제 1 비아 홀(12x)을 형성한다. 제 1 비아 홀(12x)은, 예를 들면 CO_2 레이저를 이용한 레이저 가공법에 의해 형성될 수 있다. 제 1 비아 홀(12x)은, 제 1 절연층(12)으로서 감광성 수지를 이용하고, 포토리스그래피법에 의해 제 1 절연층(12)을 패터닝함으로써 형성할 수 있다. 또한, 제 1 비아 홀(12x)은, 제 1 비아 홀(12x)에 대응하는 위치를 마스크하는 스크린 마스크를 통해 액상 또는 페이스트 형상의 수지를 인쇄하고 경화시킴으로써 형성해도 상관없다.

[0052] 도 14를 참조하면, 제 1 절연층(12)의 표면(12b)측에 제 2 배선층(13)을 형성한다. 제 2 배선층(13)은, 제 1 비아 홀(12x) 내에 충전된 비아, 및 제 1 절연층(12)의 표면(12b)에 형성된 배선 패턴을 포함해서 구성된다. 제 2 배선층(13)은, 제 1 비아 홀(12x)을 향해 노출된 제 1 배선층(11)의 전극 패드(11a)와 전기적으로 접속된다. 제 2 배선층(13)의 재료는 구리(Cu) 등일 수 있다.

[0053] 제 2 배선층(13)은, 세미애디티브법(semi-additive method)이나 서브트랙티브법(subtractive method)의 각종의 배선 형성 방법을 이용하여 형성할 수 있다. 예로서, 세미애디티브법을 이용하여 제 2 배선층(13)을 형성하는

방법을 이하에 나타낸다.

[0054] 먼저, 무전해 도금법 또는 스퍼터링법에 의해, 제 1 비아 홀(12x) 내에 노출된 제 1 배선층(11)의 전극 패드(11a)의 상면, 및 제 1 비아 홀(12x)의 내벽을 포함하는 제 1 절연층(12) 상에 구리(Cu) 등으로 이루어지는 시드층(도시 생략)을 형성한다. 또한, 시드층 상에 제 2 배선층(13)에 대응하는 개구부를 구비한 레지스트층(도시 생략)을 형성한다. 시드층을 급전층으로서 이용한 전해 도금법에 의해, 레지스트층의 개구부에 구리(Cu)로 이루어지는 배선층(도시 생략)을 형성한다. 계속해서, 레지스트층을 제거한 후에, 배선층을 마스크로 이용해서, 배선층으로 덮여 있지 않은 부분의 시드층을 에칭에 의해 제거한다. 이에 따라, 제 1 절연층(12) 상에, 제 1 비아 홀(12x) 내에 충전된 비아 및 제 1 절연층(12) 상에 형성된 배선 패턴을 포함해서 구성되는 제 2 배선층(13)이 형성된다.

[0055] 도 15를 참조하면, 상기와 동일한 공정을 반복함으로써, 제 2 절연층(14), 제 3 배선층(15), 제 3 절연층(16), 및 제 4 배선층(17)을 적층한다. 즉, 제 1 절연층(12)의 표면(12b)에 제 2 배선층(13)을 피복하는 제 2 절연층(14)을 형성한 후에, 제 2 배선층(13) 상의 제 2 절연층(14)의 부분에 제 2 비아 홀(14x)을 형성한다. 제 2 절연층(14)의 재료는, 열경화성 필름 형상의 에폭시 수지나 폴리이미드 수지, 또는 열경화성 액상 또는 페이스트 형상의 에폭시 수지나 폴리이미드 수지일 수 있다.

[0056] 또한, 제 2 절연층(14) 상에, 제 2 비아 홀(14x)을 통해 제 2 배선층(13)에 접속되는 제 3 배선층(15)을 형성한다. 제 3 배선층(15)의 재료는 구리(Cu) 등이다. 제 3 배선층(15)은 세미애디티브법에 의해 형성될 수 있다.

[0057] 제 2 절연층(14) 상에 제 3 배선층(15)을 피복하는 제 3 절연층(16)을 형성한 후에, 제 3 배선층(15) 상의 제 3 절연층(16)의 부분에 제 3 비아 홀(16x)을 형성한다. 또한, 제 3 절연층(16) 상에, 제 3 비아 홀(16x)을 통해 제 3 배선층(15)에 접속되는 제 4 배선층(17)을 형성한다. 제 3 절연층(16)의 재료로서는, 예를 들면 열경화성 필름 형상의 에폭시 수지나 폴리이미드 수지, 또는 열경화성 액상 또는 페이스트 형상의 에폭시 수지나 폴리이미드 수지일 수 있다. 제 4 배선층(17)의 재료는 구리(Cu) 등이다. 제 4 배선층(17)은 세미애디티브법에 의해 형성될 수 있다.

[0058] 이렇게 하여, 지지체(21)의 한 쪽의 표면에 소정의 빌드업 배선층이 형성된다. 제 1 실시형태에서는, 제 2 배선층(13), 제 3 배선층(15), 및 제 4 배선층(17)을 포함하는 3층의 빌드업 배선을 형성한다. n 층(n 은 1 이상의 정수)의 빌드업 배선층을 형성하는 것이 가능하다.

[0059] 도 16을 참조하면, 제 3 절연층(16) 상에, 제 4 배선층(17)을 덮도록 개구부(18x)를 갖는 솔더레지스트층(18)을 형성한다. 구체적으로는, 제 3 절연층(16) 상에, 제 4 배선층(17)을 덮도록, 에폭시 수지나 이미드계 수지 등을 포함하는 감광성 수지 조성물로 이루어지는 솔더레지스트를 도포한다. 도포된 솔더레지스트를 노광 및 현상함으로써, 개구부(18x)를 형성한다. 이에 따라, 개구부(18x)를 갖는 솔더레지스트층(18)이 형성된다. 제 4 배선층(17)의 일부는, 솔더레지스트층(18)의 개구부(18x) 내에 노출된다. 개구부(18x) 내에 노출되는 제 4 배선층(17)은, 마더보드 등의 실장 기판(도시 생략)에 설치된 패드와 전기적으로 접속하기 위해서 전극 패드로서 기능한다.

[0060] 필요할 경우, 개구부(18x) 내부를 향해 노출되는 제 4 배선층(17) 상에, 금속층 등을 형성해도 된다. 금속층의 예는, Au층이나, Ni/Au층(Ni층과 Au층을 이 순서로 적층한 금속층), 및 Ni/Pd/Au층(Ni층과 Pd층과 Au층을 이 순서로 적층한 금속층)이다.

[0061] 도 17에 나타낸 공정에서는, 도 16에 나타낸 지지체(21)를 제거한다. 구리박으로 구성되어 있는 지지체(21)는, 염화 제2철 수용액이나 염화 제2구리 수용액과 황산 암모늄 수용액 등을 이용한 웨트 에칭에 의해 제거될 수 있다. 이 때, 금속층(23)은 니켈(Ni)로 구성되어 있기 때문에, 에칭 스텐층으로서 기능한다. 따라서, 지지체(21)를 선택적으로 에칭해서 제거할 수 있다. 이 공정에 의해, 금속층(23)의 다른 쪽의 면(면(23s)의 반대면)은, 제 1 절연층(12)으로부터 노출된다. 제 4 배선층(17)이 구리(Cu)로 구성되어 있을 경우에는, 제 4 배선층(17)을 마스크함으로써, 지지체(21)와 함께 에칭되는 것을 방지한다.

[0062] 도 18에 나타낸 공정에서는, 도 17에 나타낸 금속층(23)을 제거한다. 니켈(Ni)로 구성되어 있는 금속층(23)은, 예를 들면 메크(주)(MEC Co., Ltd.) 제조의 니켈 제거액 NH1860 등을 이용한 웨트 에칭에 의해 제거될 수 있다. 이 공정에 의해, 제 1 배선층(11)의 면(11s)은, 제 1 절연층(12)의 표면(12a)에 형성된 오목부(12y) 내의 제 1 절연층(12)의 표면(12a)으로부터 오목해진 위치에서 노출된다. 제 1 절연층(12)의 표면(12a)으로부터 면(11s) 까지의 깊이 또는 거리는 약 $5\mu\text{m}$ 내지 $15\mu\text{m}$ 일 수 있다. 전술한 바와 같이, 금속층(23)의 면(23s)은 평활면이기 때문에, 금속층(23)의 면(23s)과 접촉하고 있었던 제 1 배선층(11)의 면(11s)(전극 패드(11a)의 면(11s) 및 위

치 맞춤 마크(11b)의 면(11s))도 평활면으로 된다.

[0063] 다음으로, 도 19 및 도 20을 참조하면, 제 1 배선층(11)의 면(11s)(전극 패드(11a)의 면(11s) 및 위치 맞춤 마크(11b)의 면(11s))을 소정의 표면 거칠기의 조화면으로 한다. 이에 따라, 도 7에 나타낸 배선 기판(10)이 완성된다. 또한, 도 20은, 도 19의 원 A를 확대해서 예시하는 단면도이다. 제 1 배선층(11)의 면(11s)의 소정의 표면 거칠기는 약 150nm($R_a=150\text{nm}$)인 것이 바람직하다. 그러나, $50\text{nm} < R_a < 200\text{nm}$ 의 범위이면 상관없다. 제 1 배선층(11)의 면(11s)은 50nm($R_a=50\text{nm}$)의 소정의 표면 거칠기를 가지는 조화면일 수 있다. 제 1 배선층(11)의 면(11s)은 포름산 등의 유기산을 포함하는 약액을 이용한 웨트 에칭이나, 제 1 배선층(11)의 면(11s) 이외의 부분을 마스크한 블라스트 처리 등에 의해 소정의 표면 거칠기가 얻어진다.

[0064] 블라스트 처리는 연마제를 피처리물에 고압으로 분사하여, 피처리물의 표면 조도(粗度)를 기계적으로 조정하는 처리이다. 블라스트 처리는, 에어 블라스트 처리, 솟(shot) 블라스트 처리, 웨트 블라스트 처리 등을 포함한다. 알루미나 연마용 입자 및 구 형상 실리카 연마용 입자 등의 연마제를 분산시켜 피처리물에 충돌시켜서, 미세 영역의 연마를 행함으로써 웨트 블라스트 처리가 실시된다. 웨트 블라스트 처리를 이용하면, 에어 블라스트 처리나 솟 블라스트 처리에 비해 매우 치밀하고 손상이 적은 연마가 가능하다. 또한, 연마제를 물 등의 용매에 분산시키기 때문에, 에어 블라스트 처리 및 솟 블라스트 처리와 달리 연마제가 분진으로서 공기 중으로 비산하지 않는다.

[0065] 제 1 배선층(11)의 면(11s)을 조화면으로 하는 기술적인 의의에 관하여 설명한다. 도 21은, 제 1 실시형태에 따른 위치 맞춤 마크가 광을 반사하는 상태를 도시한다. 도 21을 참조하면, 도 7과 동일 부품에 대해서는, 동일한 부호를 부여하고, 그 설명을 생략한다. 또한, 도 21은 배선 기판(10)이 도 7과는 반전되어 도시된 단면도이다. 전극 패드(11a)는, 반도체 칩(도시 생략)과 접속되는 접속 단자로서 이용된다. 반도체 칩은, 배선 기판(10)의 전극 패드(11a)측에 설치되는 동안에, 이 때에 반도체 칩과 배선 기판(10)의 위치 맞춤이 필요하게 된다.

[0066] 도 21을 참조하면, 반도체 칩(도시 생략)과 배선 기판(10)의 위치 맞춤 시에는, 광원(91)에 의해 위치 맞춤 마크(11b)의 면(11s)에 가시광 등을 조사한다. 면(11s)에 있어서의 반사광을 CCD 카메라 등의 수광부(92)에 의해 수광함으로써, 위치 맞춤 마크(11b)를 인식한다. 그리고, 인식된 위치 맞춤 마크(11b)에 의거하여, 반도체 칩과 배선 기판(10)의 위치 맞춤을 행한다. 또한, 광원(91)은 수광부(92)를 가로막지 않는 위치에 배치될 필요가 있기 때문에, 조사 광은 위치 맞춤 마크(11b)의 면(11s)에 비스듬히 입사될 수 있다.

[0067] 여기에서, 위치 맞춤 마크(11b)의 면(11s)은 조화면이기 때문에, 위치 맞춤 마크(11b)의 면(11s)이 평활면일 경우와는 달리, 광원(91)으로부터의 조사 광은 면(11s)에 있어서 난반사된다. 그 때문에, 광원(91)으로부터의 조사 광의 대부분은 수광부(92)의 방향으로 반사되어 수광부(92)에 입사된다. 따라서, 위치 맞춤 마크(11b)를 용이하게 인식할 수 있다. 위치 맞춤 마크(11b)를 인식할 경우, 반도체 칩을 배선 기판(10)의 옆바른 위치에 설치하는 것이 가능해진다.

[0068] 위치 맞춤 마크(11b)의 면(11s)으로의 조사 광을 난반사시킬 경우, 위치 맞춤 마크(11b)의 면(11s)의 표면 거칠기(R_a)는 약 150nm인 것이 바람직하다. 그러나, $50\text{nm} < R_a < 200\text{nm}$ 이면, 허용 가능하다.

[0069] 위치 맞춤 마크(11b)의 면(11s)의 표면 거칠기(R_a)가 50nm 이하일 경우($R_a \leq 50\text{nm}$), 즉 위치 맞춤 마크(11b)의 면(11s)이 평활면일 경우에는, 광원(91)으로부터의 조사 광은 면(11s)에 있어서 거의 난반사되지 않는다. 따라서, 광원(91)으로부터의 조사 광의 대부분은 수광부(92)에는 입사되지 않아, 위치 맞춤 마크(11b)를 인식하는 것이 곤란해진다.

[0070] 한편, 위치 맞춤 마크(11b)의 면(11s)의 표면 거칠기(R_a)가 200nm 일 이상일 경우($R_a \geq 200\text{nm}$)에는, 이하의 이유에 의해, 위치 맞춤 마크(11b)를 인식하는 것이 곤란해진다. 광원(91)으로부터의 조사 광은 과잉으로 산란되어, 위치 맞춤 마크(11b)로부터의 반사광은 약해져서, 제 1 절연층(12)의 표면(12a)으로부터의 반사광의 강도와 실질적으로 동일해진다. 그래서, 위치 맞춤 마크(11b)와 면(12a)으로부터의 반사광의 강도 사이의 차이가 작아진다. 상술한 바와 같이, 위치 맞춤 마크(11b)의 면(11s)의 표면 거칠기(R_a)는, $50\text{nm} < R_a < 200\text{nm}$ 의 범위이면 바람직하다.

[0071] 또한, 제 1 절연층(12)의 표면(12a)의 표면 거칠기(R_a)를, 제 1 절연층(12)의 위치 맞춤 마크(11b)의 표면 거칠기(R_a)와 다르게 하는 것이 바람직하다. 이 경우에, 표면(12a) 및 위치 맞춤 마크(11b)의 표면 거칠기의 R_a 가 동일할 경우보다, 위치 맞춤 마크(11b)를 더 용이하게 검출할 수 있다. 이 경우, 제 1 절연층(12)의 표면(12a)의 표면 거칠기(R_a)를, 제 1 절연층(12)의 위치 맞춤 마크(11b)의 표면 거칠기보다 크게 하거나 작게 해도,

위치 맞춤 마크(11b)를 검출하기 쉬워진다. 이는 위치 맞춤 마크(11b)로부터의 반사광만이, CCD 카메라 등의 수광부(92)에 입사되기 쉬워지기 때문이다.

[0072] 제 1 실시형태에 의하면, 반도체 칩과 배선 기판의 위치 맞춤 등에 이용되는 위치 맞춤 마크의 조화면을, $50\text{nm} < \text{Ra} < 200\text{nm}$ 의 범위의 소정의 표면 거칠기를 가지도록 설정한다. 이에 따라, 반도체 칩과 배선 기판의 위치 맞춤 시에 이용되는 위치 맞춤 마크에 조사되는 광은 위치 맞춤 마크의 조화면에서 난반사되어, 그 대부분이 수광부에 도달한다. 그 결과, 위치 맞춤 시에 위치 맞춤 마크를 용이하게 인식할 수 있기 때문에, 반도체 칩과 배선 기판의 위치 맞춤의 정밀도를 향상할 수 있다.

[0073] 제 2 실시형태에서는, 도 7에 나타낸 배선 기판(10)의 다른 제조 방법에 대해서 예시한다. 도 22 내지 도 25는, 제 2 실시형태에 따른 배선 기판의 제조 공정을 예시하는 단면도이다. 도 22 내지 도 25에 있어서, 도 7과 동일 부품에 대해서는, 동일한 부호를 부여하고, 그 설명을 생략한다.

[0074] 먼저, 제 1 실시형태의 도 8 내지 도 10에 나타낸 공정과 동일한 공정을 실행한다. 다음으로, 도 22 및 도 23에 나타낸 공정에서는, 금속층(23)의 면(23s)을 조화면으로 한다. 또한, 도 23은, 도 22의 원 B부를 확대해서 예시하는 단면도이다. 금속층(23)의 면(23s)은, 메크(주) 제조의 니켈 조화액 NR1870 등을 이용한 웨트 에칭에 의해 소정의 표면 거칠기의 조화면으로 할 수 있다. 제 1 금속층(23)의 면(23s)의 소정의 표면 거칠기는 약 150nm ($\text{Ra}=150\text{nm}$)인 것이 바람직하다. 그러나, $50\text{nm} < \text{Ra} < 200\text{nm}$ 의 범위이면 허용 가능하다.

[0075] 다음으로, 도 24 및 도 25를 참조하면, 지지체(21)를 급전층으로 이용하는 전해 도금법에 의해, 개구부($22x$ 및 $22y$) 내의 금속층(23)의 면(23s)에 제 1 배선층(11)을 형성한다. 또한, 도 25는, 도 24의 원(C)부를 확대해서 예시하는 단면도이다. 금속층(23)의 면(23s)은, 도 22 및 도 23에 나타낸 공정에서 소정의 표면 거칠기의 조화면으로 된다. 따라서, 금속층(23)의 면(23s)과 접하는 제 1 배선층(11)의 면(11s)에도 소정의 표면 거칠기의 조화면이 전사된다. 즉, 제 1 배선층(11)의 면(11s)(전극 패드(11a)의 면(11s) 및 위치 맞춤 마크(11b)의 면(11s))의 표면 거칠기도, 금속층(23)의 면(23s)의 표면 거칠기와 마찬가지로, $50\text{nm} < \text{Ra} < 200\text{nm}$ 의 범위로 된다. 또한, 제 1 배선층(11)의 상세(재료, 두께 등)에 대해서는, 제 1 실시형태와 동일하기 때문에, 그 부분의 설명을 생략한다.

[0076] 다음으로, 제 1 실시형태의 도 12 내지 도 18에 나타낸 공정과 동일한 공정을 실행한다. 도 18에 나타낸 공정과 동일하게 해서 도 24 및 도 25에 나타낸 금속층(23)을 제거함으로써, 제 1 배선층(11)의 면(11s)은, 제 1 절연층(12)의 표면(12a)으로부터 오목해진다. 그러므로, 도 7에 나타낸 배선 기판(10)이 완성된다.

[0077] 제 2 실시형태에 따르면, 제 1 실시형태와는 다른 제조 방법에 의해, 반도체 칩과 배선 기판의 위치 맞춤에 이용되는 위치 맞춤 마크의 표면을 조화면으로 한다. 이에 따라, 제 1 실시형태와 동일한 효과를 얻을 수 있다.

[0078] 제 3 실시형태에서는, 도 7에 나타낸 배선 기판(10)의 다른 제조 방법에 대해서 예시한다. 도 26은, 제 3 실시형태에 따른 배선 기판의 제조 공정을 예시하는 단면도이다. 도 26을 참조하면, 도 7과 동일 부품에 대해서는, 동일한 부호를 부여하고, 그 설명을 생략한다.

[0079] 먼저, 제 1 실시형태의 도 8 내지 도 9에 나타낸 공정과 동일한 공정을 실행한다. 다음으로, 도 26을 참조하면, 지지체(21)를 급전층으로 이용하는 전해 도금법에 의해, 개구부($22x$ 및 $22y$) 내의 지지체(21)의 한 쪽의 표면에 금속층(23)을 형성한다. 이 때, 도금액의 조성이나 전류 밀도를 미리 조정함으로써, 금속층(23)의 면(23s)을, 표면 거칠기(Ra)가 $50\text{nm} < \text{Ra} < 200\text{nm}$ 의 범위의 조화면으로 할 수 있다. 도금액의 조성은, 예를 들면 황산니켈 $264\text{g}/1$, 봉산 $30\text{g}/1$, 및 염화니켈 $50\text{g}/1$ 이다. 또한, 전류 밀도는 0.3 내지 $0.4\text{A}/\text{dm}^2$ 일 수 있다.

[0080] 상술한 바와 같이, 도금액의 조성이나 전류 밀도를 미리 적절하게 조정함으로써, 금속층(23)을 형성함과 동시에, 금속층(23)의 면(23s)을 $50\text{nm} < \text{Ra} < 200\text{nm}$ 의 범위의 소정의 표면 거칠기를 가지는 조화면으로 한다.

[0081] 다음으로, 제 2 실시형태의 도 24 및 도 25에 나타낸 공정과 동일한 공정을 실행하여, 금속층(23)의 면(23s)과 접하는 제 1 배선층(11)의 면(11s)에 소정의 표면 거칠기의 조화면을 전사한다. 제 1 배선층(11)의 면(11s)(전극 패드(11a)의 면(11s) 및 위치 맞춤 마크(11b)의 면(11s))의 표면 거칠기는, 금속층(23)의 면(23s)의 표면 거칠기와 마찬가지로, $50\text{nm} < \text{Ra} < 200\text{nm}$ 의 범위로 된다.

[0082] 다음으로, 제 1 실시형태의 도 12 내지 도 18에 나타낸 공정과 동일한 공정을 실행한다. 도 18에 나타낸 공정과 동일하게 해서 도 26에 나타낸 금속층(23)을 제거함으로써, 제 1 배선층(11)의 면(11s)은, 제 1 절연층(12)의 표면(12a)으로부터 오목해진다. 그러므로, 도 7에 나타낸 배선 기판(10)이 완성된다.

- [0083] 이렇게, 제 3 실시형태에 의하면, 제 1 및 제 2 실시형태와는 다른 제조 방법에 의해, 반도체 칩과 배선 기판의 위치 맞춤 등에 이용되는 위치 맞춤 마크의 표면을 조화면으로 한다. 이에 따라, 제 1 및 제 2 실시형태와 동일한 효과를 얻을 수 있다. 또한, 이하의 효과를 얻을 수 있다.
- [0084] 즉, 전해 도금법에 이용되는 도금액의 조성 및 전류 밀도를 조정함으로써, 금속층을 형성함과 동시에, 금속층의 한 쪽의 표면을 조화면으로 한다. 그 결과, 제 1 실시형태와 같이, 금속층을 형성하는 공정 및 배선층의 한 쪽의 표면을 조화면으로 하는 공정과, 제 2 실시형태와 같이, 금속층을 형성하는 공정과는 별도로 금속층의 한 쪽의 표면을 조화면으로 하는 공정을 준비할 필요가 없다. 따라서, 배선 기판의 제조 공정을 간략화할 수 있다.
- [0085] 제 4 실시형태에서는, 도 7에 나타낸 배선 기판(10)의 오목부(12y)의 깊이를 조정하는 방법에 대해서 예시한다.
- [0086] 도 27은, 제 4 실시형태에 따른 배선 기판을 예시하는 단면도이다. 도 27을 참조하면, 도 7과 동일 부품에 대해서는, 동일한 부호를 부여하고, 그 설명을 생략한다. 도 27을 참조하면, 배선 기판(30)은, 오목부(12y)가 깊어진 점이 배선 기판(10)과 다르다. 제 1 절연층(12)의 표면(12a)으로부터 면(11s)까지의 깊이 또는 거리는 약 15 μm 내지 30 μm 일 수 있다. 오목부(12y)를 깊게 함으로써, 전극 패드(11a) 상에 솔더 볼을 설치할 경우에, 솔더 볼을 오목부(12y) 내에 용이하게 배치할 수 있다.
- [0087] 도 28 내지 도 31은, 제 4 실시형태에 따른 배선 기판의 제조 공정을 예시하는 단면도이다. 도 28 내지 도 31에 있어서, 도 7과 동일 부품에 대해서는, 동일한 부호를 부여하고, 그 설명을 생략한다.
- [0088] 먼저, 제 1 실시형태의 도 8 및 도 9에 나타낸 공정과 동일한 공정을 실행한다. 도 28을 참조하면, 지지체(21)를 급전층으로 이용하는 전해 도금법에 의해, 개구부(22x 및 22y) 내의 지지체(21)의 한 쪽의 표면에 깊이 조정층(24)을 형성한다. 깊이 조정층(24)의 재료는, 지지체(21)와 동일한 에칭액에 의해 제거되는 것이 바람직하다. 이렇게 함으로써, 도 31에 나타낸 공정에 있어서, 동일한 에칭액을 사용한 웨트 에칭에 의해, 지지체(21) 및 깊이 조정층(24)을 동시에 제거한다. 제 4 실시형태에서는, 지지체(21)의 재료는 구리(Cu)이기 때문에, 깊이 조정층(24)의 재료도 구리(Cu)이다. 깊이 조정층(24)의 두께는, 오목부(12y)를 원하는 깊이로 하기 위해서 임의의 값으로 할 수 있다. 예를 들면, 깊이 조정층(24)의 두께는 10 μm 내지 15 μm 이다.
- [0089] 도 29를 참조하면, 지지체(21)를 급전층으로 이용하는 전해 도금법에 의해, 개구부(22x 및 22y) 내의 지지체(21)의 한 쪽의 표면의 깊이 조정층(24) 상에 금속층(23)을 형성한다. 그리고, 도 22 및 도 23에 나타낸 공정과 동일한 공정을 실행함으로써, 금속층(23)의 면(23s)을 조화면으로 한다. 또한, 금속층(23)의 상세(재료, 두께 등)에 대해서는, 제 1 실시형태와 동일하기 때문에, 그 설명을 생략한다.
- [0090] 다음으로, 도 30을 참조하여, 도 24 및 도 25에 나타낸 공정과 마찬가지로, 지지체(21)를 급전층으로 이용하는 전해 도금법에 의해, 개구부(22x 및 22y) 내의 금속층(23)의 면(23s)에 제 1 배선층(11)을 형성한다. 금속층(23)의 면(23s)은, 도 29에 나타낸 공정에서 조화면으로 되어 있다. 따라서, 금속층(23)의 면(23s)과 접하는 제 1 배선층(11)의 면(11s)도 조화면으로 된다. 또한, 제 1 배선층(11)의 상세(재료, 두께 등)에 대해서는, 제 1 실시형태와 동일하기 때문에, 그 설명을 생략한다.
- [0091] 다음으로, 제 1 실시형태의 도 12 내지 도 16에 나타낸 공정과 동일한 공정을 실행한 후, 도 30에 나타낸 지지체(21) 및 깊이 조정층(24)을 제거한다. 제 4 실시형태에서는, 지지체(21)의 재료와 깊이 조정층(24)의 재료는, 모두 구리(Cu)를 이용한다. 염화 제2철 수용액, 염화 제2구리 수용액 또는 과황산 암모늄 수용액 등을 이용한 웨트 에칭에 의해, 지지체(21) 및 깊이 조정층(24)을 동시에 제거할 수 있다. 이 때, 금속층(23)은 니켈(Ni)로 구성되어 있기 때문에, 에칭 스텝층으로서 기능한다. 따라서, 지지체(21) 및 깊이 조정층(24)을 선택적으로 에칭해서 제거한다. 이 공정에 의해, 금속층(23)의 다른 쪽의 면(면(23s)의 반대면)은, 오목부(12y) 내부를 향해 노출된다. 또한, 제 4 배선층(17)이 구리(Cu)로 구성되어 있을 경우에는, 제 4 배선층(17)을 마스크 함으로써, 지지체(21) 및 깊이 조정층(24)과 함께 에칭되는 것을 방지한다.
- [0092] 다음으로, 제 1 실시형태의 도 18에 나타낸 공정과 동일한 공정을 실행한다. 도 31에 나타낸 금속층(23)을 제거함으로써, 소정의 표면 거칠기의 조화면으로 된 제 1 배선층(11)의 면(11s)은, 제 1 절연층(12)의 표면(12a)으로부터 오목해진다. 그러므로, 도 27에 나타낸 배선 기판(30)이 완성된다. 배선 기판(30)에 있어서, 오목부(12y)의 깊이는, 도 7에 나타낸 배선 기판(10)에 비하면, 깊이 조정층(24)의 두께만큼 깊어져 있다.
- [0093] 또한, 깊이 조정층(24)을 설치하지 않고 금속층(23)을 두껍게 해도, 마찬가지로 오목부(12y)를 깊게 할 수 있다. 그러나, 니켈(Ni)을 에칭에 의해 제거하는데에 요하는 시간은, 동일한 두께의 구리(Cu)를 에칭에 의해 제거하는데에 요하는 시간보다 길어진다. 그 때문에, 배선 기판(30)의 제조에 요하는 시간을 단축하는 관점에

서는, 니켈(Ni)로 구성되어 있는 금속층(23)을 두껍게 하는 것보다, 구리(Cu)로 구성되어 있는 깊이 조정층(24)을 새롭게 설치하는 쪽이 바람직하다.

[0094] 이렇게, 제 1 및 제 2 실시형태와 동일한 효과를 얻을 수 있다. 또한, 이하의 효과를 얻을 수 있다. 깊이 조정층을 설치함으로써, 제 1 배선층의 형성되어 있는 오목부를 임의의 깊이로 조정할 수 있다. 그 결과, 전극 패드(11a) 상에 솔더 볼을 설치할 경우에, 솔더 볼을 오목부 내에 용이하게 배치할 수 있다.

[0095] 또한, 제 4 실시형태의 도 29에 나타낸 공정을, 제 3 실시형태의 도 26에 나타낸 공정으로 치환해도 상관없다. 이 경우에는, 제 3 실시형태와 동일한 효과를 얻을 수 있다.

[0096] 제 5 실시형태에서는, 배선 기판(10)에 반도체 칩을 설치하여 형성된 반도체 패키지에 관하여 기술한다.

[제 5 실시형태에 따른 반도체 패키지의 구조]

[0098] 먼저, 제 5 실시형태에 따른 반도체 패키지의 구조에 관하여 설명한다. 도 32는, 제 5 실시형태에 따른 반도체 패키지를 예시하는 단면도이다. 도 32를 참조하면, 도 7과 동일 부품에 대해서는, 동일한 부호를 부여하고, 그 설명을 생략한다.

[0099] 도 32를 참조하면, 반도체 패키지(40)는, 도 7에 나타낸 배선 기판(10)과, 반도체 칩(50), 솔더 범프(60), 및 언더필 수지(70)를 갖는다. 반도체 패키지(40)에 있어서, 반도체 칩(50)은, 배선 기판(10)의 대략 중앙부에, 솔더 범프(60)를 통해 탑재된다. 반도체 칩(50), 솔더 범프(60), 및 배선 기판(10)은 언더필 수지(70)로 밀봉되어 있다. 또한, 도 32는 배선 기판(10)이 도 7과 반전되어 도시된 단면도이다.

[0100] 반도체 칩(50)은, 반도체 기판(51)과, 전극 패드(52)를 갖는다. 반도체 기판(51)은, 예를 들면 실리콘(Si)으로 이루어지고 기판에 접적 회로(도시 생략)가 형성된다. 전극 패드(52)는, 반도체 기판(51)의 한 쪽에 형성되어 있고, 접적 회로(도시 생략)와 전기적으로 접속되어 있다. 전극 패드(52)의 재료는 Al일 수 있다.

[0101] 솔더 범프(60)는, 배선 기판(10)의 전극 패드(11a)와 반도체 칩(50)의 전극 패드(52)를 전기적으로 접속한다. 솔더 범프(60)의 재료는 Pb를 포함하는 합금, Sn과 Cu를 포함하는 합금, Sn과 Ag를 포함하는 합금, Sn, Ag, 및 Cu를 포함하는 합금 등일 수 있다.

[0102] 언더필 수지(70)는, 배선 기판(10)과 반도체 칩(50) 사이에 충전된다. 언더필 수지(70)는, 배선 기판(10)과 반도체 칩(50)의 열팽창 계수의 차이에 기인하여, 솔더 범프(60)를 포함하는 배선 기판(10)과 반도체 칩(50) 사이에 생기는 열응력을 완화하는 기능을 갖는다. 언더필 수지(70)는 비교적 점도가 낮은 열경화성 액상 절연 수지일 수 있다.

[0103] 반도체 칩(50) 이외에, 칩 커패시터나 칩 레지스터 등의 각종 전자 부품을 탑재해도 상관없다.

[제 5 실시형태에 따른 반도체 패키지의 제조 방법]

[0105] 계속해서, 제 5 실시형태에 따른 반도체 패키지의 제조 방법에 관하여 설명한다. 도 33 및 도 34는, 제 5 실시 형태에 따른 반도체 패키지의 제조 공정을 예시하는 도면이다. 도 33 및 도 34에 있어서, 도 21 또는 도 32와 동일 부품에 대해서는, 동일한 부호를 부여하고, 그 설명을 생략한다.

[0106] 먼저, 도 33을 참조하면, 도 7에 나타낸 배선 기판(10)과 주지의 방법에 의해 제작된 반도체 칩(50)을 준비한다. 배선 기판(10)의 전극 패드(11a) 상에 프리솔더(presolder)(61)를 형성하고, 반도체 칩(50)의 전극 패드(52) 상에 프리솔더(62)를 형성한다. 프리솔더(61 및 62)의 재료는 Pb를 포함하는 합금, Sn과 Cu를 포함하는 합금, Sn과 Ag를 포함하는 합금, Sn, Ag, 및 Cu를 포함하는 합금 등일 수 있다. 프리솔더(61 및 62)는, 배선 기판(10)의 전극 패드(11a) 상 및 반도체 칩(50)의 전극 패드(52) 상에, 각각 솔더 페이스트를 도포하고, 이 솔더 페이스트를 가지는 전극 패드(11a 및 52)를 소정의 온도에서 리플로우함으로써 형성될 수 있다.

[0107] 다음으로, 도 34에 나타낸 공정에서는, 배선 기판(10)의 전극 패드(11a)측과 반도체 칩(50)의 전극 패드(52)측을 대향시켜서, 프리솔더(61)가 프리솔더(62)와 대응하는 위치에 오도록 위치 맞춤을 행한다. 광원(91) 및 CCD 카메라 등의 수광부(92)를 갖는 열라인먼트 장치(도시 생략)를 이용하여, 배선 기판(10)과 반도체 칩(50)의 위치 맞춤을 행한다.

[0108] 구체적으로는, 광원(91)에 의해 위치 맞춤 마크(11b)의 면(11s)에 가시광을 조사하고, 면(11s)에서의 반사광을 CCD 카메라 등의 수광부(92)에 의해 수광해서 위치 맞춤 마크(11b)를 인식한다. 그리고, 인식된 위치 맞춤 마크(11b)에 의거하여, 배선 기판(10)과 반도체 칩(50)의 위치 맞춤을 행한다.

- [0109] 전술한 바와 같이, 위치 맞춤 마크(11b)의 면(11s)은 $50\text{nm} < Ra < 200\text{nm}$ 의 범위의 소정의 표면 거칠기의 조화면으로 되기 때문에, 광원(91)으로부터의 조사 광은 난반사된다. 그 때문에, 조사 광의 대부분은 수광부(92)의 방향으로 진행되고, 수광부(92)에 입사된다. 따라서, 위치 맞춤 마크(11b)를 용이하게 인식할 수 있다. 위치 맞춤 마크(11b)를 인식할 경우, 반도체 칩(50)을 배선 기판(10)의 올바른 위치에 탑재하는 것이 가능해진다.
- [0110] 반도체 칩(50)의 이외에 칩 커패시터 및 칩 레지스터 등의 각종 전자 부품을 탑재할 경우에는, 마찬가지로 위치 맞춤 마크(11b)를 인식함으로써, 칩 커패시터 및 칩 레지스터 등의 각종 전자 부품을 올바른 위치에 적절하게 탑재하는 것이 가능해진다.
- [0111] 다음으로, 프리솔더(61 및 62)를 230°C 에서 가열해서 이 프리솔더(61 및 62)를 용해시킴으로써, 솔더 범프(60)를 형성한다. 또한, 배선 기판(10)과 반도체 칩(50) 사이에, 비교적 점도가 낮은 열경화성 액상 절연 수지로 구성되는 언더필 수지(70)를 충전함으로써, 도 32에 나타낸 반도체 패키지(40)가 완성된다.
- [0112] 제 5 실시형태에 의하면, 조화면의 표면 거칠기(Ra)가 $50\text{nm} < Ra < 200\text{nm}$ 로 된 위치 맞춤 마크를 갖는 배선 기판에 반도체 칩을 탑재함으로써, 위치 맞춤 마크를 용이하게 인식할 수 있기 때문에, 반도체 칩을 배선 기판의 올바른 위치에 탑재한 반도체 패키지를 제조하는 것이 가능해진다.
- [0113] 제조된 반도체 패키지를 마더보드 등의 실장 기판에 탑재할 때에, 위치 맞춤 마크를 용이하게 인식할 수 있다. 따라서, 반도체 패키지를 실장 기판의 올바른 위치에 설치하는 것이 가능해진다.
- [0114] 제 5 실시형태의 변형예
- [0115] 제 5 실시형태에서는, 전극 패드(11a)를 반도체 칩 설치용 전극 패드로서 이용하고, 위치 맞춤 마크(11b)를 반도체 칩의 위치 맞춤에 이용한다. 제 5 실시형태의 변형예에서는, 전극 패드(11a)를 칩 커패시터 등의 각종 전자 부품 탑재용의 전극 패드나 마더보드 등의 실장 기판과 접속하기 위한 외부 접속 단자를 형성하는 전극 패드(예를 들면, 볼 그리드 어레이(BGA) 패드나 핀 그리드 어레이(PGA) 패드)로서 이용할 수 있다. 전극 패드(11a)를 칩 커패시터 등의 각종 전자 부품 및 외부 접속 단자로 되는 솔더 볼의 위치 맞춤의 기준으로서 사용할 수 있다. 제 5 실시형태의 변형예에 있어서, 제 5 실시형태와 공통되는 부분에 대해서는 그 설명을 생략하고, 제 5 실시형태와 다른 부분을 중심으로 설명한다.
- [0116] 도 35는, 제 5 실시형태의 변형예에 따른 반도체 패키지를 예시하는 단면도이다. 도 35를 참조하면, 도 32와 동일 부품에 대해서는, 동일한 부호를 부여하고, 그 설명을 생략한다. 도 35를 참조하면, 반도체 패키지(40A)에 있어서, 배선 기판(10A)의 한 쪽의 표면에는 반도체 칩(50)이 탑재되고, 배선 기판(10A)의 다른 쪽의 면에는 칩 커패시터(55) 및 외부 접속 단자(57)가 형성되어 있다.
- [0117] 배선 기판(10A)은, 배선 기판(10)과 동일한 제조 방법에 의해 형성된 기판이다. 배선 기판(10)에서는, 제 1 배선층(11)측에 반도체 칩을 탑재할 수 있도록, 제 1 배선층(11)의 전극 패드(11a)의 피치를 솔더레지스트층(18)의 개구부(18x) 내에 노출되는 제 4 배선층(17)의 피치보다 좁게 형성한다. 한편, 배선 기판(10A)에서는, 솔더 레지스트층(18)의 개구부(18x) 내에 노출되는 제 4 배선층(17)의 피치를 제 1 배선층(11)의 전극 패드(11a)의 피치보다 좁게 형성한다.
- [0118] 배선 기판(10A)에서는, 솔더레지스트층(18)의 개구부(18x) 내에 노출되는 제 4 배선층(17)이 반도체 칩과 접속되는 전극 패드로서 기능한다. 제 1 배선층(11)에 포함된 전극 패드(11a)(예를 들면, BGA 패드나 PGA 패드)는, 칩 커패시터(55) 등의 각종 전자 부품 탑재용의 전극 패드나 실장 기판과 접속하기 위한 외부 접속 단자(57)로서 기능한다.
- [0119] 칩 커패시터(55)는, 솔더(56)에 의해 전극 패드(11a)와 전기적으로 접속되어 있다. 솔더(56)의 재료는 Pb를 포함하는 합금, Sn과 Cu를 포함하는 합금, Sn과 Ag를 포함하는 합금, Sn, Ag, 및 Cu를 포함하는 합금 등일 수 있다.
- [0120] 외부 접속 단자(57)는 전극 패드(11a) 상에 형성되어 있다. 외부 접속 단자(57)는 오목부(12y) 내의 전극 패드(11a) 상에 솔더 볼을 배치하고, 이 솔더 볼을 용융시킴으로써 형성할 수 있다. 솔더 볼의 재료로서는, 예를 들면 Pb를 포함하는 합금, Sn과 Cu를 포함하는 합금, Sn과 Ag를 포함하는 합금, Sn, Ag, 및 Cu를 포함하는 합금 등일 수 있다. 다만, 외부 접속 단자(57)로서, 리드 핀 등을 이용하여도 상관없다.
- [0121] 제 5 실시형태의 변형예에서는, 외부 접속 단자(57)를 형성하고 있다. 그러나, 외부 접속 단자(57)는 형성되지 않을 수 있다. 필요할 때에, 제 1 배선층(11)의 일부가 제 1 절연층(12)으로부터 노출하여, 외부 접속 단자

(57)가 형성되는 패드로서 이용될 수 있다.

[0122] 위치 맞춤 마크(11b)는, 배선 기판(10A)에 칩 커패시터(55) 등의 각종 전자 부품이나 외부 접속 단자(57)가 되는 솔더 볼의 위치 맞춤의 기준 등으로서 이용될 수 있다. 칩 커패시터(55) 이외에, 칩 레지스터 및 칩 인더터 등의 각종 전자 부품을 탑재해도 상관없다.

[0123] 상술한 바와 같이, 제 5 실시형태의 변형예에 의하면, 조화면의 표면 거칠기(R_a)가 $50\text{nm} < R_a < 200\text{nm}$ 의 소정의 범위에 있는 위치 맞춤 마크를 구비한 배선 기판을 갖는 반도체 패키지에 칩 커패시터 등의 각종 전자 부품 및 외부 접속 단자로 되는 솔더 볼을 설치한다. 이 경우에, $50\text{nm} < R_a < 200\text{nm}$ 의 표면 거칠기(R_a)의 조화면은 용이하게 인식될 수 있기 때문에, 각종 전자 부품이나 외부 접속 단자로 되는 솔더 볼을 배선 기판의 올바른 위치에 배치하여 형성된 반도체 패키지를 제조하는 것이 가능해진다.

[0124] 또한, 제 5 실시형태 및 제 5 실시형태의 변형예에 나타낸 바와 같이, 위치 맞춤 마크(11b)는, 반도체 칩, 칩 커패시터, 칩 레지스터, 및 칩 인더터 등의 각종 전자 부품의 위치 맞춤의 기준이나, 배선 기판(10)이나 배선 기판(10A)의 다른 배선 기판으로의 위치 맞춤의 기준으로서 이용될 수 있다. 또한, 위치 맞춤 마크(11b)는, 배선 기판(10)이나 외부 접속 단자(57)로 되는 솔더 볼 등의 전자 부품 이외의 부품을 탑재할 때의 위치 맞춤의 기준으로서 이용될 수 있다.

[0125] 제 1 실시형태 내지 제 5 실시형태는, 절연층으로부터 노출되는 전극 패드의 조화면 및 위치 맞춤 마크의 다른 조화면을 $50\text{nm} < R_a < 200\text{nm}$ 의 범위의 표면 거칠기(R_a)를 가지는 경우를 나타낸다. 그러나, 절연층으로부터 노출되는 위치 맞춤 마크의 조화면이 $50\text{nm} < R_a < 200\text{nm}$ 의 범위의 표면 거칠기를 가지면 충분하다.

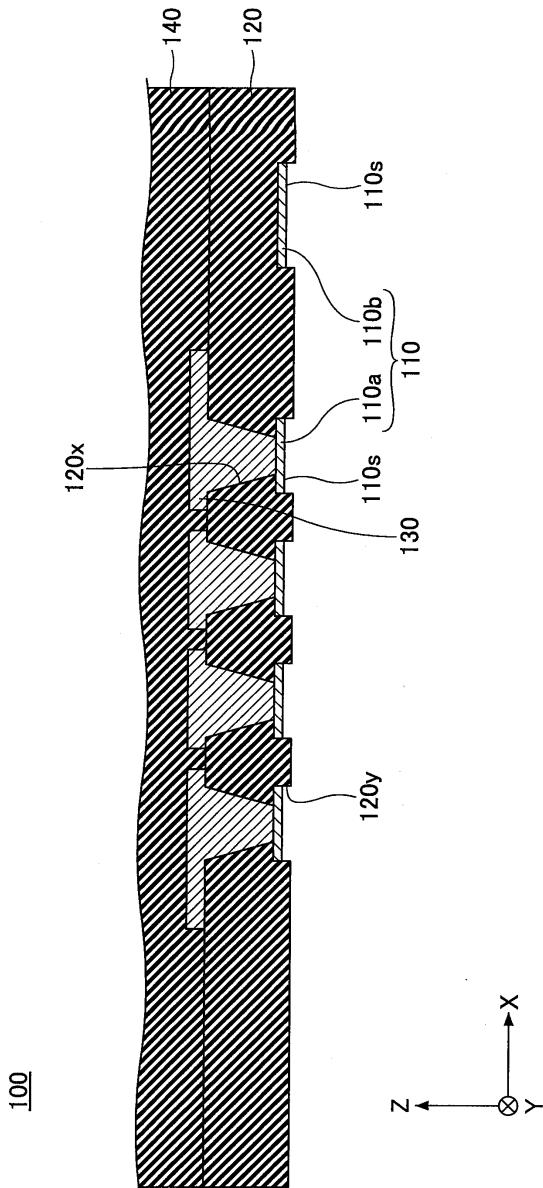
[0126] 여기에서 기술된 모든 예 및 조건 어구는 교시적 목적으로, 본 기술 분야에 대해 발명자에 의해 제공되는 발명 및 개념의 독자의 이해를 돋기 위한 것이며, 이렇게 구체적으로 기술된 예 및 조건에 대해 제한됨 없이, 또한 명세서 내의 이러한 예의 구성이 본 발명의 상위 또는 하위를 나타냄과 관련 없이 해석될 것이다. 본 발명의 실시형태를 상세하게 설명했지만, 상술한 실시형태에 제한되는 것은 아니고, 본 발명의 사상과 범주에서 일탈하지 않고, 다양한 변형, 치환, 및 변경이 가능함을 이해할 수 있다.

부호의 설명

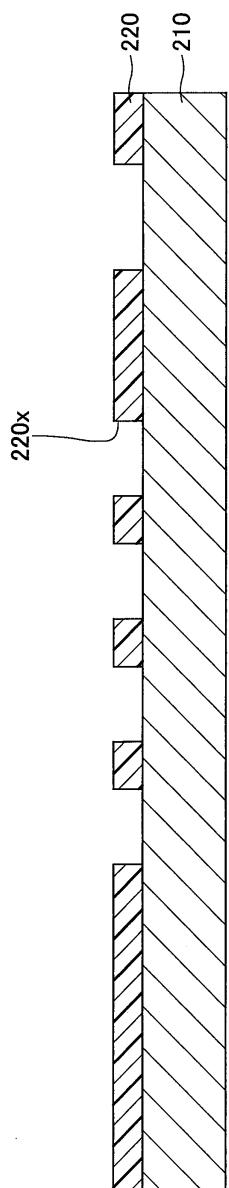
10, 10A, 30 : 배선 기판	11 : 제 1 배선층
11a : 전극 패드	11b : 위치 맞춤 마크
11s, 23s : 면	12a, 12b : 표면
12 : 제 1 절연층	12x : 제 1 비아 홀
12y : 오목부	13 : 제 2 배선층
14 : 제 2 절연층	14x : 제 2 비아 홀
15 : 제 3 배선층	16 : 제 3 절연층
16x : 제 3 비아 홀	17 : 제 4 배선층
18 : 솔더레지스트층	18x, 22x, 22y : 개구부
21 : 지지체	22 : 레지스트층
23 : 금속층	24 : 깊이 조정층
40, 40A : 반도체 패키지	50 : 반도체 칩
51 : 반도체 기판	52 : 전극 패드
55 : 칩 커패시터	56 : 솔더
57 : 외부 접속 단자	60 : 솔더 범프
61, 62 : 프리솔더	70 : 언더필 수지
91 : 광원	92 : 수광부

도면

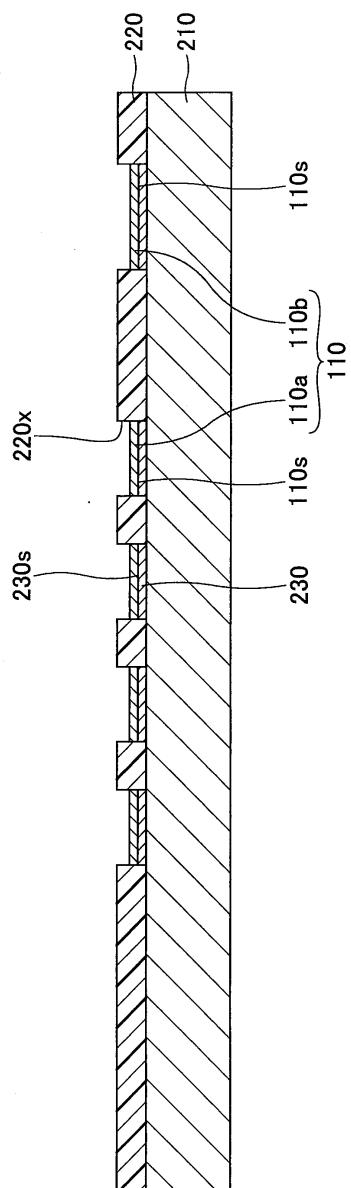
도면1



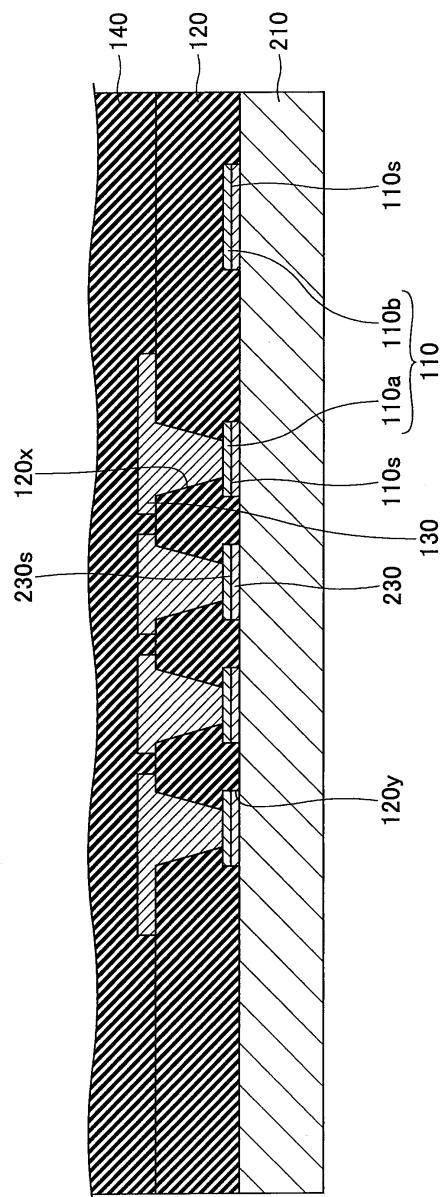
도면2



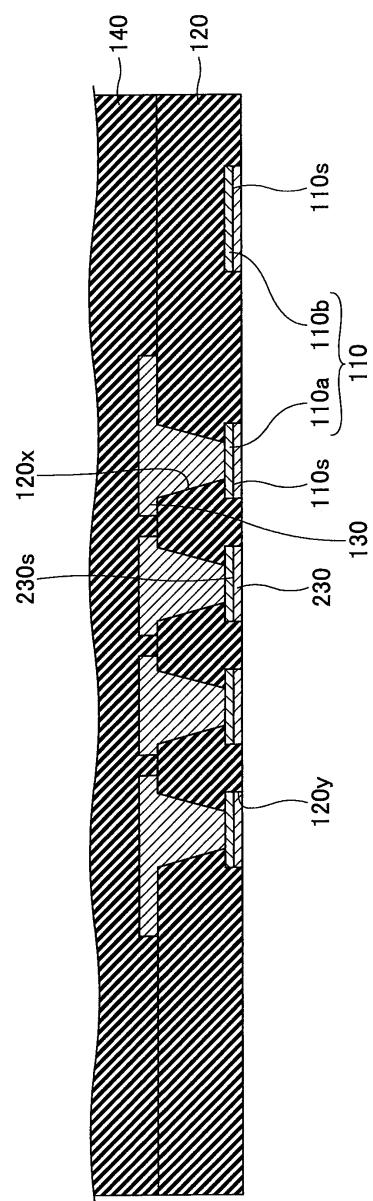
도면3



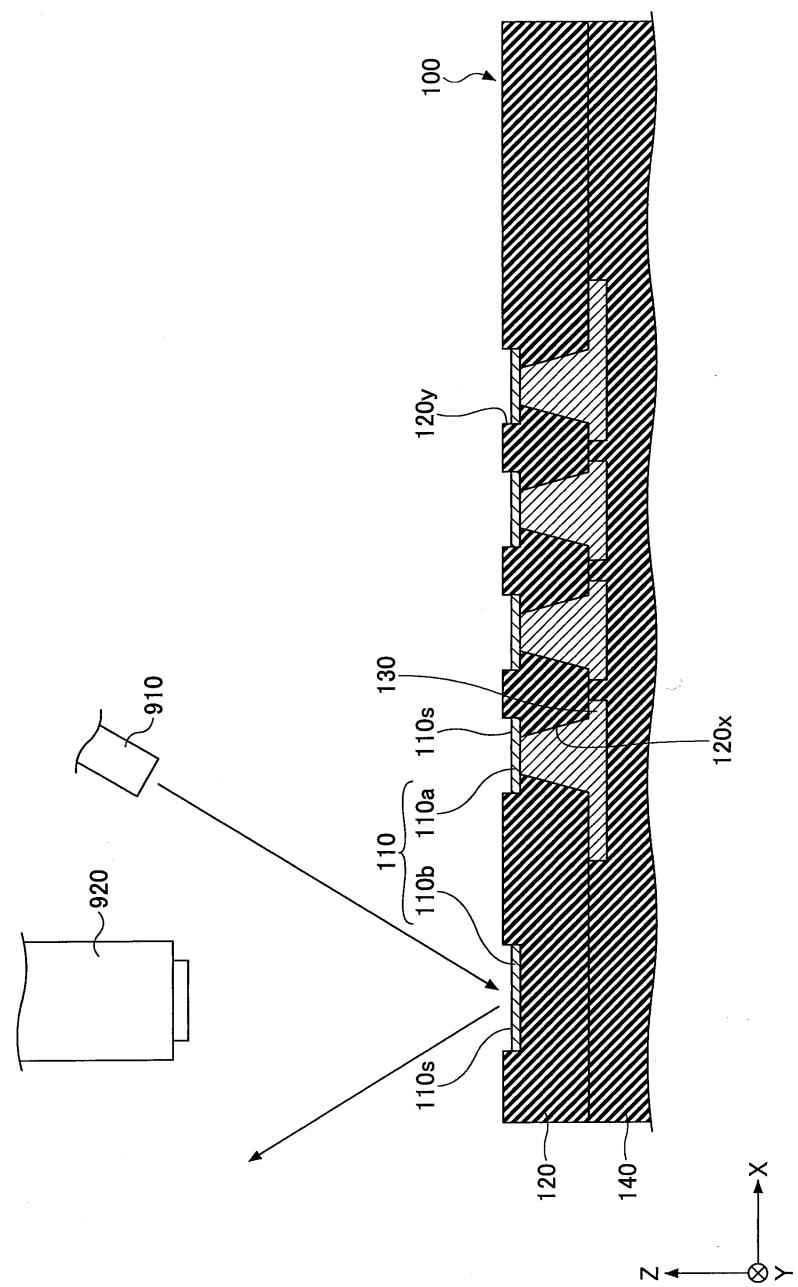
도면4



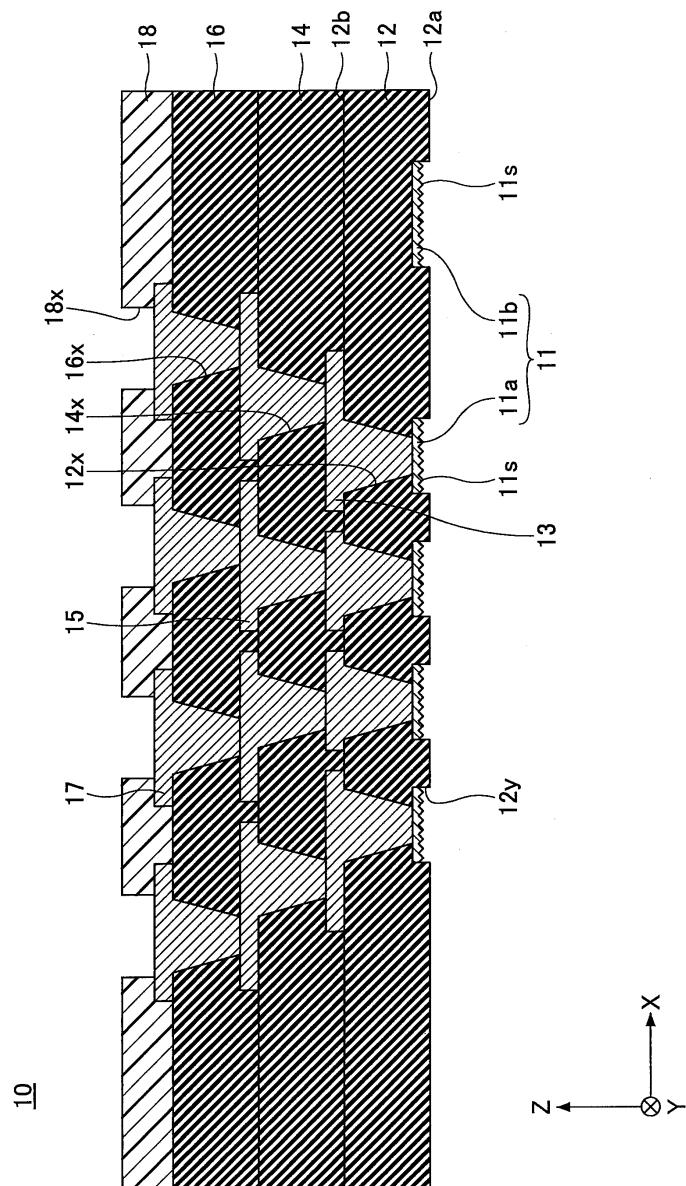
도면5



도면6

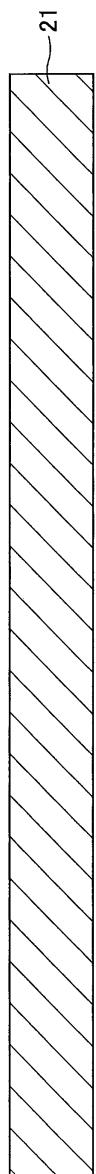


도면7

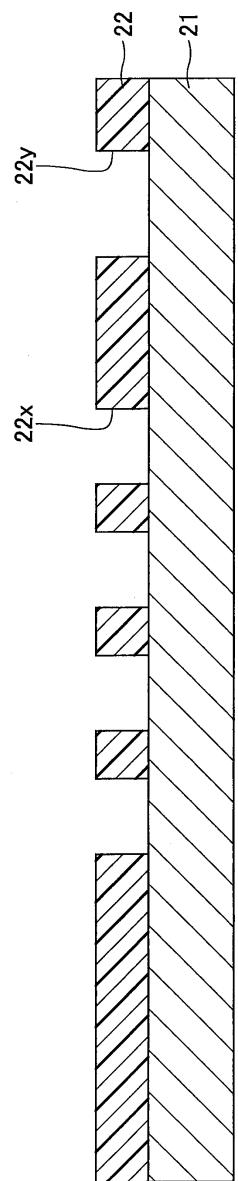


10

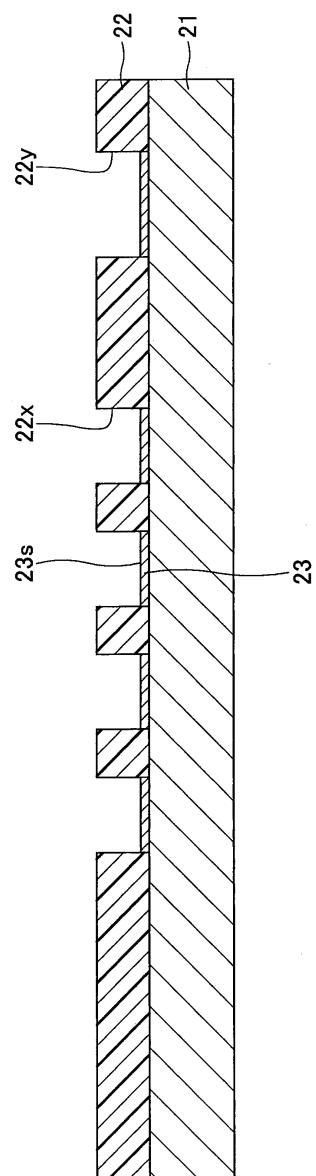
도면8



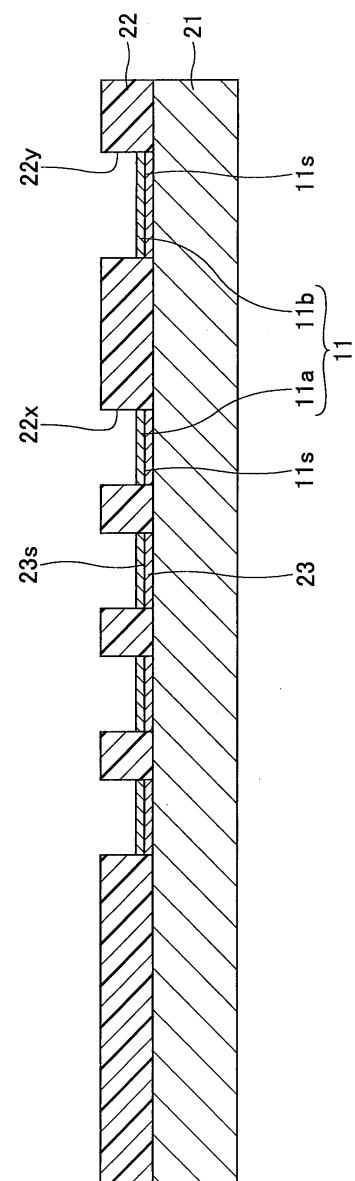
도면9



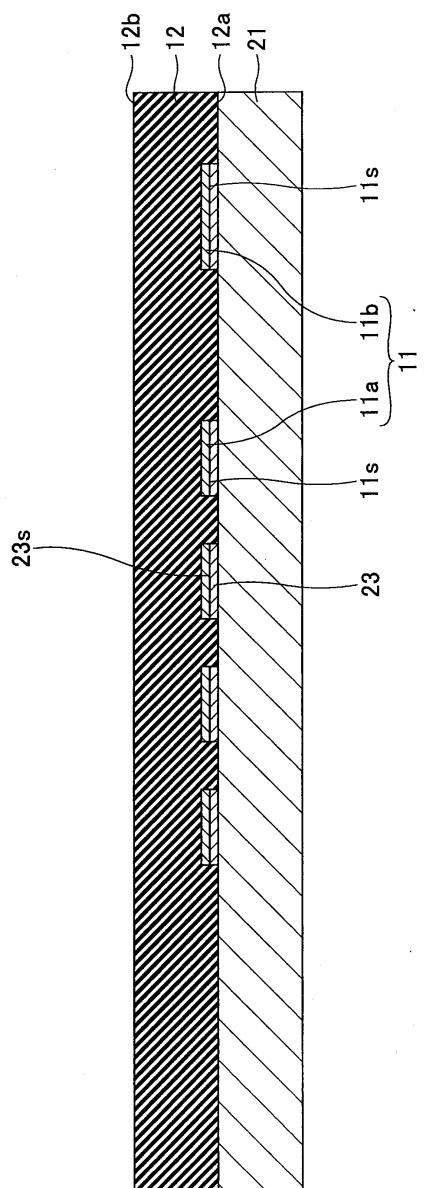
도면10



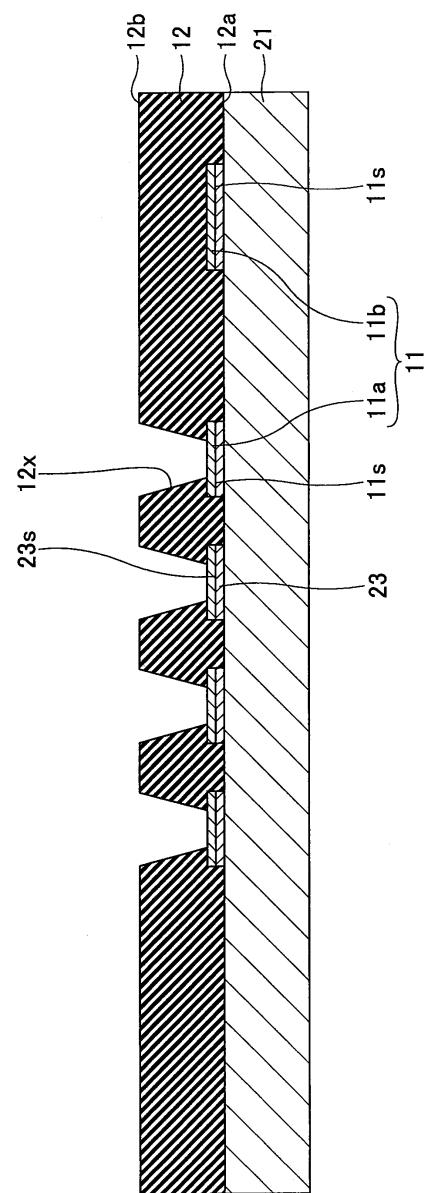
도면11



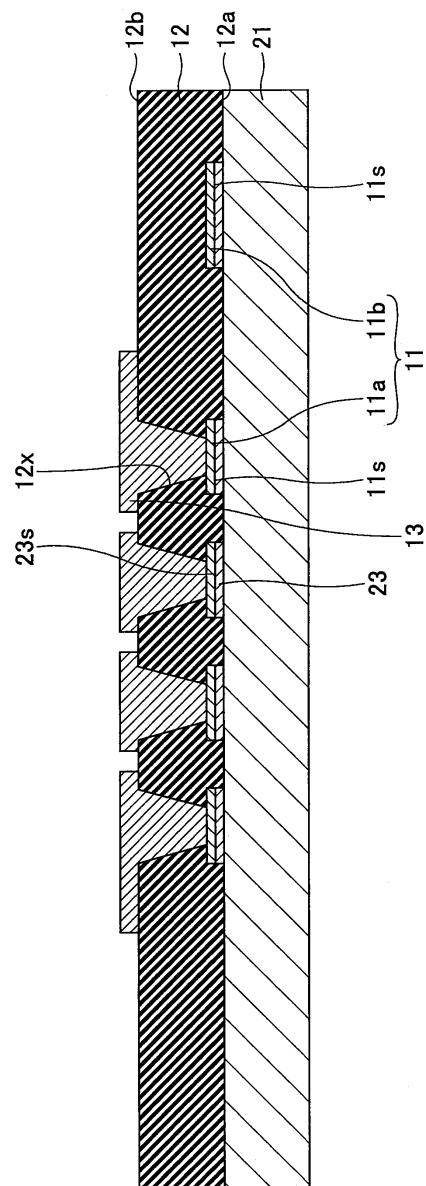
도면12



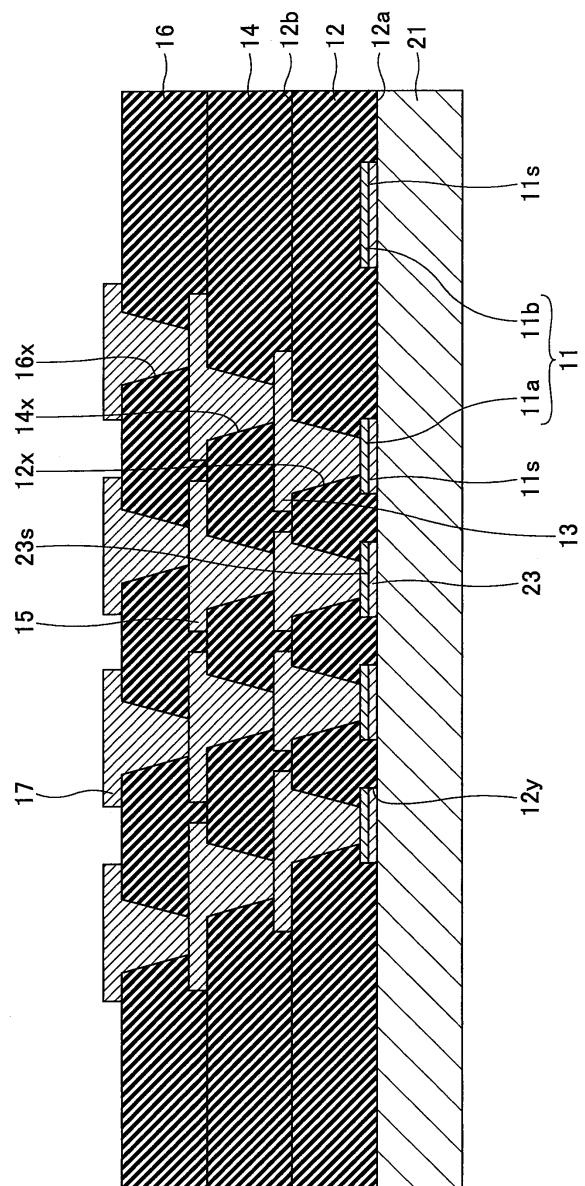
도면13



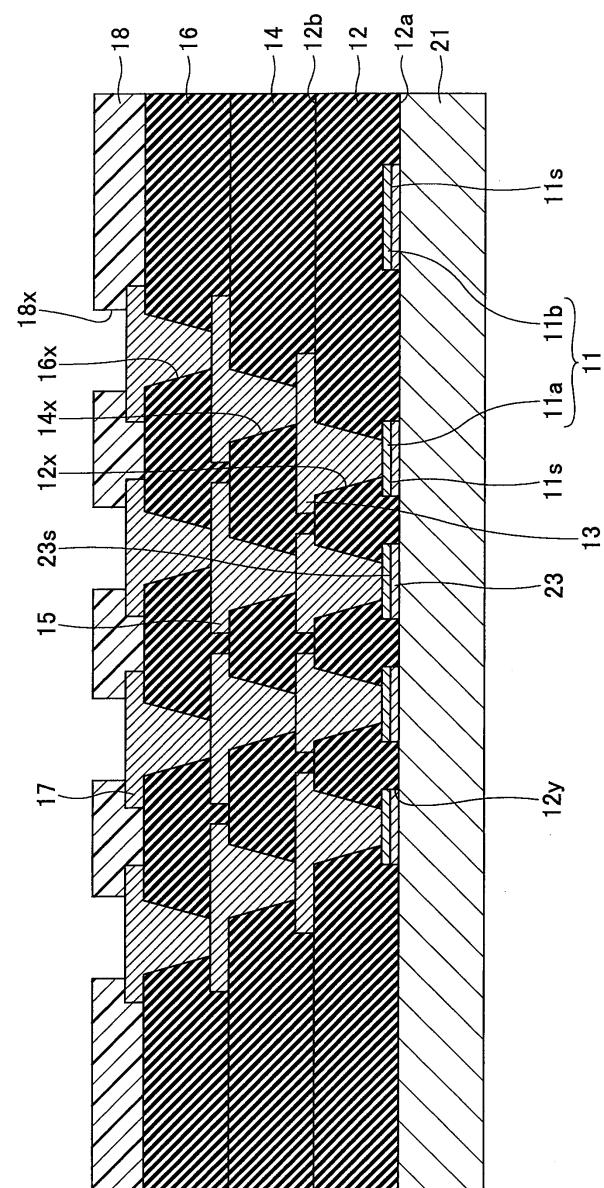
도면14



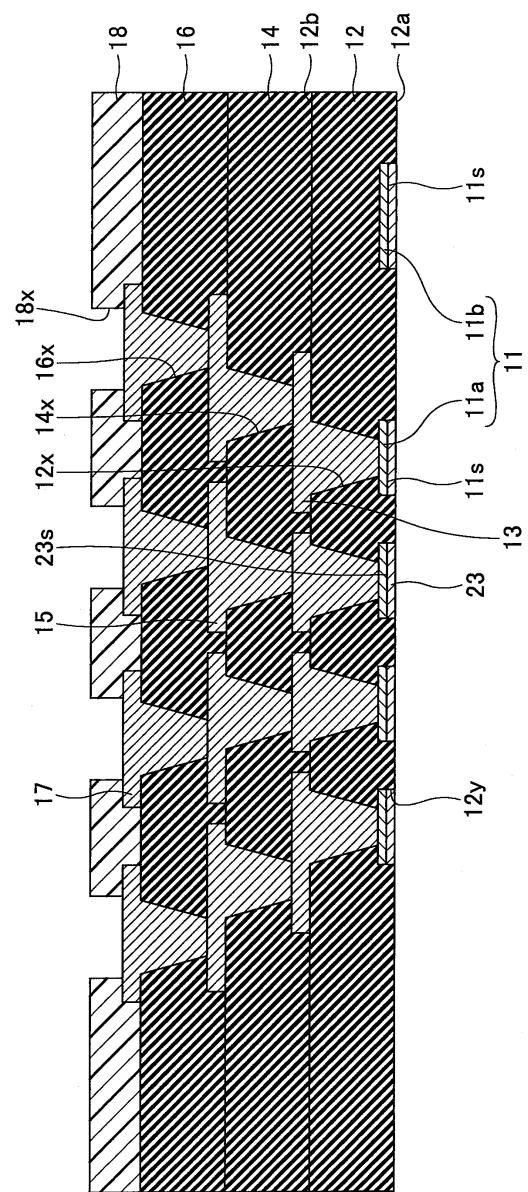
도면15



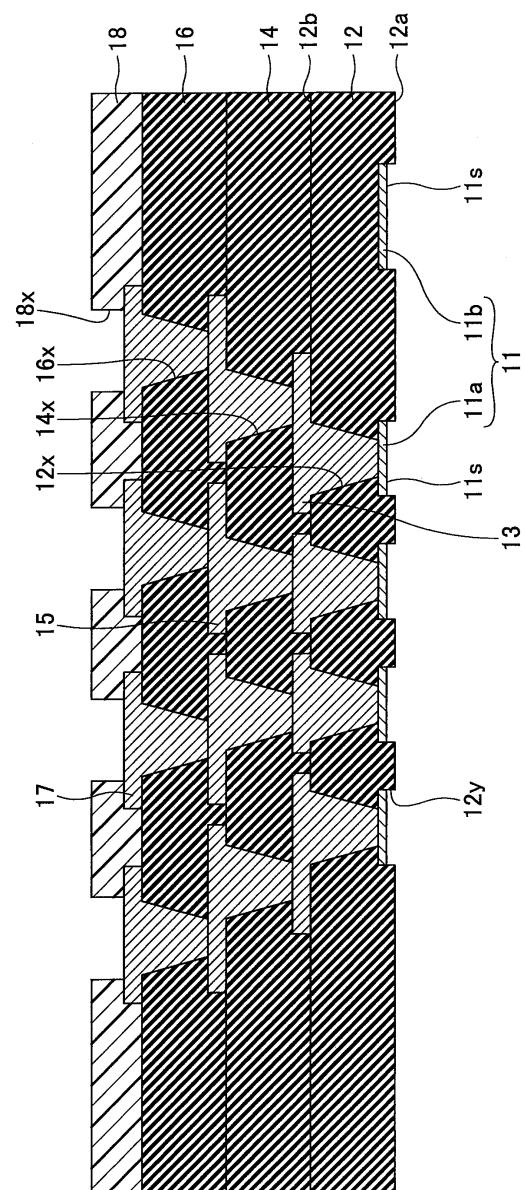
도면16



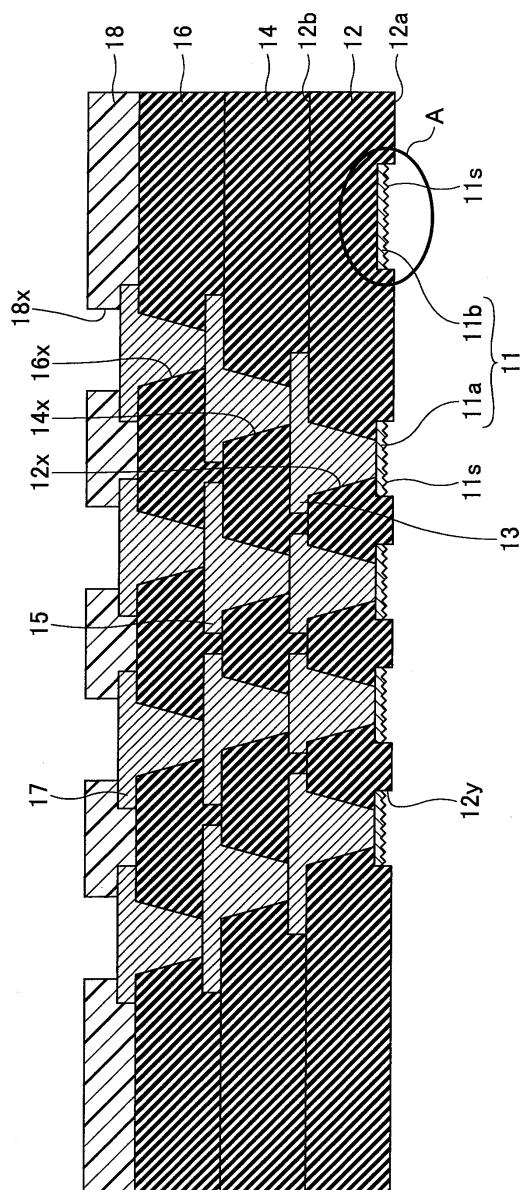
도면17



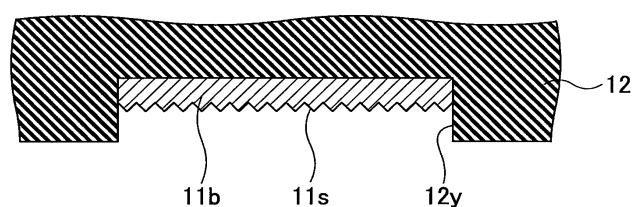
도면18



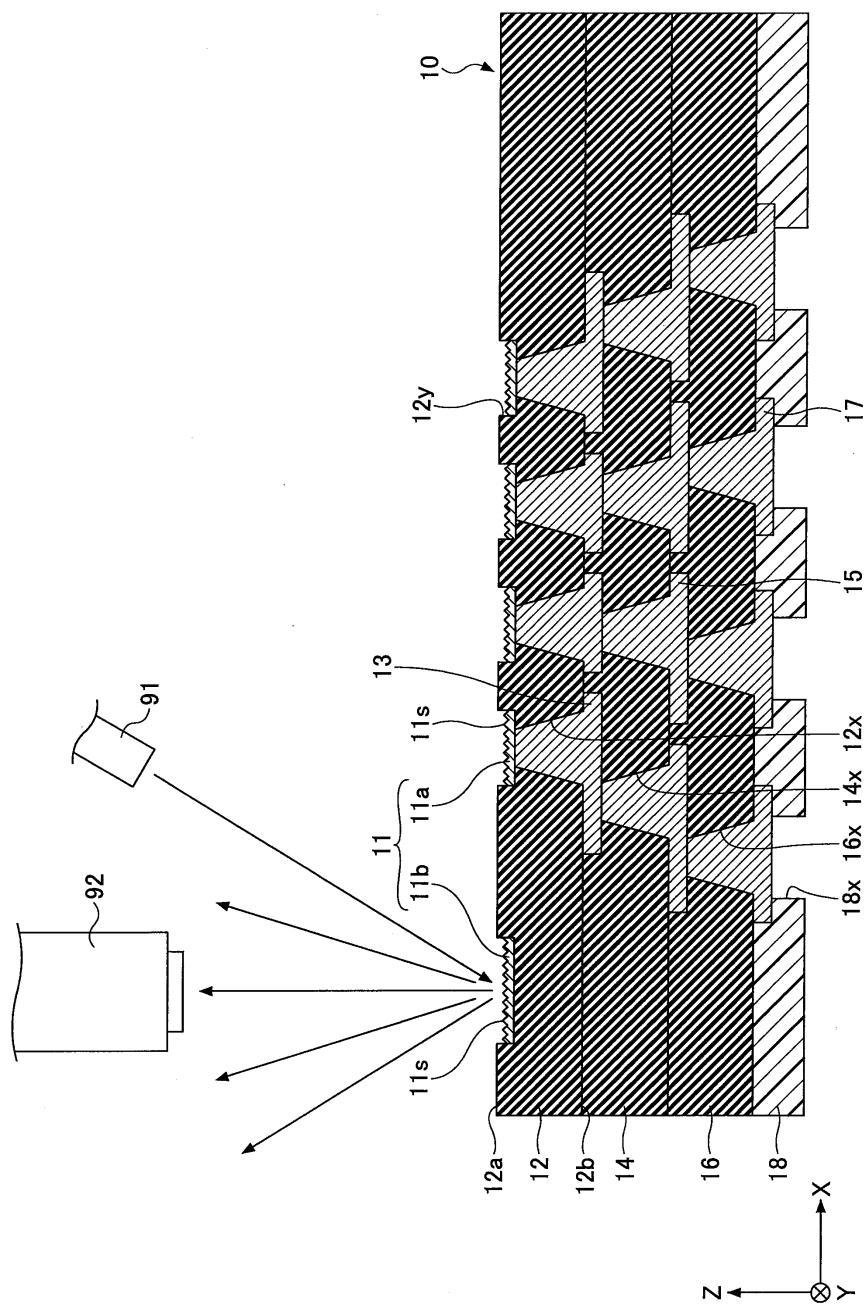
도면19



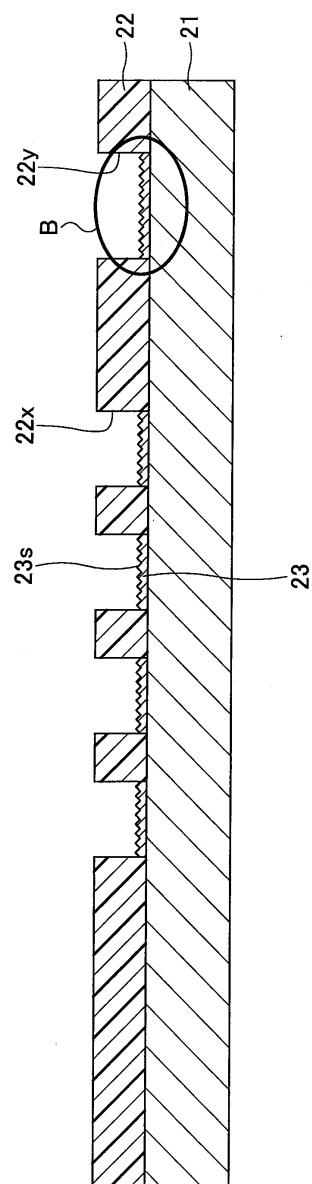
도면20



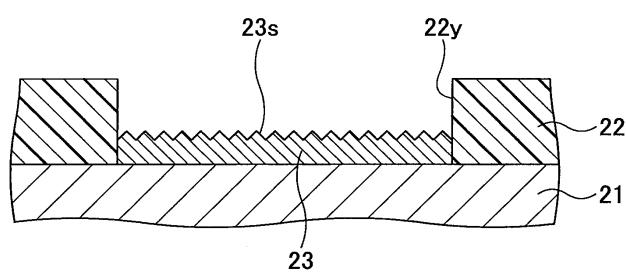
도면21



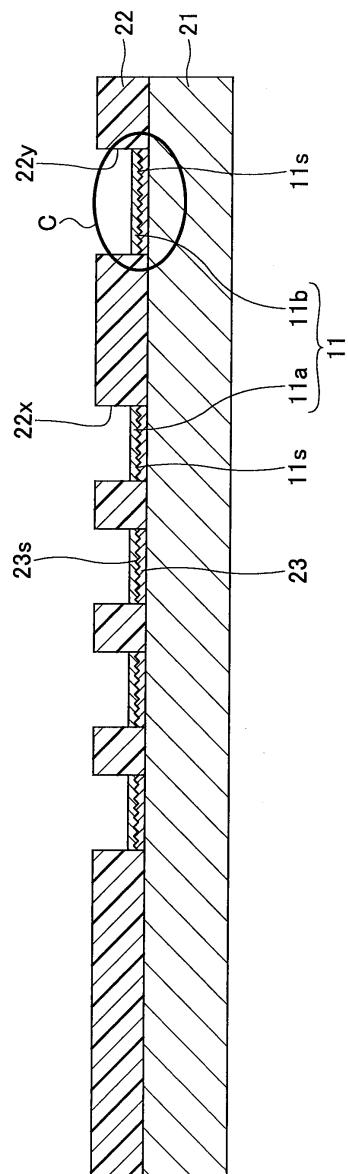
도면22



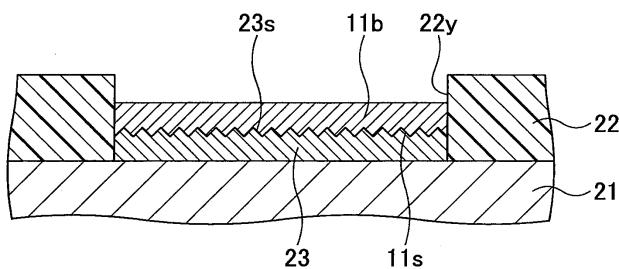
도면23



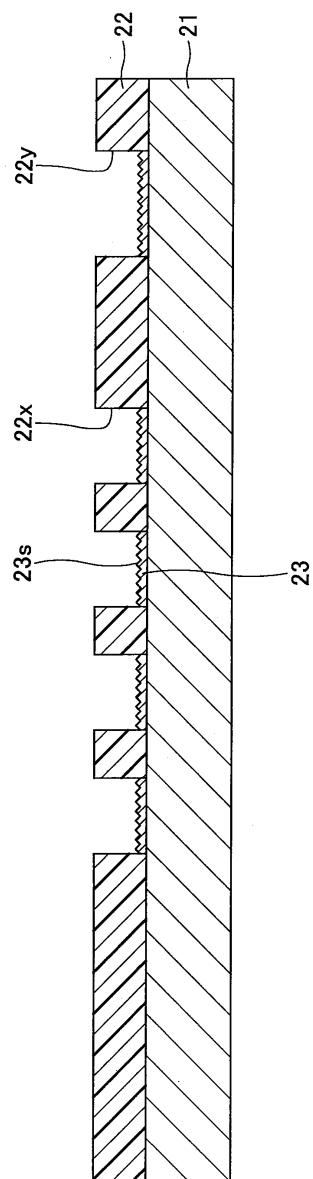
도면24



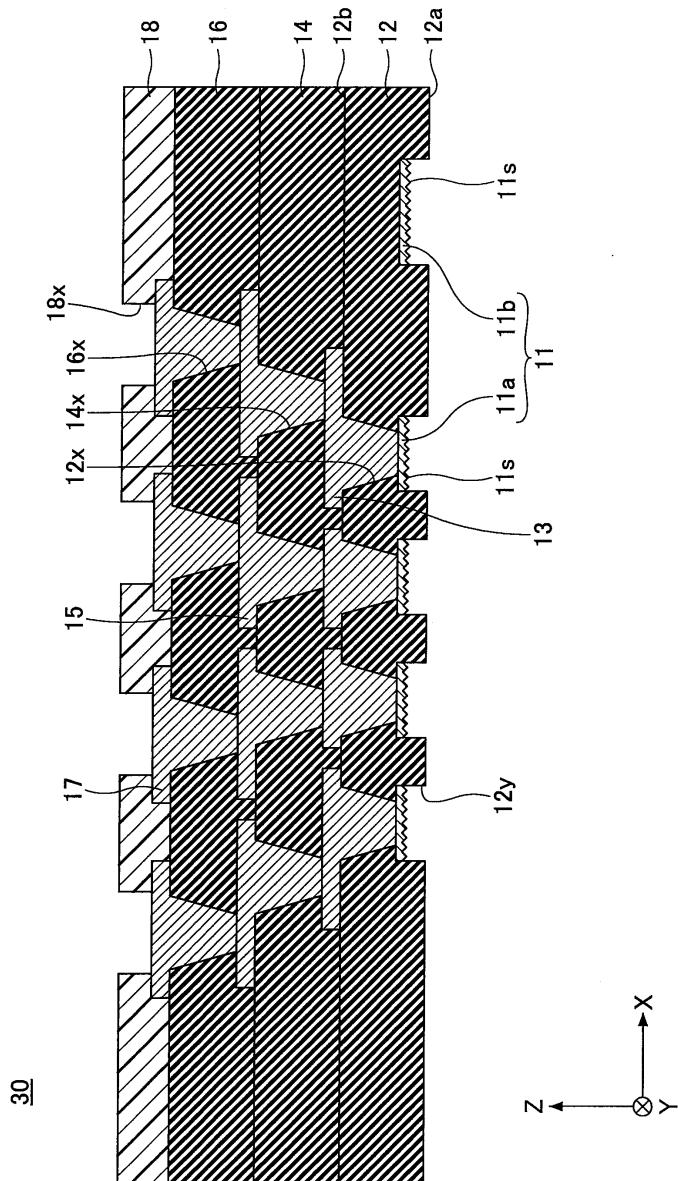
도면25



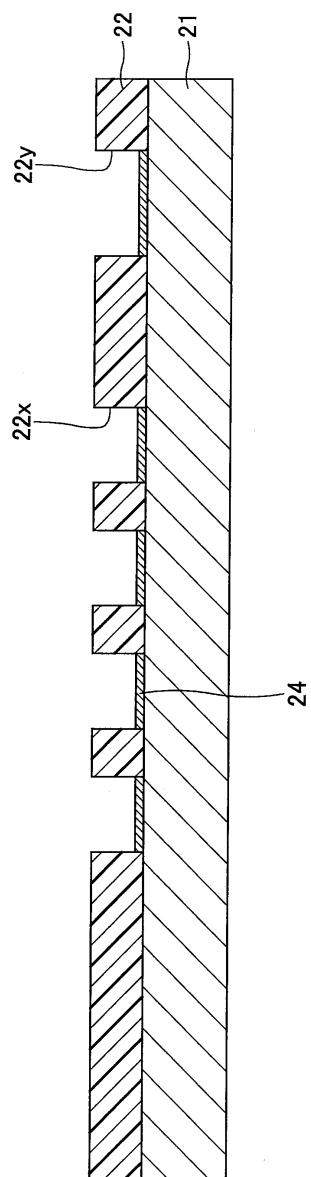
도면26



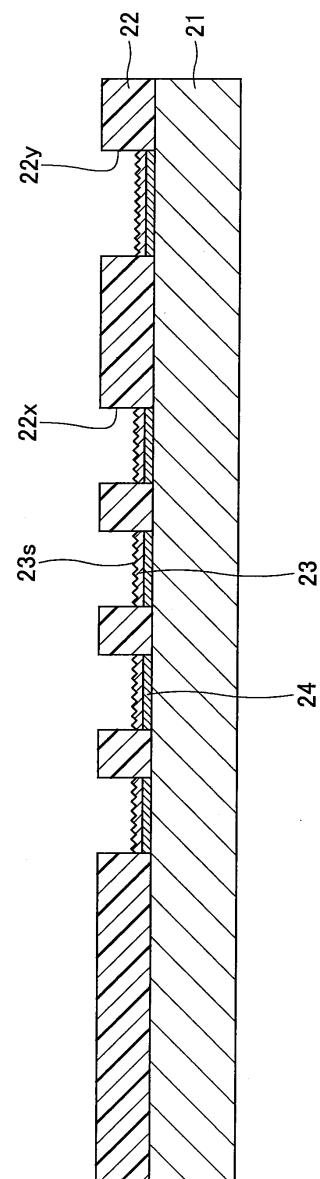
도면27



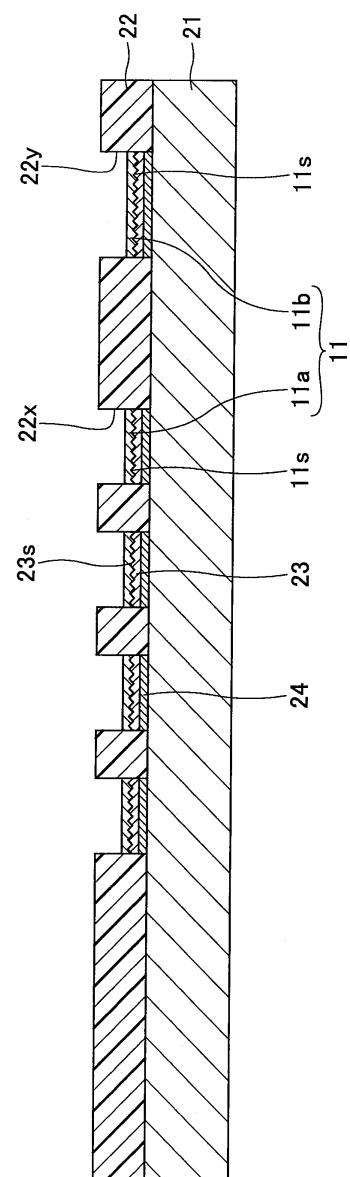
도면28



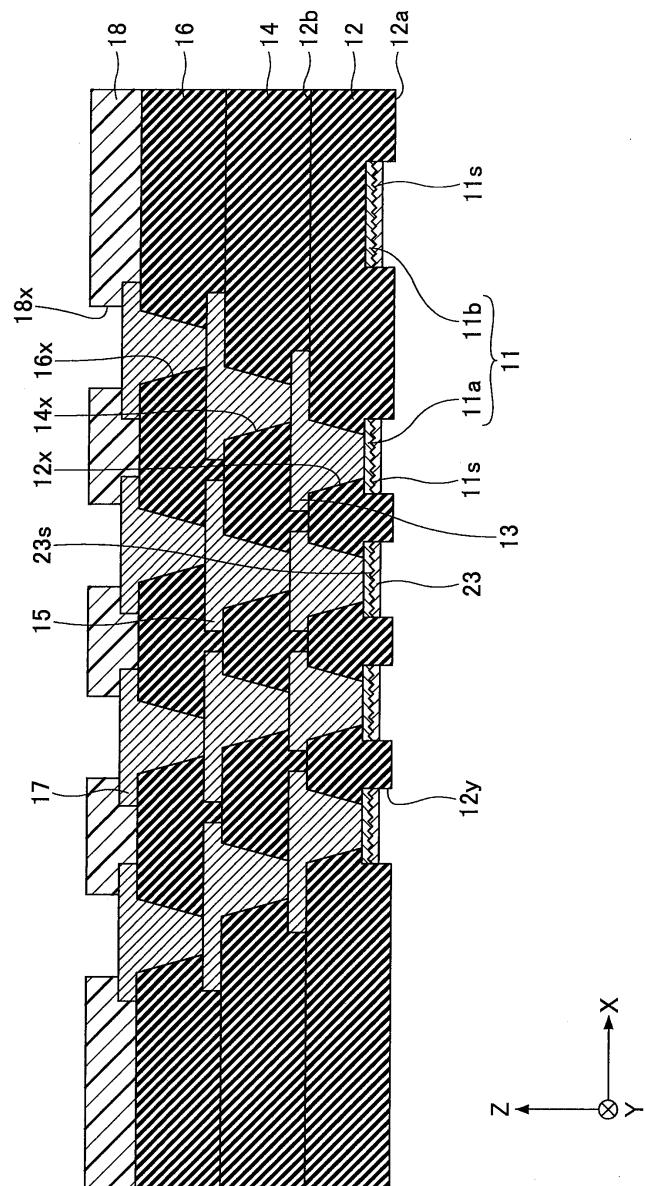
도면29



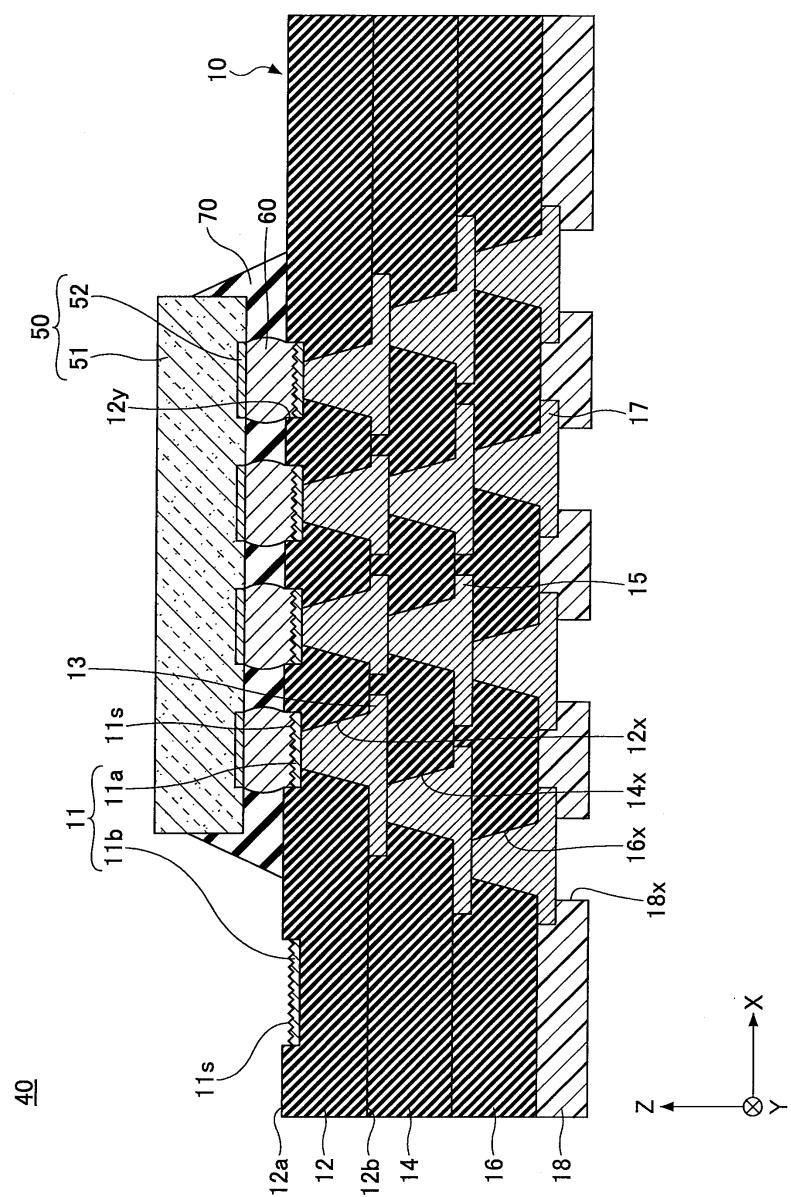
도면30



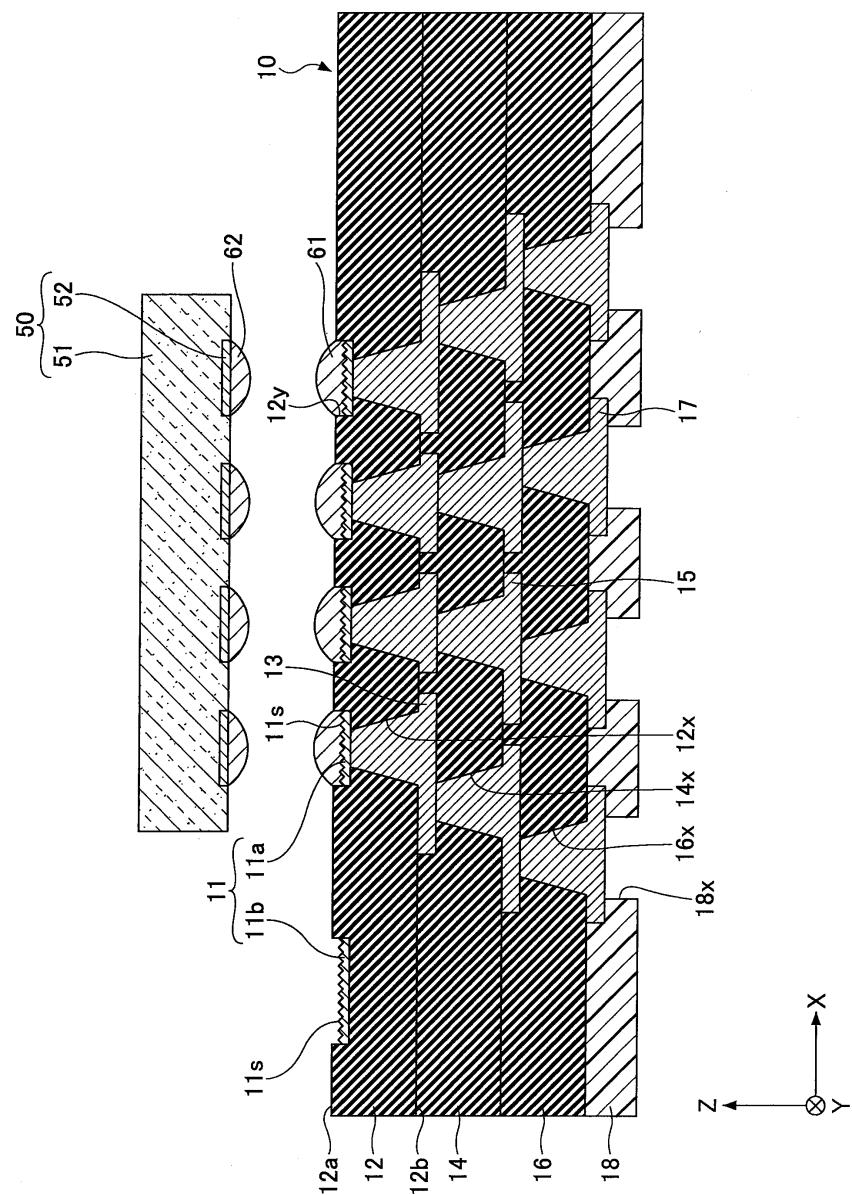
도면31



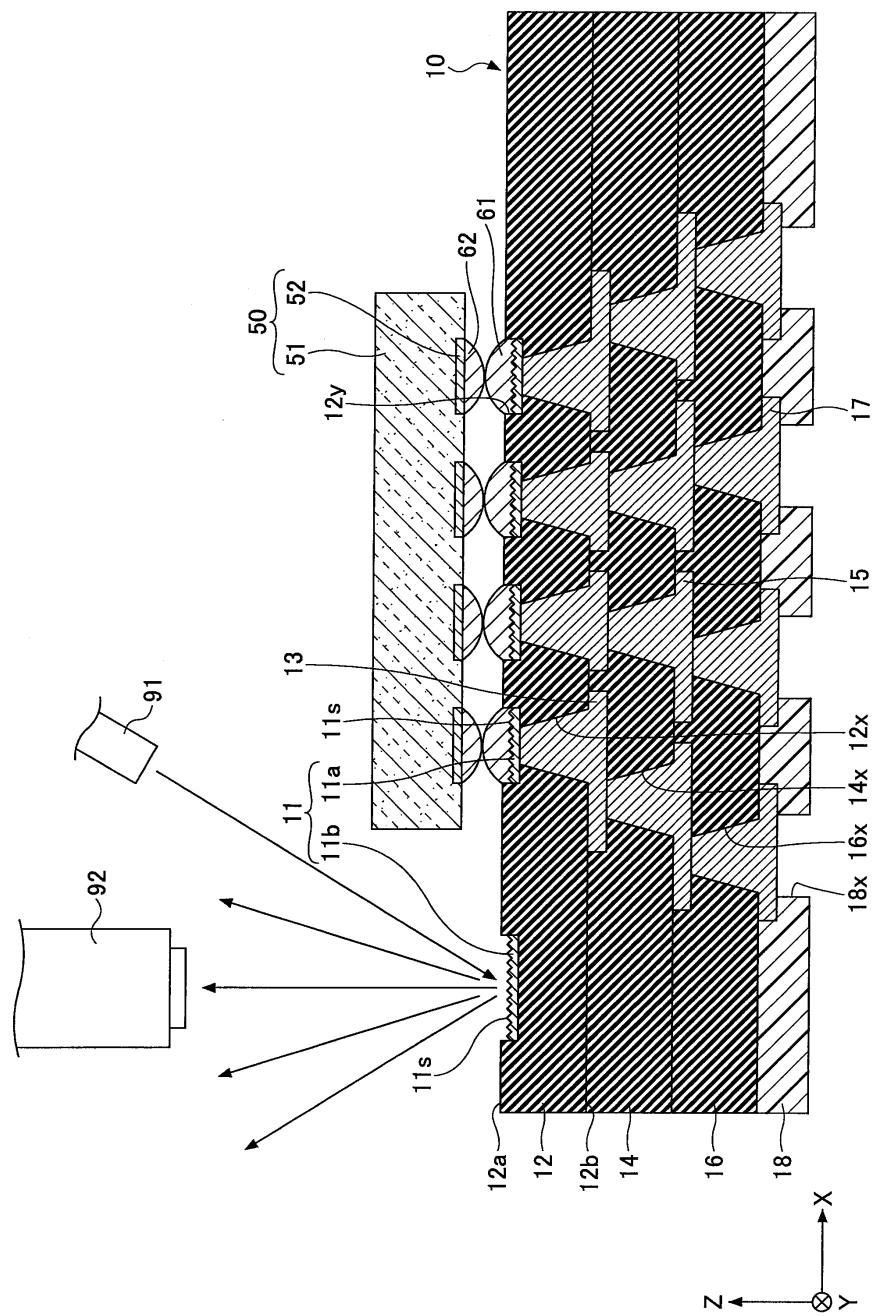
도면32



도면33



도면34



도면35

