



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(22) Přihlášeno 23 03 79

(21) (PV 1935-79)

(40) Zveřejněno 29 08 80

(45) Vydáno 02 05 84

205840

(11)

(B1)

(51) Int. Cl.³
G 08 C 19/16

(75)

Autor vynálezu

POLEDNA FRANTIŠEK ing., Olomouc a
POLEDNA ROSTISLAV ing., Brno

(54) Zapojení úrovnňového vyhodnocovacího obvodu

Vynález se týká zapojení úrovnňového vyhodnocovacího obvodu, sestaveného výhradně z obvodů tranzistorově tranzistorové logiky.

Předávání povelů z periferních jednotek s elektrickým analogovým výstupem do logických řídicích systémů vyžaduje převedení analogové elektrické veličiny na dvouhodnotový logický signál o potřebné úrovni. Převod mezi analogovým signálem z měřicích čidel a dvouhodnotovým signálem, vhodným pro zpracování v logických řídicích systémech, se dosud uskutečňuje v hladinových členech, realizovaných na bázi lineárních monolitických integrovaných obvodů. Základem těchto členů je citlivý stejnosměrný zesilovač, zapojený jako komparátor s klopnou funkcí. Člen je doplněn vstupním obvodem pro úpravu analogového signálu a zdrojem referenčního napětí. Na vstupy integrovaného obvodu, tvořícího komparátor se přivádí přes sčítací odpory jednak upravený vstupní signál a jednak proměnné referenční napětí. V obvodu dále následuje diodový

omezovač, ochrana operačního zesilovače proti přepětí, blokovací a odrušovací obvody a frekvenční kompenzace. Klopné charakteristiky komparátoru je dosaženo kladnou zpětnou vazbou na neinvertující vstup operačního zesilovače. Na výstupu zesilovače bývá zapojen tranzistorový výkonový stupeň nebo elektromagnetické relé. Pro realizaci obvodu s nastavitelnou hysterezí při zapínání a vypínání je nutno za současného stavu použít dvou popsaných obvodů, doplněných o kontaktní nebo bezkontaktní sekvenční logiku. Celé zařízení pro více výstupů je pak značně rozměrné a obvodově složité. Další nevýhodou stávajících zapojení je kromě složitosti jejich vysoká cena, nízká životnost mechanických kontaktů elektromagnetických relé a skutečnost, že pro návaznost na řídicí systémy s úrovní tranzistorově tranzistorové logiky je nutno použít speciálních převodních členů.

Uvedené nevýhody odstraňuje v podstatě vynález, kterým je zapojení úrovnňového vyhodnocovacího obvodu tvořeného vstupním

obvodem, vlastním vyhodnocovacím obvodem a Schmittovým klopným obvodem a jeho podstata spočívá v tom, že za vstupní obvod je zapojen nejméně jeden vlastní vyhodnocovací obvod, přičemž na vlastní vyhodnocovací obvod je paralelně připojen zdroj hodinových impulsů.

Dále je podstatou vynálezu, že vlastní vyhodnocovací obvod sestává ze dvou klopných obvodů typu D, z nichž jednak každý je připojen na vstupní obvod a jednak ke každému je v sérii zapojen odpor, přičemž klopné obvody typu D jsou paralelně napojeny na zdroj hodinových impulsů a za odpory je před výstupem do Schmittova klopného obvodu paralelně připojen uzemněný odpor.

Konečně je podstatou vynálezu, že na zdroj hodinových impulsů je připojeno ovládací zařízení pro blokování, popřípadě ovládání hodinových impulsů.

Proti dosud užívaným zapojením dosahuje se podle vynálezu vyššího účinku v tom, že je použito výhradně obvodů tranzistorové tranzistorové logiky, čímž je zajištěna kompatibilita s ostatními systémy na bázi TTL, obvod je jednodušší než dosud známá zapojení a neobsahuje vnější součásti ovlivňující nepříznivě spolehlivost a stabilitu. Dále zapojení vyhodnocuje spolehlivě i velmi pomalé změny vstupního analogového signálu, potlačuje rušivé vstupní signály impulsního charakteru a použitá součástková základna umožňuje provoz i v extrémních klimatických podmínkách.

Zapojení podle vynálezu je schematicky znázorněno na připojeném výkrese, kde obr. 1. je zapojení úroňového vyhodnocovacího obvodu s jedním vlastním vyhodnocovacím obvodem, v němž jsou znázorněny jeho jednotlivé prvky. Obr. 2. je schéma zapojení úroňového vyhodnocovacího obvodu s více vlastními vyhodnocovacími obvody a obr. 3 znázorňuje zpracování signálů z výstupů Q klopných obvodů typu D.

Zapojení podle vynálezu sestává ze vstupního obvodu 1, opatřeného jedním vstupem a dvěma výstupy, na něž je připojen vlastní vyhodnocovací obvod 2, za který je v sérii zapojen Schmittův klopný obvod 3 a na který je paralelně připojen zdroj 4 hodinových impulsů se zařízením 5 pro jejich blokování, popřípadě ovládání. Vlastní vyhodnocovací obvod 2 je tvořen dvěma klopnými obvody

21, 21' typu D, které jsou jednak připojeny na výstupy vstupního obvodu 1 a jednak paralelně připojeny ke zdroji 4 hodinových impulsů. Ke každému klopnému obvodu 21, 21' typu D je v sérii připojen odpor 22, 22' a před výstupem do Schmittova klopného obvodu 3 je za těmito odpory 22, 22' paralelně připojen uzemněný odpor 23.

Na vstupní obvod 1 lze alternativně připojit dva nebo více vlastních vyhodnocovacích obvodů 2, z nichž každý je napojen vlastní Schmittův klopný obvod 3 a které jsou paralelně zapojeny na jediný zdroj 4 hodinových impulsů, jak je znázorněno na obr. 2. Tím lze získat z jednoho vstupního analogového signálu dva nebo více výstupních dvouhodnotových signálů s hysterezí při zapínání a vypínání.

Vstupní analogový signál se přivádí do vstupního obvodu 1, kde se upravuje na formu vhodnou k vyhodnocování ve vlastním vyhodnocovacím obvodu 2. Ze vstupního obvodu 1 se signály o určité úrovni, nastavené v tomto obvodu 1, přivádějí do klopných obvodů 21, 21' typu D a jsou jimi převedeny na výstupy Q s náběžnou hranou hodinového impulsu generovaného zdrojem 4 hodinových impulsů. V klopných obvodech 21, 21' se vyhodnotí velikost upraveného vstupního signálu a z výstupů Q je tento vyhodnocený signál veden přes odpory 22, 22' do Schmittova klopného obvodu 3, který se překlápí v závislosti na úrovni signálu v uzlu odporů 22, 22' a 23. Výstup Q klopných obvodů 21, 21' zůstává beze změny až do příchodu dalšího hodinového impulsu ze zdroje 4, čímž je zaručena necitlivost vlastního vyhodnocovacího obvodu 2 na případné vnější rušivé signály impulsního charakteru.

Příklad zpracování signálů v úroňovém vyhodnocovacím obvodu podle obr. 1. je znázorněn na obr. 3., kde L a H značí dvě hodnoty úroňně výstupů z klopných obvodů 21, 21' typu D a U_1 a U_2 úroňně vstupního analogového signálu, nastavené vstupním obvodem 1, při nichž klopné obvody 21, 21' mění na výstupu Q úroveň z hodnoty L na H, což v logickém vyjádření představuje změnu z logické nuly na logickou jedničku. Změna nastane v případě, že hodnota upraveného vstupního analogového signálu je větší než rozhodovací úroveň příslušné-

ho klopného obvodu 22, 22' typu D. Nepřekročí-li vstupní analogový signál úroveň U_1 , jsou výstupy Q obou klopných obvodů 22, 22' i výstup Schmittova klopného obvodu 3 na úrovni L. Dosáhne-li vstupní analogový

signál U hodnoty $U_1 < U < U_2$, změní klopný obvod 22 úroveň na výstupu Q z hodnoty L na H, ale úroveň signálu v uzlu odporů 22, 22' a 23 nestačí k překlopení Schmittova klopného obvodu 3 a jeho výstup setrvává na úrovni L. Teprve po dosažení úrovně signálu U_2 jsou oba výstupy Q klopných obvodů 21, 21' v úrovni H a Schmittův klopný obvod 3 překlopí a na jeho výstupu je úroveň H. Při poklesu úrovně vstupního analogového signálu U na hodnotu $U_1 < U < U_2$ je na výstupu Q klopného obvodu 21' úroveň L, ale pokles úrovně signálu v uzlu odporů 22, 22' a 23 nestačí k překlopení Schmittova klopného obvodu 3, na jehož výstupu zůstává úroveň H. Teprve při dalším poklesu úrovně vstupního analogového signálu pod hodnotu U_1 jsou oba výstupy Q klopných obvodů 21, 21' v úrovni L a na výstupu Schmittova klopného obvodu 3 je rovněž úroveň L.

Zapojení úrovňového vyhodnocovacího obvodu podle vynálezu je možno využít v regulační, měřicí a výpočetní technice pro spojení složitých systémů na bázi tranzistorové tranzistorové logiky s návaznými periferiemi s elektrickým analogovým výstupním signálem.

PŘEDMĚT VYNÁLEZU

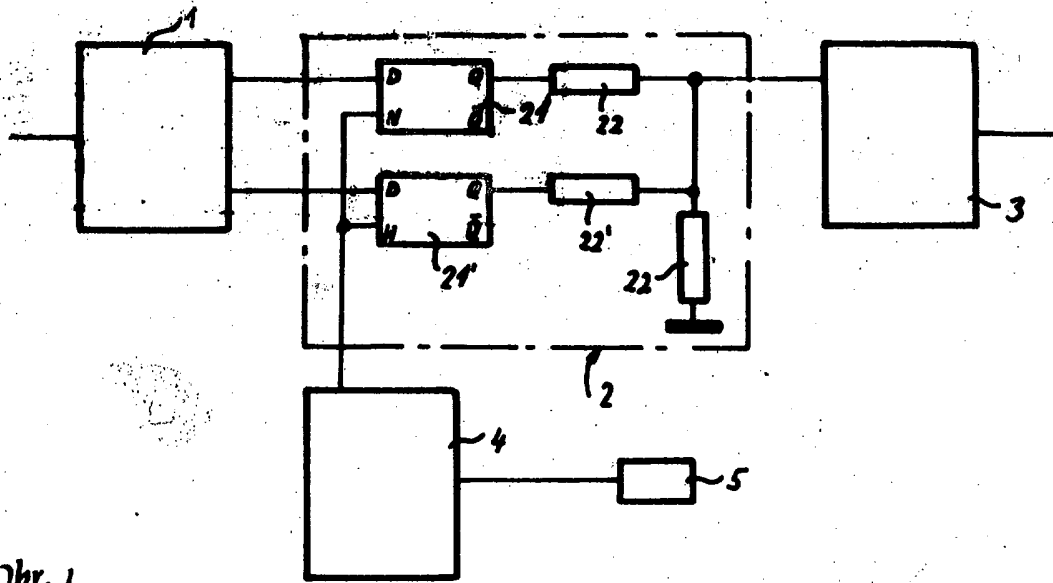
1. Zapojení úrovňového vyhodnocovacího obvodu tvořeného vstupním obvodem, vlastním vyhodnocovacím obvodem a Schmittovým klopným obvodem, vyzna-

čující se tím, že za vstupní obvod (1) je zapojen nejméně jeden vlastní vyhodnocovací obvod (2), na jehož výstup je připojen Schmittův klopný obvod (3), přičemž na vlastní vyhodnocovací obvod (2) je paralelně připojen zdroj (4) hodinových impulsů.

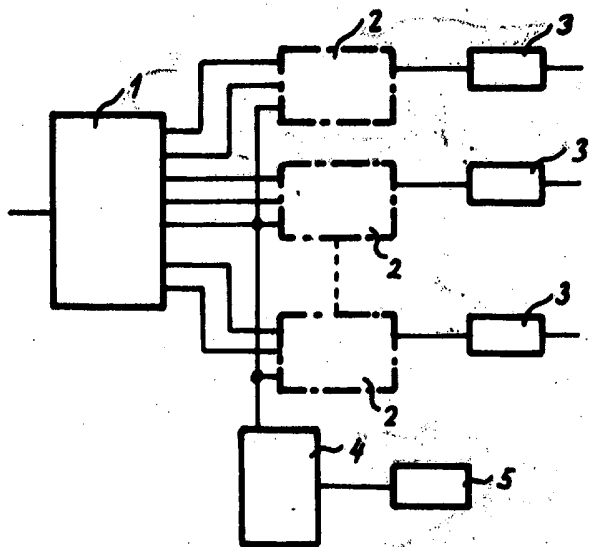
2. Zapojení podle bodu 1, vyznačující se tím, že vlastní vyhodnocovací obvod (2) sestává ze dvou klopných obvodů (21, 21') typu D, z nichž jednak každý je připojen na vstupní obvod (1) a jednak ke každému je v serii zapojen odpor (22, 22'), přičemž klopné obvody (21, 21') typu D jsou paralelně napojeny na zdroj (4) hodinových impulsů a za odpory (22, 22') je před výstupem do Schmittova klopného obvodu (3) paralelně připojen uzemněný odpor (23).

3. Zapojení podle bodu 1. a 2., vyznačující se tím, že na zdroj (4) hodinových impulsů je připojeno ovládací zařízení (5) pro blokování, popřípadě ovládání hodinových impulsů.

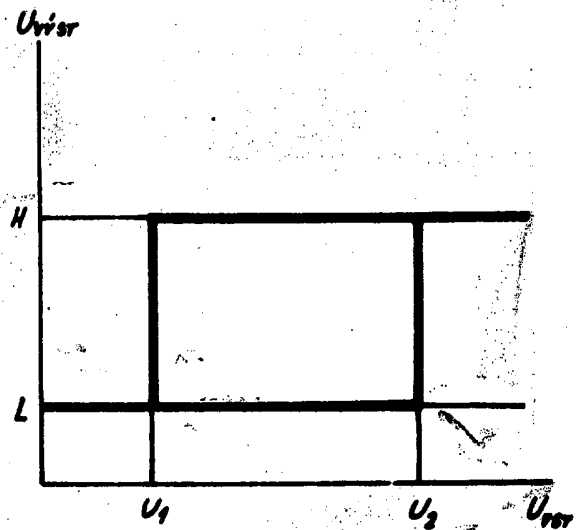
3 výkresy



Obr. 1



Obr. 2



Obr. 3