

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 9 月 30 日(30.09.2010)

(10) 国際公開番号
WO 2010/110246 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/12 (2006.01)
H01L 21/28 (2006.01) H01L 29/739 (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2010/054938
- (22) 国際出願日: 2010 年 3 月 23 日(23.03.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-074558 2009 年 3 月 25 日(25.03.2009) JP
特願 2009-101321 2009 年 4 月 17 日(17.04.2009) JP
特願 2009-134822 2009 年 6 月 4 日(04.06.2009) JP
- (71) 出願人 (米国を除く全ての指定国について):
ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中野 佑紀 (NAKANO, Yuki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 箕谷 周平 (MITANI, Shuhei)

[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 三浦峰生 (MIURA, Mineo) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).

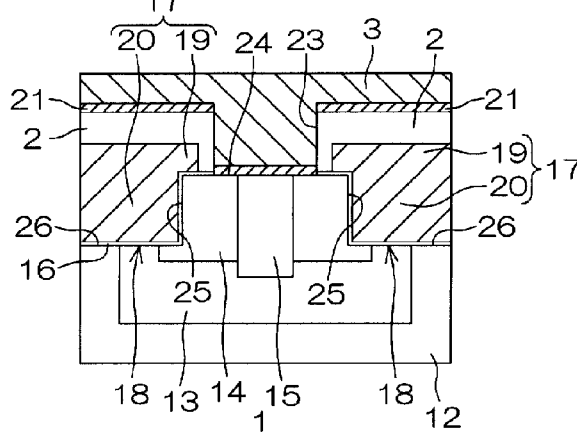
- (74) 代理人: 稲岡 耕作, 外 (INAOKA, Kosaku et al.); 〒5410054 大阪府大阪市中央区南本町 2 丁目 6 番 1 2 号 サンマリオン N B F タワー 2 1 階 あい特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

図3A



(57) Abstract: A semiconductor device including a semiconductor layer of a first conductivity type; a plurality of body regions of a second conductivity type, each formed in a region extending from the surface of the semiconductor layer to a halfway portion of the same in the thickness direction, and each spaced apart from each other in a direction perpendicular to the thickness direction; source regions of the first conductivity type, each formed on the surface layer part of each body region and spaced away from the edges of each body region; a gate insulating film formed on the semiconductor layer; and gate electrodes formed on the gate insulating film. In the semiconductor layer, trenches extending between two neighboring source regions are formed by digging from the surface of the semiconductor layer, the inside surface of the trenches are covered by the gate insulating film, and the gate electrodes comprise surface-facing parts, which face the surface of the semiconductor layer, and buried parts, which are buried in the trenches.

(57) 要約:

[続葉有]



(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明の半導体装置は、第 1 導電型の半導体層と、前記半導体層の表面から厚さ方向の途中部に至る領域に、前記厚さ方向と直交する方向に間隔を空けて形成された第 2 導電型の複数のボディ領域と、各ボディ領域の表層部に、前記ボディ領域の周縁と間隔を空けて形成された第 1 導電型のソース領域と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを含み、前記半導体層には、その表面から掘り下げることにより、互いに隣り合う 2 つの前記ソース領域の間に跨るトレンチが形成され、前記ゲート絶縁膜により、前記トレンチの内面が被覆され、前記ゲート電極は、前記半導体層の表面に対向する表面对向部および前記トレンチに埋設された埋設部を有している。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、トランジスタを備える半導体装置に関する。

背景技術

[0002] SiC（シリコンカーバイド）半導体は、絶縁破壊耐性および熱伝導率などに優れており、ハイブリッド自動車のインバータなどの用途に好適な半導体として注目されている。

たとえば、SiC半導体を用いたインバータは、MOSFET（Metal Oxide Semiconductor Field Effect Transistor）を有している。この種のSiC半導体装置は、SiC基板と、SiC基板上に積層されたN型のSiCエピタキシャル層とを含んでいる。SiCエピタキシャル層の表層部には、P型の複数のボディ領域（ウェル領域）が互いに間隔を空けて形成されている。各ボディ領域の表層部には、N型のソース領域がボディ領域の周縁と間隔を空けて形成されている。SiCエピタキシャル層上には、N型ポリシリコン（N型不純物がドーピングされたポリシリコン）からなるゲート電極が形成されている。ゲート電極は、ゲート酸化膜を介して、ボディ領域の周縁とソース領域の周縁との間の領域（チャネル領域）に対向している。ソース領域の内側には、P⁺型のボディコンタクト領域がソース領域を深さ方向に貫通して形成されている。

[0003] SiCエピタキシャル層上には、層間絶縁膜が形成されている。ゲート電極は、層間絶縁膜により被覆されている。層間絶縁膜上には、ソース電極が形成されている。ソース電極は、層間絶縁膜に選択的に形成されたコンタクトホールを介して、ソース領域およびボディコンタクト領域に接続されている。

ソース電極が接地され、SiC基板の裏面に形成されたドレイン電極に正電圧が印加された状態で、ゲート電極に閾値以上の電圧が印加されることに

より、ボディ領域におけるゲート酸化膜との界面近傍にチャンネルが形成され、ソース電極とドレイン電極との間に電流が流れる。

先行技術文献

特許文献

[0004] 特許文献1：特開2002-100771号公報

特許文献2：特開2007-66959号公報

発明の概要

発明が解決しようとする課題

[0005] この種の半導体装置では、セルピッチおよびゲートの微細化により、MOSFETのオン抵抗を低減することができる。ところが、セルピッチの微細化に伴い、互いに隣り合うボディ領域間の間隔が小さくなり、ボディ領域とSiCエピタキシャル層（ドリフト領域）との界面から広がる空乏層により、そのボディ領域間の電流経路が狭くなる。そのため、いわゆる寄生JFET抵抗が増大してしまう。したがって、微細化によるオン抵抗の低減には限界がある。

[0006] また、MOSFETのオン抵抗（チャンネル移動度）を向上させるためには、チャンネルが形成されるボディ領域の表面付近のP型不純物濃度を低くすればよい。しかし、ボディ領域の表面付近のP型不純物濃度を低くすると、MOSFETがオフの状態（ゲート電圧＝0V）でソース電極とドレイン電極との間に流れるドレインリーク電流が増大する。そのため、従来のSiC半導体装置では、SiC半導体装置が150℃以上の高温になると、数百μAのドレインリーク電流が流れてしまう。

[0007] また、ソース領域およびボディコンタクト領域の表面にソース電極の金属材料（たとえば、Al（アルミニウム））を直に接触させただけでは、オーミックコンタクトを得ることができないか、その接触界面の抵抗（コンタクト抵抗）が著しく大きい。

そこで、本発明者らは、低抵抗なオーミックコンタクトを得るために、ソ

ース領域およびボディコンタクト領域上にキ一元素（たとえば、Ni（ニッケル）、Alなど）を含むオーミックメタルを蒸着した後、1000℃の高温で熱処理（PDA：Post Deposition Anneal）して反応層を形成し、オーミックメタル（反応層）上にソース電極を形成するといった手法を検討している。しかしながら、その手法では、1000℃の高温での熱処理が必要であるため、製造コストが高つく。

[0008] 本発明の目的は、微細化によるオン抵抗の低減の限界を超えて、オン抵抗をさらに低減することができる、半導体装置を提供することである。

また、本発明の他の目的は、オン抵抗およびドレインリーク電流の両方を低減することができる、半導体装置を提供することである。

また、本発明のさらに他の目的は、熱処理を行わずに、低抵抗なオーミックコンタクトを得ることができる、半導体装置を提供することである。

課題を解決するための手段

[0009] 前記の目的を達成するための本発明の半導体装置は、第1導電型の半導体層と、前記半導体層の表面から厚さ方向の途中部に至る領域に、前記厚さ方向と直交する方向に間隔を空けて形成された第2導電型の複数のボディ領域と、各ボディ領域の表層部に、前記ボディ領域の周縁と間隔を空けて形成された第1導電型のソース領域と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを含み、前記半導体層には、その表面から掘り下げることにより、互いに隣り合う2つの前記ソース領域の間に跨るトレンチが形成され、前記ゲート絶縁膜により、前記トレンチの内面が被覆され、前記ゲート電極は、前記半導体層の表面に対向する表面对向部および前記トレンチに埋設された埋設部を有している。

[0010] この半導体装置では、半導体層（ドリフト領域）とソース領域との間に電圧が印加された状態で、ゲート電極の電位（ゲート電圧）が制御されることにより、半導体層におけるゲート絶縁膜との界面近傍にチャネルが形成されて、半導体層に電流が流れる。

半導体層には、互いに隣り合う2つのソース領域の間に跨るトレンチが形

成されている。トレンチの内面は、ゲート絶縁膜により被覆されている。そして、ゲート電極は、ゲート絶縁膜を挟んで半導体層の表面に対向する表面対向部と、トレンチ内に埋設される埋設部とを有している。そのため、チャネルは、半導体層の表面付近だけでなく、トレンチの側面および底面付近にも形成される。よって、プレーナゲート型VDMISFET (Vertical Double diffused Metal Insulator Semiconductor Field Effect Transistor) を備える構成と比較して、チャネル幅を拡大することができる。その結果、微細化によるオン抵抗の低減の限界を超えて、オン抵抗をさらに低減することができる。

[0011] 前記トレンチは、複数形成されていることが好ましい。これにより、チャネル幅をさらに拡大することができる。

トレンチの深さは、ボディ領域の深さよりも小さいことが好ましく、さらにソース領域の深さよりも小さいことが好ましい。トレンチの深さがソース領域の深さよりも小さい場合、チャネルがトレンチの底面に沿って形成されるので、オン抵抗のさらなる低減を図ることができる。

[0012] また、前記半導体層は、SiCエピタキシャル層であってもよく、その場合、SiCエピタキシャル層の表面は、SiC結晶の(0001)面または(000-1)面であることが好ましい。

また、前記ボディ領域と、当該ボディ領域の表層部に、当該ボディ領域の周縁と間隔を空けて形成された前記ソース領域を一つずつ含む単位セルが、平面視格子状に配置されていることが好ましい。その場合、前記トレンチが、互いに隣り合う前記単位セルの前記ソース領域を側面に露出させるように形成されており、前記ゲート電極が、前記トレンチ内で互いに向き合う2つの前記ソース領域の間に跨って設けられていることが好ましい。

[0013] また、本発明の目的を達成するための半導体装置は、SiCからなるN型半導体層と、前記N型半導体層の表層部に選択的に形成されたP型領域と、前記P型領域の表層部に、P型領域の周縁と間隔を空けて形成されたN型領域と、前記N型半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜

上に形成され、前記P型領域の周縁と前記N型領域との間の部分に対向するゲート電極とを含んでいる。

[0014] N型領域とN型半導体層の基層部との間に正電圧が印加された状態で、ゲート電極に閾値電圧が印加されることにより、P型領域におけるゲート絶縁膜との界面近傍にチャネルが形成され、N型領域とN型半導体層との間に電流（オン電流）が流れる。

そして、本発明の半導体装置では、P型領域の表層部、具体的には、P型領域におけるゲート絶縁膜の厚さ方向の中央を基準とする深さ100nm以下の部分のP型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下に制御されている。これにより、P型領域に形成されるチャネルにおける電子の移動度（チャネル移動度）を向上させることができ、SiC半導体装置の各部により構成されるMISFET（Metal Insulator Semiconductor Field Effect Transistor）のオン抵抗を低減することができる。

[0015] また、本発明の他の形態の半導体装置では、P型領域が300keV以上の注入エネルギーおよび $4 \times 10^{13} \text{ cm}^{-2}$ 以上のドーズ量での1段イオン注入法により形成されている。これにより、P型領域におけるゲート絶縁膜の厚さ方向の中央を基準とする深さ100nm以下の部分のP型不純物濃度が必然的に $1 \times 10^{18} \text{ cm}^{-3}$ 以下となる。そのため、上記半導体装置と同様に、P型領域に形成されるチャネルにおける電子の移動度を向上させることができ、SiC半導体装置の各部により構成されるMISFETのオン抵抗を低減することができる。

[0016] そして、これらのSiC半導体装置では、ゲート電極がP型ポリシリコン（P型不純物がドーピングされたポリシリコン）からなる。N型ポリシリコンの仕事関数は、約4.1eVである。これに対し、P型ポリシリコンの仕事関数は、約5.1eVである。そのため、ゲート電極の材料にP型ポリシリコンを採用することにより、N型ポリシリコンを採用した構成と比較して、MISFETの閾値電圧を約1V上げることができる。その結果、MISFETがオフの状態ではN型半導体層を流れるリーク電流（ドレインリーク電

流)を低減することができる。

[0017] ゲート電極の材料であるP型ポリシリコンは、B (ボロン) が $5 \times 10^{14} \text{ cm}^{-2}$ 以上、 $5 \times 10^{15} \text{ cm}^{-2}$ 以下のドーズ量でドーピングされたポリシリコンであることが好ましい。Bのドーズ量が $5 \times 10^{14} \text{ cm}^{-2}$ 未満の場合、ゲート電極のシート抵抗が大きくなりすぎる。一方、Bのドーズ量が $5 \times 10^{15} \text{ cm}^{-2}$ を超えると、ゲート電極中のBがゲート絶縁膜中に拡散し、ゲート電極とP型領域との間でリークを生じるおそれがある。

[0018] ただし、N型ポリシリコンのシート抵抗が $20 \Omega/\square$ 程度であるのに対し、P型ポリシリコンのシート抵抗は約 $70 \Omega/\square \sim 100 \Omega/\square$ であるので、外部との電氣的接続に寄与するゲートパッドからP型ポリシリコンからなるゲート電極を引き回す構成を採用した場合、ゲート信号遅延によるMISFETのスイッチング遅延を生じるおそれがある。

そこで、SiC半導体装置は、N型半導体層上に形成され、金属材料からなり、ゲートパッドおよびゲート電極と電氣的に接続されたゲートフィンガーを備えていることが好ましい。すなわち、ゲートパッドとゲート電極とが金属材料からなるゲートフィンガーを介して接続されていることが好ましい。これにより、ゲート信号遅延によるスイッチング遅延の問題を回避することができる。

[0019] また、本発明の目的を達成するための半導体装置は、SiCからなる半導体層と、前記半導体層の表層部に選択的に形成されたN型の第1不純物領域と、前記半導体層の表層部に前記第1不純物領域と隣接し、前記第1不純物領域に囲まれるように選択的に形成されたP型の第2不純物領域と、前記第1不純物領域および前記第2不純物領域上に跨って形成されたオーミックメタルとを備え、前記第2不純物領域の表層部には、P型不純物がSiCに対する固溶限以上に含まれている。

[0020] 第2不純物領域の表層部にP型不純物がSiCに対する固溶限以上となる濃度で含まれていることにより、オーミックメタルの形成後に熱処理を行わなくても、N型の第1不純物領域はもちろん、P型の第2不純物領域に対し

ても、低抵抗なオーミックコンタクトを得ることができる。この低抵抗なオーミックコンタクトが熱処理なしで得られるメカニズムは、明らかではないが、第2不純物領域の表層部にP型不純物が過剰に含まれるため、熱処理が行われなくても、その過剰なP型不純物とSiC中のSi（シリコン）との化合によるシリサイド化が生じるのではないかと推測される。

[0021] 低抵抗なオーミックコンタクトを得るための熱処理が不要であるため、従来のSiC半導体装置よりも製造に要するコストおよび時間を低減することができる。

前記半導体装置では、第2不純物領域の表面からの深さが50nm～100nm（500Å～1000Å）の部分に、P型不純物がSiCに対する固溶限以上に含まれていることが好ましい。

[0022] また、第2不純物領域の表面からの深さが100nm（1000Å）以上の部分には、P型不純物がSiCに対する固溶限未満で含まれていることが好ましい。第2不純物領域の表面からの深さが100nm以上の部分にP型不純物が過剰に含まれていても、その過剰なP型不純物がコンタクト抵抗の低減に寄与することはない。したがって、そのような深い部分にまでP型不純物を高濃度にドーピングすることによる無駄を省くことができ、SiCの製造に要するコストおよび時間のさらなる低減を図ることができる。

[0023] また、第2不純物領域の表層部には、P型不純物が $2 \times 10^{20} \text{ cm}^{-3}$ より多く含まれていてもよい。第2不純物領域の表層部にP型不純物が確実に過剰に含まれるので、熱処理を行わずに、第2不純物領域に対して低抵抗なオーミックコンタクトを確実に得ることができる。

また、第2不純物領域が、多段イオン注入法により形成される不純物濃度プロファイルを有していることが好ましい。多段イオン注入法であれば、第2不純物領域の表面からの深さが50nm～100nmの部分に、P型不純物をSiCに対する固溶限以上に容易に注入することができる。

[0024] なお、P型不純物は、III族原子であればよく、たとえば、Alであってもよい。

また、第1不純物領域の表層部におけるN型不純物の濃度が、 $1 \times 10^{20} \text{ cm}^{-3} \sim 5 \times 10^{20} \text{ cm}^{-3}$ の範囲内であることが好ましい。このような濃度に制御されることにより、N型の第1不純物領域に対する低抵抗なオーミックコンタクトを確実に得ることができる。その場合、前記第1不純物領域の表層部におけるN型不純物の濃度は、ボックス型の不純物濃度プロファイルを有していることが好ましい。

[0025] オーミックメタルは、Ti、TiN、Ni、Al、Ta、Ta₂N₅、WおよびWNの群から選択される1種の材料からなる単層構造を有していてもよいし、その群から選択される複数種の各材料からなる層を積層した積層構造を有していてもよい。

また、本発明の目的を達成するための半導体装置は、SiCからなる第1導電型の半導体層と、前記半導体層の表層部に、前記半導体層の厚さ方向と直交する方向に間隔を空けて形成された第2導電型領域と、各前記第2導電型領域の表層部に、前記第2導電型領域の周縁と間隔を空けて形成された第1導電型の第1不純物領域と、各前記第2導電型領域の表層部に、前記第1不純物領域に囲まれるように形成された第2導電型の第2不純物領域と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、前記第2導電型領域におけるその周縁と前記第1不純物領域との間の部分に対向し、かつ互いに隣り合う2つの前記第1不純物領域の間に跨るゲート電極と、前記第1不純物領域および前記第2不純物領域上に跨って形成されたオーミックメタルとを含み、前記第2導電型領域における前記ゲート絶縁膜の厚さ方向の中央を基準とする深さが100nm以下の部分の不純物濃度が、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であり、前記第2不純物領域の表層部には、第2導電型不純物がSiCに対する固溶限以上に含まれており、前記半導体層には、その表面から掘り下げることにより、互いに隣り合う2つの前記第1不純物領域の間に跨るトレンチが形成され、前記ゲート絶縁膜により、前記トレンチの内面が被覆され、前記ゲート電極は、前記半導体層の表面に対向する表面对向部および前記トレンチに埋設された埋設部を有している。

[0026] この構成によれば、チャネルが、半導体層の表面付近だけでなく、トレンチの側面および底面付近にも形成される。そのため、微細化によるオン抵抗の低減の限界を超えて、オン抵抗をさらに低減することができる。また、第2導電型領域におけるゲート絶縁膜の厚さ方向の中央を基準とする深さ100nm以下の部分の不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下に制御されている。これにより、第2導電型領域に形成されるチャネルにおける電子の移動度（チャネル移動度）を向上させることができ、SiC半導体装置の各部により構成されるMISFETのオン抵抗を低減することができる。さらに、第2不純物領域の表層部にP型不純物がSiCに対する固溶限以上となる濃度で含まれていることにより、オーミックメタルの形成後に熱処理を行わなくても、第1不純物領域はもちろん、第2不純物領域に対しても、低抵抗なオーミックコンタクトを得ることができる。

[0027] さらに、本発明の目的を達成するための半導体装置は、SiCからなる第1導電型の半導体層と、前記半導体層の表層部に選択的に形成された第2導電型領域と、前記第2導電型領域の表層部に、前記第2導電型領域の周縁と間隔を空けて形成された第1導電型の第1不純物領域と、前記第2導電型領域の表層部に、前記第1不純物領域に囲まれるように形成された第2導電型の第2不純物領域と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、前記第2導電型領域におけるその周縁と前記第1不純物領域との間の部分に対向するゲート電極と、前記第1不純物領域および前記第2不純物領域上に跨って形成されたオーミックメタルとを含み、前記第2導電型領域における前記ゲート絶縁膜の厚さ方向の中央を基準とする深さが100nm以下の部分の不純物濃度が、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であり、前記第2不純物領域の表層部には、第2導電型不純物がSiCに対する固溶限以上に含まれている。

[0028] この構成によれば、第2導電型領域におけるゲート絶縁膜の厚さ方向の中央を基準とする深さ100nm以下の部分の不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下に制御されている。これにより、第2導電型領域に形成されるチャネル

における電子の移動度（チャネル移動度）を向上させることができ、S i C 半導体装置の各部により構成されるM I S F E Tのオン抵抗を低減することができる。さらに、第2不純物領域の表層部にP型不純物がS i Cに対する固溶限以上となる濃度で含まれていることにより、オーミックメタルの形成後に熱処理を行わなくても、第1不純物領域はもちろん、第2不純物領域に対しても、低抵抗なオーミックコンタクトを得ることができる。

図面の簡単な説明

[0029] [図1] 図1は、本発明の第1実施形態に係る半導体装置の模式的な平面図である。

[図2] 図2は、図1の破線円IIで囲まれる部分の要部拡大図である。

[図3A] 図3Aは、図2に示す半導体装置の切断線A-Aにおける模式的な断面図である。

[図3B] 図3Bは、図2に示す半導体装置の切断線B-Bにおける模式的な断面図である。

[図3C] 図3Cは、図2に示す半導体装置の切断線C-Cにおける模式的な断面図である。

[図4A] 図4Aは、図2に示す半導体装置の製造方法を説明するための模式的な断面図であり、図3Aの切断面と同じ切断面を示す。

[図4B] 図4Bは、図2に示す半導体装置の製造方法を説明するための模式的な断面図であり、図3Bの切断面と同じ切断面を示す。

[図4C] 図4Cは、図2に示す半導体装置の製造方法を説明するための模式的な断面図であり、図3Cの切断面と同じ切断面を示す。

[図5A] 図5Aは、図4Aの次の工程を示す模式的な断面図である。

[図5B] 図5Bは、図4Bの次の工程を示す模式的な断面図である。

[図5C] 図5Cは、図4Cの次の工程を示す模式的な断面図である。

[図6A] 図6Aは、図5Aの次の工程を示す模式的な断面図である。

[図6B] 図6Bは、図5Bの次の工程を示す模式的な断面図である。

[図6C] 図6Cは、図5Cの次の工程を示す模式的な断面図である。

- [図7A] 図7 Aは、図6 Aの次の工程を示す模式的な断面図である。
- [図7B] 図7 Bは、図6 Bの次の工程を示す模式的な断面図である。
- [図7C] 図7 Cは、図6 Cの次の工程を示す模式的な断面図である。
- [図8A] 図8 Aは、図7 Aの次の工程を示す模式的な断面図である。
- [図8B] 図8 Bは、図7 Bの次の工程を示す模式的な断面図である。
- [図8C] 図8 Cは、図7 Cの次の工程を示す模式的な断面図である。
- [図9A] 図9 Aは、図8 Aの次の工程を示す模式的な断面図である。
- [図9B] 図9 Bは、図8 Bの次の工程を示す模式的な断面図である。
- [図9C] 図9 Cは、図8 Cの次の工程を示す模式的な断面図である。
- [図10A] 図10 Aは、図9 Aの次の工程を示す模式的な断面図である。
- [図10B] 図10 Bは、図9 Bの次の工程を示す模式的な断面図である。
- [図10C] 図10 Cは、図9 Cの次の工程を示す模式的な断面図である。
- [図11A] 図11 Aは、図10 Aの次の工程を示す模式的な断面図である。
- [図11B] 図11 Bは、図10 Bの次の工程を示す模式的な断面図である。
- [図11C] 図11 Cは、図10 Cの次の工程を示す模式的な断面図である。
- [図12A] 図12 Aは、図11 Aの次の工程を示す模式的な断面図である。
- [図12B] 図12 Bは、図11 Bの次の工程を示す模式的な断面図である。
- [図12C] 図12 Cは、図11 Cの次の工程を示す模式的な断面図である。
- [図13A] 図13 Aは、図12 Aの次の工程を示す模式的な断面図である。
- [図13B] 図13 Bは、図12 Bの次の工程を示す模式的な断面図である。
- [図13C] 図13 Cは、図12 Cの次の工程を示す模式的な断面図である。
- [図14] 図14は、本発明の第2実施形態に係る半導体装置の構造を示す模式的な断面図である。
- [図15] 図15は、本発明の第3実施形態に係る半導体装置の模式的な平面図である。
- [図16] 図16は、図15に示す半導体装置の切断線II-IIにおける模式的な断面図である。
- [図17] 図17は、図15に示す半導体装置の切断線III-IIIにおける模式的

な断面図である。

[図18A]図18Aは、図16に示す半導体装置の製造方法を説明するための模式的な断面図である。

[図18B]図18Bは、図18Aの次の工程を示す模式的な断面図である。

[図18C]図18Cは、図18Bの次の工程を示す模式的な断面図である。

[図18D]図18Dは、図18Cの次の工程を示す模式的な断面図である。

[図18E]図18Eは、図18Dの次の工程を示す模式的な断面図である。

[図18F]図18Fは、図18Eの次の工程を示す模式的な断面図である。

[図18G]図18Gは、図18Fの次の工程を示す模式的な断面図である。

[図19]図19は、本発明の第4実施形態に係る半導体装置の模式的な平面図である。

[図20]図20は、図19に示す切断線II-IIにおける半導体装置の模式的な断面図である。

[図21A]図21Aは、半導体装置の製造方法を説明するための模式的な断面図である。

[図21B]図21Bは、図21Aの次の工程を示す模式的な断面図である。

[図21C]図21Cは、図21Bの次の工程を示す模式的な断面図である。

[図21D]図21Dは、図21Cの次の工程を示す模式的な断面図である。

[図21E]図21Eは、図21Dの次の工程を示す模式的な断面図である。

[図21F]図21Fは、図21Eの次の工程を示す模式的な断面図である。

[図21G]図21Gは、図21Fの次の工程を示す模式的な断面図である。

[図22]図22は、実施例1に係るP型領域の不純物濃度プロファイルを示すグラフである。

[図23]図23は、実施例2に係るP型領域の不純物濃度プロファイルを示すグラフである。

[図24]図24は、実施例3に係るP型領域の不純物濃度プロファイルを示すグラフである。

[図25]図25は、実施例4に係るP型領域の不純物濃度プロファイルを示す

グラフである。

[図26] 図26は、実施例5に係るP型領域の不純物濃度プロファイルを示すグラフである。

[図27] 図27は、実施例6に係るP型領域の不純物濃度プロファイルを示すグラフである。

[図28] 図28は、実施例7に係るP型領域の不純物濃度プロファイルを示すグラフである。

[図29] 図29は、実施例8に係るP型領域の不純物濃度プロファイルを示すグラフである。

[図30] 図30は、実施例9に係るP型領域の不純物濃度プロファイルを示すグラフである。

[図31] 図31は、実施例10に係るP型領域の不純物濃度プロファイルを示すグラフである。

[図32] 図32は、実施例11に係るP型領域の不純物濃度プロファイルを示すグラフである。

[図33] 図33は、実施例12に係るP型領域の不純物濃度プロファイルを示すグラフである。

[図34] 図34は、実施例1～12の構造物を使用したS i C半導体装置におけるオン抵抗および閾値電圧の測定結果を示す表である。

[図35] 図35は、実施例1～12の構造物を使用したS i C半導体装置におけるオン抵抗の測定結果を示すグラフである。

[図36] 図36は、実施例1～12の構造物を使用したS i C半導体装置における閾値電圧の測定結果を示すグラフである。

[図37] 図37は、実施例10の構造物を使用したS i C半導体装置におけるドレインリーク電流の測定結果を示すグラフである。

[図38] 図38は、比較例1のS i C半導体装置におけるドレインリーク電流の測定結果を示すグラフである。

[図39] 図39は、実施例13に係るP⁺領域の不純物濃度プロファイルを示す

グラフである。

[図40] 図40は、比較例2～3に係るP⁺領域の不純物濃度プロファイルを示すグラフである。

[図41] 図41は、実施例13および比較例2～3の構造物におけるI-V特性を示すグラフである。

発明を実施するための形態

[0030] 以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、本発明の第1実施形態に係る半導体装置の模式的な平面図である。

半導体装置1は、平面視正形状に形成されており、その表面側に層間絶縁膜2が形成されている。

層間絶縁膜2上には、ソース電極3、ゲートパッド4およびゲートフィンガー5が形成されている。

[0031] ソース電極3は、その中央部分に第1側縁6から当該第1側縁6に対向する第2側縁7側へ平面視凹状に除去された領域（除去領域10）を有する平面視正形状に形成されていて、各側縁が半導体装置1の側縁にそれぞれ平行となるように配置されている。

ゲートパッド4は、平面視正形状に形成されていて、ソース電極3の凹状の除去領域10の開放部分付近に、ソース電極3に対して間隔を空けて非接触に設けられている。

[0032] ゲートフィンガー5は、この実施形態ではゲートパッド4と一体的に3本形成されている。3本のゲートフィンガー5は、ソース電極3の除去領域10の開放側からその反対側へ向かって、除去領域10内、およびソース電極3の第1側縁6に直交する第3側縁8および第4側縁9の外側に1本ずつ、互いに平行に延びていて、ソース電極3に対して間隔を空けて非接触に設けられている。

[0033] ゲートパッド4およびゲートフィンガー5は、同じ金属材料からなる。好ましくは、ゲートパッド4およびゲートフィンガー5は、ソース電極3と同

じ金属材料、たとえば、Alを主成分として含む金属材料からなる。ソース電極3、ゲートパッド4およびゲートフィンガー5が同じ金属材料からなる場合、層間絶縁膜2の表面全域上にその金属材料からなる膜を形成し、この膜をパターニングすることにより、ソース電極3、ゲートパッド4およびゲートフィンガー5を形成することができる。

[0034] ソース電極3の下方には、以下に説明する各部からなるVDMOSFET (Vertical Double diffused Metal Oxide Semiconductor Field Effect Transistor) の単位セルCが、平面視でマトリクス状（格子状）に多数配列されて設けられている。

図2は、図1の破線円IIで囲まれる部分の要部拡大図であって、4つの単位セルCが示されている。図3Aは、図2に示す半導体装置の切断線A-Aにおける模式的な断面図である。図3Bは、図2に示す半導体装置の切断線B-Bにおける模式的な断面図である。図3Cは、図2に示す半導体装置の切断線C-Cにおける模式的な断面図である。なお、各断面図では、図面の簡素化のために、導電材料からなる部分にのみハッチングを付している。

[0035] 半導体装置1は、SiC基板（図示せず）上に積層されたSiCエピタキシャル層12を備えている。SiCエピタキシャル層12は、N型不純物がドーピングされることにより、N型の導電型を示している。この実施形態では、SiCエピタキシャル層12の厚さは、約7 μm であり、SiCエピタキシャル層12のN型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ である。

[0036] SiCエピタキシャル層12の表層部には、複数のボディ領域13が形成されている。各ボディ領域13は、P型の導電型を示し、SiCエピタキシャル層12の表面24から深さ方向の途中部に至る領域に、他のボディ領域13に対してSiCエピタキシャル層12の厚さ方向と直交する方向に間隔を空けて形成されている。この実施形態では、ボディ領域13の深さは、5000 Å ~ 6500 Å（500 nm ~ 650 nm）である。そして、ボディ領域13は、P型不純物であるAlの1段イオン注入法により形成され、後述するゲート絶縁膜16の厚さ方向の中央を基準とする深さが1000 Å（

100 nm) 以下の部分のP型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下である不純物濃度プロファイルを有している。

[0037] 各ボディ領域13の表層部には、ソース領域14がボディ領域13の周縁と間隔を空けて形成されている。ソース領域14は、SiCエピタキシャル層12よりもN型不純物が高濃度にドーピングされることにより、N⁺型の導電型を示している。この実施形態では、ソース領域14の深さは、約2500 Å (250 nm) である。そして、ソース領域14は、N型不純物であるP(リン)の多段イオン注入法により形成され、その表面からの深さが1000 Å ~ 2500 Å (10 nm ~ 250 nm) の部分におけるN型不純物濃度が $1 \times 10^{20} \text{ cm}^{-3} \sim 5 \times 10^{20} \text{ cm}^{-3}$ であるボックス型の不純物濃度プロファイルを有している。

[0038] 各ソース領域14の内側には、ボディコンタクト領域15がソース領域14を深さ方向に貫通して形成されている。ボディコンタクト領域15は、ボディ領域13よりもP型不純物が高濃度にドーピングされることにより、P⁺型の導電型を示している。ボディコンタクト領域15は、ボディ領域13よりもP型不純物が高濃度にドーピングされることにより、P⁺型の導電型を示している。この実施形態では、ボディコンタクト領域15の深さは、約3500 Å (350 nm) である。そして、ボディコンタクト領域15は、P型不純物であるAlの多段イオン注入法により形成され、その表面からの深さが500 Å ~ 1000 Å (50 nm ~ 100 nm) の部分におけるP型不純物濃度が $2 \times 10^{20} \text{ cm}^{-3} \sim 5 \times 10^{20} \text{ cm}^{-3}$ であり、表面からの深さが1000 Å (100 nm) 以上の部分におけるP型不純物濃度が $2 \times 10^{20} \text{ cm}^{-3}$ 以下であるボックス型の不純物濃度プロファイルを有している。これにより、ボディコンタクト領域15における表面からの深さが500 Å ~ 1000 Åの部分には、AlがSiCに対する固溶限以上に含まれ、ボディコンタクト領域15における表面からの深さが1000 Å以上の部分には、AlがSiCに対する固溶限未満で含まれている。

[0039] SiCエピタキシャル層12上には、ゲート絶縁膜16が形成されている

。ゲート絶縁膜 16 は、たとえば、 SiO_2 （酸化シリコン）からなる。ゲート絶縁膜 16 の厚さは、たとえば、約 $400 \text{ \AA}$ （ 40 nm ）である。

ゲート絶縁膜 16 上には、ゲート電極 17 が形成されている。ゲート電極 17 は、たとえば、ドーフトポリシリコン（N 型不純物または P 型不純物がドーピングされたポリシリコン）からなる。ゲート電極 17 は、互いに隣り合うソース領域 14 の間に跨って設けられている。また、ゲート電極 17 は、層間絶縁膜 2 に形成された貫通孔（図示せず）を介して、ゲートフィンガー 5 と接続されている。

[0040] ゲート電極 17 の下方において、 SiC エピタキシャル層 12 には、複数のトレンチ 18 が形成されている。各トレンチ 18 は、互いに隣り合う単位セル C の 2 つのソース領域 14 をその側面 25 に露出させるように、ソース領域 14 の間に跨って形成されている。各トレンチ 18 は、 SiC エピタキシャル層 12 をその表面 24 からソース領域 14 の最深部よりも浅い位置まで掘り下げることにより形成され、一定のピッチで並列に設けられている。そして、各トレンチ 18 には、ゲート絶縁膜 16 およびゲート電極 17 が入り込んでいる。これにより、各トレンチ 18 の内面は、ゲート絶縁膜 16 により被覆され、ゲート電極 17 は、 SiC エピタキシャル層 12 の表面 24 に対向する表面对向部 19 と、各トレンチ 18 内に埋設された埋設部 20 とを一体的に有している。

[0041] また、 SiC エピタキシャル層 12 上には、層間絶縁膜 2 が形成されている。層間絶縁膜 2 により、ゲート電極 17 が被覆されている。層間絶縁膜 2 は、たとえば、 SiO_2 からなる。

層間絶縁膜 2 には、各ボディコンタクト領域 15 と対向する位置に、コンタクトホール 23 が形成されている。各コンタクトホール 23 は、ゲート絶縁膜 16 を貫通し、各コンタクトホール 23 内には、ボディコンタクト領域 15 の全域およびソース領域 14 におけるボディコンタクト領域 15 の周囲の部分が臨んでいる。

[0042] ソース領域 14 およびボディコンタクト領域 15 の表面におけるコンタク

トホール 23 内に臨む部分上（コンタクトホール 23 の底面上）ならびに層間絶縁膜 2 の表面上には、下方から Ti（チタン）層および TiN（窒化チタン）層を積層した積層構造を有するオーミックメタル 21 が形成されている。

層間絶縁膜 2 上（オーミックメタル 21 上）には、ソース電極 3 が形成されている。ソース電極 3 は、層間絶縁膜 2 に選択的に形成されたコンタクトホール 23 に入り込み、オーミックメタル 21 を挟んで、ソース領域 14 およびボディコンタクト領域 15 に接続されている。ソース電極 3 は、たとえば、Al を主成分として含む金属からなる。

[0043] 一方、図示しないが、SiC 基板の裏面（SiC エピタキシャル層 12 が形成されている側と反対側の面）には、ドレイン電極が形成されている。

ソース電極 3 が接地され、ドレイン電極に適当な正電圧が印加された状態で、ゲート電極 17 の電位（ゲート電圧）が制御されることにより、SiC エピタキシャル層 12 におけるゲート絶縁膜 16 との界面近傍にチャネルが形成されて、ソース電極 3 とドレイン電極との間に、電流がチャネルおよび互いに隣り合うボディ領域 13 の間を流れる。

[0044] 前述したように、SiC エピタキシャル層 12 には、複数のトレンチ 18 が互いに隣り合う 2 つのソース領域 14 の間に跨るように形成されている。トレンチ 18 の内面は、ゲート絶縁膜 16 により被覆されている。そして、ゲート電極 17 は、ゲート絶縁膜 16 を挟んで SiC エピタキシャル層 12 の表面 24 に対向する表面对向部 19 と、トレンチ 18 内に埋設される埋設部 20 とを有している。そのため、チャネルは、SiC エピタキシャル層 12 の表面 24 付近だけでなく、トレンチ 18 の側面 25 および底面 26 付近にも形成される。よって、プレーナゲート型 VDMISFET を備える構成と比較して、チャネル幅を拡大することができる。その結果、微細化によるオン抵抗の低減の限界を超えて、オン抵抗をさらに低減することができる。

[0045] さらに、SiC エピタキシャル層 12 の表面 24 に、SiC 結晶の（0001）面または（000-1）面が現れる場合、トレンチ 18 の側面 25 の

一部に、SiC結晶の(11-20)面が現れるので、その部分の近傍にチャネルが形成されることにより、高いチャネル移動度を発揮することができる。

また、N型ポリシリコンのシート抵抗が $20\ \Omega/\square$ 程度であるのに対し、P型ポリシリコンのシート抵抗は約 $70\ \Omega/\square \sim 100\ \Omega/\square$ であるので、ゲートパッド4からP型ポリシリコンからなるゲート電極17を引き回す構成を採用した場合、ゲート信号遅延によるMISFETのスイッチング遅延を生じるおそれがある。

[0046] ゲートパッド4とゲート電極17とが金属材料からなるゲートフィンガー5を介して接続されることにより、ゲート信号遅延によるスイッチング遅延の問題を回避することができる。

また、ボディ領域13が、 300 keV 以上の注入エネルギーおよび $4 \times 10^{13}\text{ cm}^{-2}$ 以上のドーズ量での1段イオン注入法により形成されている。これにより、ボディ領域13の表層部、具体的には、ボディ領域13におけるゲート絶縁膜16の厚さ方向の中央を基準とする深さ $1000\text{ \AA}$ 以下の部分のP型不純物濃度が $1 \times 10^{18}\text{ cm}^{-3}$ 以下となる。ボディ領域13の表層部のP型不純物濃度を $1 \times 10^{18}\text{ cm}^{-3}$ 以下の低濃度に制御することにより、ボディ領域13に形成されるチャネルにおける電子の移動度(チャネル移動度)を向上させることができ、VDMOSFETのオン抵抗を低減することができる。

[0047] そして、半導体装置1では、ゲート電極17がP型ポリシリコンからなる。N型ポリシリコンの仕事関数は、約 4.1 eV である。これに対し、P型ポリシリコンの仕事関数は、約 5.1 eV である。そのため、ゲート電極17の材料にP型ポリシリコンを採用することにより、N型ポリシリコンを採用した構成と比較して、VDMOSFETの閾値電圧を約 1 V 上げることができる。その結果、MISFETがオフの状態ソース電極3とドレイン電極との間を流れるドレインリーク電流を低減することができる。

[0048] また、ゲート電極17の材料であるP型ポリシリコンは、Bが 5×10^{14}

$\text{cm}^{-2} \sim 5 \times 10^{15} \text{cm}^{-2}$ の範囲内のドーズ量でドーピングされたP型ポリシリコンからなる。ドーズ量を $5 \times 10^{14} \text{cm}^{-2}$ 以上とすることにより、ゲート電極17のシート抵抗が大きくなりすぎるのを防止できる。また、ドーズ量を $5 \times 10^{15} \text{cm}^{-2}$ 以下とすることにより、ゲート電極17中のBがゲート絶縁膜16中に拡散することを防止でき、その拡散に起因するゲート電極17とボディ領域13との間でのリークの発生を防止できる。

[0049] また、ボディコンタクト領域15の表層部には、P型不純物であるAlがSiCに対する固溶限以上に含まれている。

ボディコンタクト領域15の表層部にP型不純物がSiCに対する固溶限以上となる濃度で含まれていることにより、オーミックメタル21の形成後に熱処理を行わなくても、N型のソース領域14はもちろん、P型のボディコンタクト領域15に対しても、低抵抗なオーミックコンタクトを得ることができる。

[0050] この半導体装置1では、第1低抵抗なオーミックコンタクトを得るための熱処理が不要であるため、従来のSiC半導体装置よりも製造に要するコストおよび時間を低減することができる。

また、この実施形態では、ボディコンタクト領域15の表面からの深さが $500 \text{Å} \sim 1000 \text{Å}$ の部分に、AlがSiCに対する固溶限以上に含まれ、ボディコンタクト領域15の表面からの深さが 1000Å 以上の部分には、AlがSiCに対する固溶限未満で含まれている。ボディコンタクト領域15の表面からの深さが 1000Å 以上の部分にAlが過剰に含まれていても、その過剰なAlがコンタクト抵抗の低減に寄与することはない。したがって、そのような深い部分にまでAlを高濃度にドーピングすることによる無駄が省かれ、SiCの製造に要するコストおよび時間のさらなる低減が図られている。

[0051] また、ボディコンタクト領域15は、多段イオン注入法により形成される。多段イオン注入法であれば、ボディコンタクト領域15の表面からの深さが $50 \text{nm} \sim 100 \text{nm}$ の部分に、P型不純物をSiCに対する固溶限以上

に容易に注入することができる。

また、ソース領域 14 の表層部における N 型不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ $\sim 5 \times 10^{20} \text{ cm}^{-3}$ の範囲内に制御されているので、N 型のソース領域 14 に対する低抵抗なオーミックコンタクトを確実に得ることができる。

[0052] 図 4 A ~ 図 1 2 A、図 4 B ~ 図 1 2 B および図 4 C ~ 図 1 2 C は、図 2 に示す半導体装置の製造工程を順に示す模式的な断面図である。図 4 A ~ 図 1 2 A の切断面は、図 3 A の切断面と同じである。図 4 B ~ 図 1 2 B の切断面は、図 3 B の切断面と同じである。図 4 C ~ 図 1 2 C の切断面は、図 3 C の切断面と同じである。

半導体装置 1 の製造工程では、まず、図 4 A、図 4 B および図 4 C に示すように、エピタキシャル成長法により、S i C 基板（図示せず）上に、S i C エピタキシャル層 1 2 が形成される。

[0053] 次に、図 5 A、図 5 B および図 5 C に示すように、次に、1 段イオン注入法により、S i C エピタキシャル層 1 2 の表層部に、ボディ領域 1 3 を形成するための P 型不純物（たとえば、A l）が選択的に注入（インプラ）される。

次いで、図 6 A、図 6 B および図 6 C に示すように、多段イオン注入法（たとえば、4 段イオン注入法）により、ボディ領域 1 3 の表層部に、ボディコンタクト領域 1 5 を形成するための P 型不純物である A l が選択的に注入される。

[0054] 次いで、図 7 A、図 7 B および図 7 C に示すように、多段イオン注入法（たとえば、4 段イオン注入法）により、ボディ領域 1 3 の表層部に、ソース領域 1 4 を形成するための N 型不純物である P が選択的に注入される。

その後、高温（たとえば、 1750°C ）によるアニールが行われ、S i C エピタキシャル層 1 2 の表層部に、ボディ領域 1 3、ソース領域 1 4 およびボディコンタクト領域 1 5 が形成される。

[0055] その後、図 8 A、図 8 B および図 8 C に示すように、フォトリソグラフィおよびエッチングにより、S i C エピタキシャル層 1 2 に、複数のトレンチ

１８が形成される。

次いで、図９Ａ、図９Ｂおよび図９Ｃに示すように、熱酸化法により、ＳｉＣエピタキシャル層１２の表面に、ゲート絶縁膜１６が形成される。

なお、Ｐ型不純物およびＮ型不純物の不純物を活性化させるための熱処理は、熱酸化処理（ゲート絶縁膜１６の形成）の前であれば、Ｐ型不純物の注入後およびＮ型不純物の注入後の各タイミングで個別に行われてもよいし、Ｐ型不純物の注入およびＮ型不純物がボディ領域１３に連続して注入された後、トレンチ１８が形成される前に行われてもよい。

[0056] その後、図１０Ａ、図１０Ｂおよび図１０Ｃに示すように、ＣＶＤ（Chemical Vapor Deposition：化学気相成長）法により、ゲート絶縁膜１６上に、ドーフトポリシリコン２２がトレンチ１８を埋め尽くすように堆積される。

そして、図１１Ａ、図１１Ｂおよび図１１Ｃに示すように、フォトリソグラフィおよびエッチングにより、ドーフトポリシリコン２２の堆積層が選択的に除去され、ゲート絶縁膜１６上に、ドーフトポリシリコン２２からなるゲート電極１７が形成される。

[0057] この後、図１２Ａ、図１２Ｂおよび図１２Ｃに示すように、ＣＶＤ法により、ＳｉＣエピタキシャル層１２上に、層間絶縁膜２が形成される。

そして、図１３Ａ、図１３Ｂおよび図１３Ｃに示すように、フォトリソグラフィおよびエッチングにより、層間絶縁膜２に、コンタクトホール２３が形成される。

その後、スパッタ法により、ソース領域１４およびボディコンタクト領域１５の表面におけるコンタクトホール２３内に臨む部分上（コンタクトホール２３の底面上）ならびに層間絶縁膜２の表面上に、ＴｉおよびＴｉＮが順に蒸着されることにより、オーミックメタル２１が形成される。

[0058] ＴｉおよびＴｉＮの蒸着に引き続いて、スパッタ法により、オーミックメタル２１上に、ソース電極３が形成される。また、ＳｉＣ基板（図示せず）の裏面に、ドレイン電極が形成される。こうして、図２に示す半導体装置１が得られる。

図 1 4 は、本発明の第 2 実施形態に係る半導体装置の構造を示す模式的な断面図である。図 1 4 において、図 3 A に示す各部に相当する部分には、それらの各部に付した参照符号と同一の参照符号を付している。そして、以下では、図 1 4 に示す構造について、図 3 A に示す構造との相違点のみを説明し、同一の参照符号を付した各部の説明を省略する。

[0059] 図 3 A に示す半導体装置 1 では、トレンチ 1 8 の深さがソース領域 1 4 の深さよりも小さいのに対し、図 1 4 に示す半導体装置 3 1 では、トレンチ 1 8 の深さがソース領域 1 4 の深さよりも大きい。

半導体装置 3 1 においても、チャネルは、S i C エピタキシャル層 1 2 の表面 2 4 付近だけでなく、トレンチ 1 8 の側面 2 5 および底面 2 6 付近にも形成される。よって、微細化によるオン抵抗の低減の限界を超えて、オン抵抗をさらに低減することができる。

[0060] なお、トレンチ 1 8 の深さがソース領域 1 4 の深さよりも小さい場合、つまり図 3 A に示す構造の場合には、チャネルがトレンチ 1 8 の底面 2 6 に沿って形成され、チャネルを移動する電子がトレンチ 1 8 の側面 2 5 および底面 2 6 のそれぞれに沿って直線的に移動する。よって、チャネル幅を大きくすることができ、オン抵抗のさらなる低減を図ることができる。

[0061] 図 1 5 は、本発明の第 3 実施形態に係る半導体装置の平面図である。図 1 6 は、図 1 5 に示す半導体装置の切断線 I—I における模式的な断面図である。図 1 7 は、図 1 5 に示す半導体装置の切断線 III—III における模式的な断面図である。

半導体装置 4 1 は、以下に説明する各部からなる V D M O S F E T (Vertical Double diffused Metal Oxide Semiconductor Field Effect Transistor) のセル C を複数備えている。図 1 5 に示すように、複数のセル C は、平面視でマトリクス状に配置されている。

[0062] 図 1 6, 1 7 に示すように、半導体装置 4 1 (S i C 半導体装置) は、S i C 基板 (図示せず) 上に積層された S i C エピタキシャル層 4 2 を備えている。S i C エピタキシャル層 4 2 は、N 型不純物がドーピングされること

により、N型の導電型を示している。この実施形態では、SiCエピタキシャル層42の厚さは、約7 μm であり、SiCエピタキシャル層42のN型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ である。

[0063] SiCエピタキシャル層42の表層部には、複数のボディ領域（ウェル領域）3が並列に形成されている。各ボディ領域43は、P型の導電型を示し、他のボディ領域43に対して適当な間隔を空けて平行に延びるように形成されている。この実施形態では、ボディ領域43の深さは、5000 Å～6500 Å（500 nm～650 nm）である。そして、ボディ領域43は、P型不純物であるAlの1段イオン注入法により形成され、後述するゲート絶縁膜46の厚さ方向の中央を基準とする深さが1000 Å（100 nm）以下の部分のP型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下である不純物濃度プロファイルを有している。

[0064] 各ボディ領域43の表層部には、ソース領域44がボディ領域43の周縁と間隔を空けて形成されている。ソース領域44は、SiCエピタキシャル層42よりもN型不純物が高濃度にドーピングされることにより、N+型の導電型を示している。この実施形態では、ソース領域44の深さは、約2500 Å（250 nm）である。

各ソース領域44の内側には、複数のボディコンタクト領域45がボディ領域43が延びる方向に一定間隔を空けて形成されている。各ボディコンタクト領域45は、ソース領域44を深さ方向に貫通して形成されている。各ボディコンタクト領域45は、ボディ領域43よりもP型不純物が高濃度にドーピングされることにより、P+型の導電型を示している。この実施形態では、ボディコンタクト領域45の深さは、約3500 Å（350 nm）である。

[0065] SiCエピタキシャル層42上には、ゲート絶縁膜46が形成されている。ゲート絶縁膜46は、たとえば、SiO₂（酸化シリコン）からなる。ゲート絶縁膜46の厚さは、たとえば、約400 Å（40 nm）である。

ゲート絶縁膜46上には、ゲート電極47が形成されている。ゲート電極

４７は、Ｐ型不純物であるＢが $5 \times 10^{14} \text{ cm}^{-2} \sim 5 \times 10^{15} \text{ cm}^{-2}$ の範囲内のドーズ量でドーピングされたＰ型ポリシリコンからなる。ゲート電極４７は、互いに隣り合うソース領域４４（ボディ領域４３）の間に跨って設けられている。

[0066] また、ＳｉＣエピタキシャル層４２上には、層間絶縁膜４８が形成されている。層間絶縁膜４８により、ＳｉＣエピタキシャル層４２の表面がゲート電極４７とともに被覆されている。層間絶縁膜４８は、たとえば、ＳｉＯ₂からなる。

層間絶縁膜４８には、各ボディコンタクト領域４５と対向する位置に、コンタクトホール４９が形成されている。各コンタクトホール４９は、ゲート絶縁膜４６を貫通し、各コンタクトホール４９内には、ボディコンタクト領域４５の全域およびソース領域４４におけるボディコンタクト領域４５の周囲の部分が臨んでいる。

[0067] ソース領域４４およびボディコンタクト領域４５の表面におけるコンタクトホール４９内に臨む部分上（コンタクトホール４９の底面上）ならびに層間絶縁膜４８の表面上には、下方からＴｉ（チタン）層およびＴｉＮ（窒化チタン）層を積層した積層構造を有するオーミックメタル５０が形成されている。

層間絶縁膜４８（オーミックメタル５０）上には、ソース電極５１が形成されている。ソース電極５１は、層間絶縁膜４８に形成された各コンタクトホール４９に入り込み、オーミックメタル５０を挟んで、ソース領域４４およびボディコンタクト領域４５に接続されている。ソース電極５１は、たとえば、Ａｌを主成分として含む金属材料からなる。

[0068] 図１６に示すように、ソース電極５１上には、ポリイミド層５２が積層されている。

また、図示しないが、ＳｉＣ基板の裏面（ＳｉＣエピタキシャル層４２が形成されている側と反対側の面）には、ドレイン電極が形成されている。

ソース電極５１が接地され、ドレイン電極に適当な正電圧が印加された状

態で、ゲート電極 4 7 の電位（ゲート電圧）が制御されることにより、ボディ領域 4 3 におけるゲート絶縁膜 4 6 との界面近傍にチャンネルが形成されて、ソース電極 5 1 とドレイン電極との間に電流が流れる。

[0069] また、図 1 5 に示すように、層間絶縁膜 4 8 上には、外部との電氣的接続に寄与するゲートパッド 5 3 と、ゲートパッド 5 3 から延びるゲートフィンガー 5 4 とが形成されている。

ゲートパッド 5 3 は、半導体装置 4 1 の一側縁に沿った部分の中央に配置されている。

ゲートフィンガー 5 4 は、たとえば、3 本設けられ、ゲートパッド 5 3 が配置されている一方側とその反対の他方側との間で互いに平行に延びている。各ゲートフィンガー 5 4 の一方側の端部は、ゲートパッド 5 3 に接続されている。ゲートフィンガー 5 4 は、層間絶縁膜 4 8 に形成された貫通孔 5 5（図 1 7 参照）を介して、ゲート電極 4 7 と接続されている。

[0070] ゲートパッド 5 3 およびゲートフィンガー 5 4 は、ソース電極 5 1 に対して間隔を空けて非接触に設けられている。言い換えれば、層間絶縁膜 4 8 上において、ソース電極 5 1 は、ゲートパッド 5 3 およびゲートフィンガー 5 4 が形成されていない部分に、ゲートパッド 5 3 およびゲートフィンガー 5 4 に対して間隔を空けて形成されている。

ゲートパッド 5 3 およびゲートフィンガー 5 4 は、同じ金属材料からなる。好ましくは、ゲートパッド 5 3 およびゲートフィンガー 5 4 は、ソース電極 5 1 と同じ金属材料、たとえば、Al を主成分として含む金属材料からなる。ソース電極 5 1、ゲートパッド 5 3 およびゲートフィンガー 5 4 が同じ金属材料からなる場合、層間絶縁膜 4 8 の表面全域上にその金属材料からなる膜を形成し、この膜をパターニングすることにより、ソース電極 5 1、ゲートパッド 5 3 およびゲートフィンガー 5 4 を形成することができる。

[0071] N 型ポリシリコンのシート抵抗が $20 \Omega/\square$ 程度であるのに対し、P 型ポリシリコンのシート抵抗は約 $70 \Omega/\square \sim 100 \Omega/\square$ であるので、ゲートパッド 5 3 から P 型ポリシリコンからなるゲート電極 4 7 を引き回す構成を

採用した場合、ゲート信号遅延によるM I S F E Tのスイッチング遅延を生じるおそれがある。

ゲートパッド53とゲート電極47とが金属材料からなるゲートフィンガー54を介して接続されることにより、ゲート信号遅延によるスイッチング遅延の問題を回避することができる。

[0072] 図18A～図18Gは、図16に示す半導体装置の製造工程を順に示す模式的な断面図である。

半導体装置41の製造工程では、図18Aに示すように、まず、エピタキシャル成長法により、S i C基板（図示せず）上に、S i Cエピタキシャル層42が形成される。次に、300keV以上の注入エネルギーおよび $4 \times 10^{13} \text{ cm}^{-2}$ 以上のドーズ量での1段イオン注入法により、S i Cエピタキシャル層42の表層部に、ボディ領域43を形成するためのP型不純物であるA1が選択的に注入（インプラ）される。次いで、多段イオン注入法（たとえば、4段イオン注入法）により、ボディ領域43の表層部に、ソース領域44を形成するためのN型不純物であるPが選択的に注入される。さらに、多段イオン注入法（たとえば、4段イオン注入法）により、ボディ領域43の表層部に、ボディコンタクト領域45を形成するためのP型不純物であるA1が選択的に注入される。その後、高温（たとえば、1750℃）によるアニールが行われ、S i Cエピタキシャル層42の表層部に、ボディ領域43、ソース領域44およびボディコンタクト領域45が形成される。

[0073] 次に、図18Bに示すように、熱酸化法により、S i Cエピタキシャル層42の表面に、ゲート絶縁膜46が形成される。

その後、図18Cに示すように、C V D（Chemical Vapor Deposition：化学気相成長）法により、ゲート絶縁膜46上に、ポリシリコンが堆積される。次いで、ポリシリコンの堆積層をP型ポリシリコンの堆積層に変化させるため、ポリシリコンの堆積層に、B（ボロン）がドーピングされる。このBのドーピングは、たとえば、注入エネルギーが30keVであり、ドーズ量が $2 \times 10^{15} \text{ m}^{-2}$ であるイオン注入法により達成される。そして、フォトリ

ソグラフィおよびエッチングにより、P型ポリシリコンの堆積層が選択的に除去され、ゲート絶縁膜46上に、P型ポリシリコンからなるゲート電極47が形成される。ゲート電極47がパターンニングされるまでの過程において、ゲート電極47の表面には、 SiO_2 からなる自然酸化膜56が生じる。

[0074] 次いで、図18Dに示すように、CVD法により、SiCエピタキシャル層42上に、層間絶縁膜48が形成される。ゲート電極47の表面上の自然酸化膜56は、層間絶縁膜48と一体化する。その後、フォトリソグラフィにより、層間絶縁膜48上に、レジストパターン57が形成される。レジストパターン57は、層間絶縁膜48におけるコンタクトホール49を形成すべき部分と対向する開口を有している。

その後、図18Eに示すように、レジストパターン57をマスクに用いたエッチングにより、層間絶縁膜48に、コンタクトホール49が形成される。

[0075] そして、図18Fに示すように、スパッタ法により、ソース領域44およびボディコンタクト領域45の表面におけるコンタクトホール49内に臨む部分上（コンタクトホール49の底面上）ならびに層間絶縁膜48の表面上に、TiおよびTiNが順に成膜されることにより、オーミックメタル50が形成されている。

TiおよびTiNの成膜（スパッタ）に引き続いて、図18Gに示すように、スパッタ法により、オーミックメタル50上に、ソース電極51が形成される。その後、ソース電極51上に、感光性ポリイミドが塗布される。そして、ソース電極51の一部をパッドとして露出させるために、その感光性ポリイミドが選択的に除去された後、感光性ポリイミドのキュアが行われる。これにより、感光性ポリイミドがポリイミド層52となり、図16に示す半導体装置41が得られる。

[0076] 以上のように、半導体装置41は、SiCエピタキシャル層42と、SiCエピタキシャル層42の表層部に選択的に形成されたボディ領域43と、ボディ領域43の表層部に、ボディ領域43の周縁と間隔を空けて形成され

たソース領域44と、SiCエピタキシャル層42上に形成されたゲート絶縁膜46と、ゲート絶縁膜46上に形成され、ボディ領域43の周縁とソース領域44との間の部分に対向するゲート電極47とを備えている。

[0077] そして、ボディ領域43は、300keV以上の注入エネルギーおよび $4 \times 10^{13} \text{ cm}^{-2}$ 以上のドーズ量での1段イオン注入法により形成されている。これにより、ボディ領域43の表層部、具体的には、ボディ領域43におけるゲート絶縁膜46の厚さ方向の中央を基準とする深さ1000Å以下の部分のP型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下となる。ボディ領域43の表層部のP型不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 以下の低濃度に制御することにより、ボディ領域43に形成されるチャネルにおける電子の移動度（チャネル移動度）を向上させることができ、VDMOSFETのオン抵抗を低減することができる。

[0078] そして、これらの半導体装置41では、ゲート電極47がP型ポリシリコンからなる。N型ポリシリコンの仕事関数は、約4.1eVである。これに対し、P型ポリシリコンの仕事関数は、約5.1eVである。そのため、ゲート電極47の材料にP型ポリシリコンを採用することにより、N型ポリシリコンを採用した構成と比較して、VDMOSFETの閾値電圧を約1V上げることができる。その結果、MISFETがオフの状態ですソース電極51とドレイン電極との間を流れるドレインリーク電流を低減することができる。

[0079] また、ゲート電極47の材料であるP型ポリシリコンは、Bが $5 \times 10^{14} \text{ cm}^{-2} \sim 5 \times 10^{15} \text{ cm}^{-2}$ の範囲内のドーズ量でドーピングされたP型ポリシリコンからなる。ドーズ量を $5 \times 10^{14} \text{ cm}^{-2}$ 以上とすることにより、ゲート電極47のシート抵抗が大きくなりすぎるのを防止できる。また、ドーズ量を $5 \times 10^{15} \text{ cm}^{-2}$ 以下とすることにより、ゲート電極47中のBがゲート絶縁膜46中に拡散することを防止でき、その拡散に起因するゲート電極47とボディ領域43との間でのリークの発生を防止できる。

[0080] 図19は、本発明の第4実施形態に係る半導体装置の模式的な平面図であ

る。図20は、図19に示す切断線II-IIにおける半導体装置の模式的な断面図である。

半導体装置61は、図19に示すように、以下に説明する各部からなるVDMOSFET (Vertical Double diffused Metal Oxide Semiconductor Field Effect Transistor) のセルCを複数備えている。複数のセルCは、平面視でマトリクス状に配置されている。

[0081] 半導体装置61 (SiC半導体装置) は、図20に示すように、SiC基板 (図示せず) 上に積層されたSiCエピタキシャル層62を備えている。SiCエピタキシャル層62は、N型不純物がドーピングされることにより、N型の導電型を示している。この実施形態では、SiCエピタキシャル層62の厚さは、約 $7\mu\text{m}$ であり、SiCエピタキシャル層62のN型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ である。

[0082] SiCエピタキシャル層62の表層部には、複数のボディ領域63が並列に形成されている。各ボディ領域63は、P型の導電型を示し、他のボディ領域63に対して適当な間隔を空けて平行に延びるように形成されている。この実施形態では、ボディ領域63の深さは、約 $6500\text{\AA}$ (650 nm) である。

各ボディ領域63の表層部には、ソース領域64がボディ領域63の周縁と間隔を空けて形成されている。ソース領域64は、SiCエピタキシャル層62よりもN型不純物が高濃度にドーピングされることにより、 N^+ 型の導電型を示している。この実施形態では、ソース領域64の深さは、約 $2500\text{\AA}$ (250 nm) である。そして、ソース領域64は、N型不純物であるP (リン) の多段イオン注入法により形成され、その表面からの深さが $100\text{\AA} \sim 2500\text{\AA}$ ($10\text{ nm} \sim 250\text{ nm}$) の部分におけるN型不純物濃度が $1 \times 10^{20} \text{ cm}^{-3} \sim 5 \times 10^{20} \text{ cm}^{-3}$ であるボックス型の不純物濃度プロファイルを有している。

[0083] 各ソース領域64の内側には、複数のボディコンタクト領域65が、ボディ領域63が延びる方向に一定間隔を空けて形成されている。各ボディコン

タクト領域 65 は、平面視において、ソース領域 64 に取り囲まれている。各ボディコンタクト領域 65 は、ソース領域 64 を深さ方向に貫通して形成されている。各ボディコンタクト領域 65 は、ボディ領域 63 よりも P 型不純物が高濃度にドーピングされることにより、P⁺型の導電型を示している。この実施形態では、ボディコンタクト領域 65 の深さは、約 3500 Å (350 nm) である。そして、ボディコンタクト領域 65 は、P 型不純物である Al の多段イオン注入法により形成され、その表面からの深さが 500 Å ~ 1000 Å (50 nm ~ 100 nm) の部分における P 型不純物濃度が $2 \times 10^{20} \text{ cm}^{-3} \sim 5 \times 10^{20} \text{ cm}^{-3}$ であり、表面からの深さが 1000 Å (100 nm) 以上の部分における P 型不純物濃度が $2 \times 10^{20} \text{ cm}^{-3}$ 以下であるボックス型の不純物濃度プロファイルを有している。これにより、ボディコンタクト領域 65 における表面からの深さが 500 Å ~ 1000 Å の部分には、Al が SiC に対する固溶限以上に含まれ、ボディコンタクト領域 65 における表面からの深さが 1000 Å 以上の部分には、Al が SiC に対する固溶限未満で含まれている。

[0084] SiC エピタキシャル層 62 上には、ゲート絶縁膜 66 が形成されている。ゲート絶縁膜 66 は、たとえば、SiO₂ (酸化シリコン) からなる。

ゲート絶縁膜 66 上には、ゲート電極 67 が形成されている。ゲート電極 67 は、たとえば、ドープトポリシリコン (N 型不純物または P 型不純物がドーピングされたポリシリコン) からなる。ゲート電極 67 は、互いに隣り合うソース領域 64 (ボディ領域 63) の間に跨って設けられている。

[0085] また、SiC エピタキシャル層 62 上には、層間絶縁膜 68 が形成されている。層間絶縁膜 68 により、SiC エピタキシャル層 62 の表面がゲート電極 67 とともに被覆されている。層間絶縁膜 68 は、たとえば、SiO₂ からなる。

層間絶縁膜 68 には、各ボディコンタクト領域 65 と対向する位置に、コンタクトホール 69 が形成されている。各コンタクトホール 69 は、ゲート絶縁膜 66 を貫通し、各コンタクトホール 69 内には、ボディコンタクト領

域 6 5 の全域およびソース領域 6 4 におけるボディコンタクト領域 6 5 の周囲の部分が臨んでいる。

- [0086] ソース領域 6 4 およびボディコンタクト領域 6 5 の表面におけるコンタクトホール 6 9 内に臨む部分上（コンタクトホール 6 9 の底面上）ならびに層間絶縁膜 6 8 の表面上には、下方から T i （チタン）層および T i N （窒化チタン）層を積層した積層構造を有するオーミックメタル 7 0 が形成されている。

層間絶縁膜 6 8 （オーミックメタル 7 0 ）上には、ソース電極 7 1 が形成されている。ソース電極 7 1 は、層間絶縁膜 6 8 に形成された各コンタクトホール 6 9 に入り込み、オーミックメタル 7 0 を挟んで、ソース領域 6 4 およびボディコンタクト領域 6 5 に接続されている。ソース電極 7 1 は、たとえば、A l を主成分として含む金属からなる。

- [0087] ソース電極 7 1 上には、ポリイミド層 7 2 が積層されている。

また、図示しないが、S i C 基板の裏面（S i C エピタキシャル層 6 2 が形成されている側と反対側の面）には、ドレイン電極が形成されている。

ソース電極 7 1 が接地され、ドレイン電極に適当な正電圧が印加された状態で、ゲート電極 6 7 の電位（ゲート電圧）が制御されることにより、ボディ領域 6 3 におけるゲート絶縁膜 6 6 との界面近傍にチャンネルが形成されて、ソース電極 7 1 とドレイン電極との間に電流が流れる。

- [0088] また、図 1 9 に示すように、層間絶縁膜 6 8 上には、外部との電氣的接続に寄与するゲートパッド 7 3 と、ゲートパッド 7 3 から延びるゲートフィンガー 7 4 とが形成されている。

ゲートパッド 7 3 は、半導体装置 6 1 の一側縁に沿った部分の中央に配置されている。

ゲートフィンガー 7 4 は、たとえば、3 本設けられ、ゲートパッド 7 3 が配置されている一方側とその反対の他方側との間で互いに平行に延びている。各ゲートフィンガー 7 4 の一方側の端部は、ゲートパッド 7 3 に接続されている。ゲートフィンガー 7 4 は、層間絶縁膜 6 8 に形成された貫通孔（図

示せず)を介して、ゲート電極67と接続されている。

[0089] ゲートパッド73およびゲートフィンガー74は、ソース電極71に対して間隔を空けて非接触に設けられている。言い換えれば、層間絶縁膜68上において、ソース電極71は、ゲートパッド73およびゲートフィンガー74が形成されていない部分に、ゲートパッド73およびゲートフィンガー74に対して間隔を空けて形成されている。

ゲートパッド73およびゲートフィンガー74は、同じ金属材料からなる。好ましくは、ゲートパッド73およびゲートフィンガー74は、ソース電極71と同じ金属材料、たとえば、Alを主成分として含む金属材料からなる。ソース電極71、ゲートパッド73およびゲートフィンガー74が同じ金属材料からなる場合、層間絶縁膜68の表面全域上にその金属材料からなる膜を形成し、この膜をパターニングすることにより、ソース電極71、ゲートパッド73およびゲートフィンガー74を形成することができる。

[0090] 図21A～図21Gは、図20に示す半導体装置の製造工程を順に示す模式的な断面図である。

半導体装置61の製造工程では、図21Aに示すように、まず、エピタキシャル成長法により、SiC基板(図示せず)上に、SiCエピタキシャル層62が形成される。次に、1段イオン注入法により、SiCエピタキシャル層62の表層部に、ボディ領域63を形成するためのP型不純物(たとえば、Al)が選択的に注入(インプラ)される。次いで、多段イオン注入法(たとえば、4段イオン注入法)により、ボディ領域63の表層部に、ソース領域64を形成するためのN型不純物であるPが選択的に注入される。さらに、多段イオン注入法(たとえば、4段イオン注入法)により、ボディ領域63の表層部に、ボディコンタクト領域65を形成するためのP型不純物であるAlが選択的に注入される。その後、高温(たとえば、1750℃)によるアニールが行われ、SiCエピタキシャル層62の表層部に、ボディ領域63、ソース領域64およびボディコンタクト領域65が形成される。

[0091] 次に、図21Bに示すように、熱酸化法により、SiCエピタキシャル層

62の表面に、ゲート絶縁膜66が形成される。

その後、図21Cに示すように、CVD（Chemical Vapor Deposition：化学気相成長）法により、ゲート絶縁膜66上に、ポリシリコンが堆積される。次いで、ポリシリコンの堆積層をドーフトポリシリコンの堆積層に変化させるため、イオン注入法により、ポリシリコンの堆積層に、B（ボロン）がドーピングされる。そして、フォトリソグラフィおよびエッチングにより、ドーフトポリシリコンの堆積層が選択的に除去され、ゲート絶縁膜66上に、ドーフトポリシリコンからなるゲート電極67が形成される。ゲート電極67がパターニングされるまでの過程において、ゲート電極67の表面には、 SiO_2 からなる自然酸化膜75が生じる。

[0092] 次いで、図21Dに示すように、CVD法により、SiCエピタキシャル層62上に、層間絶縁膜68が形成される。ゲート電極67の表面上の自然酸化膜75は、層間絶縁膜68と一体化する。その後、フォトリソグラフィにより、層間絶縁膜68上に、レジストパターン76が形成される。レジストパターン76は、層間絶縁膜68におけるコンタクトホール69を形成すべき部分と対向する開口を有している。

その後、図21Eに示すように、レジストパターン76をマスクに用いたエッチングにより、層間絶縁膜68に、コンタクトホール69が形成される。

[0093] そして、図21Fに示すように、スパッタ法により、ソース領域64およびボディコンタクト領域65の表面におけるコンタクトホール69内に臨む部分上（コンタクトホール69の底面上）ならびに層間絶縁膜68の表面上に、TiおよびTiNが順に蒸着されることにより、オーミックメタル70が形成されている。

TiおよびTiNの蒸着に引き続いて、図21Gに示すように、スパッタ法により、オーミックメタル70上に、ソース電極71が形成される。その後、ソース電極71上に、感光性ポリイミドが塗布される。そして、ソース電極71の一部をパッドとして露出させるために、その感光性ポリイミドが

選択的に除去された後、感光性ポリイミドのキュアが行われる。これにより、感光性ポリイミドがポリイミド層 72 となり、図 20 に示す半導体装置 61 が得られる。

[0094] 以上のように、半導体装置 61 は、S i C エピタキシャル層 62 と、S i C エピタキシャル層 62 の表層部に選択的に形成されたソース領域 64 と、S i C エピタキシャル層 62 の表層部にソース領域 64 と隣接して選択的に形成されたボディコンタクト領域 65 と、ソース領域 64 およびボディコンタクト領域 65 上に跨って形成されたオーミックメタル 70 とを備えている。そして、ボディコンタクト領域 65 の表層部には、P 型不純物である A1 が S i C に対する固溶限以上に含まれている。

[0095] ボディコンタクト領域 65 の表層部に P 型不純物が S i C に対する固溶限以上となる濃度で含まれていることにより、オーミックメタル 70 の形成後に熱処理を行わなくても、N 型のソース領域 64 はもちろん、P 型のボディコンタクト領域 65 に対しても、低抵抗なオーミックコンタクトを得ることができる。

この半導体装置 61 では、第 1 低抵抗なオーミックコンタクトを得るための熱処理が不要であるため、従来の S i C 半導体装置よりも製造に要するコストおよび時間を低減することができる。

[0096] また、この実施形態では、ボディコンタクト領域 65 の表面からの深さが $500\text{ \AA} \sim 1000\text{ \AA}$ の部分に、A1 が S i C に対する固溶限以上に含まれ、ボディコンタクト領域 65 の表面からの深さが $1000\text{ \AA}$ 以上の部分には、A1 が S i C に対する固溶限未満で含まれている。ボディコンタクト領域 65 の表面からの深さが $1000\text{ \AA}$ 以上の部分に A1 が過剰に含まれていても、その過剰な A1 がコンタクト抵抗の低減に寄与することはない。したがって、そのような深い部分にまで A1 を高濃度にドーピングすることによる無駄が省かれ、S i C の製造に要するコストおよび時間のさらなる低減が図られている。

[0097] また、ボディコンタクト領域 65 は、多段イオン注入法により形成される

。多段イオン注入法であれば、ボディコンタクト領域 6 5 の表面からの深さが 50 nm ~ 100 nm の部分に、P 型不純物を SiC に対する固溶限以上に容易に注入することができる。

また、ソース領域 6 4 の表層部における N 型不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ ~ $5 \times 10^{20} \text{ cm}^{-3}$ の範囲内に制御されているので、N 型のソース領域 6 4 に対する低抵抗なオーミックコンタクトを確実に得ることができる。

[0098] 以上、本発明の実施形態について説明したが、本発明はさらに他の実施形態で実施することもできる。

たとえば、第 1 および第 2 実施形態では、トレンチ 1 8 が複数形成されている構成を取り上げたが、トレンチ 1 8 は、互いに隣り合うソース領域 1 4 間に 1 つ形成されていてもよい。ただし、トレンチ 1 8 が複数形成されることにより、チャネル幅をさらに拡大することができる。

[0099] また、ボディ領域 (1 3, 4 3, 6 3) およびボディコンタクト領域 (1 5, 4 5, 6 5) の形成のための P 型不純物は、Al に限らず、他の III 族原子 (B など) であってもよい。

また、ソース領域 (1 4, 4 4, 6 4) の形成のための N 型不純物は、P に限らず、他の V 族原子 (As (ヒ素) など) であってもよい。

[0100] さらにまた、オーミックメタル (2 1, 5 0, 7 0) は、Ti / TiN の積層構造を有しているものに限定されない。たとえば、Ti、TiN、Ni、Al、Ta (タンタル)、TaN (窒化タンタル)、W (タングステン) および WN (窒化タングステン) の群から選択される 1 種の材料からなる単層構造を有していてもよいし、その群から選択される複数種の各材料からなる層を積層した積層構造を有していてもよい。

[0101] また、半導体装置 (1, 3 1, 4 1, 6 1) において、各半導体部分の導電型 (P 型、N 型) を反転した構造が採用されてもよい。

また、半導体装置 (1, 3 1, 4 1, 6 1) の基体は、SiC 基板に限らず、Si (シリコン) 基板であってもよい。この場合、Si 基板の上には、半導体層としての Si エピタキシャル層が積層される。

[0102] また、ゲート絶縁膜（16, 46, 66）は、 SiO_2 以外の絶縁材料で形成されてもよい。すなわち、本発明は、 VDMOSFET に限らず、ゲート絶縁膜の材料として SiO_2 以外の絶縁材料を採用した VDMISFET を備える半導体装置に適用することができる。

さらに、本発明は、 IGBT （Insulated Gate Bipolar Transistor）または SJ MOSFET （Super Junction Metal Oxide Semiconductor Field Effect Transistor）を備える半導体装置に適用することもできる。

実施例

[0103] 次に、本発明を、実施例および比較例に基づいて説明するが、本発明は、以下の実施例によって限定されるものではない。

<実施例1～12および比較例1>

オン抵抗およびドレインリーク電流の低減効果を証明するために、実施例1～12および比較例1を以下の通り実施した。

[実施例1]

エピタキシャル成長法により、 SiC 基板上に、 N 型不純物濃度が $7 \times 10^{15} \text{ cm}^{-3}$ である SiC エピタキシャル層を形成した。そして、 300 keV の注入エネルギーおよび $7 \times 10^{13} \text{ cm}^{-2}$ のドーズ量での1段イオン注入法により、 SiC エピタキシャル層の表層部に、 Al をドーピングし、 P 型領域（ボディ領域）を形成した。

[0104] これにより、図22に示す不純物濃度プロファイルを有する P 型領域が得られた。すなわち、この P 型領域は、 SiC エピタキシャル層42の表面から $800 \text{ \AA}$ （ 80 nm ）以下の部分における P 型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下である不純物濃度プロファイルを有している。

[実施例2]

エピタキシャル成長法により、 SiC 基板上に、 N 型不純物濃度が $7 \times 10^{15} \text{ cm}^{-3}$ である SiC エピタキシャル層を形成した。そして、 300 keV の注入エネルギーおよび $6 \times 10^{13} \text{ cm}^{-2}$ のドーズ量での1段イオン注入法により、 SiC エピタキシャル層の表層部に、 Al をドーピングし、 P 型

領域（ボディ領域）を形成した。

- [0105] これにより、図23に示す不純物濃度プロファイルを有するP型領域が得られた。すなわち、このP型領域は、SiCエピタキシャル層42の表面から800 Å以下の部分におけるP型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下である不純物濃度プロファイルを有している。

[実施例3]

エピタキシャル成長法により、SiC基板上に、N型不純物濃度が $7 \times 10^{15} \text{ cm}^{-3}$ であるSiCエピタキシャル層を形成した。そして、300 keVの注入エネルギーおよび $5 \times 10^{13} \text{ cm}^{-2}$ のドーズ量での1段イオン注入法により、SiCエピタキシャル層の表層部に、Alをドーピングし、P型領域（ボディ領域）を形成した。

- [0106] これにより、図24に示す不純物濃度プロファイルを有するP型領域が得られた。すなわち、このP型領域は、SiCエピタキシャル層42の表面から800 Å以下の部分におけるP型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下である不純物濃度プロファイルを有している。

[実施例4]

エピタキシャル成長法により、SiC基板上に、N型不純物濃度が $7 \times 10^{15} \text{ cm}^{-3}$ であるSiCエピタキシャル層を形成した。そして、300 keVの注入エネルギーおよび $4 \times 10^{13} \text{ cm}^{-2}$ のドーズ量での1段イオン注入法により、SiCエピタキシャル層の表層部に、Alをドーピングし、P型領域（ボディ領域）を形成した。

- [0107] これにより、図25に示す不純物濃度プロファイルを有するP型領域が得られた。すなわち、このP型領域は、SiCエピタキシャル層42の表面から800 Å以下の部分におけるP型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下である不純物濃度プロファイルを有している。

[実施例5]

エピタキシャル成長法により、SiC基板上に、N型不純物濃度が $7 \times 10^{15} \text{ cm}^{-3}$ であるSiCエピタキシャル層を形成した。そして、340 keV

Vの注入エネルギーおよび $7 \times 10^{13} \text{ cm}^{-2}$ のドーズ量での1段イオン注入法により、SiCエピタキシャル層の表層部に、Alをドーピングし、P型領域（ボディ領域）を形成した。

- [0108] これにより、図26に示す不純物濃度プロファイルを有するP型領域が得られた。すなわち、このP型領域は、SiCエピタキシャル層42の表面から800 Å以下の部分におけるP型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下である不純物濃度プロファイルを有している。

[実施例6]

エピタキシャル成長法により、SiC基板上に、N型不純物濃度が $7 \times 10^{15} \text{ cm}^{-3}$ であるSiCエピタキシャル層を形成した。そして、340 keVの注入エネルギーおよび $6 \times 10^{13} \text{ cm}^{-2}$ のドーズ量での1段イオン注入法により、SiCエピタキシャル層の表層部に、Alをドーピングし、P型領域（ボディ領域）を形成した。

- [0109] これにより、図27に示す不純物濃度プロファイルを有するP型領域が得られた。すなわち、このP型領域は、SiCエピタキシャル層42の表面から800 Å以下の部分におけるP型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下である不純物濃度プロファイルを有している。

[実施例7]

エピタキシャル成長法により、SiC基板上に、N型不純物濃度が $7 \times 10^{15} \text{ cm}^{-3}$ であるSiCエピタキシャル層を形成した。そして、340 keVの注入エネルギーおよび $5 \times 10^{13} \text{ cm}^{-2}$ のドーズ量での1段イオン注入法により、SiCエピタキシャル層の表層部に、Alをドーピングし、P型領域（ボディ領域）を形成した。

- [0110] これにより、図28に示す不純物濃度プロファイルを有するP型領域が得られた。すなわち、このP型領域は、SiCエピタキシャル層42の表面から800 Å以下の部分におけるP型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下である不純物濃度プロファイルを有している。

[実施例8]

エピタキシャル成長法により、S i C基板上に、N型不純物濃度が $7 \times 10^{15} \text{ cm}^{-3}$ であるS i Cエピタキシャル層を形成した。そして、 340 keV の注入エネルギーおよび $4 \times 10^{13} \text{ cm}^{-2}$ のドーズ量での1段イオン注入法により、S i Cエピタキシャル層の表層部に、Alをドーピングし、P型領域（ボディ領域）を形成した。

- [0111] これにより、図29に示す不純物濃度プロファイルを有するP型領域が得られた。すなわち、このP型領域は、S i Cエピタキシャル層42の表面から $800 \text{ \AA}$ 以下の部分におけるP型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下である不純物濃度プロファイルを有している。

[実施例9]

エピタキシャル成長法により、S i C基板上に、N型不純物濃度が $7 \times 10^{15} \text{ cm}^{-3}$ であるS i Cエピタキシャル層を形成した。そして、 380 keV の注入エネルギーおよび $7 \times 10^{13} \text{ cm}^{-2}$ のドーズ量での1段イオン注入法により、S i Cエピタキシャル層の表層部に、Alをドーピングし、P型領域（ボディ領域）を形成した。

- [0112] これにより、図30に示す不純物濃度プロファイルを有するP型領域が得られた。すなわち、このP型領域は、S i Cエピタキシャル層42の表面から $800 \text{ \AA}$ 以下の部分におけるP型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下である不純物濃度プロファイルを有している。

[実施例10]

エピタキシャル成長法により、S i C基板上に、N型不純物濃度が $7 \times 10^{15} \text{ cm}^{-3}$ であるS i Cエピタキシャル層を形成した。そして、 380 keV の注入エネルギーおよび $6 \times 10^{13} \text{ cm}^{-2}$ のドーズ量での1段イオン注入法により、S i Cエピタキシャル層の表層部に、Alをドーピングし、P型領域（ボディ領域）を形成した。

- [0113] これにより、図31に示す不純物濃度プロファイルを有するP型領域が得られた。すなわち、このP型領域は、S i Cエピタキシャル層42の表面から $800 \text{ \AA}$ 以下の部分におけるP型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下であ

る不純物濃度プロファイルを有している。

[実施例 1 1]

エピタキシャル成長法により、S i C 基板上に、N 型不純物濃度が $7 \times 10^{15} \text{ cm}^{-3}$ である S i C エピタキシャル層を形成した。そして、380 keV の注入エネルギーおよび $5 \times 10^{13} \text{ cm}^{-2}$ のドーズ量での 1 段イオン注入法により、S i C エピタキシャル層の表層部に、A l をドーピングし、P 型領域（ボディ領域）を形成した。

[0114] これにより、図 3 2 に示す不純物濃度プロファイルを有する P 型領域が得られた。すなわち、この P 型領域は、S i C エピタキシャル層 4 2 の表面から 800 Å 以下の部分における P 型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下である不純物濃度プロファイルを有している。

[実施例 1 2]

エピタキシャル成長法により、S i C 基板上に、N 型不純物濃度が $7 \times 10^{15} \text{ cm}^{-3}$ である S i C エピタキシャル層を形成した。そして、380 keV の注入エネルギーおよび $4 \times 10^{13} \text{ cm}^{-2}$ のドーズ量での 1 段イオン注入法により、S i C エピタキシャル層の表層部に、A l をドーピングし、P 型領域（ボディ領域）を形成した。

[0115] これにより、図 3 3 に示す不純物濃度プロファイルを有する P 型領域が得られた。すなわち、この P 型領域は、S i C エピタキシャル層 4 2 の表面から 800 Å 以下の部分における P 型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下である不純物濃度プロファイルを有している。

[オン抵抗]

実施例 1 ~ 1 2 の各構造物を使用して、本発明の実施形態に係る構造（図 1 5 に示す構造）の S i C 半導体装置を作成し、各 S i C 半導体装置における MOS F E T のオン抵抗を調べた。その結果を、図 3 4 に表形式で示すとともに、図 3 5 にグラフで示す。

[0116] この結果から、各 MOS F E T のオン抵抗が 0.5Ω よりも低いことが理解される。

[閾値電圧]

実施例 1 ～ 12 の各構造物を使用して、本発明の実施形態に係る構造（図 16 に示す構造）の SiC 半導体装置を作成した。そして、各 SiC 半導体装置において、ソース電極を接地し、ドレイン電極に 10 V のドレイン電圧 V_d を印加して、1 mA のドレイン電流 I_d が流れるときの MOSFET のゲート電圧（閾値電圧）を調べた。その結果を、図 34 に表形式で示すとともに、図 36 にグラフで示す。

[0117] この結果から、各 MOSFET の閾値電圧が 2.5 V よりも高いことが理解される。

[ドレインリーク電流]

実施例 10 の構造物を使用して、本発明の実施形態に係る構造（図 16 に示す構造）の SiC 半導体装置を作成した。そして、SiC 半導体装置の温度が 25°C および 200°C の状態で、ゲート電圧（ゲートソース間電圧） V_{gs} を零に固定したまま、ドレイン電圧（ドレインソース間電圧） V_{ds} を変化させて、ドレインリーク電流 I_d を測定した。その結果を、図 37 にグラフで示す。

[0118] この結果から、SiC 半導体装置の温度が 25°C および 200°C のどちらの場合でも、ドレイン電圧 V_{ds} が 1000 V 以下の範囲で、ドレインリーク電流 I_d が微小であることが理解される。

[比較例 1]

実施例 10 の構造物を使用して、本発明の実施形態に係る構造（図 16 に示す構造）と同様の構造であって、N 型ポリシリコン（N 型不純物としての P（リン）が $1 \times 10^{20} \text{ cm}^{-3}$ 以上の濃度で含まれた N 型ポリシリコン）からなるゲート電極を有する SiC 半導体装置を作成した。そして、SiC 半導体装置の温度が 25°C、125°C、150°C、175°C および 200°C の各状態で、ゲート電圧（ゲートソース間電圧） V_{gs} を零に固定したまま、ドレイン電圧（ドレインソース間電圧） V_{ds} を変化させて、ドレインリーク電流 I_d を測定した。その結果を、図 38 にグラフで示す。

[0119] この結果から、S i C半導体装置の温度が125℃～200℃の場合には、ドレイン電圧 V_{ds} が微小であっても、比較的大きなドレインリーク電流 I_d が流れることが理解される。また、S i C半導体装置の温度が25℃の場合であっても、ドレイン電圧 V_{ds} が400Vを超えると、比較的大きなドレインリーク電流 I_d が流れることが理解される。そして、図37に示す結果と図38に示す結果とを比較することにより、実施例10の構造物を使用したS i C半導体装置では、比較例1のS i C半導体装置と比較して、ドレインリーク電流 I_d が大幅に低減されていることが理解される。

＜実施例13および比較例2～3＞

ボディコンタクト領域に対するオーミックメタルのコンタクト抵抗の低抵抗化を証明するために、実施例1～12および比較例1を以下の通り実施した。

[実施例13]

エピタキシャル成長法により、S i C基板上に、不純物を含まないS i Cエピタキシャル層を形成した。そして、4段イオン注入法により、S i Cエピタキシャル層の表層部に、Alをドーピングし、P⁺領域（ボディコンタクト領域）を形成した。各段における注入エネルギー、ドーズ量、Al濃度の極大値（ピーク濃度）は、次のとおりである。

[0120] 1段目

注入エネルギー：180keV

ドーズ量： $3 \times 10^{14} \text{ cm}^{-2}$

ピーク濃度： $2.26 \times 10^{19} \text{ cm}^{-3}$

2段目

注入エネルギー：120keV

ドーズ量： $4 \times 10^{14} \text{ cm}^{-2}$

ピーク濃度： $3.15 \times 10^{19} \text{ cm}^{-3}$

3段目

注入エネルギー：60keV

ドーズ量： $2 \times 10^{15} \text{ cm}^{-2}$

ピーク濃度： $3.08 \times 10^{20} \text{ cm}^{-3}$

4 段目

注入エネルギー： 30 keV

ドーズ量： $1 \times 10^{15} \text{ cm}^{-2}$

ピーク濃度： $2.69 \times 10^{20} \text{ cm}^{-3}$

これにより、図39に示す不純物濃度プロファイルを有するP⁺領域が得られた。すなわち、実施例13に係るP⁺領域は、その表面からの深さが500 Å～1000 Åの部分におけるP型不純物濃度が $2 \times 10^{20} \text{ cm}^{-3} \sim 5 \times 10^{20} \text{ cm}^{-3}$ であり、表面からの深さが1000 Å以上の部分におけるA⁺濃度が $2 \times 10^{20} \text{ cm}^{-3}$ 以下であるボックス型の不純物濃度プロファイルを有している。

[0121] そして、スパッタ法により、P⁺領域の表面に、Ti/TiNの積層構造を有するオーミックメタルを形成した。Ti層の厚さは、250 Åであり、TiN層の厚さは、1300 Åである。

[比較例2]

実施例13の場合と同様に、エピタキシャル成長法により、SiC基板上に、不純物を含まないSiCエピタキシャル層を形成した。そして、4段イオン注入法により、SiCエピタキシャル層の表層部に、A⁺をドーピングし、P⁺領域（ボディコンタクト領域）を形成した。各段における注入エネルギー、ドーズ量、A⁺濃度の極大値（ピーク濃度）は、次のとおりである。

[0122] 1 段目

注入エネルギー： 180 keV

ドーズ量： $1 \times 10^{15} \text{ cm}^{-2}$

ピーク濃度： $7.54 \times 10^{19} \text{ cm}^{-3}$

2 段目

注入エネルギー： 120 keV

ドーズ量： $1.3 \times 10^{15} \text{ cm}^{-2}$

ピーク濃度： $1.02 \times 10^{20} \text{ cm}^{-3}$

3 段目

注入エネルギー： 60 keV

ドーズ量： $9 \times 10^{14} \text{ cm}^{-2}$

ピーク濃度： $1.39 \times 10^{20} \text{ cm}^{-3}$

4 段目

注入エネルギー： 30 keV

ドーズ量： $4 \times 10^{14} \text{ cm}^{-2}$

ピーク濃度： $1.07 \times 10^{20} \text{ cm}^{-3}$

これにより、図40に示す不純物濃度プロファイルを有するP⁺領域が得られた。すなわち、比較例2に係るP⁺領域は、その深さ方向の全域において、A1濃度が $2 \times 10^{20} \text{ cm}^{-3}$ 以下であるボックス型の不純物濃度プロファイルを有している。

[0123] そして、スパッタ法により、P⁺領域の表面に、Ti/TiNの積層構造を有するオーミックメタルを形成した。Ti層の厚さは、 $250 \text{ \AA}$ であり、TiN層の厚さは、 $1300 \text{ \AA}$ である。

[比較例3]

比較例2の場合と同様な条件で、SiCエピタキシャル層の表層部にP⁺領域を形成した。そして、スパッタ法により、P⁺領域の表面に、Ti/TiNの積層構造を有するオーミックメタルを形成した。Ti層の厚さは、 $250 \text{ \AA}$ であり、TiN層の厚さは、 $1300 \text{ \AA}$ である。その後、約 1000°C の高温で熱処理(PDA)を行った。

[コンタクト特性]

実施例13および比較例3の構造物において、TLM法により、P⁺領域とオーミックメタルとのコンタクト特性を調べた。

[0124] 具体的には、各構造物において、P⁺領域上に、4つの第1～第4のオーミックメタルを、第1のオーミックメタルと第2のオーミックメタルとの間の間隔が $10 \mu\text{m}$ であり、第2のオーミックメタルと第3のオーミックメタル

との間の間隔が $20\mu\text{m}$ であり、第3のオーミックメタルと第4のオーミックメタルとの間の間隔が $30\mu\text{m}$ であるように形成した。そして、第1のオーミックメタルと第2のオーミックメタルとの間の電気抵抗、第2のオーミックメタルと第3のオーミックメタルとの間の電気抵抗および第3のオーミックメタルと第4のオーミックメタルとの間の電気抵抗を測定し、それらの電気抵抗の測定結果から、コンタクト抵抗を算出した。

[0125] 実施例13の構造物におけるコンタクト抵抗は、 $1 \times 10^{-4} \Omega \cdot \text{cm}^2 \sim 2 \times 10^{-4} \Omega \cdot \text{cm}^2$ であった。これに対し、比較例3の構造物におけるコンタクト抵抗は、 $5 \times 10^{-3} \Omega \cdot \text{cm}^2$ であった。この結果、実施例13の構造物では、比較例3の構造物と比較して、コンタクト抵抗の1桁以上の低抵抗化が実現されることが確認された。

[I-V特性]

実施例13および比較例2～3の構造物において、 P^+ 領域上に、4つの第1～第4のオーミックメタルを、第1のオーミックメタルと第2のオーミックメタルとの間の間隔が $10\mu\text{m}$ であり、第2のオーミックメタルと第3のオーミックメタルとの間の間隔が $20\mu\text{m}$ であり、第3のオーミックメタルと第4のオーミックメタルとの間の間隔が $30\mu\text{m}$ であるように形成した。そして、第1のオーミックメタルと第2のオーミックメタルとからなる電極対のI-V特性を調べた。その結果を図41に示す。この結果から、実施例13の構造物では、比較例2～3の構造物よりも、I-V特性が線形性を示し、オーミック特性が優れていることが確認された。

[0126] 本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

また、本発明の各実施形態において表した構成要素は、本発明の範囲で組み合わせることができる。

[0127] 本出願は、2009年3月25日に日本国特許庁に提出された特願200

９－０７４５５８号、２００９年４月１７日に日本国特許庁に提出された特願２００９－１０１３２１号および２００９年６月４日に日本国特許庁に提出された特願２００９－１３４８２２号に対応しており、これらの出願の全開示はここに引用により組み込まれるものとする。

符号の説明

[0128] １…半導体装置、４…ゲートパッド、５…ゲートフィンガー、１２…ＳｉＣエピタキシャル層、１３…ボディ領域、１４…ソース領域、１６…ゲート絶縁膜、１７…ゲート電極、１８…トレンチ、１９…表面对向部、２０…埋設部、２１…オーミックメタル、２４…（ＳｉＣエピタキシャル層の）表面、２５…（トレンチの）側面、３１…半導体装置、４１…半導体装置、４２…ＳｉＣエピタキシャル層、４３…ボディ領域、４４…ソース領域、４６…ゲート絶縁膜、４７…ゲート電極、５３…ゲートパッド、５４…ゲートフィンガー、６１…半導体装置、６２…ＳｉＣエピタキシャル層、６３…ボディ領域、６４…ソース領域、６５…ボディコンタクト領域、７０…オーミックメタル、Ｃ…単位セル

請求の範囲

- [請求項1] 第1導電型の半導体層と、
前記半導体層の表面から厚さ方向の途中部に至る領域に、前記厚さ方向と直交する方向に間隔を空けて形成された第2導電型の複数のボディ領域と、
各ボディ領域の表層部に、前記ボディ領域の周縁と間隔を空けて形成された第1導電型のソース領域と、
前記半導体層上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極とを含み、
前記半導体層には、その表面から掘り下げることにより、互いに隣り合う2つの前記ソース領域の間に跨るトレンチが形成され、
前記ゲート絶縁膜により、前記トレンチの内面が被覆され、
前記ゲート電極は、前記半導体層の表面に対向する表面对向部および前記トレンチに埋設された埋設部を有している、半導体装置。
- [請求項2] 前記トレンチが、複数形成されている、請求項1に記載の半導体装置。
- [請求項3] 前記トレンチ深さが、前記ボディ領域の深さよりも小さい、請求項1または2に記載の半導体装置。
- [請求項4] 前記トレンチの深さが、前記ソース領域の深さよりも小さい、請求項3に記載の半導体装置。
- [請求項5] 前記半導体層が、SiCエピタキシャル層である、請求項1～4のいずれか一項に記載の半導体装置。
- [請求項6] 前記SiCエピタキシャル層の表面が、SiC結晶の(0001)面または(000-1)面である、請求項5に記載の半導体装置。
- [請求項7] 前記ボディ領域と、当該ボディ領域の表層部に、当該ボディ領域の周縁と間隔を空けて形成された前記ソース領域を一つずつ含む単位セルが、平面視格子状に配置されている、請求項1～6のいずれか一項に記載の半導体装置。

[請求項8] 前記トレンチが、互いに隣り合う前記単位セルの前記ソース領域を側面に露出させるように形成されており、

前記ゲート電極は、前記トレンチ内で互いに向き合う2つの前記ソース領域の間に跨って設けられている、請求項7に記載の半導体装置。

[請求項9] SiCからなるN型半導体層と、
前記N型半導体層の表層部に選択的に形成されたP型領域と、
前記P型領域の表層部に、P型領域の周縁と間隔を空けて形成されたN型領域と、

前記N型半導体層上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、前記P型領域の周縁と前記N型領域との間の部分に対向するゲート電極とを含み、

前記P型領域における前記ゲート絶縁膜の厚さ方向の中央を基準とする深さが100nm以下の部分のP型不純物濃度が、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であり、

前記ゲート電極が、P型不純物がドーピングされたポリシリコンからなる、半導体装置。

[請求項10] SiCからなるN型半導体層と、
前記N型半導体層の表層部に選択的に形成されたP型領域と、
前記P型領域の表層部に、P型領域の周縁と間隔を空けて形成されたN型領域と、

前記N型半導体層上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、前記P型領域の周縁と前記N型領域との間の部分に対向するゲート電極とを含み、

前記P型領域が、300keV以上の注入エネルギーおよび $4 \times 10^{13} \text{ cm}^{-2}$ 以上のドーズ量での1段イオン注入法により形成され、

前記ゲート電極が、P型不純物がドーピングされたポリシリコンからなる、半導体装置。

- [請求項11] 前記ゲート電極は、B（ボロン）が $5 \times 10^{14} \text{ cm}^{-2}$ 以上、 $5 \times 10^{15} \text{ cm}^{-2}$ 以下のドーズ量でドーピングされたポリシリコンからなる、請求項9または10に記載の半導体装置。
- [請求項12] 前記N型半導体層上に形成され、外部との電氣的接続に寄与するゲートパッドと、
前記N型半導体層上に形成され、金属材料からなり、前記ゲートパッドおよび前記ゲート電極と電氣的に接続されたゲートフィンガーとをさらに含む、請求項9～11のいずれか一項に記載の半導体装置。
- [請求項13] 前記ゲートパッドが、前記ゲートフィンガーと同じ材料からなる、請求項12に記載の半導体装置。
- [請求項14] SiCからなる半導体層と、
前記半導体層の表層部に選択的に形成されたN型の第1不純物領域と、
前記半導体層の表層部に前記第1不純物領域と隣接し、前記第1不純物領域に囲まれるように選択的に形成されたP型の第2不純物領域と、
前記第1不純物領域および前記第2不純物領域上に跨って形成されたオーミックメタルとを備え、
前記第2不純物領域の表層部には、P型不純物がSiCに対する固溶限以上に含まれている、半導体装置。
- [請求項15] 前記第2不純物領域の表面からの深さが $50 \text{ nm} \sim 100 \text{ nm}$ の部分に、前記P型不純物がSiCに対する固溶限以上に含まれている、請求項14に記載の半導体装置。
- [請求項16] 前記第2不純物領域の表面からの深さが 100 nm 以上の部分には、前記P型不純物がSiCに対する固溶限未満で含まれている、請求項14または15に記載の半導体装置。
- [請求項17] 前記第2不純物領域の表層部には、P型不純物が $2 \times 10^{20} \text{ cm}^{-3}$ より多く含まれている、請求項14～16のいずれか一項に記載の

半導体装置。

[請求項18] 前記第2不純物領域が、多段イオン注入法により形成される不純物濃度プロファイルを有している、請求項14～17のいずれか一項に記載の半導体装置。

[請求項19] 前記P型不純物が、Alである、請求項14～18のいずれか一項に記載の半導体装置。

[請求項20] 前記第1不純物領域の表層部におけるN型不純物の濃度が、 $1 \times 10^{20} \text{ cm}^{-3} \sim 5 \times 10^{20} \text{ cm}^{-3}$ の範囲内である、請求項14～19のいずれか一項に記載の半導体装置。

[請求項21] 前記第1不純物領域の表層部におけるN型不純物の濃度が、ボックス型の不純物濃度プロファイルを有している、請求項20に記載の半導体装置。

[請求項22] 前記オーミックメタルは、Ti、TiN、Ni、Al、Ta、TaN、WおよびWNの群から選択される1種の材料からなる単層構造、または、前記群から選択される複数種の各材料からなる層を積層した積層構造を有している、請求項14～21のいずれか一項に記載の半導体装置。

[請求項23] SiCからなる第1導電型の半導体層と、
前記半導体層の表層部に、前記半導体層の厚さ方向と直交する方向に間隔を空けて形成された第2導電型領域と、
各前記第2導電型領域の表層部に、前記第2導電型領域の周縁と間隔を空けて形成された第1導電型の第1不純物領域と、
各前記第2導電型領域の表層部に、前記第1不純物領域に囲まれるように形成された第2導電型の第2不純物領域と、
前記半導体層上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成され、前記第2導電型領域におけるその周縁と前記第1不純物領域との間の部分に対向し、かつ互いに隣り合う2つの前記第1不純物領域の間に跨るゲート電極と、

前記第1不純物領域および前記第2不純物領域上に跨って形成されたオーミックメタルとを含み、

前記第2導電型領域における前記ゲート絶縁膜の厚さ方向の中央を基準とする深さが100nm以下の部分の不純物濃度が、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であり、

前記第2不純物領域の表層部には、第2導電型不純物がSiCに対する固溶限以上に含まれており、

前記半導体層には、その表面から掘り下げることにより、互いに隣り合う2つの前記第1不純物領域の間に跨るトレンチが形成され、

前記ゲート絶縁膜により、前記トレンチの内面が被覆され、

前記ゲート電極は、前記半導体層の表面に対向する表面对向部および前記トレンチに埋設された埋設部を有している、半導体装置。

[請求項24]

SiCからなる第1導電型の半導体層と、

前記半導体層の表層部に選択的に形成された第2導電型領域と、

前記第2導電型領域の表層部に、前記第2導電型領域の周縁と間隔を空けて形成された第1導電型の第1不純物領域と、

前記第2導電型領域の表層部に、前記第1不純物領域に囲まれるように形成された第2導電型の第2不純物領域と、

前記半導体層上に形成されたゲート絶縁膜と、

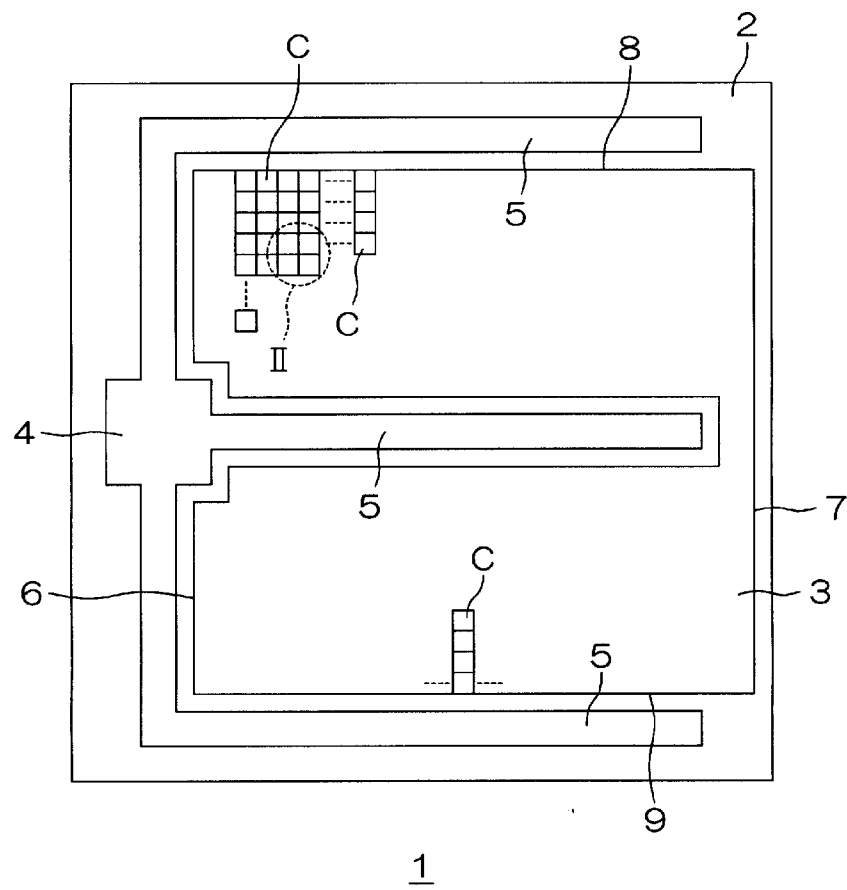
前記ゲート絶縁膜上に形成され、前記第2導電型領域におけるその周縁と前記第1不純物領域との間の部分に対向するゲート電極と、

前記第1不純物領域および前記第2不純物領域上に跨って形成されたオーミックメタルとを含み、

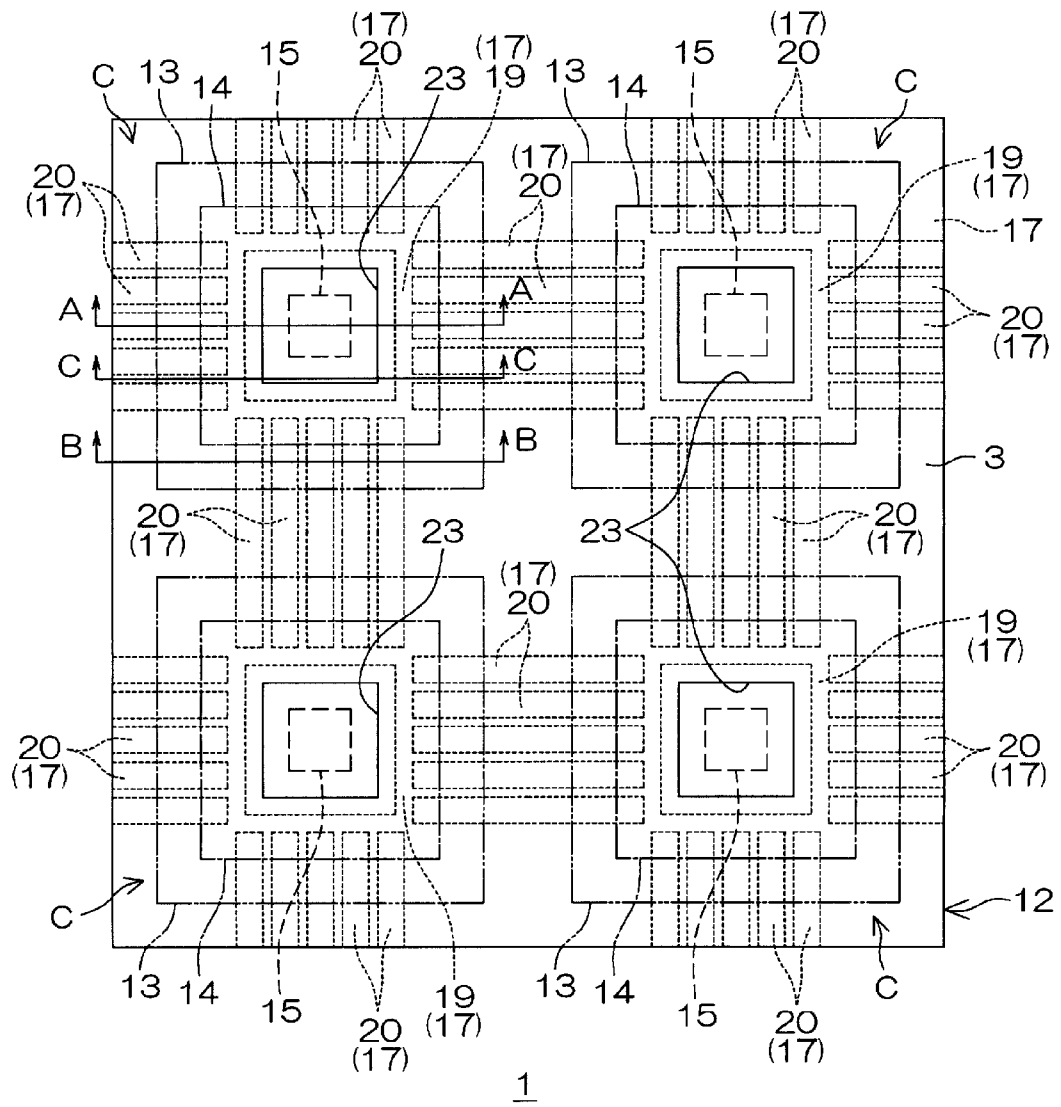
前記第2導電型領域における前記ゲート絶縁膜の厚さ方向の中央を基準とする深さが100nm以下の部分の不純物濃度が、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であり、

前記第2不純物領域の表層部には、第2導電型不純物がSiCに対する固溶限以上に含まれている、半導体装置。

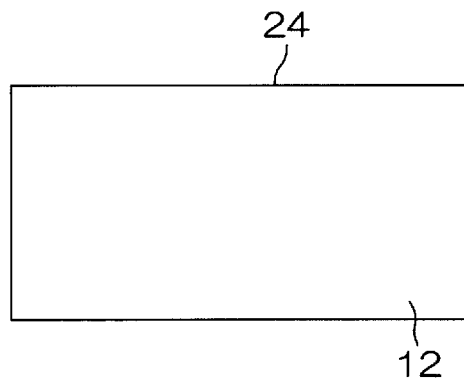
[図1]



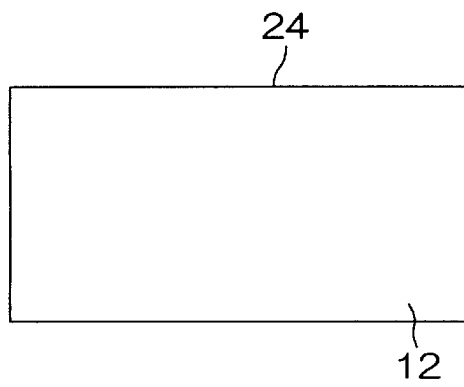
[図2]



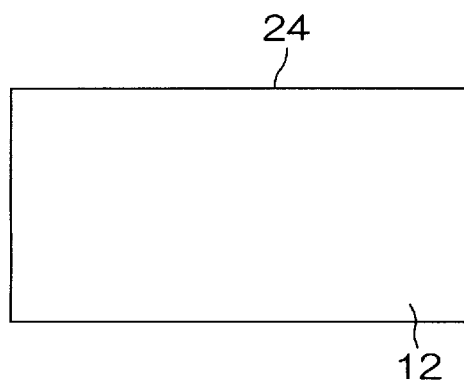
[図4A]



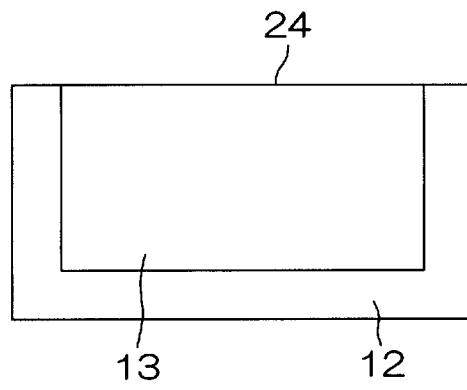
[図4B]



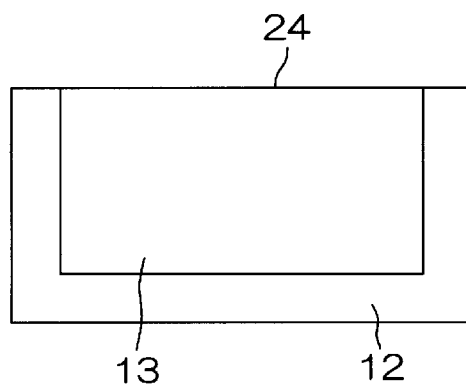
[図4C]



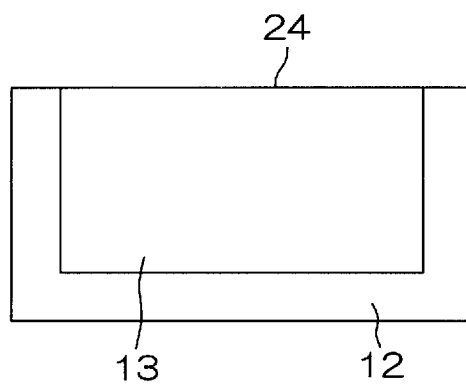
[図5A]



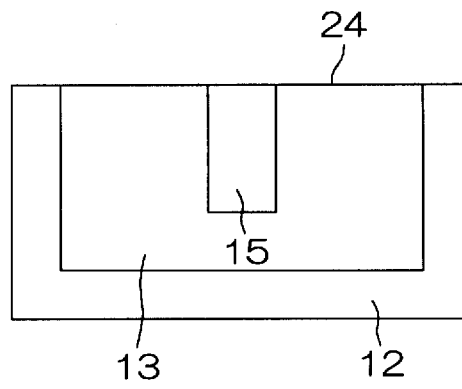
[図5B]



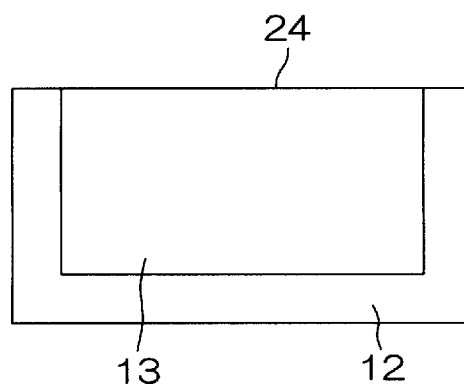
[図5C]



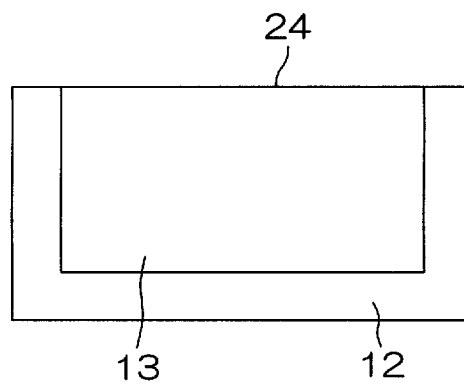
[図6A]



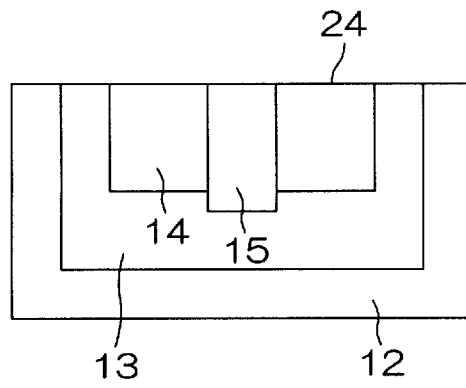
[図6B]



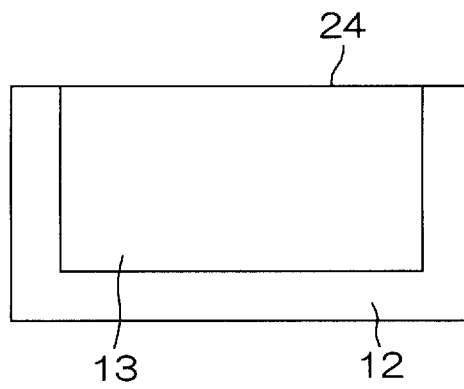
[図6C]



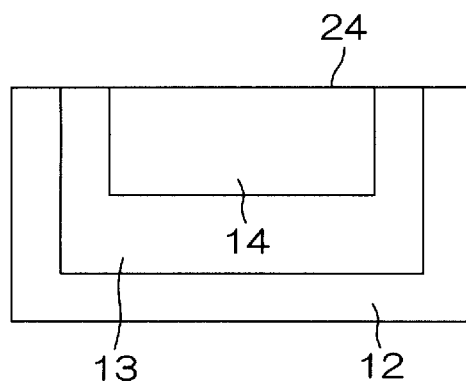
[図7A]



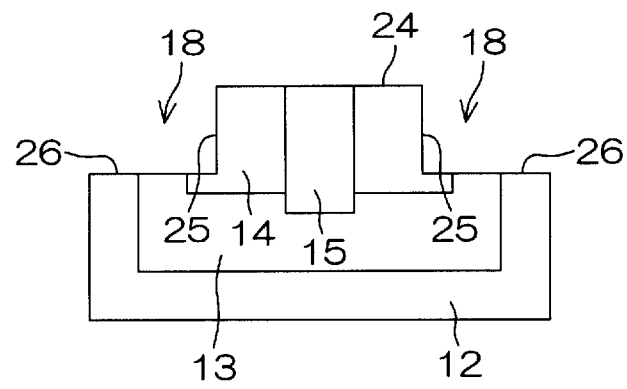
[図7B]



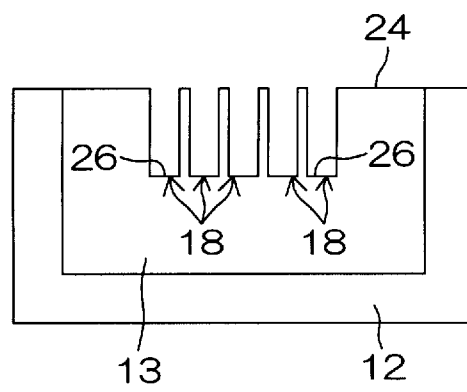
[図7C]



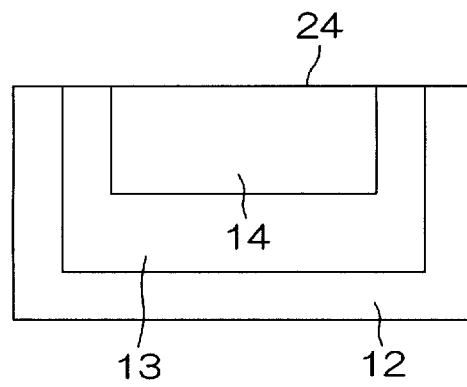
[図8A]



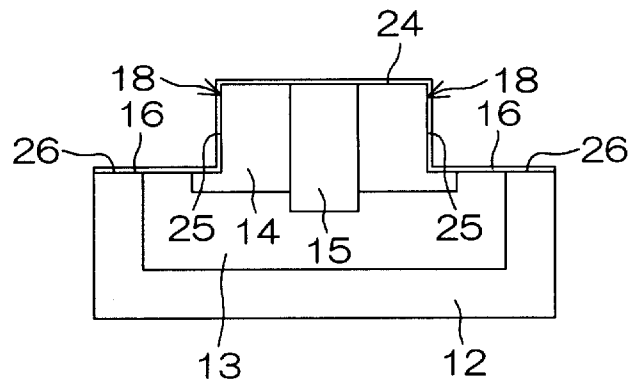
[図8B]



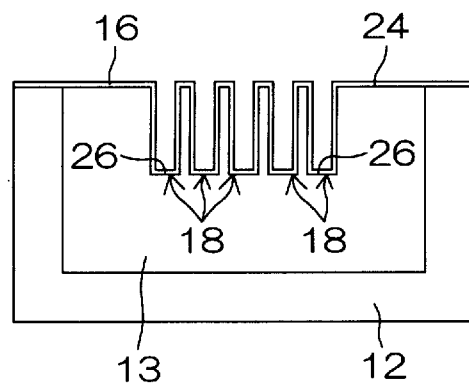
[図8C]



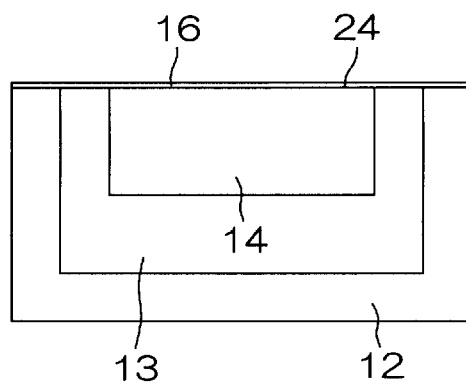
[図9A]



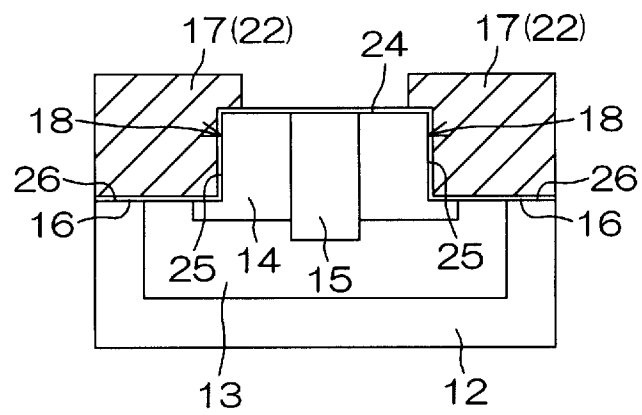
[図9B]



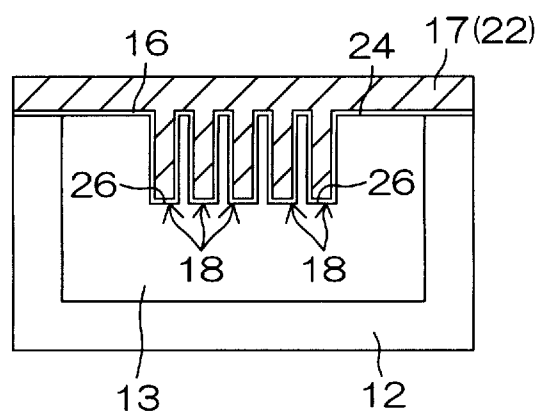
[図9C]



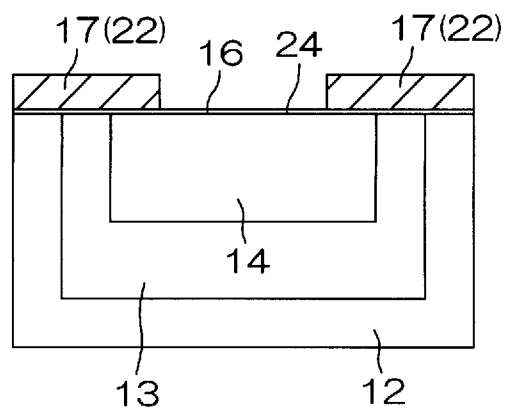
[図11A]



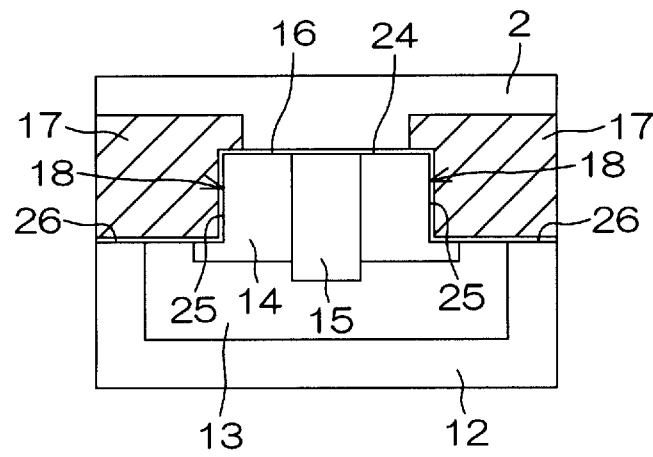
[図11B]



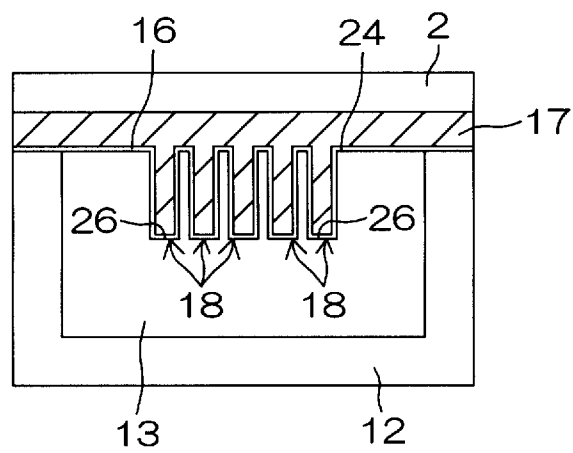
[図11C]



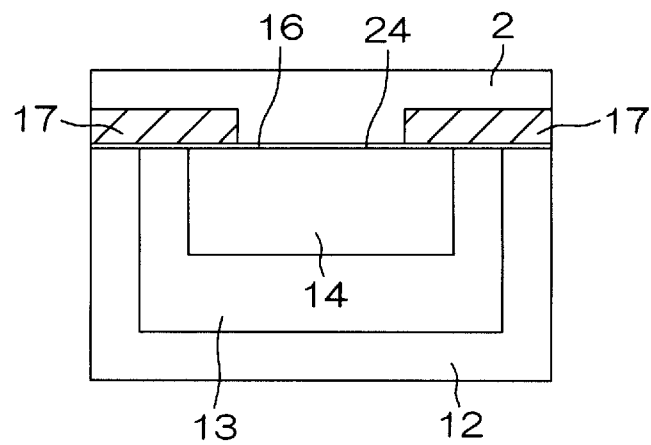
[図12A]



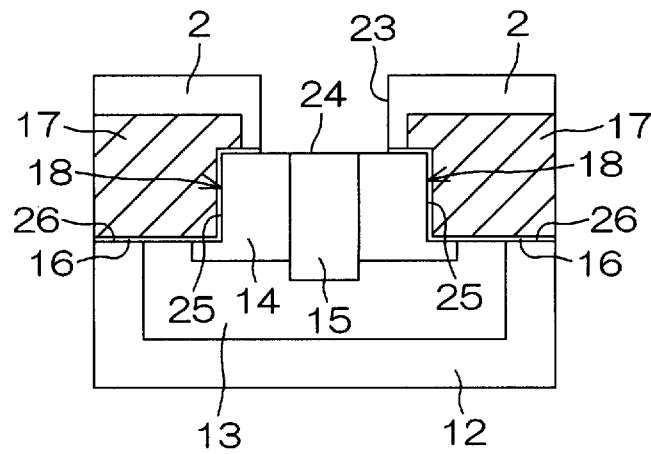
[図12B]



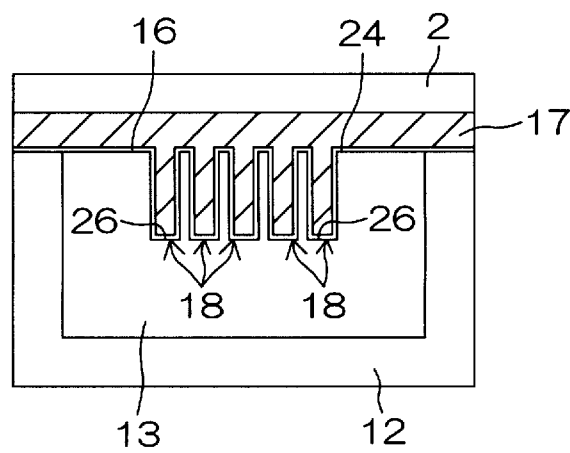
[図12C]



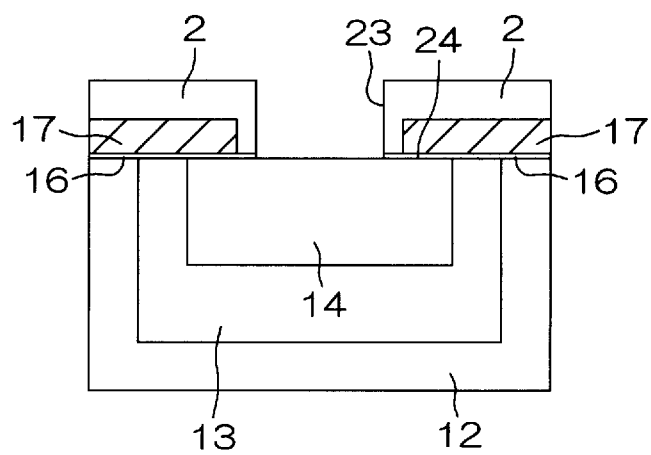
[図13A]



[図13B]

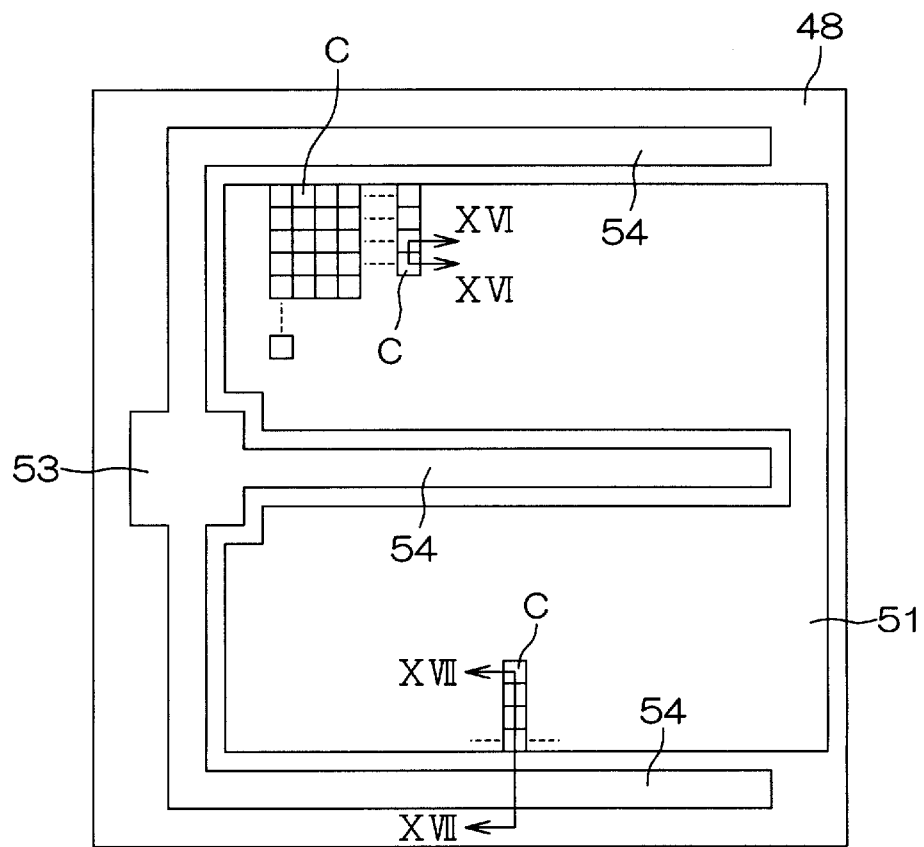


[図13C]

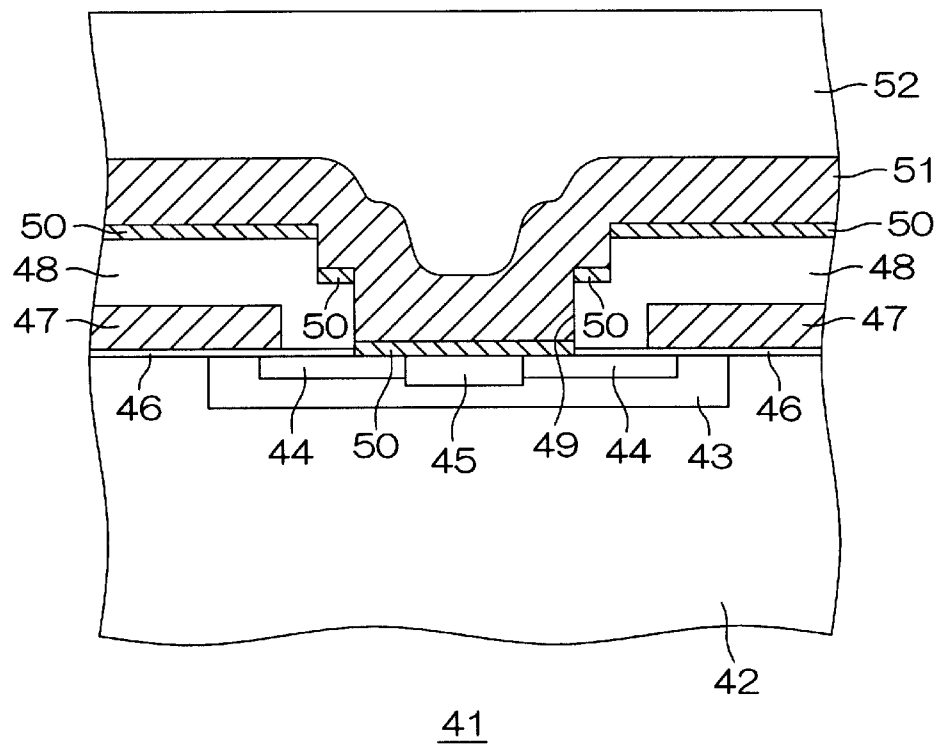


A cross-sectional view of a semiconductor device 31. The device features a central channel 15 flanked by gate electrodes 14. Above the channel, there are multiple layers: a bottom layer 16, a layer 26, a layer 20, a layer 19, and a top layer 2. The top layer 2 is patterned into regions 18 and 23. A bracket 17 groups layers 19, 20, and 26. Below the channel, there are layers 13 and 12. The entire structure is labeled 31 at the bottom.

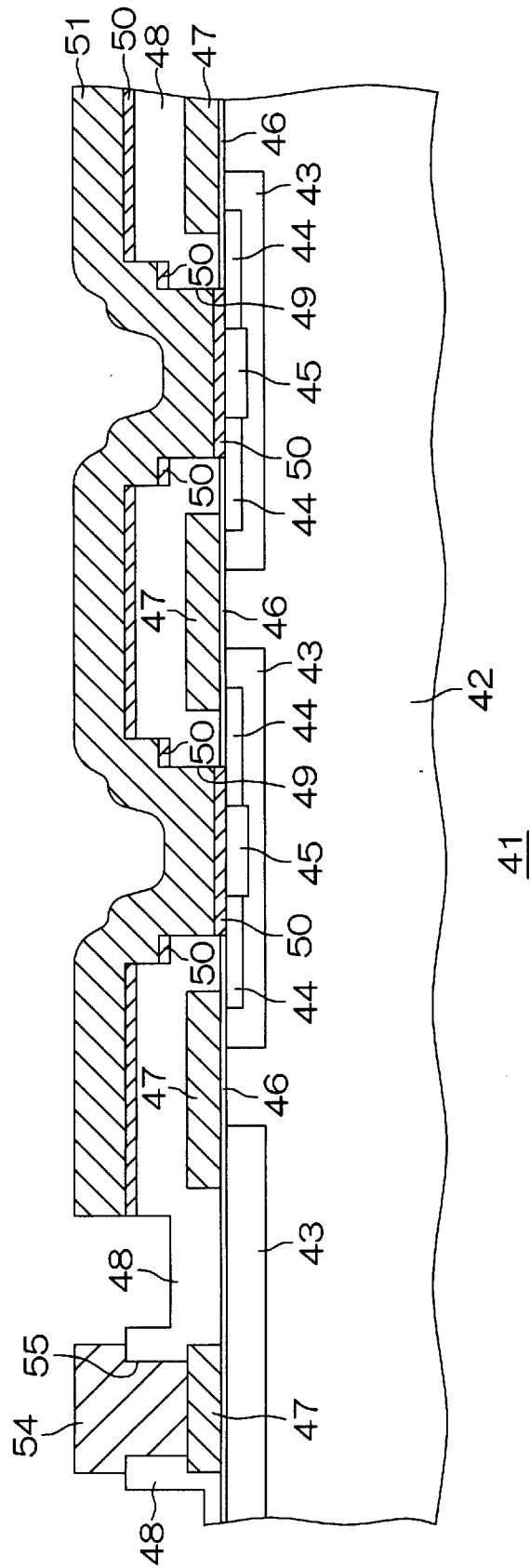
[図15]



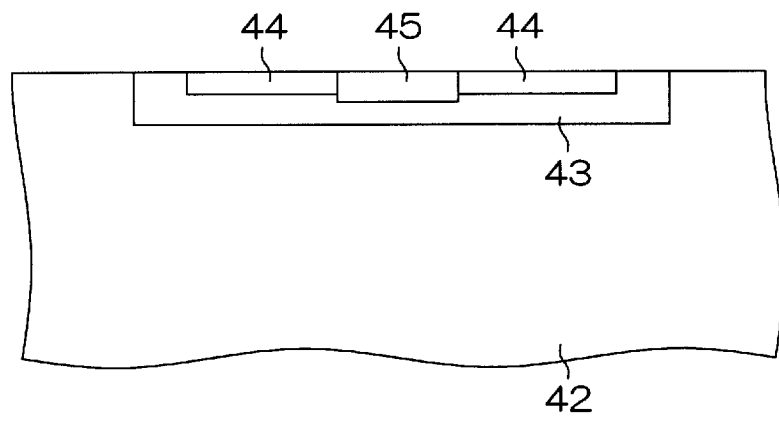
[図16]



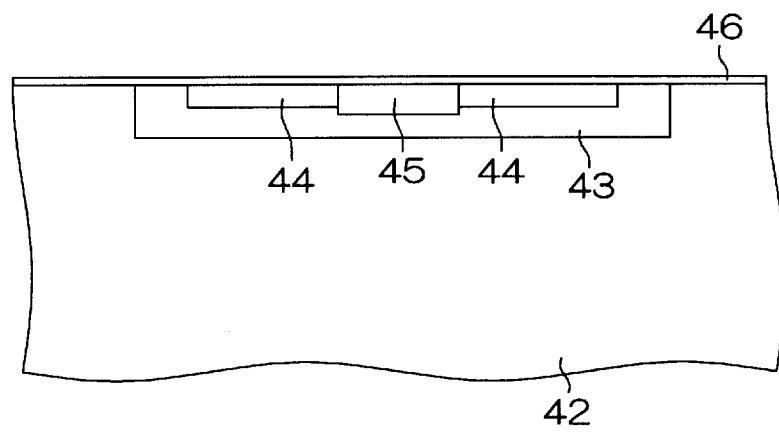
[図17]



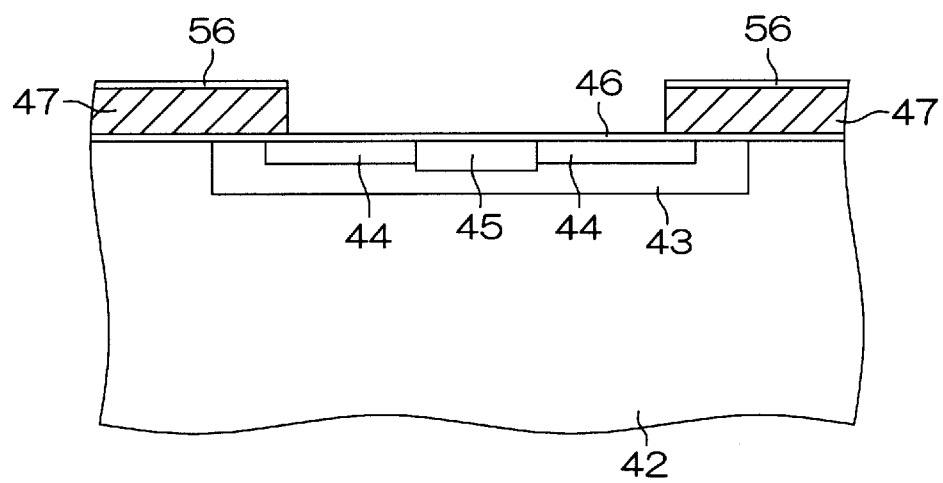
[図18A]



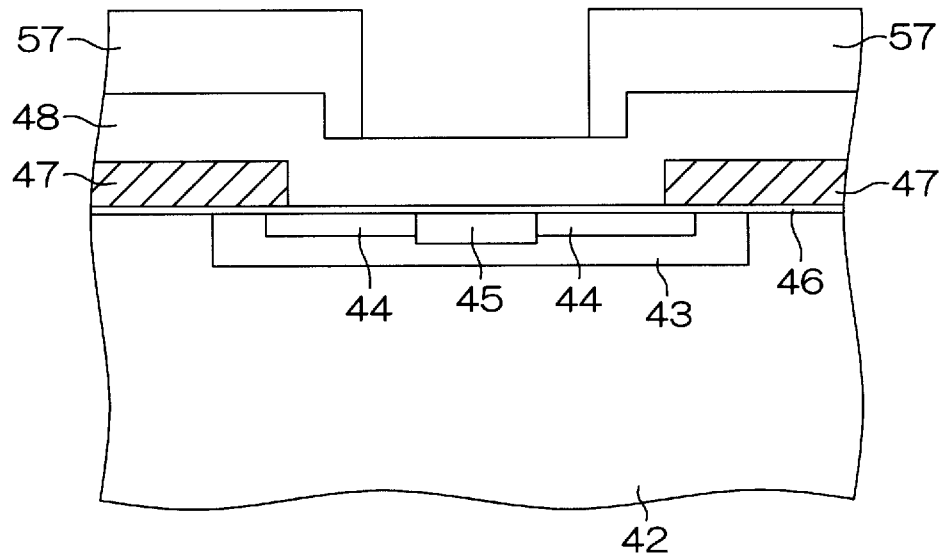
[図18B]



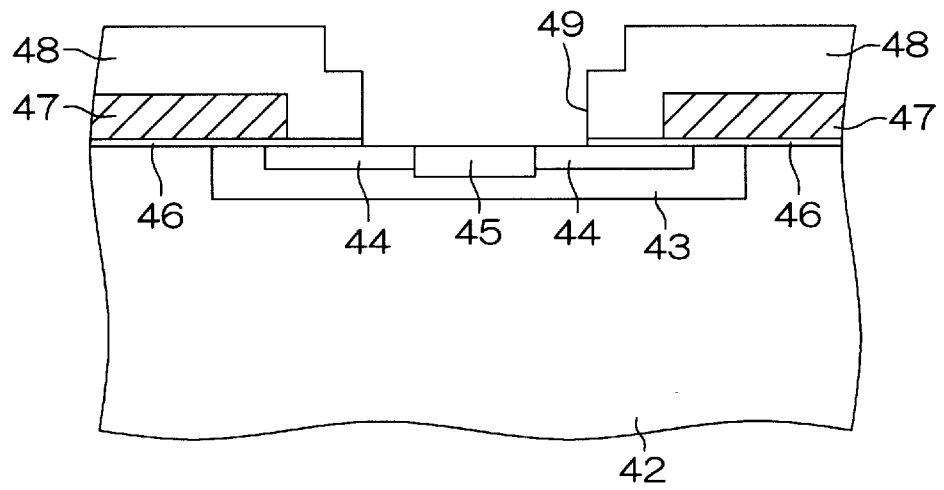
[図18C]



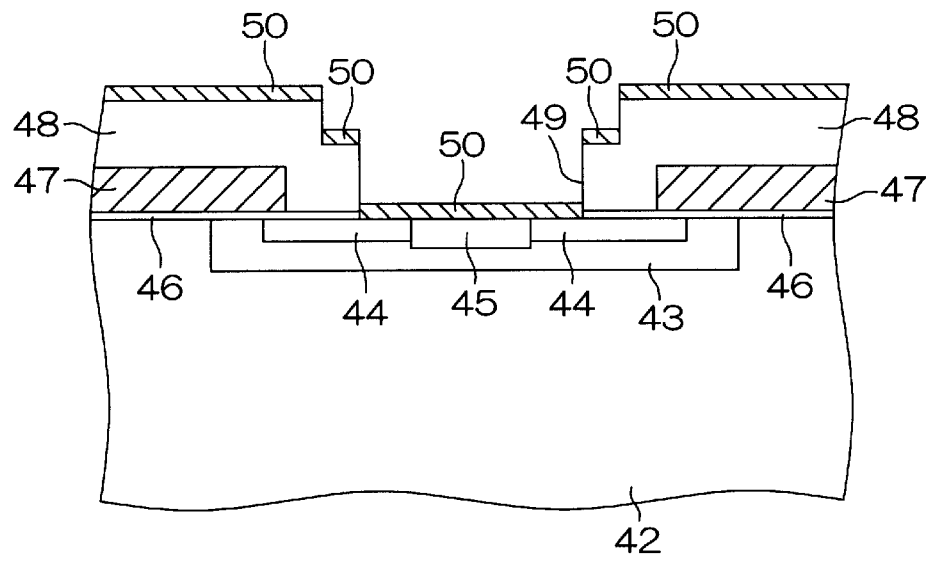
[図18D]



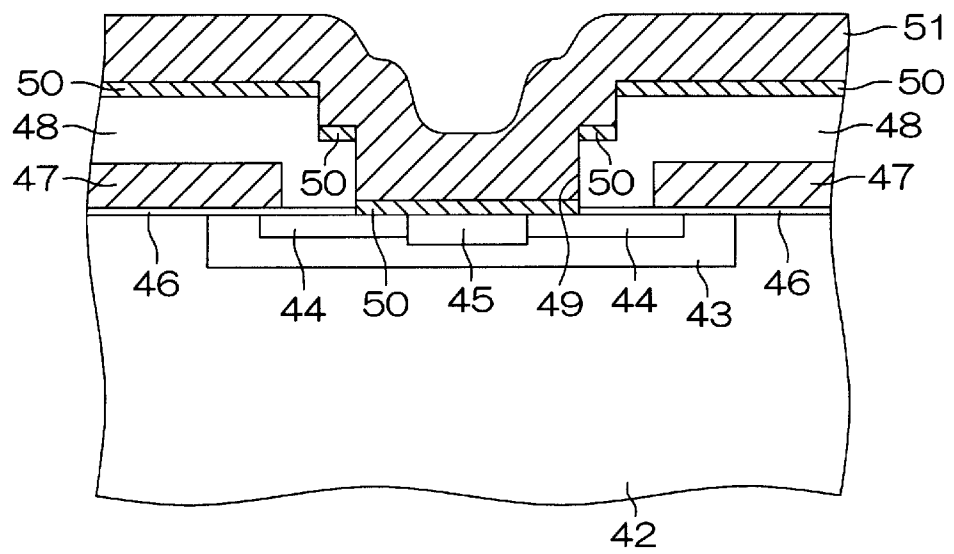
[図18E]



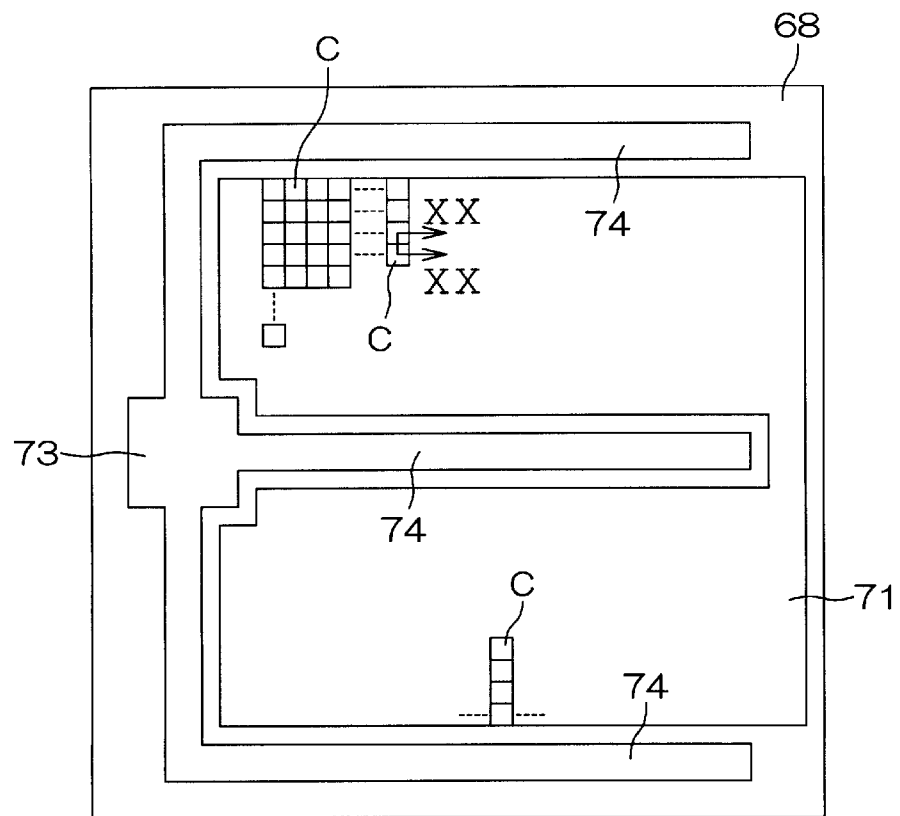
[図18F]



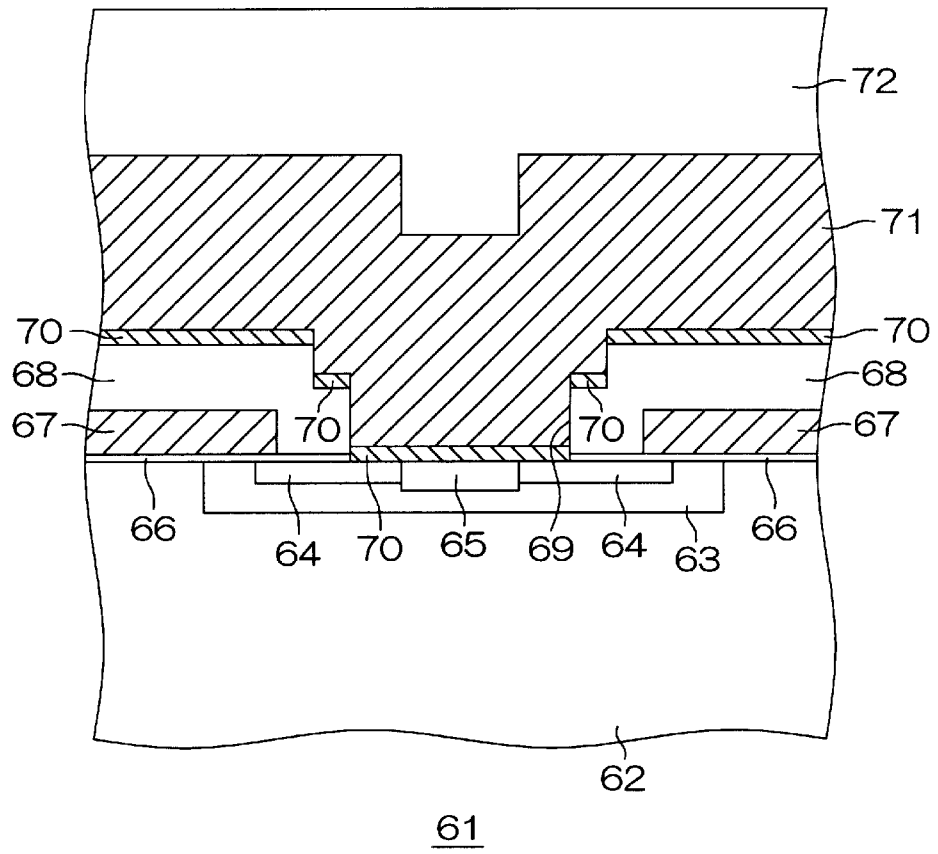
[図18G]



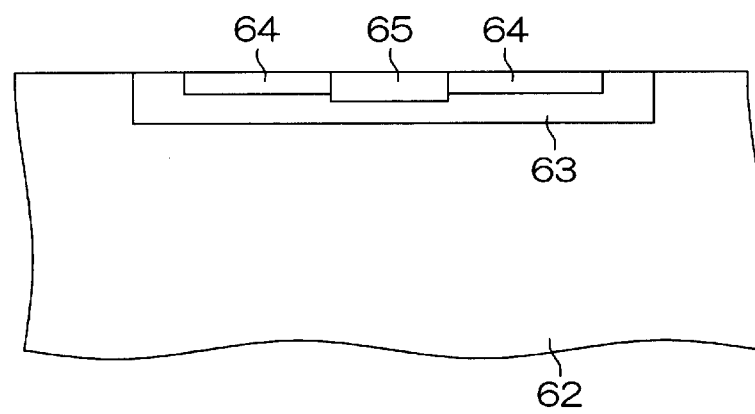
[図19]



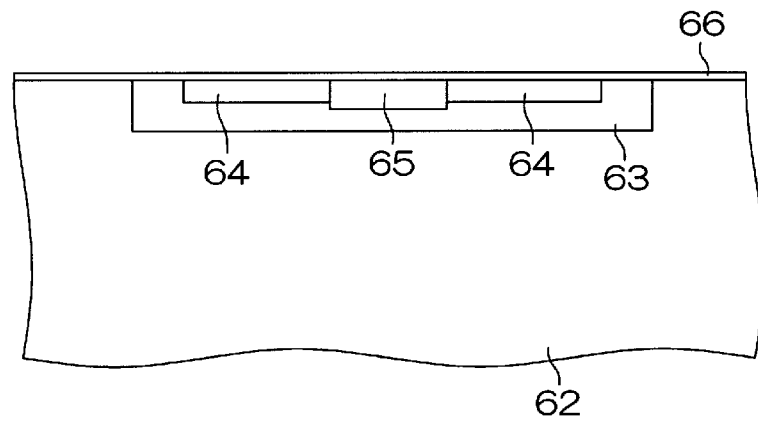
[図20]



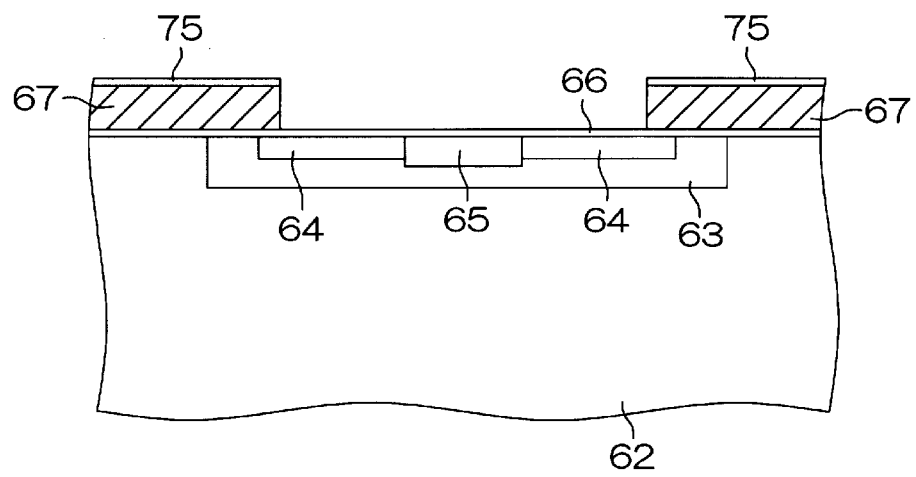
[図21A]

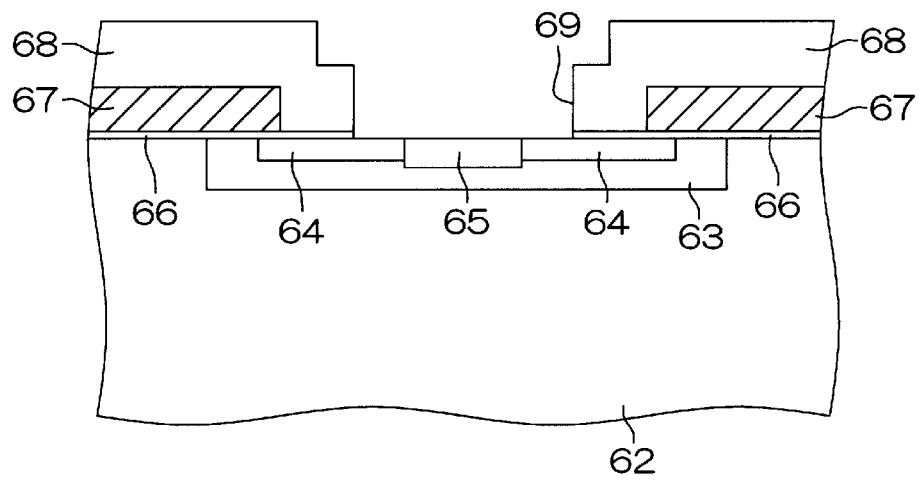


[図21B]

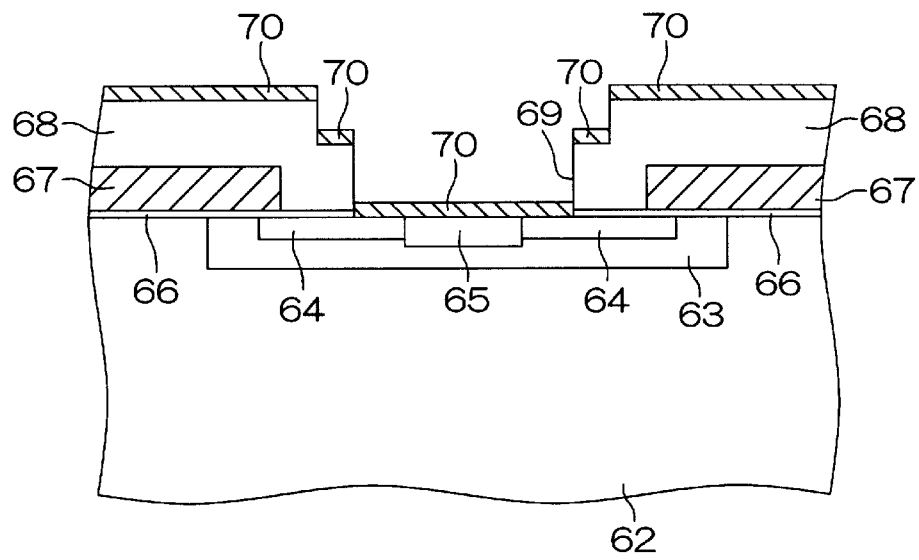


[図21C]

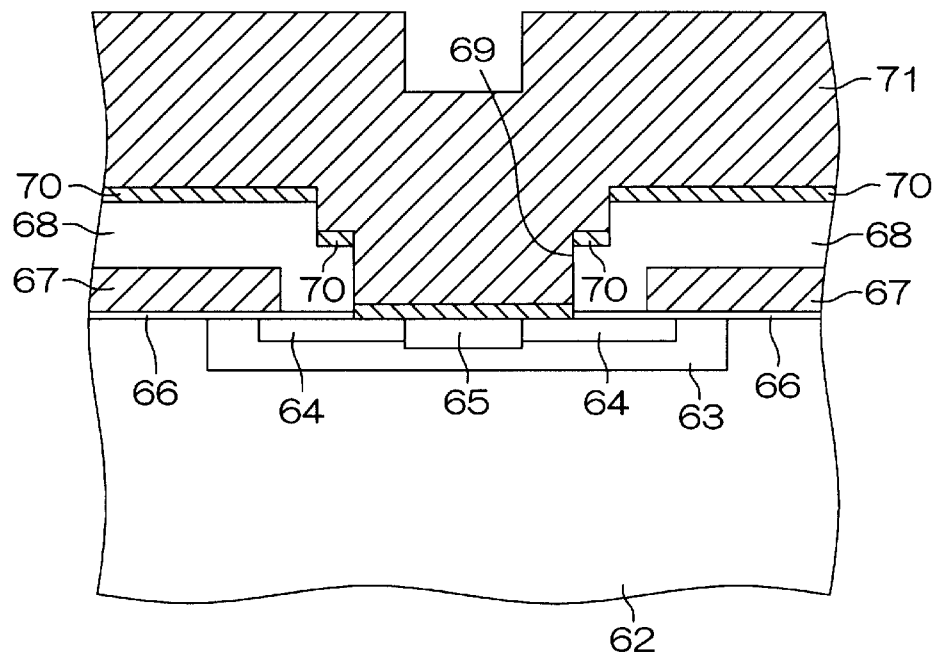




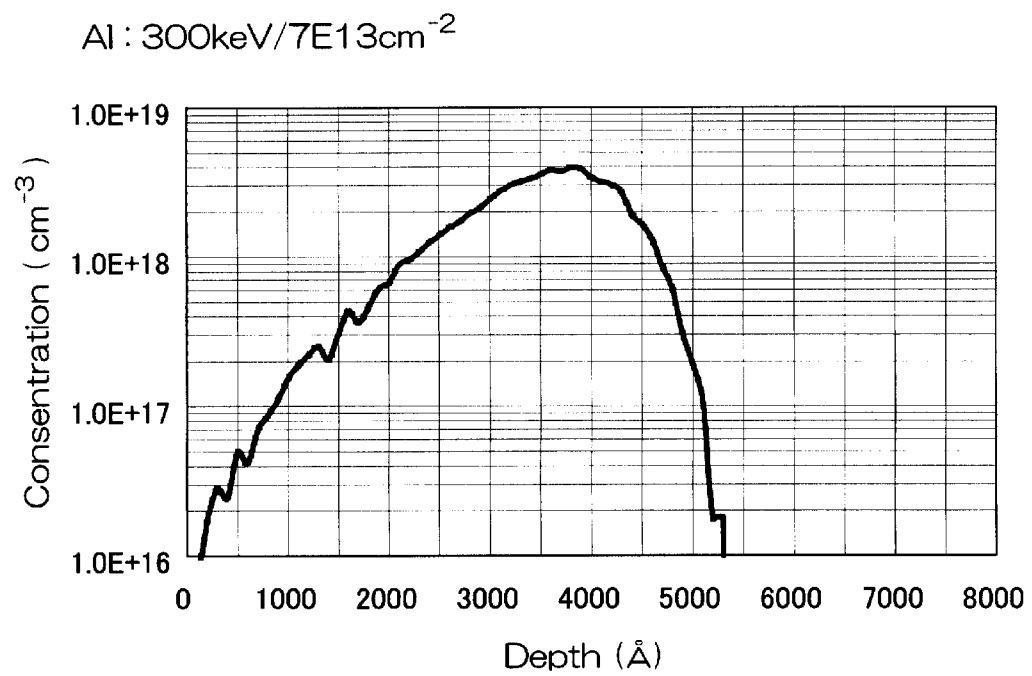
[図21F]



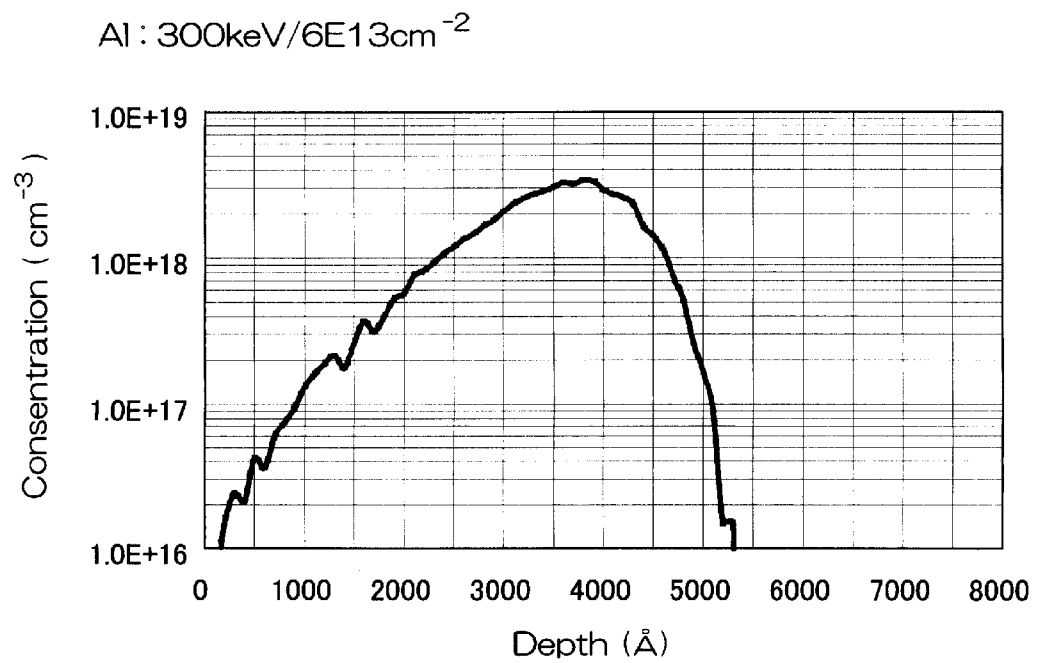
[図21G]



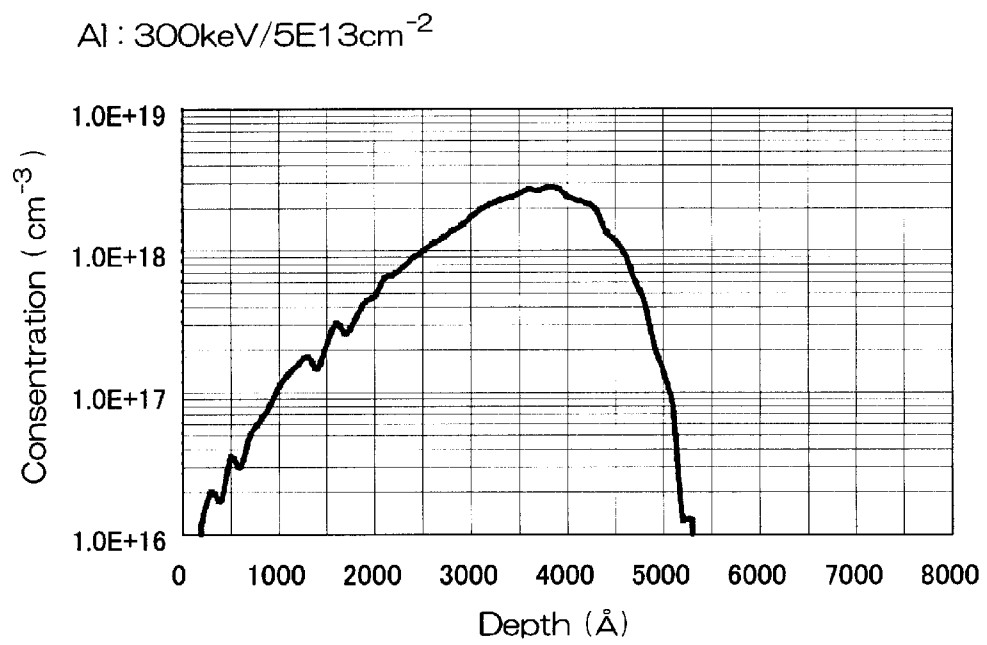
[図22]



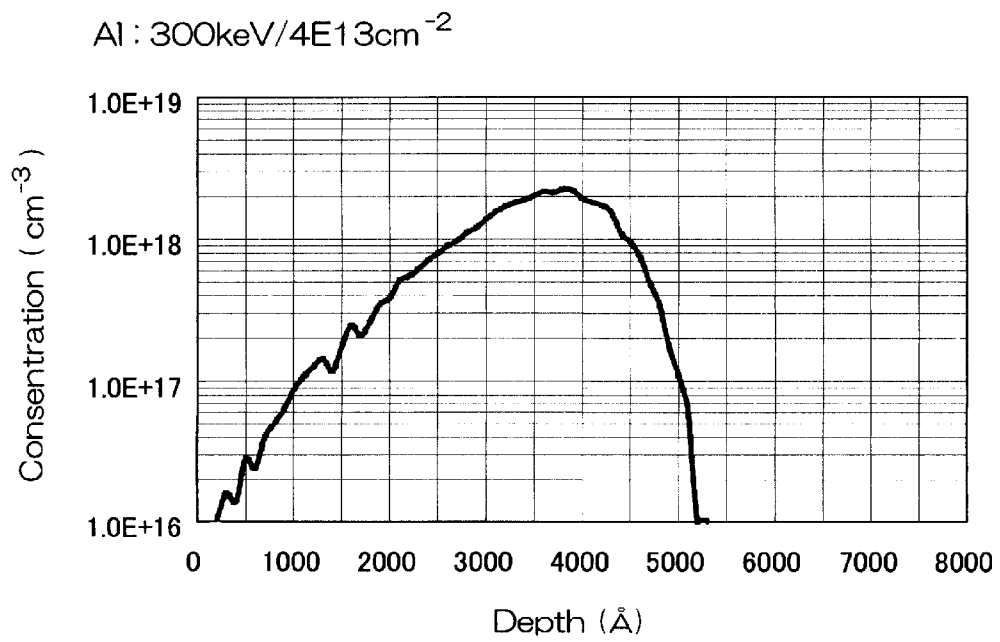
[図23]



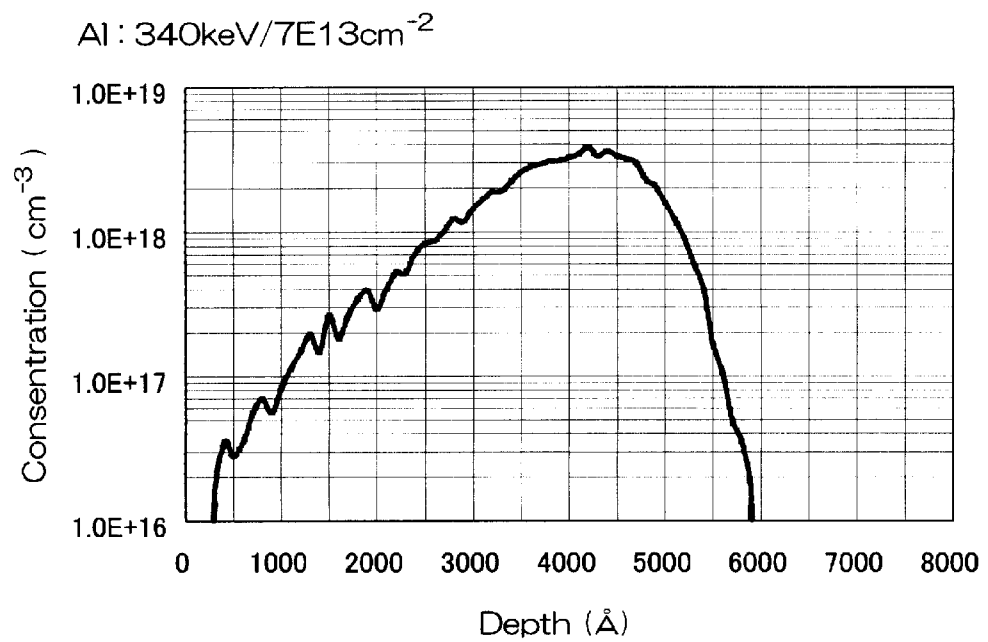
[図24]



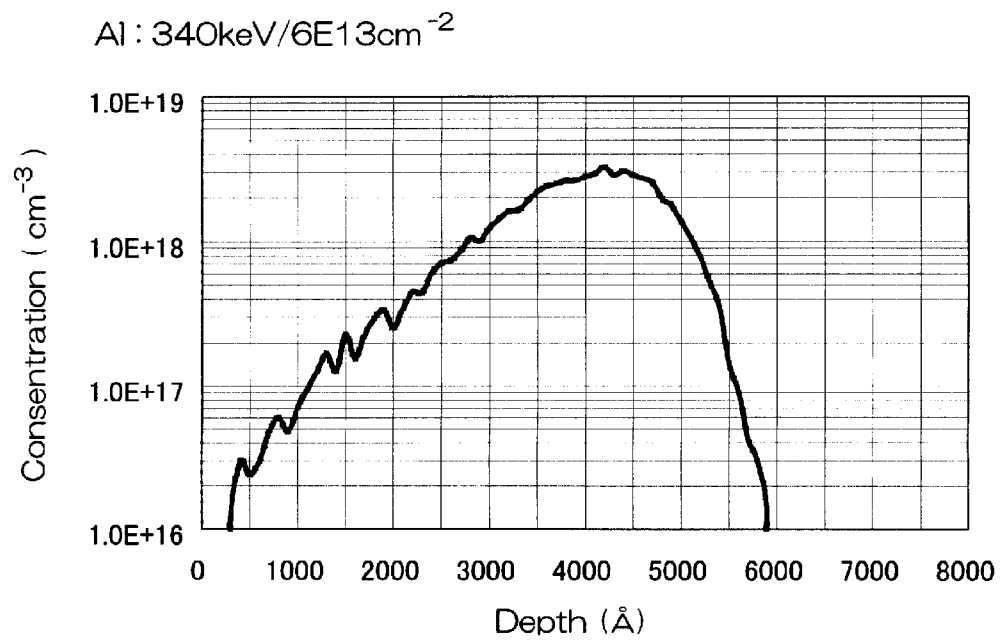
[図25]



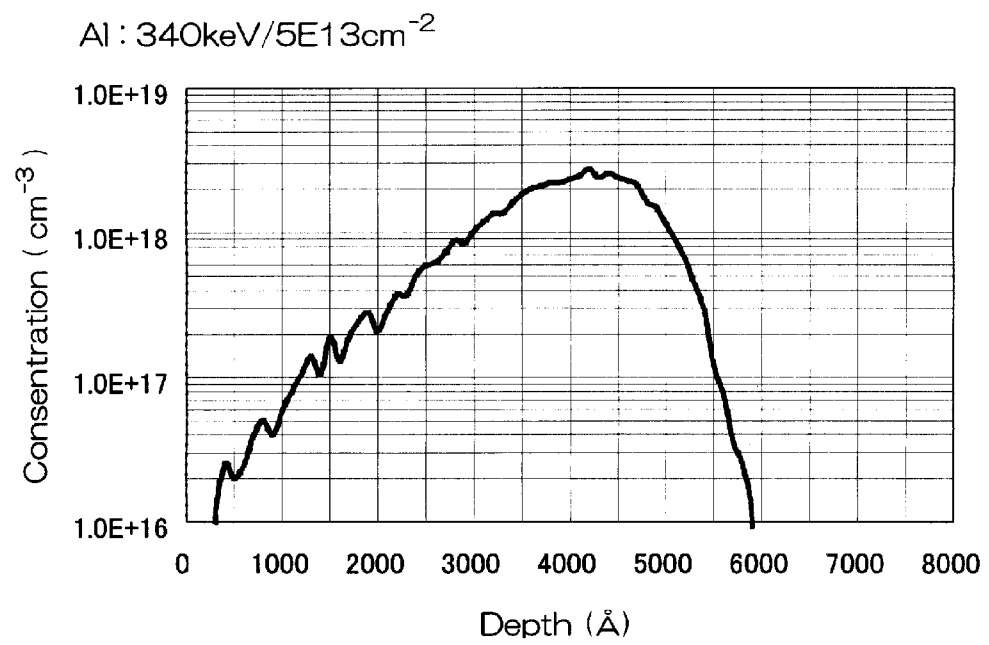
[図26]



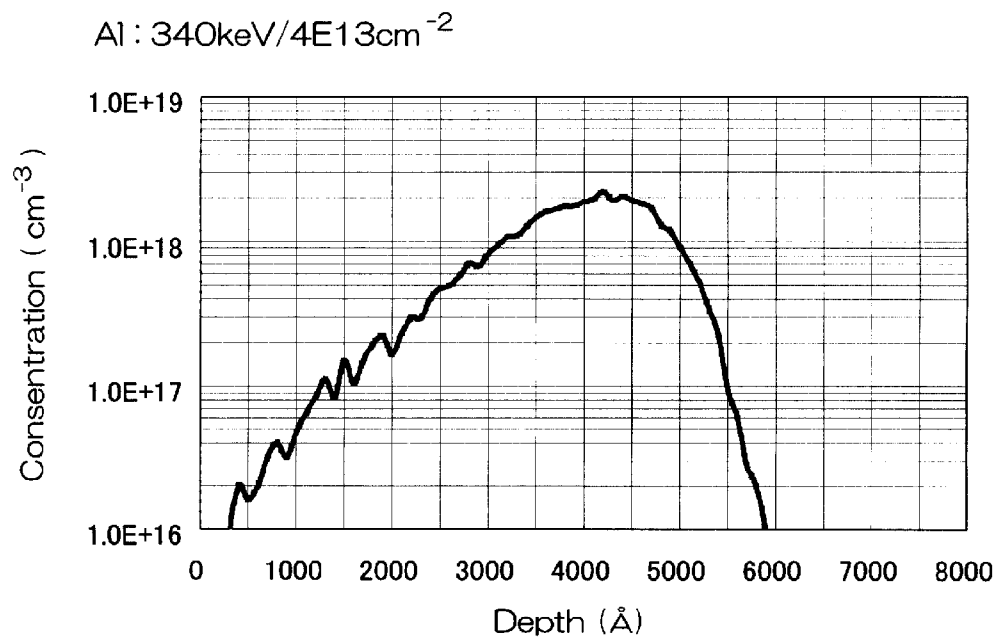
[図27]



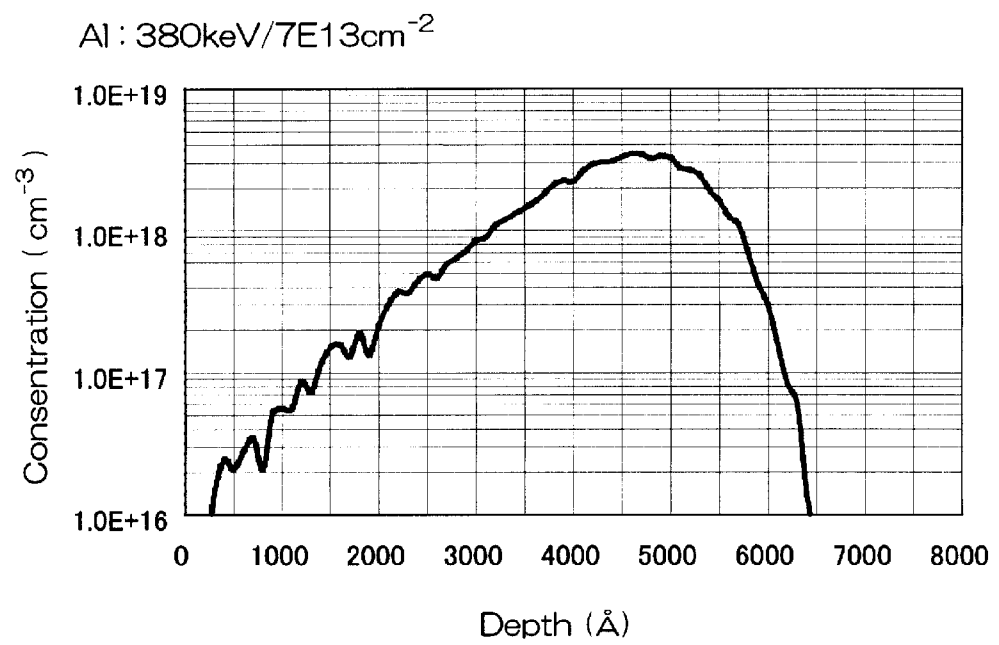
[図28]



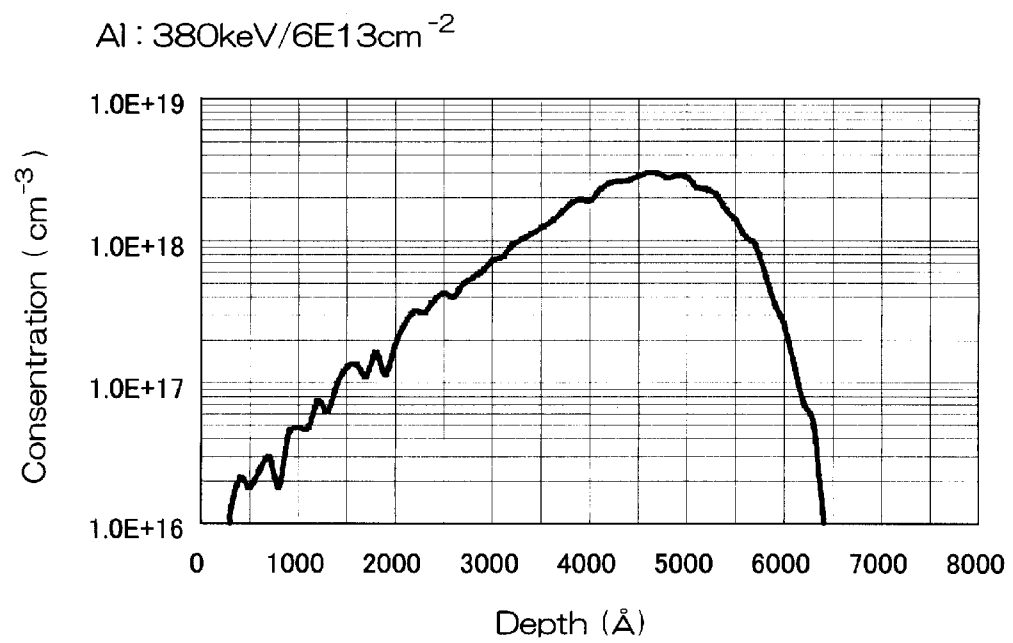
[図29]



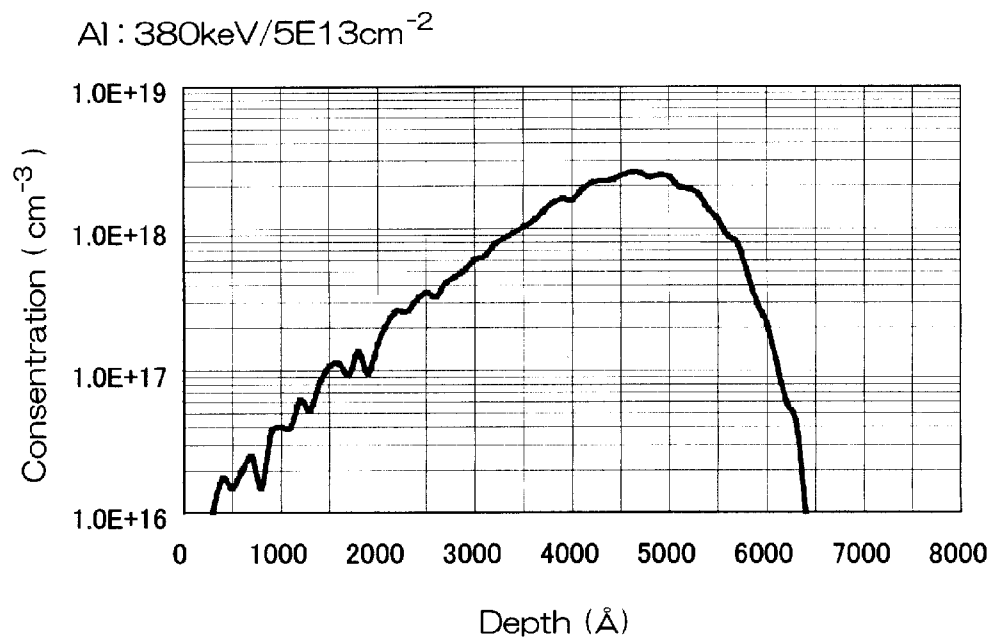
[図30]



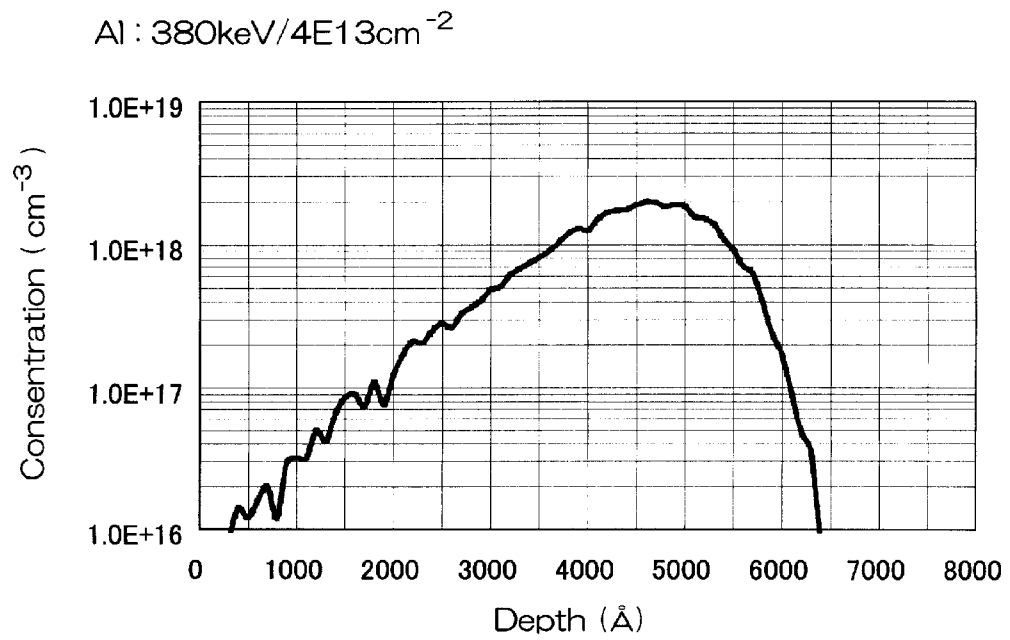
[図31]



[図32]



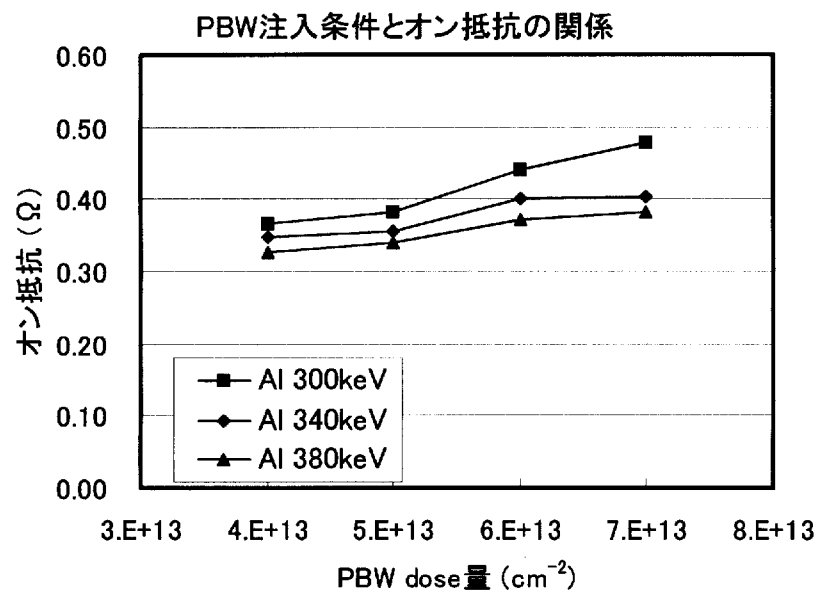
[図33]



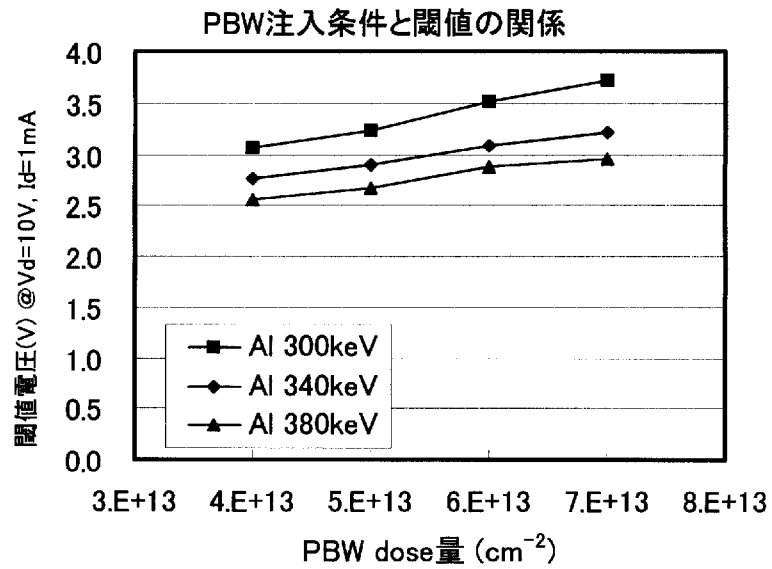
[図34]

energy	Al 300keV	Al 340keV	Al 380keV	dose
Ron (Ω)	0.479	0.403	0.383	7.E+13 cm ⁻²
	0.441	0.401	0.371	6.E+13 cm ⁻²
	0.382	0.357	0.340	5.E+13 cm ⁻²
	0.367	0.349	0.327	4.E+13 cm ⁻²
Vth (V)	3.73	3.22	2.95	7.E+13 cm ⁻²
	3.51	3.09	2.88	6.E+13 cm ⁻²
	3.23	2.90	2.67	5.E+13 cm ⁻²
	3.07	2.76	2.57	4.E+13 cm ⁻²

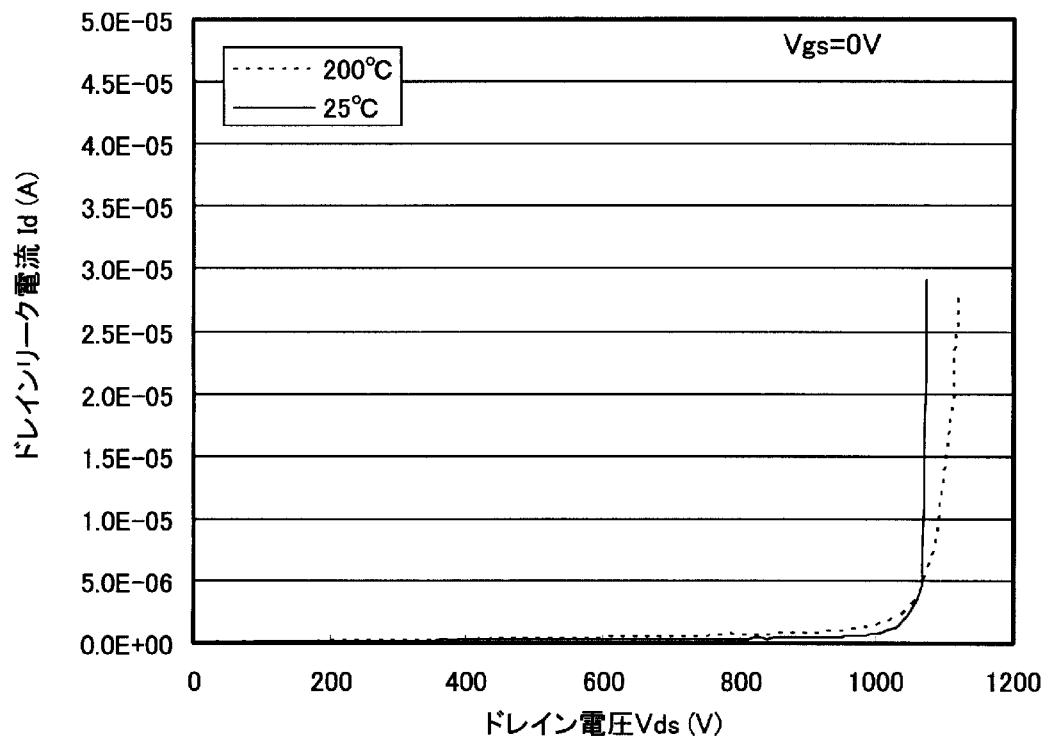
[図35]



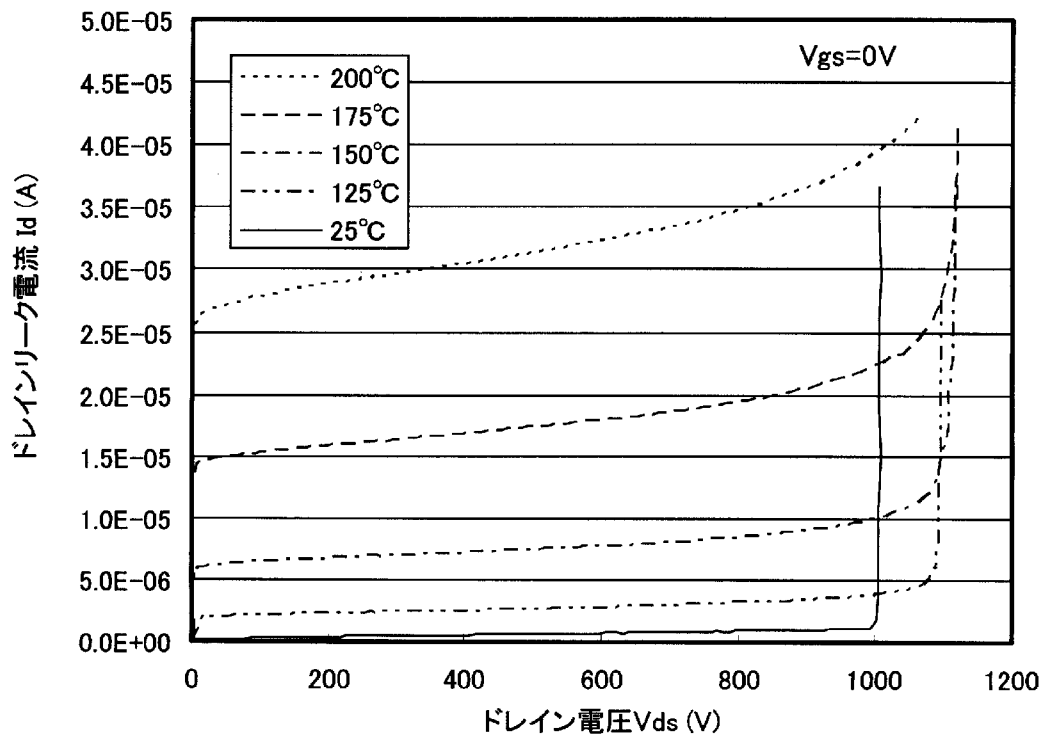
[図36]



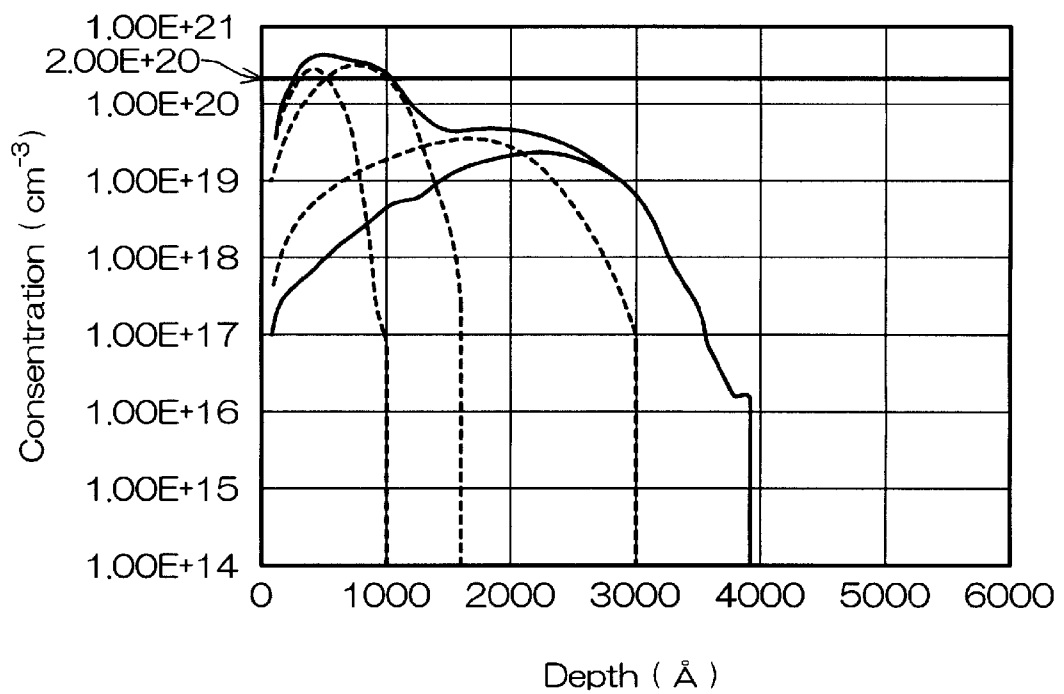
[図37]



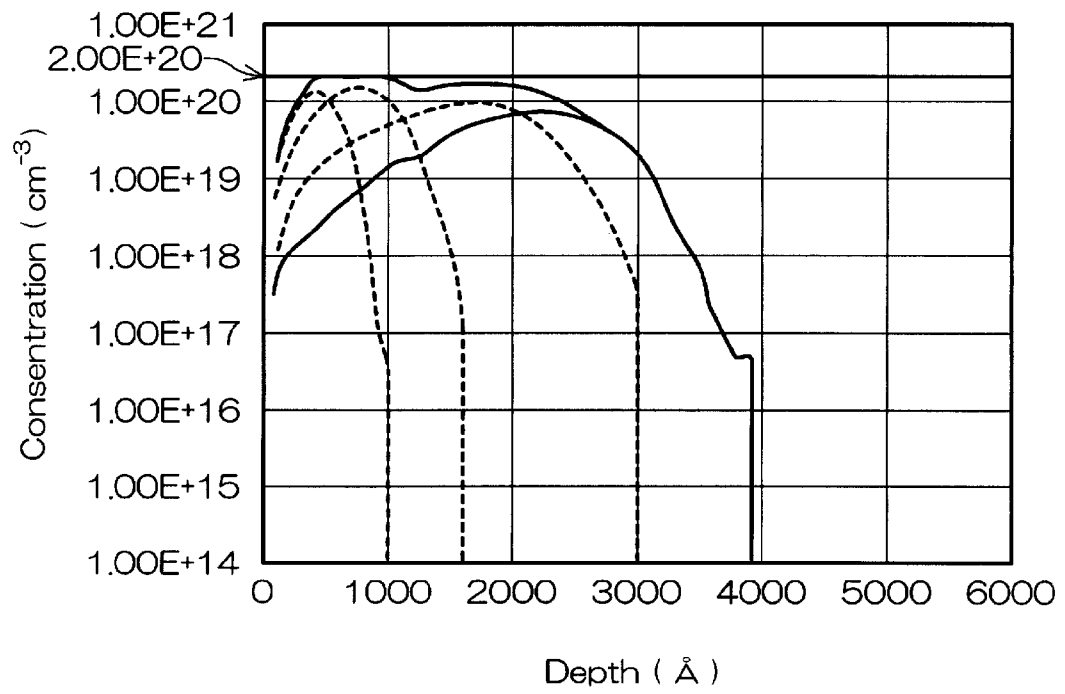
[図38]



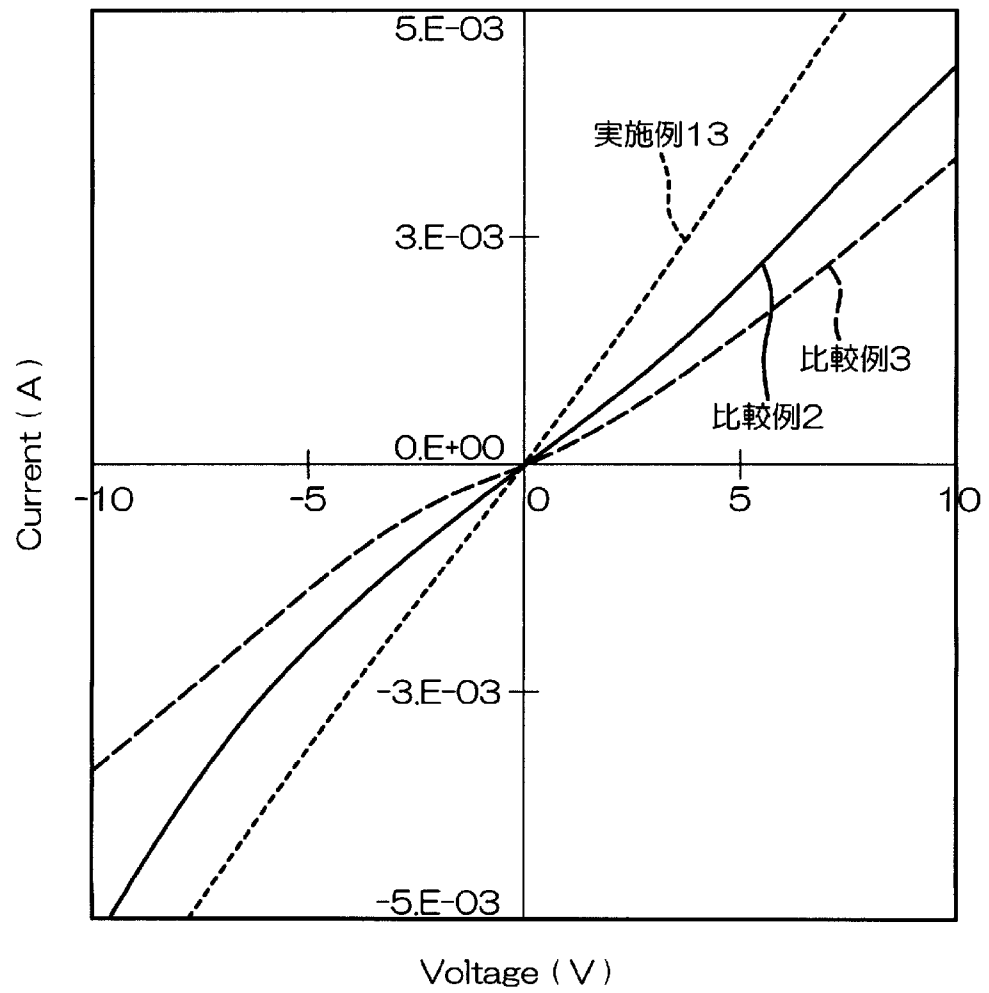
[図39]



[図40]



[図41]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/054938

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i, H01L29/739(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/28, H01L21/336, H01L29/12, H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010

Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 05-347414 A (Mitsubishi Electric Corp.), 27 December 1993 (27.12.1993), paragraphs [0043] to [0061], [0073] to [0075], [0097] to [0099]; fig. 1 to 5, 13, 20 & US 5541430 A & DE 4319071 A1 & FR 2692402 A1	1-3, 7-8 4-6, 23
X Y	JP 11-103057 A (Toshiba Corp.), 13 April 1999 (13.04.1999), paragraphs [0123] to [0129]; fig. 42 to 44 & US 6118149 A columns 19 to 20; fig. 46 to 48	1-2 3-8, 23



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 June, 2010 (15.06.10)

Date of mailing of the international search report
29 June, 2010 (29.06.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/054938

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-210994 A (NEC Electronics Corp.), 11 September 2008 (11.09.2008), paragraphs [0020] to [0023]; fig. 10 & US 2008/0203472 A1 paragraphs [0022] to [0025]; fig. 9A to 9B	3-4
Y	JP 2004-031471 A (Matsushita Electric Industrial Co., Ltd.), 29 January 2004 (29.01.2004), paragraphs [0002], [0018] (Family: none)	5-6
X Y	WO 2007/046254 A1 (Mitsubishi Electric Corp.), 26 April 2007 (26.04.2007), paragraphs [0014] to [0118]; fig. 1 to 19 & US 2009/0173997 A1 & KR 10-2008-0047477 A & CN 101310388 A	9 10-13, 23-24
Y	JP 03-034468 A (Hitachi, Ltd.), 14 February 1991 (14.02.1991), page 3, lower left column, line 17 to page 5, upper left column, line 12; fig. 1 to 4 (Family: none)	10
Y	JP 2005-056872 A (Seiko Instruments Inc.), 03 March 2005 (03.03.2005), paragraphs [0004], [0009] & US 2005/0037559 A1 & CN 1581451 A	11
Y	JP 05-198816 A (NEC Corp.), 06 August 1993 (06.08.1993), paragraphs [0013] to [0018]; fig. 1 to 2 & US 5686750 A	12-13
Y	JP 2009-004574 A (Denso Corp.), 08 January 2009 (08.01.2009), paragraphs [0012] to [0040]; fig. 1 to 3 (Family: none)	14-24
Y	JP 2003-168653 A (Matsushita Electric Industrial Co., Ltd.), 13 June 2003 (13.06.2003), paragraphs [0095] to [0096]; fig. 10 (Family: none)	14-24

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/054938

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Refer to (extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/054938

Continuation of Box No.III of continuation of first sheet(2)

The invention according to claim 1 is not deemed to be novel with respect to the inventions described in Literature 1 (JP 05-347414 A (Mitsubishi Electric Corp.), 27 December 1993 (27.12.1993), paragraphs [0043] to [0061], [0073] to [0075], [0097] to [0099]; fig. 1 to 5, 13, 20) and Literature 2 (JP 11-103057 A (Toshiba Corp.), 13 April 1999 (13.04.1999), paragraphs [0123] to [0129]; fig. 42 to 44), and therefore has no "special technical feature."

Therefore, the group of inventions described in claims 1 to 24 have no "special technical feature" linking them so as to form a single general inventive concept.

In accordance, the group of inventions described in claims 1 to 24 do not satisfy the requirement of unity of invention.

Next, the number of inventions described in the claims of the international application will be reviewed.

As stated above, the invention according to claim 1 is not deemed to be novel with respect to the inventions described in Literatures 1 to 2, and therefore has no "special technical feature."

Therefore, because there are no "special technical features" common to the invention according to claim 1 and to inventions according to independent claims (and their dependent claims) other than claim 1, there are at least two inventions described in claims 1 to 24, grouped into claims [1 to 8] and [9 to 24].

Further, "the special technical feature at the time of invitation to pay additional fees" common to the inventions according to claims 9 to 13 and 23 to 24 is that each is a semiconductor device provided with a semiconductor layer comprised of SiC, wherein the upper limit of the impurity concentration is determined for the portion of the p-type region (body region) where the depth, using the center of the thickness direction of the gate insulating film as a reference, is 100 nm or less. On the other hand, "the special technical feature at the time of invitation to pay additional fees" common to the inventions according to claims 14 to 22 is that each is a semiconductor device provided with a semiconductor layer comprised of SiC, wherein the surface layer portions of the p-type second impurity region (body contact region) contain p-type impurity greater than or equal to the solid solubility limit with respect to SiC. The common feature between the invention according to claims 9 to 13, 23 to 24 and the invention according to claims 14 to 22 is at best only that there is a semiconductor device with an n-type region (source region) and a p-type region (body region, or body contact region) existing on top of a semiconductor layer comprised of SiC. This common feature is described in fig. 5 of Literature 4 (JP 2004-031471 A (Matsushita Electric Industrial Co., Ltd.), 29 January 2004 (29.01.2004)), so it is not novel. Accordingly, this common feature is not a "special technical feature".

Therefore, claims 9 to 24 describe two inventions, grouped into claims [9 to 13, 23 to 24] and [14 to 22].

In conclusion, claims 1 to 24 describe three inventions, grouped into claims [1 to 8], [9 to 13, 23 to 24], and [14 to 22].

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i, H01L29/739(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L29/78, H01L21/28, H01L21/336, H01L29/12, H01L29/739			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 0 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 0 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 0 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X Y	JP 05-347414 A（三菱電機株式会社）1993.12.27, 段落番号[0043]-[0061], [0073]-[0075], [0097]-[0099], 図 1-5, 13, 20 & US 5541430 A & DE 4319071 A1 & FR 2692402 A1	1-3, 7-8 4-6, 23	
X Y	JP 11-103057 A（株式会社東芝）1999.04.13, 段落番号[0123]-[0129], 図 42-44 & US 6118149 A, 第 19-20 欄, 図 46-48	1-2 3-8, 23	
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 1 5 . 0 6 . 2 0 1 0		国際調査報告の発送日 2 9 . 0 6 . 2 0 1 0	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号		特許庁審査官（権限のある職員） 早川 朋一 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8	4 L 9 7 3 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-210994 A (NECエレクトロニクス株式会社) 2008.09.11, 段落番号[0020]-[0023], 図 10 & US 2008/0203472 A1, 段落番号[0022]-[0025], 図 9A-9B	3-4
Y	JP 2004-031471 A (松下電器産業株式会社) 2004.01.29, 段落番号[0002], [0018] (ファミリーなし)	5-6
X Y	WO 2007/046254 A1 (三菱電機株式会社) 2007.04.26, 段落番号[0014]-[0118], 図 1-19 & US 2009/0173997 A1 & KR 10-2008-0047477 A & CN 101310388 A	9 10-13, 23-24
Y	JP 03-034468 A (株式会社日立製作所) 1991.02.14, 第 3 頁左下欄第 17 行-第 5 頁左上欄第 12 行, 第 1-4 図 (ファミリーなし)	10
Y	JP 2005-056872 A (セイコーインスツル株式会社) 2005.03.03, 段落番号[0004], [0009] & US 2005/0037559 A1 & CN 1581451 A	11
Y	JP 05-198816 A (日本電気株式会社) 1993.08.06, 段落番号[0013]-[0018], 図 1-2 & US 5686750 A	12-13
Y	JP 2009-004574 A (株式会社デンソー) 2009.01.08, 段落番号[0012]-[0040], 図 1-3 (ファミリーなし)	14-24
Y	JP 2003-168653 A (松下電器産業株式会社) 2003.06.13, 段落番号[0095]-[0096], 図 10 (ファミリーなし)	14-24

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

（特別ページ）参照

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☒ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求項 1 に係る発明は、文献 1(JP 05-347414 A (三菱電機株式会社) 1993. 12. 27, 段落番号[0043]-[0061], [0073]-[0075], [0097]-[0099], 図 1-5, 13, 20)、及び文献 2(JP 11-103057 A (株式会社東芝) 1999. 04. 13, 段落番号[0123]-[0129], 図 42-44)に記載された発明に対して新規性が認められず、「特別な技術的特徴」を有しない。

よって、請求項 1-24 に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための「特別な技術的特徴」が存在しない。

したがって、請求項 1-24 に記載されている一群の発明は、発明の単一性の要件を満たしていない。

次に、この国際出願の請求の範囲に記載されている発明の数について検討する。

前述の通り、請求項 1 に係る発明は、文献 1-2 に記載された発明に対して新規性が認められず、「特別な技術的特徴」を有しない。

よって、請求項 1 に係る発明と、請求項 1 以外の独立請求項（及び、その従属請求項）に係る発明との間に共通する「特別な技術的特徴」は存在し得ないので、請求項 1-24 には、請求項[1-8], [9-24]に区分される少なくとも 2 個の発明が記載されている。

また、請求項 9-13, 23-24 に係る発明に共通する「手数料の追加納付命令時点での特別な技術的特徴」は、SiC からなる半導体層を備えた半導体装置において、ゲート絶縁膜の厚さ方向の中央を基準とする深さが 100nm 以下の部分の P 型領域（ボディ領域）の不純物濃度の上限を定めた点である。一方、請求項 14-22 に係る発明に共通する「手数料の追加納付命令時点での特別な技術的特徴」は、SiC からなる半導体層を備えた半導体装置において、P 型の第 2 不純物領域（ボディコンタクト領域）の表層部の P 型不純物が SiC に対する固溶限以上に含まれている点である。請求項 9-13, 23-24 に係る発明と請求項 14-22 に係る発明に共通な事項は、せいぜい SiC からなる半導体層上に N 型領域（ソース領域）と P 型領域（ボディ領域、又はボディコンタクト領域）が存在する半導体装置でしかなく、この共通な事項は、文献 4(JP 2004-031471 A (松下電器産業株式会社 2004. 01. 29)の図 5 に記載されているので、新規でない。したがって、この共通な事項は「特別な技術的特徴」ではない。

よって、請求項 9-24 には、請求項[9-13, 23-24], [14-22]に区分される 2 個の発明が記載されている。

結局、請求項 1-24 には、請求項[1-8], [9-13, 23-24], [14-22]に区分される 3 個の発明が記載されている。