

## (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2012 年 12 月 27 日 (27.12.2012)



(10) 国际公布号  
**WO 2012/174769 A1**

- (51) 国际专利分类号:  
H01L 29/78 (2006.01) H01L 27/12 (2006.01)  
H01L 21/336 (2006.01) H01L 21/84 (2006.01)
- (21) 国际申请号: PCT/CN2011/077856
- (22) 国际申请日: 2011 年 8 月 1 日 (01.08.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201110170875.2 2011 年 6 月 23 日 (23.06.2011) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 朱慧珑 (ZHU, Huilong) [US/US]; 美国纽约州波基普西市奥特姆路 93#, NY 12603 (US)。 许淼 (XU, Miao) [CN/CN]; 中国北京

市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 梁擎擎 (LIANG, Qingqing) [CN/US]; 美国纽约州拉格朗日镇瑞吉路 28 号, NY 12540 (US)。

- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区王庄路 1 号清华同方科技大厦 B 座 25 层, Beijing 100083 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG,

[见续页]

(54) Title: MOSFET AND MANUFACTURING METHOD THEREOF

(54) 发明名称: MOSFET 及其制造方法

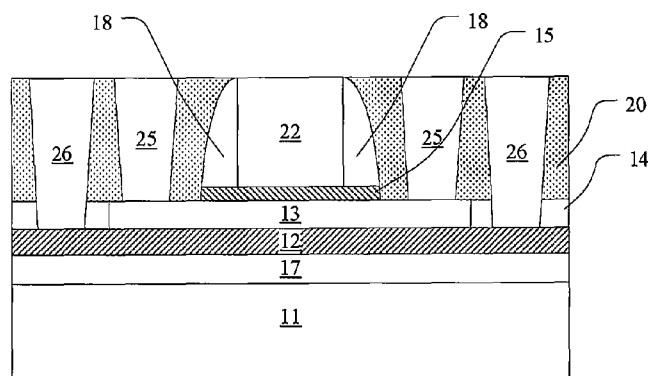


图 11 / Fig. 11

(57) Abstract: Provided are an MOSFET and a manufacturing method thereof. The MOSFET comprises an SOI chip formed of a semiconductor substrate (11), an insulating layer (12) and a semiconductor layer (13); gate stack layers (15, 22) located on the semiconductor layer (13), a source region and a drain region located at two sides of the gate stack, a channel region located in the semiconductor layer (13) and sandwiched between the source region and the drain region, and a back gate (17) located in the semiconductor substrate (11). The back gate comprises a first to a third compensation injection regions. The first compensation injection region is located below the source region and the drain region, the second compensation injection region extends along a direction leaving the channel region and is adjacent to the first compensation injection region, and the third compensation injection region is located below the channel region and is adjacent to the first compensation injection region. The structure implements adjustment on the threshold voltage by changing the doping type of the back gate, and may reduce the parasitic capacitance and contact resistance related to the back gate.

(57) 摘要:

[见续页]



KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

**本国际公布:**

— 包括国际检索报告(条约第 21 条(3))。

提供一种 MOSFET 及其制造方法。MOSFET 包括由半导体衬底 (11)、绝缘层 (12) 和半导体层 (13) 构成的 SOI 晶片; 位于半导体层 (13) 上的栅叠层 (15, 22), 位于栅堆叠两侧的源区和漏区, 位于半导体层 (13) 中且夹在源漏区之间的沟道区, 位于半导体衬底 (11) 中的背栅 (17), 其中, 背栅包括第一至第三补偿注入区, 第一补偿注入区位于源漏区下方, 第二补偿注入区沿着远离沟道区方向延伸并与第一补偿注入区邻接, 第三补偿注入区位于沟道区下方且与第一补偿注入区邻接。该结构通过改变背栅中的掺杂类型而实现对阈值电压的调节, 可减小与背栅相关的寄生电容和接触电阻。

## MOSFET 及其制造方法

本申请要求 2011 年 6 月 23 日提交的、申请号为 201110170875.2、发明名称为“MOSFET 及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

### 技术领域

本发明涉及一种 MOSFET 及其制造方法，更具体地，涉及一种具有背栅的 MOSFET 及其制造方法。

### 背景技术

集成电路技术的一个重要发展方向是金属氧化物半导体场效应晶体管（MOSFET）的尺寸按比例缩小，以提高集成度和降低制造成本。然而，众所周知的是随着 MOSFET 的尺寸减小会产生短沟道效应。随着 MOSFET 的尺寸按比例缩小，栅极的有效长度减小，使得实际上由栅极电压控制的耗尽层电荷的比例减少，从而阈值电压随沟道长度减小而下降。

在 MOSFET 中，一方面希望提高器件的阈值电压以抑制短沟道效应，另一方面也可能希望减小器件的阈值电压以降低功耗，例如在低电压供电应用、或同时使用 P 型和 N 型 MOSFET 的应用中。

沟道掺杂是调节阈值电压的已知方法。然而，如果通过增加沟道区的杂质浓度来提高器件的阈值电压，则载流子的迁移率变小，引起器件性能变劣。并且，沟道区中高掺杂的离子可能与源区和漏区和沟道区邻接区域的离子中和，使得所述邻接区域的离子浓度降低，引起器件电阻增大。

Yan 等人在“Scaling the Si MOSFET: From bulk to SOI to bulk”, IEEE Trans. Elect. Dev., Vol. 39, p. 1704, 1992 年 7 月中提出，在 SOI MOSFET 中，通过在绝缘埋层的下方设置接地面（即接地的背栅）抑制短沟道效应。

然而，上述具有接地的背栅的 SOI MOSFET 仍然不能够满足器件在不断减小的沟道长度的情形下对阈值电压的要求。

因此，仍然期望在不提高沟道中的掺杂浓度的情形下以可控的方式调节器件的阈值电压，而且不会劣化器件的性能。

## 发明内容

本发明的目的是提供一种利用背栅调节阈值电压的 MOSFET。

根据本发明的一方面，提供一种 MOSFET，包括，SOI 晶片，所述 SOI 晶片包括半  
5 导体衬底、绝缘埋层和半导体层，所述绝缘埋层位于所述半导体衬底上，所述半导体  
层位于所述绝缘埋层上；栅叠层，所述栅叠层位于半导体层上；源区和漏区，所述源  
区和漏区位于所述半导体层中且位于所述栅堆叠两侧；沟道区，位于所述半导体层中  
且夹在所述源区和漏区之间；其中，所述 MOSFET 还包括位于所述半导体衬底中的背  
栅，并且其中，所述背栅包括第一至第三补偿注入区，第一补偿注入区位于源区和漏  
10 区下方；第二补偿注入区沿着远离沟道区的方向延伸并且与第一补偿注入区邻接；第  
三补偿注入区位于沟道区的下方并且与第一补偿注入区邻接。

根据本发明的另一方面，提供一种制造 MOSFET 的方法，包括

提供 SOI 晶片，所述 SOI 晶片包括半导体衬底、绝缘埋层和半导体层，所述绝缘  
埋层位于所述半导体衬底上，所述半导体层位于所述绝缘埋层上；

15 在所述半导体层上形成假栅；

利用第一导电类型的掺杂剂执行用于提供背栅的离子注入，所述背栅位于所述半  
导体衬底中；

执行用于提供源区和漏区的离子注入，所述源区和漏区位于所述半导体层中；

利用第二导电类型的掺杂剂执行第一补偿注入，在背栅中形成第一补偿注入区，  
20 第一补偿注入区位于源区和漏区下方，所述第一导电类型与所述第二导电类型相反；

利用第一导电类型的掺杂剂执行第二补偿注入，在背栅中形成第二补偿注入区，  
第二补偿注入区沿着远离沟道区的方向延伸并且与第一补偿注入区邻接；

去除所述假栅以形成栅极开口；

经所述栅极开口，利用第二导电类型的掺杂剂执行第三补偿注入，在背栅中形成  
25 第三补偿注入区，第三补偿注入区位于沟道区的下方并且与第一补偿注入区邻接；

在所述栅极开口中形成栅叠层。

本发明采用在沟道区下方掺杂的背栅，并优选不对沟道区进行掺杂，因此避免了  
沟道区与源区和漏区之间 pn 结的产生，从而减小了器件的漏电流。

本发明可以根据沟道长度的不同对阈值电压进行调节。例如，随着器件沟道长度  
30 的减小，很可能导致阈值电压减小，通过背栅中的离子掺杂，使得背栅的掺杂剂类型

与 SOI MOSFET 的导电类型相同，就能够增大器件的阈值电压；相反，如果阈值电压过大，也可以通过背栅中的离子掺杂，使得背栅的掺杂剂类型与 SOI MOSFET 的导电类型相同，就能够减小器件的阈值电压。

本发明在背栅中形成了第一至第三补偿注入区，从而引入了不均匀的掺杂分布。  
5 绝缘埋层作为背栅的栅介质层。在向背栅施加偏置电压时，背栅区向源区和漏区和沟道区施加不均匀分布的偏置电场，以控制 MOSFET 的电学特性，从而抑制了 MOSFET 中的短沟道效应，并且还可以减小与背栅相关的寄生电容和接触电阻。

### 附图说明

10 图 1 至 11 示意性地示出了根据本发明的 MOSFET 的制造方法的各个阶段的截面图，其中在图 5-9 中还示出了背栅的掺杂分布曲线。

图 12 示意性地示出了根据本发明的 MOSFET 的透视图。

### 具体实施方式

15 以下将参照附图更详细地描述本发明。在各个附图中，为了清楚起见，附图中的各个部分没有按比例绘制。

在下文中描述了本发明的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样，可以不按照这些特定的细节来实现本发明。除非在下文中特别指出，半导体器件中的  
20 各个部分可以由本领域的技术人员公知的材料构成。

在本申请中，术语“半导体结构”指在经历制造半导体器件的各个步骤后形成的半导体衬底和在半导体衬底上已经形成的所有层或区域。

根据本发明的优选实施例，执行图 1 至 11 所示的根据本发明的 MOSFET 的制造方法的以下步骤。

25 参见图 1，作为初始结构的半导体衬底是常规的 SOI 晶片，从下至上依次包括半导体衬底 11、绝缘埋层 12 和半导体层 13。半导体层 13 的厚度例如约为 5nm -20nm，如 10nm、15nm，并且，绝缘埋层 12 的厚度例如约为 5nm -30nm，如 10nm、15nm、20nm 或 25nm。其中所述绝缘埋层 12 可以是氧化物埋层、氮氧化物埋层或其他的绝缘埋层。

半导体衬底 11 可被用于提供 MOSFET 的背栅。半导体衬底 11 材料可为体硅、或  
30 SiGe、Ge 等 IV 族半导体材料、或 III 族-V 族化合物半导体（如，砷化镓）材料。半

导体层 13 例如由选自 IV 族半导体（如，硅、锗或硅锗）或 III 族-V 族化合物半导体（如，砷化镓）的半导体材料组成，本实施例中，半导体层 13 可为单晶 Si 或 SiGe。半导体层 13 将用于提供 MOSFET 的源区和漏区以及沟道区。

形成 SOI 晶片的工艺是已知的。例如，可以使用 SmartCut™（称为“智能剥离”或“智能切割”）方法，包括将分别包含通过热氧化或沉积形成的氧化物表面层的两个晶片彼此键合，其中，两个晶片之一已经进行氢注入，从而在氧化物表面层以下的一定深度的硅本体内形成氢注入区域，然后，在压力、温度升高等情况下氢注入区域转变成微空腔层，从而有利于使微空腔层两边的部分分离，剥离后包含键合的氧化物表面层的部分作为 SOI 晶片来使用。通过控制热氧化或沉积的工艺参数，可以改变 SOI 晶片的绝缘埋层的厚度。通过控制氢注入的能量，可以改变 SOI 晶片中包含的半导体层的厚度。

然后，执行图案化操作，以在半导体层 13 中形成沟槽，并在其中填充绝缘材料，从而形成隔离区（STI）14，以限定 MOSFET 的有源区，如图 2 所示。

该图案化操作可以包括以下步骤：通过包含曝光和显影的光刻工艺，在半导体层 13 上形成含有图案的光抗蚀剂掩模；通过干法蚀刻，如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、激光烧蚀，或者通过其中使用蚀刻剂溶液的湿法蚀刻，去除半导体层 13 的暴露部分，该蚀刻步骤停止在绝缘埋层 12 的顶部；通过在溶剂中溶解或灰化去除光抗蚀剂掩模。

然后，在半导体层 13 上形成假栅叠层，如图 3 所示。该假栅叠层可包括厚度约为 1nm-4nm 的栅介质层 15 和厚度约为 30nm-100nm 的假栅 16（在替代的实施例中，也可以不包括栅介质层 15）。用于形成假栅叠层的沉积工艺和图案化工艺是已知的，其中，假栅 16 通常图案化为条状。

栅介质层 15 可以由氧化物、氮氧化物、高 K 材料（如  $\text{HfO}_2$ 、 $\text{HfSiO}$ 、 $\text{HfSiON}$ 、 $\text{HfTaO}$ 、 $\text{HfTiO}$ 、 $\text{HfZrO}$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{La}_2\text{O}_3$ 、 $\text{ZrO}_2$  或  $\text{LaAlO}$  中的一种或其组合）或其组合组成。假栅 16 可以由金属层、掺杂多晶硅层、或包括金属层和掺杂多晶硅层的叠层组成（在替代的实施例中，也可以包括氧化硅、氮氧化硅或氮化硅等绝缘材料）。

沟道区包括半导体层 13 的位于假栅叠层下方的一部分（未示出），优选为不掺杂，或者是自掺杂的，或者在先前独立的离子注入步骤中进行掺杂。

然后，以假栅 16 作为硬掩模，穿过位于假栅 16 两侧的栅介质层 15、半导体层 13 和绝缘埋层 12，向半导体衬底 11 中进行用于提供背栅 17 的离子注入，如图 4 所

示。由于栅介质层 15、半导体层 13 和绝缘埋层 12 的总厚度仅为约 10nm-50nm，因此，注入的离子可以容易地穿过这些层而进入半导体衬底 11 中。可以通过调节离子注入的能量和剂量，以控制注入的深度，使得注入离子主要分布在半导体衬底 11 中。

获得的离子注入区可以分布在半导体衬底 11 的上部，以与绝缘埋层 12 相接，也可以与上层的绝缘埋层 12 相距一定距离，而不直接邻接（未示出）。

由于假栅 16 的阻挡，使得注入离子的分布受到离子注入的角度的影响。如果在用于形成背栅的离子注入中，按照与 SOI 晶片的主表面垂直的方向注入离子，可使得在所述假栅 16 下方的所述半导体衬底 11 中的掺杂浓度小于所述半导体衬底 11 中的其他部分的掺杂浓度（参见图 4）。如果在用于形成背栅的离子注入中，按照与 SOI 晶片的主表面倾斜的方向注入离子，使得在所述假栅下方的所述半导体衬底中的掺杂浓度大于所述半导体衬底中的其他部分的掺杂浓度（未示出）。

在离子注入步骤中注入的掺杂剂类型取决于 MOSFET 的类型以及阈值电压的目标值。如果希望降低器件的阈值电压，对于 P 型 MOSFET，可以采用 P 型掺杂剂，例如硼（B 或  $\text{BF}_2$ ）、铟（In）或其组合；对于 N 型 MOSFET，可以则采用 N 型掺杂剂，例如砷（As）、磷（P）或其组合。如果希望提高器件的阈值电压，则对于 P 型 MOSFET，可以采用 N 型掺杂剂，例如砷（As）、磷（P）或其组合；对于 N 型 MOSFET，可以采用 P 型掺杂剂，例如硼（B 或  $\text{BF}_2$ ）、铟（In）或其组合。

掺杂剂的注入剂量可以根据工艺现状和产品要求来选择，例如可以为  $1 \times 10^{13} \text{cm}^{-2}$  至  $1 \times 10^{15} \text{cm}^{-2}$ 。此时，位于所述沟道区下方以外的所述背栅中的掺杂浓度为  $10^{17} \sim 10^{20} \text{cm}^{-3}$ 。位于所述沟道区下方的所述背栅中的掺杂浓度为  $1 \times 10^{15} \text{cm}^{-3}$  至  $1 \times 10^{18} \text{cm}^{-3}$ 。

在以下的示例中将描述 N 型 MOSFET，并且利用补偿注入区调节沟道区，以提高器件的阈值电压。因此，在用于形成背栅的离子注入采用 P 型掺杂剂，以形成与 N 型的源区和漏区导电类型相反的背栅区。

在图 5 至 9 所示的随后步骤中，将进一步示出按照该示例的背栅 17 的掺杂分布的变化。

如图 5 所示，进行短时间的离子注入退火（即“尖峰”退火），例如激光、电子束或红外辐照等，以修复晶格损伤并激活注入的掺杂剂。离子注入退火使得注入的掺杂剂再一次扩散，形成向假栅 16 下方的横向延伸的掺杂分布。

由于掺杂剂的横向扩散，背栅 17 在沟道下方的掺杂浓度朝着沟道的中心逐渐减小，在沟道的中心达到一个最小值（参见图 5，其中示出了背栅 17 中的掺杂分布曲线）。

然而，过高温度和/或过长时间的离子注入退火是不可取的，因为这可能完全消除上述的不均匀掺杂分布，从而在沟道区下方的各处获得相同的掺杂浓度。

然后，可以进行标准的 CMOS 工艺，在假栅 16 两侧形成侧墙 18，并采用 N 型掺杂剂进行源/漏注入（参见图 6），在半导体层 13 中形成该 N 型 MOSFET 的 N 型源区和漏区（未示出）。在源/漏注入中，假栅 16 和侧墙 18 一起作为硬掩模，并且控制注入的深度，使得注入离子主要分布在半导体层 13 中，从而基本上未改变背栅 17 的掺杂分布（参见图 6 中所示的背栅的掺杂分布曲线）。

然后，仍然以假栅 16 和侧墙 18 一起作为掩模，采用 N 型掺杂剂对背栅 17 进行第一补偿注入（参见图 7）。控制第一补偿注入的深度，使得注入深度与图 4 所示的用于提供背栅 17 的离子注入的深度大致相同。

第一补偿注入采用的 N 型掺杂剂的导电类型与图 4 所示的用于形成背栅的离子注入采用的 P 型掺杂剂的导电类型相反，从而在背栅 17 的位于沟道区两侧的一部分区域中减小了 P 型掺杂剂的有效掺杂浓度（参见图 7 中所示的背栅的掺杂分布曲线）。在第一补偿注入中，掺杂剂的注入剂量例如约为  $1 \times 10^{17}$ – $1 \times 10^{19}$  每立方厘米。

由于在图 6 所示的源/漏注入和图 7 所示的第一补偿注入中采用相同的硬掩模（即假栅 16 和侧墙 18），因此，背栅 17 的 P 型掺杂剂的有效掺杂浓度减小的区域位于源区和漏区下方。在本申请中，将背栅 17 中由于第一补偿注入而导致的 P 型掺杂剂的有效掺杂浓度减小的区域称为第一补偿注入区。

由于在第一补偿注入区中 P 型掺杂剂的有效掺杂浓度减小，因此在背栅 17 中形成的耗尽层的厚度将增大，这使得源区和漏区和背栅 17 之间的寄生电容减小，进而可以提高 MOSFET 的工作频率。

然后，通过包含曝光和显影的光刻工艺，在半导体层结构上形成含有图案的光抗蚀剂掩模 19。该光抗蚀剂掩模 19 暴露出沿着远离沟道区的方向位于源区和漏区外侧的用于形成背栅接触开口的区域。在该示例中，用于形成背栅接触开口的区域位于浅沟槽隔离 14 中。

采用光抗蚀剂掩模 19，采用 P 型掺杂剂对背栅 17 进行第二补偿注入（参见图 8）。控制第二补偿注入的深度，使得注入深度与图 4 所示的用于提供背栅 17 的离子注入的深度大致相同。

第二补偿注入采用的 P 型掺杂剂的导电类型与图 4 所示的用于形成背栅的离子注入采用的 P 型掺杂剂的导电类型相同，从而在背栅 17 的位于浅沟槽隔离 14 下方的一

部分区域中增加了 P 型掺杂剂的有效掺杂浓度（参见图 8 中所示的背栅的掺杂分布曲线）。在本申请中，将背栅 17 中由于第二补偿注入而导致的 P 型掺杂剂的有效掺杂浓度增加的区域称为第二补偿注入区。

第二补偿注入区占据了第一补偿注入区的沿着远离沟道区的方向位于源区和漏区外侧的一部分，而且实际上第二补偿注入区和第一补偿注入区之间形成了连续变化的掺杂分布，而没有形成明显的界面。

由于在第二补偿注入区中 P 型掺杂剂的有效掺杂浓度增加，因此在形成背栅接触时可以减小背栅的接触电阻，进而可以在 MOSFET 工作时使得施加的偏压主要作用在沟道区上，从而有利地抑制了短沟道效应。

然后，通过在溶剂中溶解或灰化去除光抗蚀剂掩模 19。在半导体结构上形成层间介质层 20，并通过化学机械平面化（CMP）去除一部分层间介质层 20。该平面化处理停止在假栅 16 的顶部并获得了半导体结构的平整表面。

然后，以层间介质层 20 和栅介质层 15 作为掩模，采用湿法蚀刻或干法蚀刻，选择性地去除假栅 16，并暴露出位于假栅 16 下方的栅介质层 15，从而形成栅极开口。在后续的离子注入过程中，栅介质层 15 将作为离子注入的保护层，可以减少离子注入操作对半导体衬底 11 表面的损伤。在替代的实施例中，也可以一并去除栅介质层 15，以暴露下方的半导体衬底 11。

接着，在半导体结构的整个表面上形成辅助掩模层，所述辅助掩模层可为非晶硅层，非晶硅层的厚度  $d$  可为 5nm-15nm，形成温度可为 300°C-400°C。对于长栅长（相对而言；栅长  $L > 2d$ ）的器件，该非晶硅层覆盖栅极开口的侧壁和底部。接着，可以在不采用其他掩模的情况下，对非晶硅层进行各向异性蚀刻（例如 RIE），即，不仅可以去除非晶硅层位于栅极开口外部的部分，也可以去除非晶硅层位于栅极开口的底部上的部分。非晶硅层位于栅极开口内壁上的剩余部分形成了侧墙 21，该侧墙 21 减小了栅极开口的宽度，减小后的栅极开口的宽度  $l$  大致满足  $l = L - 2d$  的关系。

接着，以宽度减小的栅极开口作为窗口，执行第三离子注入（参见图 9），在半导体衬底 11 中形成第三补偿注入区（reverse implanted region）。通过控制离子注入的功率和剂量，可以使得第三次补偿注入的深度与图 4 所示的用于提供背栅 17 的离子注入的深度大致相同，并且第三补偿注入采用的掺杂剂的掺杂类型与图 4 所示的背栅注入步骤中采用的掺杂剂的掺杂类型相反。本实施例中，所述第三补偿注入的注入剂量为  $1 \times 10^{13} \text{cm}^{-2}$  至  $1 \times 10^{18} \text{cm}^{-2}$ 。在形成第三补偿注入区后，第三补偿注入与图 4 所示

的用于形成背栅的离子注入操作提供的相反掺杂类型的掺杂剂相互影响,使得先前形成的位于沟道区下方的背栅中的有效掺杂浓度显著减小(以减小阈值电压为目的时),换言之,在所述第三补偿注入区所占据的区域内,对于N型器件,此区域仍表现为P型掺杂;对于P型器件,此区域仍表现为N型掺杂,只是此区域内的掺杂浓度低于沟道区下方的背栅中的掺杂浓度;甚至,出于器件设计的需要(如为增加阈值电压),在所述第三补偿注入区所占据的区域可以形成反型状态,如,在此区域内,对于N型器件,此区域表现为N型掺杂;对于P型器件,此区域表现为P型掺杂。由此,利用所述补偿注入区调节沟道区下方的背栅中的掺杂情况,利于灵活调节器件的阈值电压。在本实施例中,第三补偿注入区的有效掺杂类型为N型,这与背栅的掺杂类型P型相反。

此外,对于短栅长(相对而言;栅长 $L < 2d$ )的器件,若在形成背栅后,再形成所述辅助掩模层以覆盖所述栅极开口的侧壁和底壁后,由于所述辅助掩模层的厚度为 $d$ ,所述辅助掩模层将填满所述栅极开口,进而,无法通过去除覆盖所述栅极开口的底壁的所述辅助掩模层以形成宽度减小的栅极开口,进而既可能因为所述辅助掩模层的阻挡而无法沟道区下方的背栅中的掺杂浓度获得补偿;也可能是仍可以在沟道区下方的背栅中形成补偿注入区,而只是所述补偿注入区的掺杂浓度小于所述第三补偿注入区的掺杂浓度。有利于保持器件的阈值电压不被降至不期望的低值。

此外,在替代的实施例中,所述补偿注入区的深度也可深于所述背栅,利于使为形成所述补偿注入区而引入的注入离子尽量少地残留在沟道区中,利于减少器件性能恶化的可能性。

应当注意,位于背栅17中的第一至第三补偿注入区之间没有明显的界面,在图9的背栅的掺杂分布曲线上示意性地表示出第一至第三补偿注入区的位置。第一补偿注入区17a位于源区和漏区下方,并且具有减小的P型掺杂剂的有效掺杂浓度;第二补偿注入区17b沿着远离沟道区的方向延伸并且与第一补偿注入区17a邻接,第二补偿注入区17b具有增加的P型掺杂剂的有效掺杂浓度;第三补偿注入区17c位于沟道区的下方并且与第一补偿注入区17a邻接,并且具有N型的有效掺杂浓度。

接着,进行短时间的退火,例如激光、电子束或红外辐照等,以修复晶格损伤并激活第一至第三补偿注入区的掺杂剂。离子注入退火使得注入的掺杂剂再一次扩散。然而,由于第三补偿注入区的掺杂剂导电类型相反,第三补偿注入区在背栅中的界面处掺杂剂的浓度急剧变化,形成陡变的掺杂分布曲线(参见图9中所示的背栅的掺杂

分布曲线)。

在第三补偿注入区上方的半导体层 13 中提供了短沟道(未示出)。与常规的长沟道相比,该短沟道在离子注入期间接收的掺杂剂的剂量减少。

在对背栅 17 施加偏置电压时,背栅区 17 中的第三补偿注入区将提供与背栅 17 中的其他位置不同的偏置电场,进一步控制 MOSFET 的电学特性,以补偿 MOSFET 中的短沟道效应。

然后,可以采用湿法蚀刻,选择性地去除侧墙 21。接着,在半导体结构的整个表面上沉积替代栅材料(例如,可以是上述用于形成假栅 16 的金属材料),替代栅材料的厚度应当足以填充栅极开口。

接着,对替代栅材料进行 CMP,以获得平整的结构表面(本文件内,术语“平整”、“平坦”或“平齐”等意指平面内任意两点间的高度差在工艺误差允许的范围内)。在该 CMP 中,先前形成的层间介质层 20 作为停止层,从而可完全去除替代栅材料位于栅极开口外的部分。替代栅材料在栅极开口内的剩余部分形成替代栅 22,如图 10 所示。

优选地,在上述步骤中,如果需要,可以在去除侧墙 21 之后进一步去除栅介质层 15,并随后在栅极开口底部和内壁上形成新的高 K 介质层(例如  $\text{HfO}_2$ 、 $\text{HfSiO}$ 、 $\text{HfSiON}$ 、 $\text{HfTaO}$ 、 $\text{HfTiO}$ 、 $\text{HfZrO}$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{La}_2\text{O}_3$ 、 $\text{ZrO}_2$ 、 $\text{LaAlO}$  中的一种或其组合)。高 K 电介质层的厚度可以为 1nm-3nm。

进一步优选地,在形成新的高 K 介质层之后,在栅极开口首先形成阈值调节层(例如  $\text{TiN}$ 、 $\text{TaN}$ 、 $\text{TiAlN}$ 、 $\text{TaAlN}$ ),然后填充替代栅材料。

然后,形成穿过层间介质层 20 到达源区和漏区的通孔 23,以及穿过层间介质层 20、浅沟槽隔离 14 和绝缘埋层 12 形成到达背栅 17 的通孔 24,如图 10 所示。

然后,在通孔 23 和 24 中填充金属材料,以形成与源区和漏区电连接的导电通道 25 和与背栅 17 中的第二补偿注入区电连接的导电通道 26,如图 11 所示。

在上文中描述了采用图 1 至 11 所示的步骤形成了根据本发明的 MOSFET。

图 12 示意性地示出了根据本发明的 MOSFET 的透视图。该 MOSFET 包括:SOI 晶片,所述 SOI 晶片包括半导体衬底 11、绝缘埋层 12 和半导体层 13,所述绝缘埋层 12 位于所述半导体衬底 11 上,所述半导体层 13 位于所述绝缘埋层 12 上;栅叠层,所述栅叠层位于半导体层 13 上;源区和漏区,所述源区和漏区位于所述半导体层 13 中且位于所述栅堆叠两侧;沟道区,位于所述半导体层 13 中且夹在所述源区和漏区之间;

其中，所述 MOSFET 还包括位于所述半导体衬底 11 中的背栅 17。

背栅 17 包括第一至第三补偿注入区，第一补偿注入区 17a 位于源区和漏区下方；第二补偿注入区 17b 沿着远离沟道区的方向延伸并且与第一补偿注入区 17a 邻接；第三补偿注入区 17c 位于沟道区的下方并且与第一补偿注入区 17a 邻接。

5 在该实施例中，对于 N 型 MOSFET，为了利用背栅 17 的掺杂分布提高器件的阈值电压，第一补偿注入区 17a 具有减小的 P 型掺杂剂的有效掺杂浓度；第二补偿注入区 17b 具有增加的 P 型掺杂剂的有效掺杂浓度；并且第三补偿注入区 17c 具有 N 型的有效掺杂浓度。

第一补偿注入区 17a 具有减小的有效掺杂浓度，从而可以减小源区和漏区和背栅 10 17 之间的寄生电容。第二补偿注入区 17b 经由导电通道 26 与背栅接触电连接，从而可以减小背栅 17 的接触电阻。第三补偿注入区 17c 向沟道提供偏置电场，从而可以实现对阈值电压的调节。

可选地，所述背栅 17 可邻接于所述绝缘埋层 12；可选地，所述第三补偿注入区 17c 的深度可深于所述背栅 17；可选地，在以隔离区 14 隔离各 MOSFET 时，所述隔离 15 区 14 的深度可深于所述背栅 17；可选地，第一补偿注入区 17a 中的掺杂浓度为  $10^{17} \sim 10^{20} \text{ cm}^{-3}$ ；可选地，第三补偿注入区 17c 的掺杂浓度为  $1 \times 10^{15} \text{ cm}^{-3}$  至  $1 \times 10^{18} \text{ cm}^{-3}$ ；可选地，第三补偿注入区 17c 的掺杂浓度为  $10^{17} \sim 10^{20} \text{ cm}^{-3}$ ；可选地，所述背栅 17 和所述第一至第三补偿注入区中的掺杂元素分别为硼、铟、磷、砷、锑中的一种或其组合。

本发明通过在背栅 17 中形成第一至第三补偿注入区，从而引入了不均匀的掺杂 20 分布。在向背栅施加偏置电压时，背栅 17 向源区和漏区和沟道区施加不均匀分布的偏置电场，以控制 MOSFET 的电学特性，抑制 MOSFET 中的短沟道效应，从而可以减小与背栅相关的寄生电容和接触电阻。而且，根据本发明的 MOSFET 能够增大器件的阈值电压。

以上对于 N 型 MOSFET 描述了利用背栅的掺杂分布提高器件的阈值电压的实施例。 25 然而，对于 N 型 MOSFET，为了减小器件的阈值电压，在第一至第三补偿注入可以使用相反类型的掺杂剂。

并且，针对 P 型 MOSFET 的变型也是明显的。在上述实施例的各种变型中，各部分的结构组成、材料及形成方法等均可与前述形成 MOSFET 的方法实施例中描述的相同，不再赘述。

30 以上描述只是为了示例说明和描述本发明，而非意图穷举和限制本发明。因此，

本发明不局限于所描述的实施例。对于本领域的技术人员明显可知的变型或更改，均在本发明的保护范围之内。

## 权 利 要 求

1、一种 MOSFET，包括：

SOI 晶片，所述 SOI 晶片包括半导体衬底、绝缘埋层和半导体层，所述绝缘埋层  
5 位于所述半导体衬底上，所述半导体层位于所述绝缘埋层上；

栅叠层，所述栅叠层位于半导体层上；

源区和漏区，所述源区和漏区位于所述半导体层中且位于所述栅堆叠两侧；

沟道区，位于所述半导体层中且夹在所述源区和漏区之间；

其中，所述 MOSFET 还包括位于所述半导体衬底中的背栅，并且

10 其中，所述背栅包括第一至第三补偿注入区，第一补偿注入区位于源区和漏区下方；第二补偿注入区沿着远离沟道区的方向延伸并且与第一补偿注入区邻接；第三补偿注入区位于沟道区的下方并且与第一补偿注入区邻接。

2、根据权利要求 1 所述的 MOSFET，其中所述第一补偿注入区和第二补偿注入区的掺杂类型为第一导电类型，所述第三补偿注入区的掺杂类型为第二导电类型，所述  
15 第一导电类型与所述第二导电类型相反。

3、根据权利要求 1 所述的 MOSFET，其中所述第一补偿注入区和第二补偿注入区的掺杂类型为第一导电类型，所述第三补偿注入区的掺杂类型为第一导电类型且掺杂浓度小于所述第一补偿注入区和第二补偿注入区。

4、根据权利要求 1 至 3 中任一项所述的 MOSFET，其中所述第一导电类型与 MOSFET  
20 的导电类型相反。

5、根据权利要求 1 至 3 中任一项所述的 MOSFET，其中所述第一导电类型与 MOSFET 的导电类型相同。

6、根据权利要求 1 至 3 中任一项所述的 MOSFET，其中所述背栅邻接于所述绝缘埋层。

25 7、根据权利要求 1 至 3 中任一项所述的 MOSFET，其中所述补偿注入区的深度深于所述背栅。

8、根据权利要求 1 至 3 中任一项所述的 MOSFET，其中在以隔离区隔离各 MOSFET 时，所述隔离区的深度深于所述背栅。

9、一种制造 MOSFET 的方法，包括

30 提供 SOI 晶片，所述 SOI 晶片包括半导体衬底、绝缘埋层和半导体层，所述绝缘

埋层位于所述半导体衬底上，所述半导体层位于所述绝缘埋层上；

在所述半导体层上形成假栅；

利用第一导电类型的掺杂剂执行用于提供背栅的离子注入，所述背栅位于所述半导体衬底中；

5 执行用于提供源区和漏区的离子注入，所述源区和漏区位于所述半导体层中；

利用第二导电类型的掺杂剂执行第一补偿注入，在背栅中形成第一补偿注入区，第一补偿注入区位于源区和漏区下方，所述第一导电类型与所述第二导电类型相反；

利用第一导电类型的掺杂剂执行第二补偿注入，在背栅中形成第二补偿注入区，第二补偿注入区沿着远离沟道区的方向延伸并且与第一补偿注入区邻接；

10 去除所述假栅以形成栅极开口；

经所述栅极开口，利用第二导电类型的掺杂剂执行第三补偿注入，在背栅中形成第三补偿注入区，第三补偿注入区位于沟道区的下方并且与第一补偿注入区邻接；

在所述栅极开口中形成栅叠层。

10、根据权利要求 9 所述的方法，其中所述第一导电类型与 MOSFET 的导电类型相反，所述第二导电类型与 MOSFET 的导电类型相同。

11、根据权利要求 9 所述的方法，其中所述第一导电类型与 MOSFET 的导电类型相同，所述第二导电类型与 MOSFET 的导电类型相反。

12、根据权利要求 9 至 11 中任一项所述的方法，其中，在所述用于提供背栅的离子注入中，按照与 SOI 晶片的主表面垂直的方向注入离子，使得在所述假栅下方的  
20 所述半导体衬底中的掺杂浓度小于所述半导体衬底中的其他部分的掺杂浓度。

13、根据权利要求 9 至 11 中任一项所述的方法，其中，通过在所述栅极开口的内壁上形成侧墙以减小所述栅极开口的宽度，经宽度减小的所述栅极开口执行所述第三补偿注入。

14、根据权利要求 9 至 11 中任一项所述的方法，其中，还包括形成隔离区的步骤，所述隔离区的深度深于所述背栅。

15、根据权利要求 9 至 11 中任一项所述的方法，其中，在所述用于提供背栅的离子注入、所述用于提供源区和漏区的离子注入、所述第一补偿注入、所述第二补偿注入、所述第三补偿注入中使用的掺杂剂分别为硼、铟、磷、砷、锑中的一种或其组合。

1/6

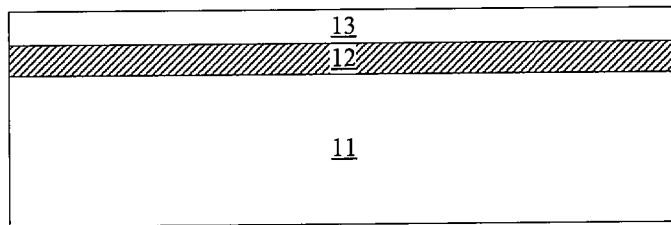


图1

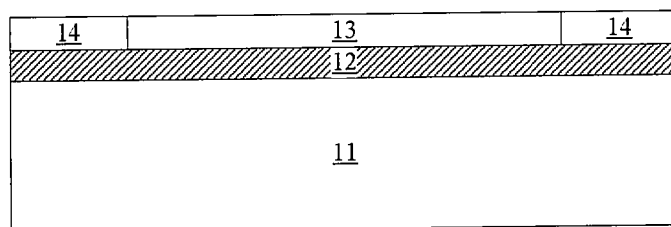


图2

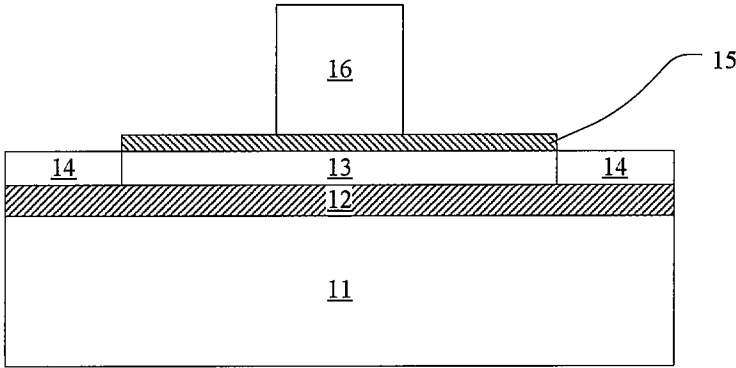


图3

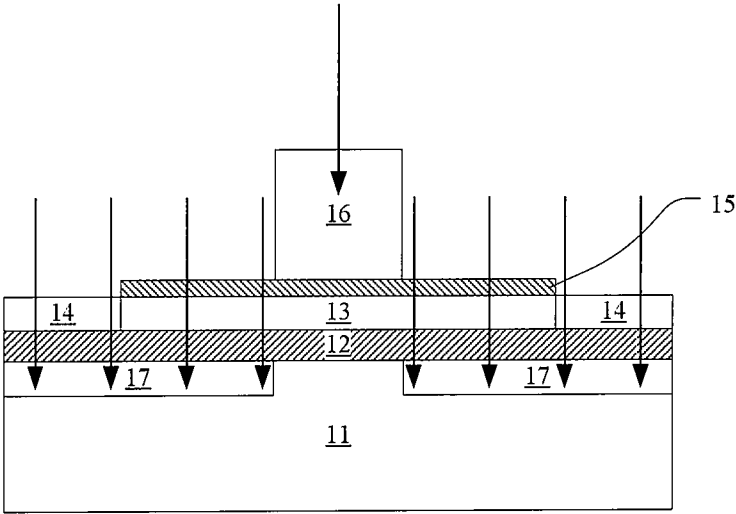


图4

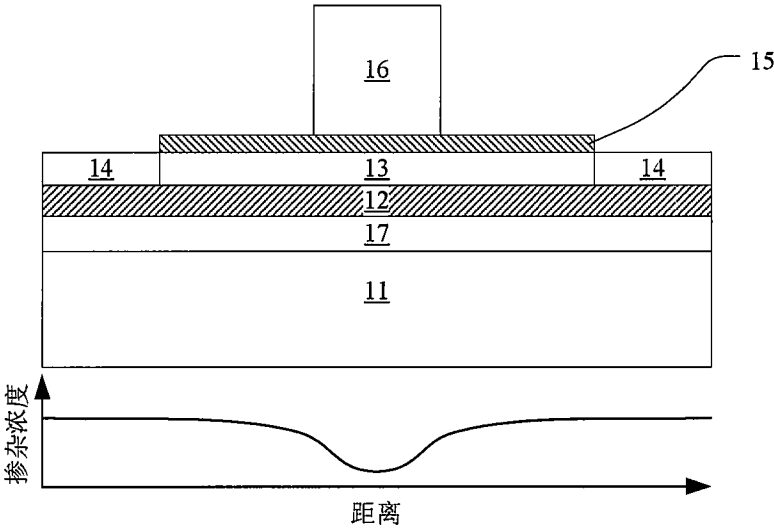


图5

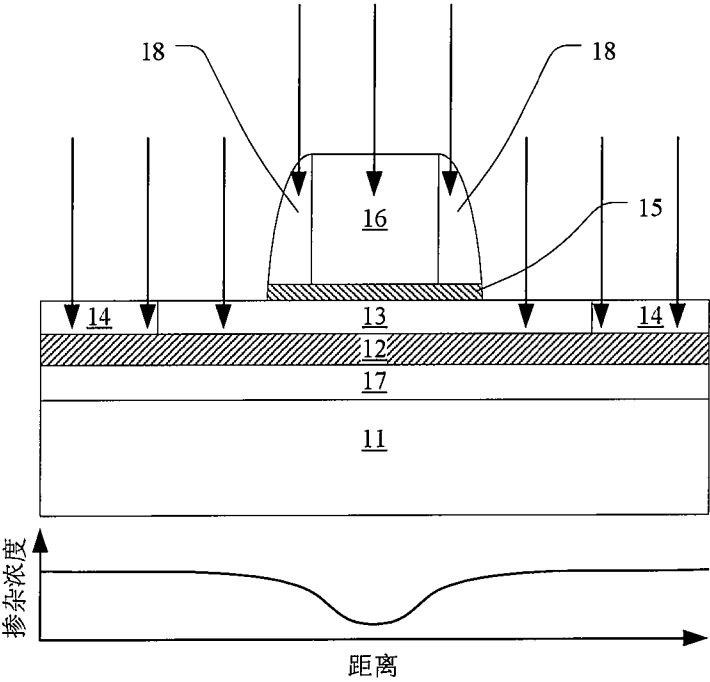


图6

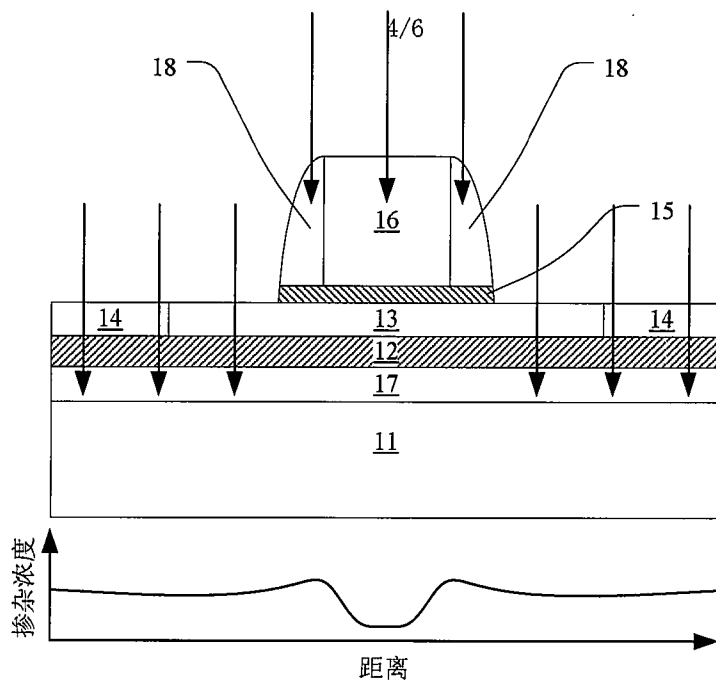


图7

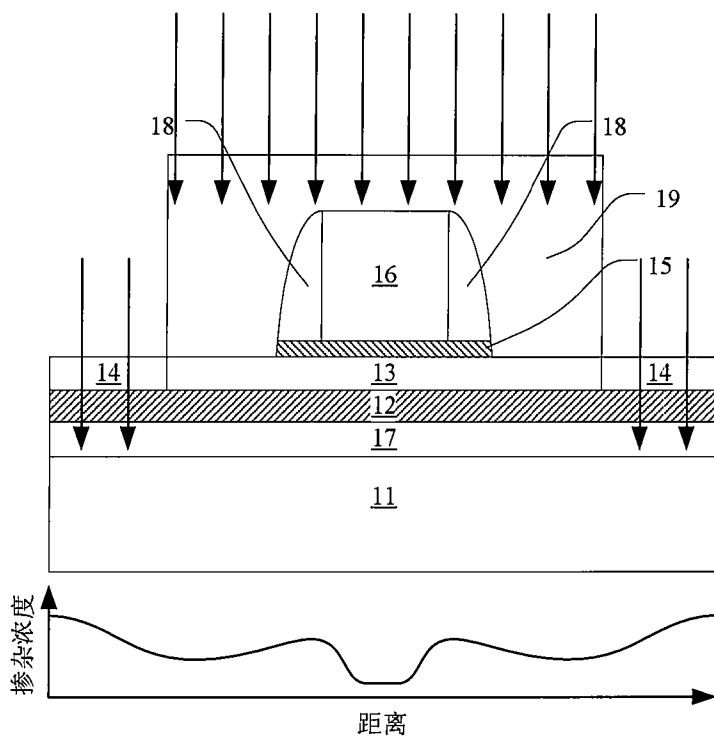


图8

5/6

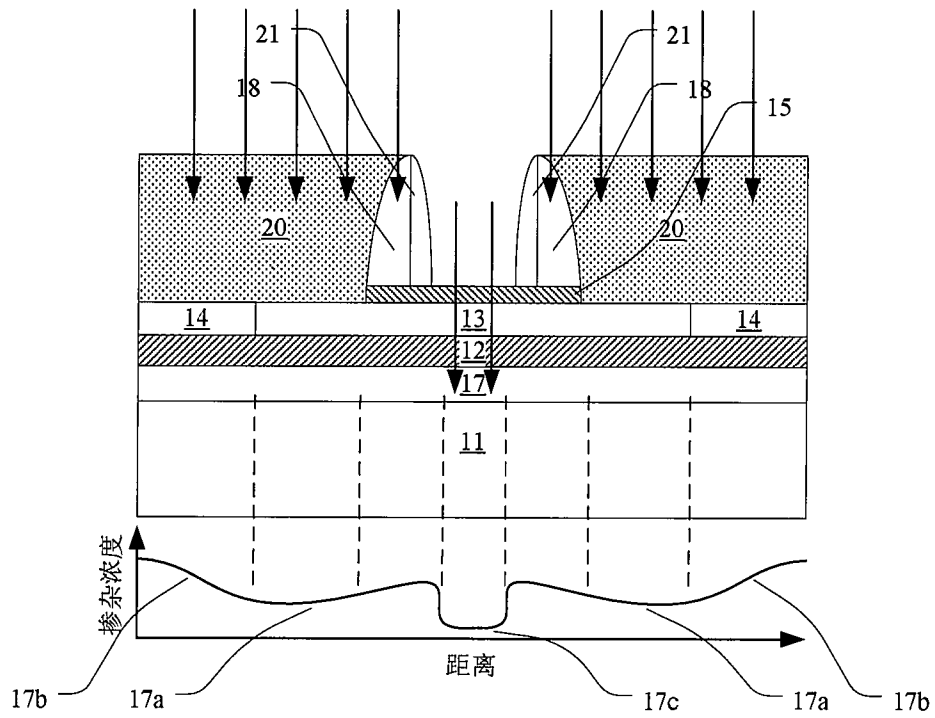


图9

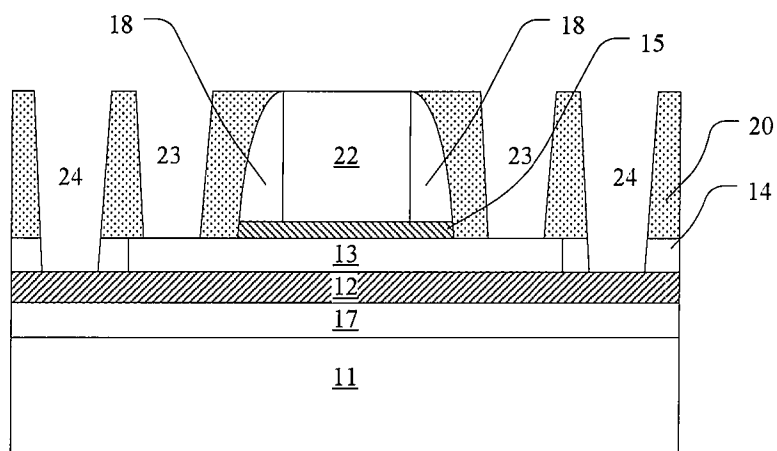


图10

6/6

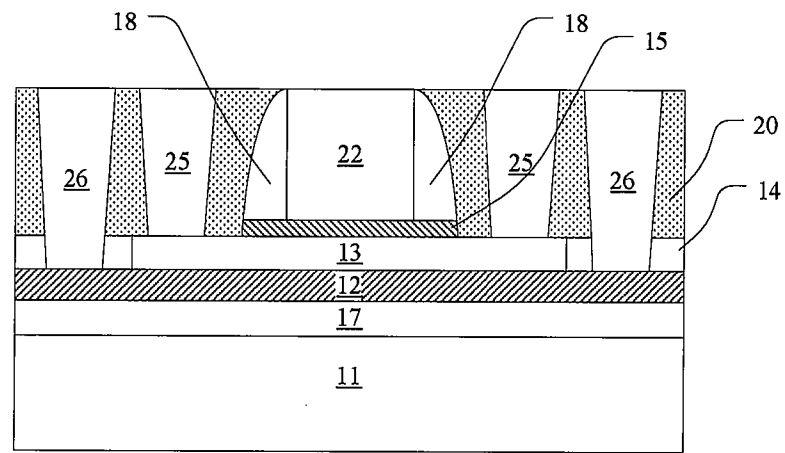


图11

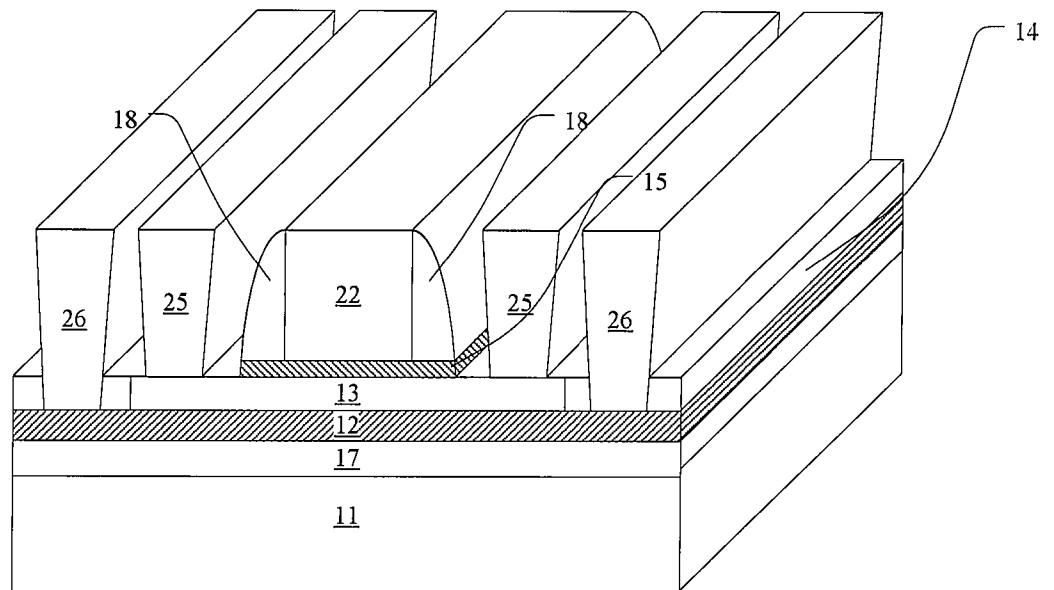


图12

**INTERNATIONAL SEARCH REPORT**

International application No.

**PCT/CN2011/077856****A. CLASSIFICATION OF SUBJECT MATTER**

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNKI, WPI, EPODOC: SOI, back gate

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages       | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------|-----------------------|
| A         | CN1841684A (SANYO ELECTRIC CO LTD) 04 Oct. 2006(04.10.2006), the whole document          | 1-15                  |
| A         | EP0905761A2 (TEXAS INSTRUMENTS INC) 31 Mar. 1999(31.03.1999), the whole document         | 1-15                  |
| A         | JP2000323716A (SONY CORP) 24 Nov. 2000(24.11.2000), the whole document                   | 1-15                  |
| A         | CN101807599A (SANYO ELECTRIC CO LTD et al.) 18 Aug. 2010(18.08.2010), the whole document | 1-15                  |
| A         | US6383904B1 (YU) 07 May 2002(07.05.2002), the whole document                             | 1-15                  |

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

|                                                                                                                                                                         |                                                                                                                                                                                                                                                  |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| * Special categories of cited documents:                                                                                                                                | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention                                              |
| "A" document defining the general state of the art which is not considered to be of particular relevance                                                                | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone                                                                     |
| "E" earlier application or patent but published on or after the international filing date                                                                               | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family                                                                                                                                                                                                    |
| "O" document referring to an oral disclosure, use, exhibition or other means                                                                                            |                                                                                                                                                                                                                                                  |
| "P" document published prior to the international filing date but later than the priority date claimed                                                                  |                                                                                                                                                                                                                                                  |

|                                                                                                                                                                                                              |                                                                                 |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------|
| Date of the actual completion of the international search<br>13 Mar. 2012 (13.03.2012)                                                                                                                       | Date of mailing of the international search report<br>22 Mar. 2012 (22.03.2012) |
| Name and mailing address of the ISA<br>State Intellectual Property Office of the P. R. China<br>No. 6, Xitucheng Road, Jimenqiao<br>Haidian District, Beijing 100088, China<br>Facsimile No. (86-10)62019451 | Authorized officer<br><br>ZHONG, Yi<br>Telephone No. (86-10) 62411594           |

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

**PCT/CN2011/077856**

| Patent Documents referred<br>in the Report | Publication Date | Patent Family  | Publication Date |
|--------------------------------------------|------------------|----------------|------------------|
| CN1841684A                                 | 04.10.2006       | US2006223259A1 | 05.10.2006       |
|                                            |                  | JP2006278932A  | 12.10.2006       |
|                                            |                  | KR20060106693A | 12.10.2006       |
|                                            |                  | KR100751642B1  | 22.08.2007       |
|                                            |                  | TW296135B1     | 21.04.2008       |
|                                            |                  | TW200636868A   | 16.10.2006       |
|                                            |                  | US7629214B2    | 08.12.2009       |
| EP0905761A2                                | 31.03.1999       | JP11145475A    | 28.05.1999       |
|                                            |                  | EP0905761A3    | 26.01.2005       |
| JP2000323716A                              | 24.11.2000       | none           |                  |
| CN101807599A                               | 18.08.2010       | US2010207197A1 | 19.08.2010       |
|                                            |                  | JP2010192693A  | 02.09.2010       |
| US6383904B1                                | 07.05.2002       | none           |                  |

# INTERNATIONAL SEARCH REPORT

International application No.

**PCT/CN2011/077856**

**In continuous of A. CLASSIFICATION OF SUBJECT MATTER of second sheet**

H01L 29/78 (2006.01) i  
H01L 21/336 (2006.01) i  
H01L 27/12 (2006.01) i  
H01L 21/84 (2006.01) i

# 国际检索报告

国际申请号

**PCT/CN2011/077856**

## A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

## B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNKI, WPI, EPODOC: SOI, 背栅 注入 back gate

## C. 相关文件

| 类 型* | 引用文件, 必要时, 指明相关段落                                         | 相关的权利要求 |
|------|-----------------------------------------------------------|---------|
| A    | CN1841684A (三洋电机株式会社) 04.10 月 2006 (04.10.2006)<br>全文     | 1-15    |
| A    | EP0905761A2 (德克萨斯仪器股份有限公司) 31.3 月 1999 (31.03.1999)<br>全文 | 1-15    |
| A    | JP2000323716A (索尼株式会社) 24.11 月 2000 (24.11.2000)<br>全文    | 1-15    |
| A    | CN101807599A (三洋电机株式会社等) 18.8 月 2010 (18.08.2010)<br>全文   | 1-15    |
| A    | US6383904B1 (Yu) 07.5 月 2002 (07.05.2002)<br>全文           | 1-15    |

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

\* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期  
13.3 月 2012 (13.03.2012)

国际检索报告邮寄日期  
**22.3 月 2012 (22.03.2012)**

ISA/CN 的名称和邮寄地址:  
中华人民共和国国家知识产权局  
中国北京市海淀区蓟门桥西土城路 6 号 100088  
传真号: (86-10)62019451

受权官员  
  
钟翊  
电话号码: (86-10) **62411594**

# 国际检索报告

关于同族专利的信息

国际申请号

**PCT/CN2011/077856**

| 检索报告中引用的<br>专利文件 | 公布日期       | 同族专利           | 公布日期       |
|------------------|------------|----------------|------------|
| CN1841684A       | 04.10.2006 | US2006223259A1 | 05.10.2006 |
|                  |            | JP2006278932A  | 12.10.2006 |
|                  |            | KR20060106693A | 12.10.2006 |
|                  |            | KR100751642B1  | 22.08.2007 |
|                  |            | TW296135B1     | 21.04.2008 |
|                  |            | TW200636868A   | 16.10.2006 |
|                  |            | US7629214B2    | 08.12.2009 |
| EP0905761A2      | 31.03.1999 | JP11145475A    | 28.05.1999 |
|                  |            | EP0905761A3    | 26.01.2005 |
| JP2000323716A    | 24.11.2000 | 无              |            |
| CN101807599A     | 18.08.2010 | US2010207197A1 | 19.08.2010 |
|                  |            | JP2010192693A  | 02.09.2010 |
| US6383904B1      | 07.05.2002 | 无              |            |

**A. 主题的分类**

H01L29/78 (2006.01) i

H01L21/336 (2006.01) i

H01L27/12 (2006.01) i

H01L21/84 (2006.01) i