

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4031462号
(P4031462)

(45) 発行日 平成20年1月9日(2008.1.9)

(24) 登録日 平成19年10月26日(2007.10.26)

(51) Int. Cl.

H04N 5/14 (2006.01)

F I

H04N 5/14

Z

請求項の数 12 (全 31 頁)

(21) 出願番号	特願2004-127701 (P2004-127701)	(73) 特許権者	000005821
(22) 出願日	平成16年4月23日(2004.4.23)		松下電器産業株式会社
(65) 公開番号	特開2005-311819 (P2005-311819A)		大阪府門真市大字門真1006番地
(43) 公開日	平成17年11月4日(2005.11.4)	(74) 代理人	100086737
審査請求日	平成19年4月4日(2007.4.4)		弁理士 岡田 和秀
		(72) 発明者	國谷 久雄
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	谷川 悟
			大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	小泉 隆
			大阪府門真市大字門真1006番地 松下電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 輝度信号処理装置、信号処理装置および輝度信号処理方法

(57) 【特許請求の範囲】

【請求項1】

入力映像信号の水平同期信号と垂直同期信号とにおける立ち上がりエッジまたは立ち下りエッジを検出して微分演算することで、前記水平同期信号に同期した水平微分信号と、前記垂直同期信号に同期した垂直微分信号とを出力する微分演算回路と、

前記水平微分信号でリセットをかけることで、1水平期間における画素数をカウントする第1のカウント回路と、

前記水平微分信号と前記第1のカウント回路の出力信号との論理積処理を行う第1の論理積回路と、

前記第1の論理積回路の出力信号をクロック単位で遅延させる第1の遅延回路と、

前記第1の遅延回路の出力信号から、1水平期間において間引く画素数を調整しながら間引く水平方向間引き調整回路と、

サンプルウィンドウ期間の水平期間の開始位置を設定する水平期間始点信号と、終了位置を設定する水平期間終点信号との供給を受けて、前記水平方向間引き調整回路の出力結果と前記水平期間始点信号とが一致する点をセットとし、前記水平方向間引き調整回路の出力結果と前記水平期間終点信号とが一致する点をリセットとする水平期間における第1のサンプリング有効期間を設定する第1のセットリセット回路と、

前記第1のサンプリング有効期間と前記水平方向間引き調整回路の出力結果との一致箇所を検出する第2の論理積回路と、

前記第2の論理積回路の出力信号をN画素分(Nは1以上の自然数)遅延させる第2の

10

20

遅延回路と、

前記水平微分信号から、水平周期単位で反転を繰り返すサンプリング画素位置切替信号を生成する第1のサンプリング画素位置切替信号生成回路と、

前記サンプリング画素位置切替信号に基づいて、前記第2の論理積回路の出力信号と前記第2の遅延回路の出力信号とのなかからひとつを選択して、サンプルウィンドウ信号として出力する第1の選択回路と、を備える

サンプルウィンドウ回路と、

前記サンプルウィンドウ回路が有効である場合において、サンプリングされた輝度信号を選択的に出力する輝度信号出力回路と、

を備える輝度信号処理装置。

10

【請求項2】

入力映像信号の水平同期信号と垂直同期信号における立ち上がりエッジまたは立ち下がりエッジを検出して微分演算することで、前記水平同期信号に同期した水平微分信号と前記垂直同期信号に同期した垂直微分信号とを出力する微分演算回路と、

前記水平微分信号でリセットをかけることで、1水平期間における画素数をカウントする第1のカウント回路と、

前記水平微分信号と前記第1のカウント回路の出力信号との論理積処理を行う第1の論理積回路と、

前記第1の論理積回路の出力信号をクロック単位で遅延させる第1の遅延回路と、

前記第1の遅延回路の出力信号から、1水平期間において間引く画素数を調整しながら間引く水平方向間引き調整回路と、

20

サンプルウィンドウ期間の水平期間の開始位置を設定する水平期間始点信号と、終了位置を設定する水平期間終点信号との供給を受けて、前記水平方向間引き調整回路の出力結果と前記水平期間始点信号とが一致する点をセットとし、前記水平方向間引き調整回路の出力結果と前記水平期間終点信号とが一致する点をリセットとする水平期間における第1のサンプリング有効期間を設定する第1のセトリセット回路と、

前記第1のサンプリング有効期間と前記水平方向間引き調整回路の出力結果との一致箇所を検出する第2の論理積回路と、

前記第2の論理積回路の出力信号をN画素分（Nは1以上の自然数）遅延させる第2の遅延回路と、

30

前記水平微分信号から、水平周期単位で反転を繰り返すサンプリング画素位置切替信号を生成する第1のサンプリング画素位置切替信号生成回路と、

前記サンプリング画素位置切替信号に基づいて、前記第2の論理積回路の出力信号と前記第2の遅延回路の出力信号とのなかからひとつを選択して、サンプルウィンドウ信号として出力する第1の選択回路と、

を備える信号処理装置。

【請求項3】

請求項2の信号処理装置において

前記第1のサンプリング画素位置切替信号生成回路は、

前記水平微分信号がクロックとして供給される遅延回路と、

40

前記遅延回路の出力をカウントアップする加算回路と、

を備える信号処理装置。

【請求項4】

請求項2の信号処理装置において、さらに、

1垂直期間における全ライン数をカウントする第2のカウント回路と、

前記垂直微分信号と前記第2のカウント回路の出力信号との論理積処理を行う第3の論理積回路と、

前記水平微分信号で前記第3の論理積回路の出力信号をロードホールドするロードホールド回路と、

前記ロードホールド回路の出力信号に基づいて、1垂直期間における全ラインから、間

50

引きライン数を調整しながら間引く垂直方向間引き調整回路と、

前記垂直方向間引き調整回路の出力信号をビットシフトした信号と前記垂直期間始点信号とを比較する第3の比較回路と、

前記垂直方向間引き調整回路の出力信号をビットシフトした信号と前記垂直期間終点信号とを比較する第4の比較回路と、

前記第3の比較回路による比較結果と前記第4の比較回路による比較結果とに基づいて第2のサンプリング有効期間信号を生成する第2のセットリセット回路と、

前記第2のサンプリング有効期間信号と前記垂直方向間引き調整回路の出力信号との論理積処理を行う第4の論理積回路と、

前記第4の論理積回路の出力信号から、所定の間引きライン数ごとに反転を繰り返すサンプリング画素位置切替信号を生成するサンプリング画素位置切替信号生成回路と、 10

前記第1の選択回路の出力信号と前記第4の論理積回路の出力信号との論理積処理を行ってサンプルウィンドウ信号を生成する第5の論理積回路と、

を備える信号処理装置。

【請求項5】

請求項4に記載の信号処理装置において、さらに、

前記サンプリング画素位置切替信号を反転させて反転サンプリング画素位置切替信号を生成する反転回路と、

前記垂直微分信号から垂直周期で反転を繰り返すフィールド切替信号を生成するフィールド切替信号生成回路と、 20

前記フィールド切替信号に基づいて前記サンプリング画素位置切替信号と前記反転サンプリング画素位置切替信号とのなかからひとつを選択する第2の選択回路とを備え、

前記第1の選択回路は、前記サンプリング画素位置切替信号生成回路によるサンプリング画素位置切替信号に代えて前記第2の選択回路からのサンプリング画素位置切替信号によって制御される、

信号処理装置。

【請求項6】

請求項5に記載の信号処理装置において、前記フィールド切替信号生成回路は、

前記垂直微分信号がクロックとして供給される遅延回路と、 30

前記遅延回路の出力をカウントアップする加算回路と、

を備える信号処理装置。

【請求項7】

請求項4の信号処理装置において、

前記水平方向間引き調整回路に代えて、互いに間引き画素間隔を異にする複数の水平方向間引き調整回路が設けられ、

前記第2の遅延回路の出力信号および前記第1の選択回路の出力信号に代えて、前記複数の水平方向間引き調整回路の出力信号から、前記サンプリング画素位置切替信号に基づいてひとつの出力信号を選択して前記第2の論理積回路に出力する選択回路を備える、

信号処理装置。 40

【請求項8】

請求項4に記載の信号処理装置において、

前記サンプリング画素位置切替信号生成回路は、前記第4の論理積回路の出力信号から、サンプリング画素位置切替信号を生成することに代えて、前記垂直微分信号から、1垂直期間ごとに前記第1の選択回路の制御を行うフィールド切替信号を生成する、

信号処理装置。

【請求項9】

請求項4に記載の信号処理装置において、

前記垂直方向間引き調整回路に代えて、互いに間引きライン間隔を異にする複数の垂直方向間引き調整回路が設けられ、 50

前記第 2 の遅延回路、前記第 1 の選択回路および前記サンプリング画素位置切替信号生成回路に代えて、

前記垂直微分信号から、垂直周期で反転を繰り返すフィールド切替信号を生成するフィールド切替信号生成回路と、

前記複数の垂直方向間引き調整回路の出力信号から、前記フィールド切替信号に基づいてひとつの出力信号を選択して前記第 4 の論理積回路に出力する選択回路と、

を備える信号処理装置。

【請求項 10】

請求項 5 に記載の信号処理装置において、

前記サンプリング画素位置切替信号生成回路は、前記第 4 の論理積回路の出力信号に代えて、前記垂直方向間引き調整回路の出力信号に基づいて前記サンプリング画素位置切替信号を生成し、

さらに、

前記水平方向間引き調整回路の出力信号をリセット信号にしてサンプリングライン位置が変更されるサンプリングライン位置切替信号を生成するサンプリングライン位置切替信号生成回路と、

前記サンプリングライン位置切替信号を反転させる反転回路と、

前記垂直微分信号をリセット信号にしてサンプリングライン位置が切り替わるフィールド切替信号を生成するフィールド切替信号生成回路と、

前記フィールド切替信号に基づいて、前記サンプリングライン切替信号と、前記反転回路の出力とのうちのひとつを選択する第 3 の選択回路と、

前記垂直方向間引き調整回路の出力信号を遅延させて垂直方向におけるラインごとのサンプリング画素位置を切り替えるラインメモリと、

前記第 3 の選択回路の出力信号に基づいて、前記垂直方向間引き調整回路の出力信号と前記ラインメモリ回路の出力信号とのうちのひとつを選択する第 4 の選択回路と、

を備える信号処理装置。

【請求項 11】

請求項 5 に記載の信号処理装置において、

前記フィールド切替信号生成回路は、前記垂直微分信号をリセット信号にして複数フィールド単位で前記第 2 の選択回路を切り替えるフィールド切替信号を生成し、このフィールド切替信号に基づいて複数フィールドごとにサンプリングライン位置を切り替える、
信号処理装置。

【請求項 12】

入力映像信号の水平同期信号と垂直同期信号における立ち上がりエッジまたは立ち下がりエッジを検出して微分演算することで前記水平同期信号に同期した水平微分信号及び前記垂直同期信号に同期した垂直微分信号を出力する微分演算ステップと、

前記水平微分信号でリセットをかけることで、1 水平期間における画素数をカウントする第 1 のカウントステップと、

前記水平微分信号と前記第 1 のカウントステップの出力信号との論理積処理を行う第 1 の論理積ステップと、

前記第 1 の論理積ステップの出力信号をクロック単位で遅延させる第 1 の遅延ステップと、

前記第 1 の遅延ステップの出力信号から、1 水平期間において間引く画素数を調整しながら間引く水平方向間引き調整ステップと、

サンプルウィンドウ期間の水平期間の開始位置を設定する水平期間始点信号と、終了位置を設定する水平期間終点信号との供給を受けて、前記水平方向間引き調整ステップの出力結果と前記水平期間始点信号とが一致する点をセットとし、前記水平方向間引き調整ステップの出力結果と前記水平期間終点信号とが一致する点をリセットとする水平期間における第 1 のサンプリング有効期間を設定する第 1 のセトリセットステップと、

前記第 1 のサンプリング有効期間と前記水平方向間引き調整ステップの出力結果との一

10

20

30

40

50

致箇所を検出する第 2 の論理積ステップと、

前記第 2 の論理積ステップの出力信号を N 画素分 (N は 1 以上の自然数) 遅延させる第 2 の遅延ステップと、

前記水平微分信号から、水平周期単位で反転を繰り返すサンプリング画素位置切替信号を生成する第 1 のサンプリング画素位置切替信号生成ステップと、

前記サンプリング画素位置切替信号に基づいて、前記第 2 の論理積ステップの出力信号と前記第 2 の遅延ステップの出力信号とのなかからひとつを選択して、サンプルウィンドウ信号として出力する第 1 の選択ステップからなるサンプルウィンドウ生成ステップと、

前記サンプルウィンドウ信号が有効である場合において、サンプリングされた輝度信号を選択的に出力する輝度信号出力ステップと、
を含む輝度信号処理方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本発明は、映像輝度信号のサンプリング処理を行う輝度信号処理装置、信号処理装置および輝度信号処理方法に関する。

[背景技術]

【背景技術】

【 0 0 0 2 】

近年、映像信号処理のデジタル化が進んでおり、映像信号処理において輝度信号のサンプリング処理の技術が利用されている (例えば、特許文献 1 参照) 。

【 0 0 0 3 】

図 2 4 は、そのような従来の輝度信号のサンプリング処理装置のブロック図である。

【 0 0 0 4 】

従来の輝度信号処理装置におけるサンプリング処理装置の間引き基準値設定部 4 0 1 は、まずカウンタ 5 0 1 により垂直微分信号 S 2 1 1 でリセットをかけ、ロードホールド手段 5 0 3 で水平微分信号 S 2 1 0 によりロードを行い、その値をカウンタ 5 0 1 の入力としてカウントすることでライン数をカウントする。

【 0 0 0 5 】

次に、ロードホールド手段 5 0 3 の出力であるライン数から間引きたいビット数分の n ビットを下位ビットから取り出す。ここで説明している下位ビットは、ロードホールド手段 5 0 3 の出力から取り出されるため、ライン数が変化する度に取り出す n ビット分が、例えば n = 2 ビットの場合、0 , 1 , 2 , 3 , 0 , 1 , 2 , 3 , ... のように、取り出せる値が変化する。

【 0 0 0 6 】

次に、取り出した下位ビットをカウンタ 5 0 2 の初期値として基準クロックをカウントするので、ラインごとにカウントを開始する値が異なる。そしてこのカウンタ 5 0 2 の出力が間引き基準値 S 4 1 1 となる。

【 0 0 0 7 】

従来例のサンプリング例を図 2 5 に示す。1つの四角が表示画面の 1 画素に対応し、縦の方向はラインに対応している。図 2 5 において間引き基準値は、2 ライン目の値が 2 進数の “ 0 1 ”、3 ライン目の値が “ 1 0 ”、4 ライン目の値が “ 1 1 ”、5 ライン目の値が “ 0 0 ” であり、ラインごとにカウントを開始する位置が異なる。このような回路構成とすることで、固定画素のみのサンプリングではなく、画面上の斜め方向における画素についての輝度信号のサンプリングを可能としている。

【特許文献 1】W O 0 1 / 0 3 9 4 8 9 (第 1 1 - 1 4 頁、第 5 - 7 図)

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

10

20

30

40

50

しかしながら、従来の輝度信号処理装置では、画面における輝度信号をサンプリングする際、間引き位置が走査線上で斜め方向のみにサンプリングされるため、斜め方向の固定パターンや繰り返しパターンの絵柄が現れるときには、正確かつ均等な輝度信号レベルの検出が困難であった。したがって、後処理における画面全体の輝度信号の平均輝度レベルや最大値、最小値レベルを検出する際、その輝度信号レベルの検出精度が悪くなってしまうという課題があった。

【0009】

本発明は、上記従来の問題点を解決するもので、斜め方向の固定パターンや繰り返しパターンの輝度信号が入力された場合においても、回路規模を大きくすることなく、輝度信号のサンプリング処理において、ライン単位、フィールド単位でサンプリング画素位置の調整を行うことで、画面上の縦方向、横方向、斜め方向について正確かつ均等にサンプリング処理できる輝度信号処理装置、信号処理装置および輝度信号処理方法を提供することを目的とする。

[課題を解決するための手段]

【課題を解決するための手段】

【0010】

この目的を達成するために、本発明は、ライン単位、フィールド単位で走査線上のサンプリング画素位置を調整することで、画面上における縦方向、横方向、斜め方向についてランダムかつ均等にサンプリング位置を指定可能な構成とした。

すなわち、本発明による輝度信号処理装置は、次の複数の構成要素を備えたものとして構成されている。それは、

入力映像信号の水平同期信号と垂直同期信号とにおける立ち上がりエッジまたは立ち下りエッジを検出して微分演算することで、前記水平同期信号に同期した水平微分信号と、前記垂直同期信号に同期した垂直微分信号とを出力する微分演算回路と、

前記水平微分信号でリセットをかけることで、1水平期間における画素数をカウントする第1のカウンタ回路と、

前記水平微分信号と前記第1のカウンタ回路の出力信号との論理積処理を行う第1の論理積回路と、

前記第1の論理積回路の出力信号をクロック単位で遅延させる第1の遅延回路と、

前記第1の遅延回路の出力信号から、1水平期間において間引く画素数を調整しながら間引く水平方向間引き調整回路と、

サンプルウィンドウ期間の水平期間の開始位置を設定する水平期間始点信号と、終了位置を設定する水平期間終点信号との供給を受けて、前記水平方向間引き調整回路の出力結果と前記水平期間始点信号とが一致する点をセットとし、前記水平方向間引き調整回路の出力結果と前記水平期間終点信号とが一致する点をリセットとする水平期間における第1のサンプリング有効期間を設定する第1のセトリセット回路と、

前記第1のサンプリング有効期間と前記水平方向間引き調整回路の出力結果との一致箇所を検出する第2の論理積回路と、

前記第2の論理積回路の出力信号をN画素分(Nは1以上の自然数)遅延させる第2の遅延回路と、

前記水平微分信号から、水平周期単位で反転を繰り返すサンプリング画素位置切替信号を生成する第1のサンプリング画素位置切替信号生成回路と、

前記サンプリング画素位置切替信号に基づいて、前記第2の論理積回路の出力信号と前記第2の遅延回路の出力信号とのなかからひとつを選択して、サンプルウィンドウ信号として出力する第1の選択回路と、を備える

サンプルウィンドウ回路と、

前記サンプルウィンドウ回路が有効である場合において、サンプリングされた輝度信号を選択的に出力する輝度信号出力回路とである。

【0011】

本発明による第1の信号処理装置は、次の複数の構成要素を備えたものとして構成され

10

20

30

40

50

ている。それは、

入力映像信号の水平同期信号と垂直同期信号における立ち上がりエッジまたは立ち下がりエッジを検出して微分演算することで、前記水平同期信号に同期した水平微分信号と前記垂直同期信号に同期した垂直微分信号とを出力する微分演算回路と、

前記水平微分信号でリセットをかけることで、1 水平期間における画素数をカウントする第 1 のカウンタ回路と、

前記水平微分信号と前記第 1 のカウンタ回路の出力信号との論理積処理を行う第 1 の論理積回路と、

前記第 1 の論理積回路の出力信号をクロック単位で遅延させる第 1 の遅延回路と、

前記第 1 の遅延回路の出力信号から、1 水平期間において間引く画素数を調整しながら間引く水平方向間引き調整回路と、

10

サンプルウィンドウ期間の水平期間の開始位置を設定する水平期間始点信号と、終了位置を設定する水平期間終点信号との供給を受けて、前記水平方向間引き調整回路の出力結果と前記水平期間始点信号とが一致する点をセットとし、前記水平方向間引き調整回路の出力結果と前記水平期間終点信号とが一致する点をリセットとする水平期間における第 1 のサンプリング有効期間を設定する第 1 のセトリセット回路と、

前記第 1 のサンプリング有効期間と前記水平方向間引き調整回路の出力結果との一致箇所を検出する第 2 の論理積回路と、

前記第 2 の論理積回路の出力信号を N 画素分 (N は 1 以上の自然数) 遅延させる第 2 の遅延回路と、

20

前記水平微分信号から、水平周期単位で反転を繰り返すサンプリング画素位置切替信号を生成する第 1 のサンプリング画素位置切替信号生成回路と、

前記サンプリング画素位置切替信号に基づいて、前記第 2 の論理積回路の出力信号と前記第 2 の遅延回路の出力信号とのなかからひとつを選択して、サンプルウィンドウ信号として出力する第 1 の選択回路とである。

【0012】

なお、この場合に、前記第 1 のサンプリング画素位置切替信号生成回路については、これを、前記水平微分信号がクロックとして供給される遅延回路と、前記遅延回路の出力をカウントアップする加算回路とで構成することができ。

【0013】

30

この構成によれば、第 1 のカウンタ回路、第 1 の論理積回路および第 1 の遅延回路によって 1 水平期間における総画素数がカウントされる。そして、次の水平方向間引き調整回路によって 1 水平期間におけるサンプリング画素数が間引かれる。例えば (N × 2) 画素ごとに間引く場合、(N × 2) 画素ごとに有効ビット、他は無効ビットとなる間引き信号が生成される。

【0014】

一方、セトリセット回路は、水平期間始点信号、水平期間終点信号と水平方向間引き調整回路の出力結果とからサンプリング有効期間を決める。サンプリング有効期間と間引き信号を入力する第 2 の論理積回路の出力は、(N × 2) 画素ごとにサンプリングを行うための水平方向のサンプルウィンドウ期間を決める。第 2 の遅延回路は、前記の (N × 2) 画素ごとのサンプルウィンドウ期間をさらに N 画素分だけ遅延させる。つまり、水平方向で位置が異なる 2 つの選択候補のサンプルウィンドウ期間が得られ、これら 2 つ選択候補のサンプルウィンドウ期間が選択回路に入力される。

40

【0015】

一方、サンプリング画素位置切替信号発生回路は、水平微分信号を基にして 1 水平周期 (1 ライン) 単位で 0, 1, 0, 1, ... の反転を繰り返すサンプリング画素位置切替信号を生成し、選択回路を制御する。その結果、選択回路では、ある水平期間で第 1 のサンプルウィンドウ期間を選択し、それに続く水平期間では第 2 のサンプルウィンドウ期間を選択し、この選択切り替えで 1 水平期間ごとに交互となるサンプルウィンドウ信号が得られる。

50

【 0 0 1 6 】

つまり、例えば、偶数ライン目では、 $(N \times 2)$ 画素目、 $(N \times 4)$ 画素目、 $(N \times 6)$ 画素目……がサンプリングされ、奇数ライン目では、例えば、 $(N \times 3)$ 画素目、 $(N \times 5)$ 画素目、 $(N \times 7)$ 画素目……がサンプリングされるといった具合になる。参考までに、 $N = 4$ とすると、偶数ライン目では、例えば、8画素目、16画素目、24画素目……がサンプリングされ、奇数ライン目では、例えば、12画素目、20画素目、28画素目……がサンプリングされるといった具合である。

【 0 0 1 7 】

この構成によれば、水平方向間引き調整回路における間引きの画素間隔の調整により、1ライン単位で走査線上のサンプリング画素位置を調整でき、画面上における横方向でサンプリング位置がランダムかつ均等に指定可能となっている。したがって、固定パターンや繰り返しパターンの絵柄に対しても精度良く輝度信号のサンプリングを可能にする。また、輝度信号のサンプリングにおいて、全画素をサンプリングする必要がない。さらに、有効画素数が異なる複数種類の放送方式に対応できる。

【 0 0 1 8 】

上記第1の信号処理装置において、さらに、次の複数の構成要素を加えた構成の第2の信号処理装置もある。それは、さらに、

1 垂直期間における全ライン数をカウントする第2のカウンタ回路と、

前記垂直微分信号と前記第2のカウンタ回路の出力信号との論理積処理を行う第3の論理積回路と、

前記水平微分信号で前記第3の論理積回路の出力信号をロードホールドするロードホールド回路と、

前記ロードホールド回路の出力信号に基づいて、1垂直期間における全ラインから、間引きライン数を調整しながら間引く垂直方向間引き調整回路と、

前記垂直方向間引き調整回路の出力信号をビットシフトした信号と前記垂直期間始点信号とを比較する第3の比較回路と、

前記垂直方向間引き調整回路の出力信号をビットシフトした信号と前記垂直期間終点信号とを比較する第4の比較回路と、

前記第3の比較回路による比較結果と前記第4の比較回路による比較結果とに基づいて第2のサンプリング有効期間信号を生成する第2のセトリセット回路と、

前記第2のサンプリング有効期間信号と前記垂直方向間引き調整回路の出力信号との論理積処理を行う第4の論理積回路と、

前記第4の論理積回路の出力信号から、所定の間引きライン数ごとに反転を繰り返すサンプリング画素位置切替信号を生成するサンプリング画素位置切替信号生成回路と、

前記第1の選択回路の出力信号と前記第4の論理積回路の出力信号との論理積処理を行ってサンプルウィンドウ信号を生成する第5の論理積回路とを加えたものである。

【 0 0 1 9 】

この構成によれば、水平方向間引き調整回路における間引きの画素間隔の調整により、1ライン単位で走査線上のサンプリング画素位置を調整できるとともに、垂直方向間引き調整回路における間引きのライン間隔の調整により、所定数ライン単位で走査線上のサンプリング画素位置を調整でき、画面上における縦方向、横方向、斜め方向でサンプリング位置がランダムかつ均等に指定可能となっている。したがって、固定パターンや繰り返しパターンの絵柄に対しても精度良く輝度信号のサンプリングを可能にする。また、輝度信号のサンプリングにおいて、全画素をサンプリングする必要がない。さらに、有効画素数、有効ライン数が異なる複数種類の放送方式に対応できる。

【 0 0 2 0 】

上記第2の信号処理装置において、さらに、次の複数の構成要素を加えた構成の第3の信号処理装置もある。それは、さらに、

前記サンプリング画素位置切替信号を反転させて反転サンプリング画素位置切替信号を生成する反転回路と、

10

20

30

40

50

前記垂直微分信号から垂直周期で反転を繰り返すフィールド切替信号を生成するフィールド切替信号生成回路と、

前記フィールド切替信号に基づいて前記サンプリング画素位置切替信号と前記反転サンプリング画素位置切替信号とのなかからひとつを選択する第2の選択回路とを備え、

前記第1の選択回路は、前記サンプリング画素位置切替信号生成回路によるサンプリング画素位置切替信号に代えて前記第2の選択回路からのサンプリング画素位置切替信号によって制御されるものである。

【0021】

なお、この場合に、前記フィールド切替信号生成回路については、これを、前記垂直微分信号がクロックとして供給される遅延回路と、前記遅延回路の出力をカウントアップする加算回路とで構成することができる。

【0022】

この構成によれば、所定数ライン単位での走査線上のサンプリング画素位置の調整を、フィールド単位で切り替えることができる。

【0023】

また、上記第2の信号処理装置において、さらに、次の複数の構成要素を加えた構成の第4の信号処理装置もある。それは、さらに、

前記水平方向間引き調整回路に代えて、互いに間引き画素間隔を異にする複数の水平方向間引き調整回路が設けられ、

前記第2の遅延回路の出力信号および前記第1の選択回路の出力信号に代えて、前記複数の水平方向間引き調整回路の出力信号から、前記サンプリング画素位置切替信号に基づいてひとつの出力信号を選択して前記第2の論理積回路に出力する選択回路が設けられているものである。

【0024】

この構成によれば、画面上における縦方向、横方向、斜め方向でランダムにサンプリング位置を指定可能であり、さらに、サンプリング数の可変により、そのランダム性をさらに向上できる。

【0025】

また、本発明の第5の信号処理装置は、上記第2の信号処理装置において、前記サンプリング画素位置切替信号生成回路について、前記第4の論理積回路の出力信号から、サンプリング画素位置切替信号を生成することに代えて、前記垂直微分信号から、1垂直期間ごとに前記第1の選択回路の制御を行うフィールド切替信号を生成させるように構成した信号処理装置もある。

【0026】

この構成によれば、画面上における横方向でランダムにサンプリング位置を指定可能であり、さらに、フィールドごとにサンプリング画素位置をずらすことで、そのランダム性をさらに向上できる。

【0027】

また、本発明における第6の信号処理装置は、上記第2の信号処理装置において、さらに、

前記垂直方向間引き調整回路に代えて、互いに間引きライン間隔を異にする複数の垂直方向間引き調整回路が設けられ、

前記第2の遅延回路、前記第1の選択回路および前記サンプリング画素位置切替信号生成回路に代えて、

前記垂直微分信号から、垂直周期で反転を繰り返すフィールド切替信号を生成するフィールド切替信号生成回路と、

前記複数の垂直方向間引き調整回路の出力信号から、前記フィールド切替信号に基づいてひとつの出力信号を選択して前記第4の論理積回路に出力する選択回路とが設けられたものである。

10

20

30

40

50

【0028】

この構成によれば、画面上における縦方向でランダムにサンプリング位置を指定可能であり、さらに、フィールドごとにサンプリングライン数の可変により、そのランダム性をさらに向上できる。

【0029】

また、本発明における第7の信号処理装置は、上記第3の信号処理装置において、さらに、次の複数の構成要素を加えた構成の信号処理装置もある。それは、

前記サンプリング画素位置切替信号生成回路は、前記第4の論理積回路の出力信号に代えて、前記垂直方向間引き調整回路の出力信号に基づいて前記サンプリング画素位置切替信号を生成し、

10

さらに、

前記水平方向間引き調整回路の出力信号をリセット信号にしてサンプリングライン位置が変更されるサンプリングライン位置切替信号を生成するサンプリングライン位置切替信号生成回路と、

前記サンプリングライン位置切替信号を反転させる反転回路と、

前記垂直微分信号をリセット信号にしてサンプリングライン位置が切り替わるフィールド切替信号を生成するフィールド切替信号生成回路と、

前記フィールド切替信号に基づいて、前記サンプリングライン切替信号と、前記反転回路の出力とのうちのひとつを選択する第3の選択回路と、

前記垂直方向間引き調整回路の出力信号を遅延させて垂直方向におけるラインごとのサンプリング画素位置を切り替えるラインメモリと、

20

前記第3の選択回路の出力信号に基づいて、前記垂直方向間引き調整回路の出力信号と前記ラインメモリ回路の出力信号とのうちのひとつを選択する第4の選択回路とを備えるものである。

【0030】

この構成によれば、画面上における縦方向、横方向、斜め方向でランダムかつ均等にサンプリング位置を指定可能であり、さらに、フィールドごとにサンプリング画素位置を垂直方向にずらすことで、そのランダム性、均等性をさらに向上できる。

【0031】

また、本発明における第8の信号処理装置は、上記第3の信号処理装置において、前記フィールド切替信号生成回路は、前記垂直微分信号をリセット信号にして複数フィールド単位で前記第2の選択回路を切り替えるフィールド切替信号を生成し、このフィールド切替信号に基づいて複数フィールドごとにサンプリングライン位置を切り替えられるものである。

30

【0032】

この構成によれば、画面上における縦方向、横方向、斜め方向でランダムかつ均等にサンプリング位置を指定可能であり、さらに、複数フィールドごとにサンプリング画素位置を水平方向にずらすことで、そのランダム性、均等性をさらに向上できる。

本発明による輝度信号処理方法は、次の複数の構成要素を備えたものとして構成されている。それは、

40

入力映像信号の水平同期信号と垂直同期信号における立ち上がりエッジまたは立ち下がりエッジを検出して微分演算することで前記水平同期信号に同期した水平微分信号及び前記垂直同期信号に同期した垂直微分信号を出力する微分演算ステップと、

前記水平微分信号でリセットをかけることで、1水平期間における画素数をカウントする第1のカウントステップと、

前記水平微分信号と前記第1のカウントステップの出力信号との論理積処理を行う第1の論理積ステップと、

前記第1の論理積ステップの出力信号をクロック単位で遅延させる第1の遅延ステップと、

前記第1の遅延ステップの出力信号から、1水平期間において間引く画素数を調整しな

50

から間引く水平方向間引き調整ステップと、

サンプルウィンドウ期間の水平期間の開始位置を設定する水平期間始点信号と、終了位置を設定する水平期間終点信号との供給を受けて、前記水平方向間引き調整ステップの出力結果と前記水平期間始点信号とが一致する点をセットとし、前記水平方向間引き調整ステップの出力結果と前記水平期間終点信号とが一致する点をリセットとする水平期間における第 1 のサンプリング有効期間を設定する第 1 のセトリセットステップと、

前記第 1 のサンプリング有効期間と前記水平方向間引き調整ステップの出力結果との一致箇所を検出する第 2 の論理積ステップと、

前記第 2 の論理積ステップの出力信号を N 画素分 (N は 1 以上の自然数) 遅延させる第 2 の遅延ステップと、

前記水平微分信号から、水平周期単位で反転を繰り返すサンプリング画素位置切替信号を生成する第 1 のサンプリング画素位置切替信号生成ステップと、

前記サンプリング画素位置切替信号に基づいて、前記第 2 の論理積ステップの出力信号と前記第 2 の遅延ステップの出力信号とのなかからひとつを選択して、サンプルウィンドウ信号として出力する第 1 の選択ステップからなる

サンプルウィンドウ生成ステップと、

前記サンプルウィンドウ信号が有効である場合において、サンプリングされた輝度信号を選択的に出力する輝度信号出力ステップとである。

[発明の効果]

【 発明の効果 】

【 0 0 3 3 】

以上のように本発明の輝度信号処理装置、信号処理装置および輝度信号処理方法によれば、N ライン単位、M フィールド単位 (N , M は 1 以上の自然数) で、走査線上のサンプリング画素位置を調整することで、画面上における縦方向、斜め方向についてランダムかつ均等にサンプリング位置を指定可能としたため、固定パターンや繰り返しパターンの絵柄に対しても精度良く輝度信号のサンプリングを可能にする。

【 0 0 3 4 】

また、輝度信号をサンプリングする際、全画素をサンプリングする必要がないため、回路規模を縮小することも可能である。

【 0 0 3 5 】

さらに、有効画素数およびライン数の異なる様々な放送方式 (N T S C 、 P A L 、 7 5 0 P 、 X G A 、 S X G 、 U X G A 等) に対しても、高精度に輝度信号のサンプリングを行うことが可能である。

【 発明を実施するための最良の形態 】

【 0 0 3 6 】

以下、本発明にかかわる輝度信号処理装置の実施の形態を図面に基づいて詳細に説明する。

【 0 0 3 7 】

(実施の形態 1)

図 1 は、本発明の実施の形態 1 における輝度信号処理装置のブロック図である。

【 0 0 3 8 】

微分演算回路 1 は、映像信号から取り出した水平同期信号 S 1 と垂直同期信号 S 2 を入力し、水平同期信号 S 1 、垂直同期信号 S 2 のエッジを検出し、微分して水平微分信号 S 3 および垂直微分信号 S 4 を出力する。エッジの検出については、立ち上がりエッジ、立ち下がりエッジのいずれでもよい。水平同期信号 S 1 の立ち上がりエッジを検出する場合には、水平同期信号 S 1 を遅延させ (例えば 1 クロック遅延) 、その遅延させた信号を反転したものと水平同期信号 S 1 との論理積をとればよい。一方、水平同期信号 S 1 の立ち下がりエッジを検出する場合には、水平同期信号 S 1 を反転させた信号と水平同期信号 S 1 を遅延 (例えば 1 クロック遅延) させた信号との論理積をとればよい。垂直微分信号 S 4 に関しても、水平微分信号 S 3 を得るときと同様な論理で得ることができる。

10

20

30

40

50

【 0 0 3 9 】

サンプルウィンドウ回路 2 は、水平微分信号 S 3 と、垂直微分信号 S 4 と、輝度信号を水平方向にサンプリングする際の始点となる水平期間始点信号 S 5 と、終点となる水平期間終点信号 S 6 と、輝度信号を垂直方向にサンプリングする際の始点となる垂直期間始点信号 S 7 と、終点となる垂直期間終点信号 S 8 とを入力し、サンプルウィンドウ信号 S 9 を出力する。

【 0 0 4 0 】

図 2 は、水平方向のサンプルウィンドウ期間を発生する様子を示す。例として、水平期間始点信号 S 5 の値を “ 1 0 ”、水平期間終点信号 S 6 の値を “ 2 5 0 ” とした場合、水平微分信号 S 3 により 1 水平期間中の画素数をカウントし、水平期間始点信号 S 5 の値と 1 水平期間中の画素数のカウント数が一致した箇所が水平方向のサンプルウィンドウ期間の始点になる。また、水平期間終点信号 S 6 の値と 1 水平期間中の画素数のカウント数が一致した箇所が水平方向のサンプルウィンドウ期間の終点になる。

10

【 0 0 4 1 】

図 3 は、垂直方向のサンプルウィンドウ期間を発生する様子を示す。例として、垂直期間始点信号 S 7 の値を “ 1 0 ”、垂直期間終点信号 S 8 の値を “ 2 5 0 ” とした場合、垂直微分信号 S 4 により 1 垂直期間中のライン数をカウントし、垂直期間始点信号 S 7 の値と 1 垂直期間中のライン数のカウント数が一致した箇所が垂直方向のサンプルウィンドウ期間の始点になる。また、垂直期間終点信号 S 8 の値と 1 垂直期間中のライン数のカウント数が一致した箇所が垂直方向のサンプルウィンドウ期間の終点になる。

20

【 0 0 4 2 】

上記の水平方向のサンプルウィンドウ期間と垂直方向のサンプルウィンドウ期間の論理積をとることで、最終的にサンプルウィンドウ回路 2 からサンプルウィンドウ信号 S 9 を出力する。

【 0 0 4 3 】

また、サンプルウィンドウ信号 S 9 と映像輝度信号 S 1 0 を A N D 回路 3 に入力することで、サンプルウィンドウした後の輝度信号 S 1 1 を得るようになっている。

【 0 0 4 4 】

図 4 は、図 1 に示すサンプルウィンドウ回路 2 の実施の形態 1 の構成を示すブロック図である。図 4 において、4 は 1 水平期間における輝度信号の画素データを加算するための第 1 のカウンタ回路、5 は水平微分信号 S 3 と第 1 のカウンタ回路 4 のカウント信号 S 1 2 を入力する第 1 の A N D 回路、6 は第 1 の遅延回路、7 は 1 水平期間における輝度信号の画素データを間引くとともに、その間引きの画素間隔の調整が可能な水平方向間引き調整回路、8 は水平方向間引き調整回路 7 の出力であるビットシフトされたビットシフト信号 S 1 6 と水平期間始点信号 S 5 の所定値とを比較する第 1 の比較回路、9 は水平方向間引き調整回路 7 からのビットシフト信号 S 1 6 と水平期間終点信号 S 6 の所定値とを比較する第 2 の比較回路、10 は第 1 の比較回路 8 と第 2 の比較回路 9 の出力をサンプリング有効期間として設定する第 1 のセトリセット回路、11 は第 1 のセトリセット回路 10 から出力される水平方向のサンプリング有効期間信号 S 1 9 と、水平方向間引き調整回路 7 から出力される水平方向間引き信号 S 1 5 との論理積をとる第 2 の A N D 回路、12 は第 2 の遅延回路、13 は水平微分信号 S 3 を入力することで、ラインごとに、すなわち 1 水平周期単位で 0 , 1 , 0 , 1 , ... の反転を繰り返すサンプリング画素位置切替信号 S 2 2 を発生させるサンプリング画素位置切替信号発生回路、14 は第 1 の選択回路である。

30

40

【 0 0 4 5 】

図 5 は、サンプリング画素位置切替信号発生回路 1 3 の具体的構成を示す。図 5 において、24 はカウンタ回路、25 は水平微分信号 S 3 をクロックとして入力する遅延回路である。

【 0 0 4 6 】

以上のように構成された輝度信号処理装置について、以下にその動作を説明する。

50

【 0 0 4 7 】

まず、水平微分信号 S 3 をリセット信号として第 1 の A N D 回路 5 に入力することで、1 水平周期での輝度信号の総画素数のカウント数をリセットする。また、第 1 の A N D 回路 5 の出力信号 S 1 3 を第 1 の遅延回路 6 へ入力し、クロック単位で遅延させ、その出力を第 1 のカウンタ回路 4 に入力しカウントアップしていく。第 1 のカウンタ回路 4、第 1 の A N D 回路 5、第 1 の遅延回路 6 により、1 水平周期における総画素数カウント信号 S 1 4 を水平方向間引き調整回路 7 へ入力する。

【 0 0 4 8 】

水平方向間引き調整回路 7 は、1 水平期間における輝度信号の総画素データを、例えば 8 画素ごとに間引き処理するための水平方向間引き信号 S 1 5 を出力する。水平方向間引き調整回路 7 にて、例えば 8 画素ごとに間引く場合、8 画素ごとに 1、他は 0 となる信号が水平方向間引き信号 S 1 5 となる。なお、S 1 6 は間引きビット数分ビットシフトを行ったビットシフト信号である。水平方向間引き調整回路 7 において、間引きの画素間隔は調整可能である。

10

【 0 0 4 9 】

第 1 の遅延回路 6 からの総画素数カウント信号 S 1 4 は 1 水平期間内の全ての画素数を加算したもので、高精細な放送フォーマットになればなるほど 1 水平期間における総画素数は増えてしまう。このため、第 1 のカウンタ回路 4、第 1 の A N D 回路 5、第 1 の遅延回路 6 のビット数は、1 水平期間における総画素数が増えれば増えるほど増やさなくてはならない。本実施の形態における水平方向間引き調整回路 7 は、間引きビット数に応じてビットシフト信号 S 1 6 のビット数を減らすことができる。例えば 8 画素ごとに間引く場合、ビットシフト信号 S 1 6 は 3 ビットシフトされる。間引きを増やせば増やすほど、ビットシフト信号 S 1 6 のビット数は減る。そのため、間引きを増やすほど、第 1 の比較回路 8 および第 2 の比較回路 9 のビット数を削減できる。

20

【 0 0 5 0 】

水平方向間引き調整回路 7 でビットシフト処理されたビットシフト信号 S 1 6 と水平期間始点信号 S 5 で設定した所定値を第 1 の比較回路 8 へ入力し、ビットシフト信号 S 1 6 と水平期間始点信号 S 5 の一致を検出する一致検出信号 S 1 7 を得る。また、水平方向間引き調整回路 7 からのビットシフト信号 S 1 6 と水平期間終点信号 S 6 で設定した所定値を第 2 の比較回路 9 へ入力し、ビットシフト信号 S 1 6 と水平期間終点信号 S 6 の一致を検出する一致検出信号 S 1 8 を得る。

30

【 0 0 5 1 】

次に、第 1 の比較回路 8 による一致検出信号 S 1 7 と第 2 の比較回路 9 による一致検出信号 S 1 8 を第 1 のセトリセット回路 1 0 に入力することで、1 水平周期における水平方向のサンプリング有効期間信号 S 1 9 を得る。水平方向間引き調整回路 7 からの水平方向間引き信号 S 1 5 と第 1 のセトリセット回路 1 0 からの水平方向のサンプリング有効期間信号 S 1 9 を A N D 回路 1 1 へ入力し、1 水平周期の有効期間中の水平方向間引きサンプリング信号 S 2 0 を出力する。ここで、水平方向間引きサンプリング信号 S 2 0 を第 2 の遅延回路 1 2 で N 画素分 (N は 1 以上の自然数) 遅延させ、遅延の水平方向間引きサンプリング信号 S 2 1 を得る。また、水平微分信号 S 3 をサンプリング画素位置切替信号発生回路 1 3 へ入力し、1 水平周期単位で 0, 1, 0, 1, ... の反転を繰り返すサンプリング画素位置切替信号 S 2 2 を発生させる。また、サンプリング画素位置切替信号 S 2 2 で第 1 の選択回路 1 4 を制御し、1 水平周期単位で水平方向のサンプリング画素位置をずらすサンプルウィンドウ信号 S 9 を得ることができる。

40

【 0 0 5 2 】

図 6 (a) は、本実施の形態における 1 水平周期ごとのサンプルウィンドウ信号 S 9 の状態を示す。上位の信号が画面上の上位のラインを示す。“ 1 ” のレベルでは画素がサンプリングされ、“ 0 ” のレベルでは画素のサンプリングはしない。1 ライン目は始点から 0, 1, 0, 1, ... の反転を繰り返し、2 ライン目は始点から 1, 0, 1, 0, ... の反転を繰り返し、3 ライン目は 1 ライン目と同様に始点から 0, 1, 0, 1, ... の反転を繰り返す。

50

返し、4ライン目は2ライン目と同様に始点から1, 0, 1, 0, ...の反転を繰り返す。

【0053】

図6(b)は、図6(a)のサンプルウィンドウ信号S9による画面上におけるサンプリング位置(四角の記号)を示す。水平方向は8画素単位、垂直方向は1ライン単位でサンプリングされているが、1ライン単位でサンプリング画素位置が水平方向に4画素分ずらされている。水平方向間引き調整回路7において、間引きの画素間隔を調整できる。

【0054】

本実施の形態によれば、画面上における縦方向でサンプリング位置がランダムかつ均等に指定可能となっている。

【0055】

(実施の形態2)

図7は、図1に示すサンプルウィンドウ回路2の実施の形態2の構成を示すブロック図である。図7において、実施の形態1の場合の図4と構成が異なる点は、以下に説明する回路構成を付加した点である。15は1垂直期間における全ライン数をカウントする第2のカウンタ回路、16は垂直微分信号S4と第2のカウンタ回路15のカウント信号S24を入力する第3のAND回路、17は水平微分信号S3で第3のAND回路16の出力信号S25をロードホールドするロードホールド回路、18は1垂直期間における全ラインのうちサンプリングするラインを間引くとともに、その間引きのライン間隔の調整が可能な垂直方向間引き調整回路、19は垂直方向間引き調整回路18の出力であるビットシフトされた信号S28と垂直期間始点信号S7の所定値とを比較する第3の比較回路、20は垂直方向間引き調整回路18からのビットシフト信号S28と垂直期間終点信号S8の所定値とを比較する第4の比較回路、21は第3の比較回路19と第4の比較回路20の出力をサンプリング有効期間として設定する第2のセットリセット回路、22は第2のセットリセット回路21から出力される垂直方向のサンプリング有効期間信号S31と、垂直方向間引き調整回路18から出力される垂直方向間引き信号S27との論理積をとる第4のAND回路である。また、26は第4のAND回路22の出力信号S32を入力することで、間引きライン単位で0, 1, 0, 1, ...の反転を繰り返すサンプリング画素位置切替信号S33を発生させるサンプリング画素位置切替信号発生回路、23は第1の選択回路14の出力信号S23と第4のAND回路22の出力信号S32を入力する第5のAND回路である。第5のAND回路23の出力信号としてサンプルウィンドウ信号S9を得る。その他の構成は実施の形態1と同じであるため、構成と動作の説明は省略する。

【0056】

図7において、垂直微分信号S4をリセット信号として第3のAND回路16に入力することで、1垂直周期での総ライン数のカウント数をリセットする。第3のAND回路16の出力信号S25をロードホールド回路17へ入力し、水平微分信号S3でロードホールドすることで、1水平周期単位で遅延させ、その出力を第2のカウンタ回路15に入力しカウントアップしていく。第2のカウンタ回路15、第3のAND回路16、ロードホールド回路17により、1垂直期間における総ライン数をカウントした総ライン数カウント信号S26を垂直方向間引き調整回路18へ入力する。次に、垂直方向間引き調整回路18は、1垂直期間における総ライン数を、例えば4ラインごとに間引き処理するための垂直方向間引き信号S27を出力する。垂直方向間引き調整回路18において、間引きのライン間隔は調整可能である。

【0057】

次に、垂直方向間引き調整回路18によるビットシフト信号S28と垂直期間始点信号S7で設定した所定値を第3の比較回路19へ入力し、ビットシフト信号S28と垂直期間始点信号S7の一致を検出する一致検出信号S29を得る。また、垂直方向間引き調整回路18によるビットシフト信号S28と垂直期間終点信号S8で設定した所定値を第4の比較回路20へ入力し、ビットシフト信号S28と垂直期間終点信号S8の一致を検出する一致検出信号S30を得る。第3の比較回路19による一致検出信号S29と第4の比較回路20による一致検出信号S30を第2のセットリセット回路21に入力すること

10

20

30

40

50

で、1 垂直期間における垂直方向のサンプリング有効期間信号 S 3 1 を得る。垂直方向間引き調整回路 1 8 からの垂直方向間引き信号 S 2 7 と第 2 のセットリセット回路 2 1 からの垂直方向のサンプリング有効期間信号 S 3 1 を第 4 の AND 回路 2 2 へ入力し、1 垂直期間の有効期間中の垂直方向間引きサンプリング信号 S 3 2 を出力する。

【0058】

さらに、垂直方向間引きサンプリング信号 S 3 2 をサンプリング画素位置切替信号発生回路 2 6 へ入力し、間引き垂直周期単位で 0, 1, 0, 1, ... の反転を繰り返すサンプリング画素位置切替信号 S 3 3 を発生させる。そこで、第 1 の選択回路 1 4 の出力信号 S 2 3 と第 4 の AND 回路 2 2 の出力信号 S 3 2 を第 5 の AND 回路 2 3 へ入力し、間引き垂直周期単位で水平方向のサンプリング画素位置をずらすサンプルウィンドウ信号 S 9 を得

10

【0059】

図 8 (a) は、本発明の実施の形態 2 における 1 水平周期ごとのサンプルウィンドウ信号 S 9 の状態を示す。4 ライン目は始点から 0, 1, 0, 1, ... の反転を繰り返し、8 ライン目は始点から 1, 0, 1, 0, ... の反転を繰り返し、12 ライン目は 4 ライン目と同様に始点から 0, 1, 0, 1, ... の反転を繰り返し、16 ライン目は 8 ライン目と同様に始点から 1, 0, 1, 0, ... の反転を繰り返す。

【0060】

図 8 (b) は、図 8 (a) のサンプルウィンドウ信号 S 9 による画面上におけるサンプリング位置を示す。水平方向は 8 画素単位、垂直方向は 4 ライン単位でサンプリングされているが、4 ライン単位でサンプリング画素位置が水平方向に 4 画素分ずらされている。水平方向間引き調整回路 7 において、間引きの画素間隔を調整できるとともに、垂直方向間引き調整回路 1 8 において、間引きのライン間隔を調整できる。

20

【0061】

本実施の形態によれば、画面上における縦方向、横方向、斜め方向でサンプリング位置がランダムかつ均等に指定可能となっている。

【0062】

(実施の形態 3)

図 9 は、図 1 に示すサンプルウィンドウ回路 2 の実施の形態 3 の構成を示すブロック図である。図 9 において、実施の形態 2 の場合の図 7 と構成が異なる点は、以下に説明する回路構成を付加した点である。2 7 はサンプリング画素位置切替信号発生回路 2 6 からのサンプリング画素位置切替信号 S 3 3 を反転させる反転回路、2 9 は垂直微分信号 S 4 を入力することで、1 垂直周期単位で 0, 1, 0, 1, ... の反転を繰り返すフィールド切替信号 S 3 5 を発生させるフィールド切替信号発生回路である。その他の構成は実施の形態 2 の場合の図 7 と同じであるため、構成と動作の説明は省略する。

30

【0063】

サンプリング画素位置切替信号発生回路 2 6 から出力されるサンプリング画素位置切替信号 S 3 3 とサンプリング画素位置切替信号 S 3 3 を反転回路 2 7 で反転させた反転サンプリング画素位置切替信号 S 3 4 を第 2 の選択回路 2 8 へ入力する。垂直微分信号 S 4 をフィールド切替信号発生回路 2 9 へ入力し、1 垂直周期単位で 0, 1, 0, 1, ... の反転を繰り返すフィールド切替信号 S 3 5 を生成する。次に、フィールド切替信号 S 3 5 を第 2 の選択回路 2 8 へ入力し、サンプリング画素位置切替信号 S 3 3 か反転サンプリング画素位置切替信号 S 3 4 を最終のサンプリング画素位置切替信号 S 3 6 として第 1 の選択回路 1 4 に与える。

40

【0064】

図 10 は、フィールド切替信号発生回路 2 9 の具体的構成を示す。まず、30 はカウンタ回路、31 は垂直微分信号 S 4 をクロックとして入力する遅延回路である。フィールド切替信号 S 3 5 は図 10 に記載の通り、垂直周期で 0, 1, 0, 1, ... の反転を繰り返していく。

【0065】

50

図 11 は、本実施の形態におけるサンプルウィンドウ信号 S9 の様子を示す。

【0066】

図 11 (a) では、1 フィールド前における間引き 1 水平周期ごとのサンプルウィンドウ信号 S9 の状態を示す。4 ライン目は始点から 1, 0, 1, 0, ... の反転を繰り返し、8 ライン目は始点から 0, 1, 0, 1, ... の反転を繰り返し、12 ライン目は 4 ライン目と同様に始点から 1, 0, 1, 0, ... の反転を繰り返し、16 ライン目は 8 ライン目と同様に始点から 0, 1, 0, 1, ... の反転を繰り返す。

【0067】

図 11 (b) は、図 11 (a) のサンプルウィンドウ信号 S9 による画面上におけるサンプリング位置を示す。水平方向は 8 画素単位、垂直方向は 4 ライン単位でサンプリングされているが、4 ライン単位でサンプリング画素位置が水平方向に 4 画素分ずらされている。すなわち、4 ライン目では 8 画素目、16 画素目、24 画素目でサンプリングされ、8 ライン目では 12 画素目、20 画素目、28 画素目でサンプリングされ、12 ライン目では 4 ライン目と同様に 8 画素目、16 画素目、24 画素目でサンプリングされ、16 ライン目では 8 ライン目と同様に 12 画素目、20 画素目、28 画素目でサンプリングされている。

【0068】

図 11 (c) では、図 11 (a) の 1 フィールド後における間引き 1 水平周期ごとのサンプルウィンドウ信号 S9 の状態を示す。4 ライン目は始点から 0, 1, 0, 1, ... の反転を繰り返し、8 ライン目は始点から 1, 0, 1, 0, ... の反転を繰り返し、12 ライン目は 4 ライン目と同様に始点から 0, 1, 0, 1, ... の反転を繰り返し、16 ライン目は 8 ライン目と同様に始点から 1, 0, 1, 0, ... の反転を繰り返す。

【0069】

図 11 (d) は、図 11 (c) のサンプルウィンドウ信号 S9 による画面上におけるサンプリング位置を示す。図 11 (b) で示すサンプリング画素位置に対し、水平方向に 4 画素分ずれている。すなわち、4 ライン目では 12 画素目、20 画素目、28 画素目でサンプリングされ、8 ライン目では 8 画素目、16 画素目、24 画素目でサンプリングされ、12 ライン目では 4 ライン目と同様に 12 画素目、20 画素目、28 画素目でサンプリングされ、16 ライン目では 8 ライン目と同様に 8 画素目、16 画素目、24 画素目でサンプリングされている。

【0070】

本実施の形態によれば、画面上における縦方向、横方向、斜め方向でランダムかつ均等にサンプリング位置を指定可能であり、さらに、フィールドごとにサンプリング画素位置をずらすことで、そのランダム性、均等性をさらに向上できる。

【0071】

(実施の形態 4)

図 12 は、図 1 に示すサンプルウィンドウ回路 2 の実施の形態 4 の構成を示すブロック図である。図 12 において、実施の形態 2 の場合の図 7 と構成が異なる点は、以下に説明する回路構成を付加した点である。32 は 1 水平期間における輝度信号の画素データを第 1 の間引き方法 (例えば 8 画素ごとに間引く) で間引くとともに、その間引きの画素間隔の調整が可能な第 1 の水平方向間引き調整回路、33 は 1 水平期間における輝度信号画素データを第 2 の間引き方法 (例えば 4 画素ごとに間引く) で間引くとともに、その間引きの画素間隔の調整が可能な第 2 の水平方向間引き調整回路、34 は間引き調整後の出力信号として第 1 の水平方向間引き調整回路 32 の水平方向間引き信号 S38 か第 2 の水平方向間引き調整回路 33 の水平方向間引き信号 S39 のいずれかを選択する選択回路である。選択回路 34 の制御は、サンプリング画素位置切替信号発生回路 26 のサンプリング画素位置切替信号 S33 にて行う。図 7 における第 2 の AND 回路 11 の後段の第 2 の遅延回路 12 と選択回路 14 はなく、第 2 の AND 回路 11 の出力は第 5 の AND 回路 23 に直接入力されている。その他の構成は実施の形態 2 の場合の図 7 と同じであるため、構成と動作の説明は省略する。

10

20

30

40

50

【 0 0 7 2 】

まず、第1の遅延回路6からの1水平周期における総画素数カウント信号S14を第1の水平方向間引き調整回路32と第2の水平方向間引き調整回路33へ入力する。第1の水平方向間引き調整回路32において、1水平期間における輝度信号の総画素データを第1の間引き方法（例えば8画素ごとの間引き）で間引いた結果の水平方向間引き信号S38を出力し、第2の水平方向間引き調整回路33において、1水平期間における輝度信号の総画素データを第2の間引き方法（例えば4画素ごとの間引き）で間引いた結果の水平方向間引き信号S39を出力する。

【 0 0 7 3 】

次に、間引き調整後の出力信号として、選択回路34は、サンプリング画素位置切替信号S33によって水平方向間引き信号S38か水平方向間引き信号S39のいずれかを選択する。

【 0 0 7 4 】

図13(a)は、本発明の実施の形態4における1水平周期ごとのサンプルウィンドウ信号S9の状態を示す。4ライン目は始点から0, 1, 0, 1, ...の反転を繰り返し、8ライン目は始点から1, 0, 1, 0, ...の反転を繰り返す。4ライン目のサンプリングが8画素ごとであるのに対して、8ライン目のサンプリングは4画素ごとであり、サンプリング数が2倍となっていて、水平方向のサンプリングポイントが増やされている。また、12ライン目は4ライン目と同様に始点から0, 1, 0, 1, ...の反転を繰り返し、16ライン目は8ライン目と同様に始点から1, 0, 1, 0, ...の反転を繰り返す。12ライン目のサンプリングが8画素ごとであるのに対して、16ライン目のサンプリングは4画素ごとであり、サンプリング数が2倍となっていて、水平方向のサンプリングポイントが増やされている。

【 0 0 7 5 】

本実施の形態によれば、画面上における縦方向、横方向、斜め方向でランダムにサンプリング位置を指定可能であり、さらに、サンプリング画素数の可変により、そのランダム性をさらに向上できる。

【 0 0 7 6 】

（実施の形態5）

図14は、図1に示すサンプルウィンドウ回路2の実施の形態5の構成を示すブロック図である。図14において、実施の形態2の場合の図7と構成が異なる点は、以下に説明する回路構成を付加した点である。35は、垂直微分信号S4を入力することで、1垂直期間ごとに水平方向におけるサンプリング画素位置を切り替えるフィールド切替信号S41を発生し、第1の選択回路14に出力するフィールド切替信号発生回路である。第4のAND回路22の出力は、フィールド切替信号発生回路35とは無関係である。その他の構成は実施の形態2の場合の図7と同じであるため、構成と動作の説明は省略する。

【 0 0 7 7 】

図14の構成は、1垂直期間単位で水平方向におけるサンプリング画素位置を切り替えることを可能とするフィールド切替信号S41を用いて、第1の選択回路14を切り替えることを特徴とする。

【 0 0 7 8 】

図15は、本実施の形態におけるサンプルウィンドウ信号S9の様子を示す。

【 0 0 7 9 】

図15(a)では、1フィールド前における間引き1水平周期ごとのサンプルウィンドウ信号S9の状態を示す。4ライン目、8ライン目、12ライン目、16ライン目で、それぞれ始点から0, 1, 0, 1, ...の反転を繰り返す。

【 0 0 8 0 】

図15(b)は、図15(a)のサンプルウィンドウ信号S9による画面上におけるサンプリング位置を示す。4ライン目、8ライン目、12ライン目、16ライン目で、それぞれ8画素目、16画素目、24画素目でサンプリングされている。

10

20

30

40

50

【 0 0 8 1 】

図 1 5 (c) では、図 1 5 (a) の 1 フィールド後における間引き 1 水平周期ごとのサンプルウィンドウ信号 S 9 の様子を示す。図 1 5 (a) に対して、水平方向で 4 画素ずれている。すなわち、4 ライン目、8 ライン目、1 2 ライン目、1 6 ライン目で、それぞれ 1 2 画素目、2 0 画素目、2 8 画素目でサンプリングされている。

【 0 0 8 2 】

本実施の形態によれば、画面上における横方向でランダムにサンプリング位置を指定可能であり、さらに、フィールドごとにサンプリング画素位置をずらすことで、そのランダム性をさらに向上できる。

【 0 0 8 3 】

(実施の形態 6)

図 1 6 は、図 1 に示すサンプルウィンドウ回路 2 の実施の形態 6 の構成を示すブロック図である。図 1 6 において、実施の形態 2 の場合の図 7 と構成が異なる点は、以下に説明する回路構成を付加した点である。3 6 は、垂直微分信号 S 4 を入力することで、1 垂直期間単位で垂直方向におけるサンプリングライン位置を切り替えるフィールド切替信号 S 4 4 を発生させるフィールド切替信号発生回路である。3 7 は 1 垂直期間におけるサンプリングラインを第 1 の間引き方法 (例えば 4 ラインごとに間引く) で間引くための第 1 の垂直方向間引き調整回路、3 8 は 1 垂直期間におけるサンプリングラインを第 2 の間引き方法 (例えば 2 ラインごとに間引く) で間引くための第 2 の垂直方向間引き調整回路、3 9 は第 1 の垂直方向間引き調整回路 3 7 の垂直方向間引き信号 S 4 2 と第 2 の垂直方向間引き調整回路 3 8 の垂直方向間引き信号 S 4 3 のいずれかを選択し、選択した垂直方向間引き信号 S 4 5 として第 4 の A N D 回路 2 2 に出力する選択回路である。その他の構成は実施の形態 2 の場合の図 7 と同じであるため、構成と動作の説明は省略する。

【 0 0 8 4 】

まず、ロードホールド回路 1 7 の出力信号を第 1 および第 2 の垂直方向間引き調整回路 3 7 , 3 8 へ入力し、フィールド切替信号発生回路 3 6 のフィールド切替信号 S 4 4 にて第 1 の垂直方向間引き調整回路 3 7 による垂直方向間引き信号 S 4 2 と第 2 の垂直方向間引き調整回路 3 8 による垂直方向間引き信号 S 4 3 のいずれか一方を選択することで、1 垂直期間 (1 フィールド) ごとに垂直方向におけるサンプリングライン位置を切り替えるものである。

【 0 0 8 5 】

図 1 7 は、本実施の形態におけるサンプルウィンドウ信号 S 9 の様子を示す。

【 0 0 8 6 】

図 1 7 (a) では、1 フィールド前における間引き 1 水平周期ごとのサンプルウィンドウ信号 S 9 の状態を示す。4 ライン目、8 ライン目、1 2 ライン目、1 6 ライン目で、それぞれ始点から 0 , 1 , 0 , 1 , ... の反転を繰り返す。

【 0 0 8 7 】

図 1 7 (b) は、図 1 7 (a) のサンプルウィンドウ信号 S 9 による画面上におけるサンプリング位置を示す。4 ライン目、8 ライン目、1 2 ライン目、1 6 ライン目で、それぞれ 8 画素目、1 6 画素目、2 4 画素目でサンプリングされている。

【 0 0 8 8 】

図 1 7 (c) では、図 1 7 (a) の 1 フィールド後における間引き 1 水平周期ごとのサンプルウィンドウ信号 S 9 の様子を示す。図 1 7 (a) に対して、垂直方向で 2 倍のライン選択となっている。すなわち、2 ライン目、4 ライン目、6 ライン目、8 ライン目、1 0 ライン目、1 2 ライン目、1 4 ライン目、1 6 ライン目で、それぞれ 8 画素目、1 6 画素目、2 4 画素目でサンプリングされている。

【 0 0 8 9 】

本実施の形態によれば、画面上における縦方向でランダムにサンプリング位置を指定可能であり、さらに、フィールドごとにサンプリングライン数の可変により、そのランダム性をさらに向上できる。

10

20

30

40

50

【 0 0 9 0 】

なお、上記では垂直方向間引き調整回路として、第 1 および第 2 の 2 つ (3 7 , 3 8) を用いたが、3 以上の複数としてよいことはいうまでもない。

【 0 0 9 1 】

(実施の形態 7)

図 1 8 は、図 1 に示すサンプルウィンドウ回路 2 の実施の形態 7 の構成を示すブロック図である。図 1 8 において、実施の形態 3 の場合の図 9 と構成が異なる点は、以下に説明する回路構成を付加した点である。まず、4 0 は、垂直方向間引き調整回路 1 8 からの垂直方向間引き信号 S 2 7 を入力し、間引き水平周期単位で 0 , 1 , 0 , 1 , ... の反転を繰り返すサンプリング画素位置切替信号 S 4 7 を発生するサンプリング画素位置切替信号発生回路、4 1 は水平方向間引き調整回路 7 の出力信号を入力し、1 水平周期中の間引き画素単位でサンプリング画素位置の切り替えを行うサンプリングライン位置切替信号 S 4 9 を発生するサンプリングライン位置切替信号発生回路、4 2 はサンプリングライン位置切替信号発生回路 4 1 から出力されるサンプリングライン位置切替信号 S 4 9 を反転する反転回路、4 3 は垂直微分信号 S 4 を入力することで、1 垂直周期単位で 0 , 1 , 0 , 1 , ... の反転を繰り返すフィールド切替信号 S 5 1 を発生させるフィールド切替信号発生回路、4 4 はフィールド切替信号 S 5 1 に基づいてサンプリングライン位置切替信号 S 4 9 と反転サンプリングライン位置切替信号 S 5 0 のいずれかを選択する第 3 の選択回路、4 5 は垂直方向間引き調整回路 1 8 からの垂直方向間引き信号 S 2 7 を 1 水平周期遅延させるラインメモリ、4 6 は第 3 の選択回路 4 4 の出力信号 S 5 2 に基づいて垂直方向間引き調整回路 1 8 からの垂直方向間引き信号 S 2 7 とラインメモリ 4 5 からの遅延の垂直方向間引き信号 S 2 7 a のいずれかを選択する第 4 の選択回路である。その他の構成は実施の形態 3 の場合の図 9 と同じであるため、構成と動作の説明は省略する。

【 0 0 9 2 】

まず、サンプリング画素位置切替信号発生回路 4 0 により、垂直方向に間引き処理を行ったライン数ごとである間引きライン単位でサンプリング画素位置を切り替える。次に、第 3 の選択回路 4 4 でサンプリングライン位置切替信号 S 4 9 と反転サンプリングライン位置切替信号 S 5 0 を切り替えることで、その切り替えられた信号 S 5 2 で第 4 の選択回路 4 6 を制御する。第 4 の選択回路 4 6 は、垂直方向間引き調整回路 1 8 からの垂直方向間引き信号 S 2 7 とラインメモリ 4 5 からの垂直方向に遅延された垂直方向間引き信号 S 2 7 a とを交互に選択し、第 4 の AND 回路 2 2 に出力する。垂直周期単位で垂直方向でのサンプリング画素位置を切り替えることができる。

【 0 0 9 3 】

図 1 9 は、本実施の形態 7 におけるタイミングチャートを示す。S 4 7 は間引きライン単位でのサンプリング画素位置切替信号、S 4 9 は水平方向におけるサンプリング画素位置切替信号、S 5 1 は 1 垂直期間ごとに発生させるフィールド切替信号、S 5 2 は第 3 の選択回路 4 4 の出力信号を示す。

【 0 0 9 4 】

図 2 0 は、本実施の形態におけるサンプルウィンドウ信号 S 9 の様子を示す。

【 0 0 9 5 】

図 2 0 (a) では、1 フィールド前における間引き 1 水平周期ごとのサンプルウィンドウ信号 S 9 の状態を示す。図 2 0 (b) は、図 2 0 (a) のサンプルウィンドウ信号 S 9 による画面上におけるサンプリング位置を示す。4 ライン目では 8 画素目、1 6 画素目、2 4 画素目でサンプリングされ、8 ライン目では 1 2 画素目、2 0 画素目、2 8 画素目でサンプリングされ、1 2 ライン目では 4 ライン目と同様に 8 画素目、1 6 画素目、2 4 画素目でサンプリングされ、1 6 ライン目では 8 ライン目と同様に 1 2 画素目、2 0 画素目、2 8 画素目でサンプリングされている。

【 0 0 9 6 】

図 2 0 (c) では、図 2 0 (a) の 1 フィールド後における間引き 1 水平周期ごとのサンプルウィンドウ信号 S 9 の状態を示す。図 2 0 (a) に対して、4 ライン目と 8 ライン

10

20

30

40

50

目とが入れ替えられ、12ライン目と16ライン目とが入れ替えられている。すなわち、4ライン目では12画素目、20画素目、28画素目でサンプリングされ、8ライン目では8画素目、16画素目、24画素目でサンプリングされ、12ライン目では4ライン目と同様に12画素目、20画素目、28画素目でサンプリングされ、16ライン目では8ライン目と同様に8画素目、16画素目、24画素目でサンプリングされている。

【0097】

本実施の形態によれば、画面上における縦方向、横方向、斜め方向でランダムかつ均等にサンプリング位置を指定可能であり、さらに、フィールドごとにサンプリング画素位置を垂直方向にずらすことで、そのランダム性、均等性をさらに向上できる。

【0098】

10

(実施の形態8)

図21は、図1に示すサンプルウィンドウ回路2の実施の形態8の構成を示すブロック図である。図21において、実施の形態3の場合の図9と構成が異なる点は、以下に説明する回路構成を付加した点である。その他の構成は実施の形態3の場合の図9と同じであるため、構成と動作の説明は省略する。47は、垂直微分信号S4を入力することで、N垂直周期単位で(Nは1以上の自然数)に0, 1, 0, 1, ...の反転を繰り返すフィールド切替信号S53を発生させるフィールド切替信号発生回路である。ここで、複数フィールド単位、複数ライン単位で水平方向におけるサンプリング画素位置を切り替えることが可能となっている。

【0099】

20

図22は、フィールド切替信号発生回路47を示しており、例として2フィールドごとにカウントアップするカウンタ回路である。カウンタ回路のビット数をN(Nは1以上の自然数)にすると、Nフィールド単位でカウントアップする。ここでは、フィールド切替信号S53は、垂直微分信号S4が2フィールドに1ずつカウントアップする。

【0100】

図23は、本実施の形態におけるサンプルウィンドウ信号S9の様子を示す。

【0101】

図23(a)では、2フィールド前における間引き1水平周期ごとのサンプルウィンドウ信号S9の状態を示す。図23(b)は、図23(a)のサンプルウィンドウ信号S9による画面上におけるサンプリング位置を示す。4ライン目では8画素目、16画素目、24画素目でサンプリングされ、8ライン目では12画素目、20画素目、28画素目でサンプリングされ、12ライン目では4ライン目と同様に8画素目、16画素目、24画素目でサンプリングされ、16ライン目では8ライン目と同様に12画素目、20画素目、28画素目でサンプリングされている。

30

【0102】

図23(c)では、図23(a)の2フィールド後における間引き1水平周期ごとのサンプルウィンドウ信号S9の状態を示す。図23(a)に対して、8画素目と12画素目とが入れ替えられ、16画素目と20画素目とが入れ替えられ、24画素目と28画素目とが入れ替えられている。すなわち、4ライン目では12画素目、20画素目、28画素目でサンプリングされ、8ライン目では8画素目、16画素目、24画素目でサンプリングされ、12ライン目では4ライン目と同様に12画素目、20画素目、28画素目でサンプリングされ、16ライン目では8ライン目と同様に8画素目、16画素目、24画素目でサンプリングされている。

40

【0103】

本実施の形態によれば、画面上における縦方向、横方向、斜め方向でランダムかつ均等にサンプリング位置を指定可能であり、さらに、複数フィールドごとにサンプリング画素位置を水平方向にずらすことで、そのランダム性、均等性をさらに向上できる。

【産業上の利用可能性】

【0104】

以上のように、本発明の輝度信号処理装置、信号処理装置および輝度信号処理方法は、

50

回路規模を大きくすることなく、映像の輝度信号に対し精度良くサンプリングを可能にするものであり、映像信号における画質改善装置等として有用である。

【図面の簡単な説明】

【図面の簡単な説明】

【 0 1 0 5 】

【図 1】本発明の実施の形態 1 における輝度信号処理装置の構成を示すブロック図

【図 2】本発明の実施の形態 1 における水平方向のサンプルウィンドウ信号を発生する様子を示す図

【図 3】本発明の実施の形態 1 における垂直方向のサンプルウィンドウ信号を発生する様子を示す図 10

【図 4】本発明の実施の形態 1 におけるサンプルウィンドウ回路の構成を示すブロック図

【図 5】本発明の実施の形態 1 におけるサンプリング画素位置切替信号発生回路の構成を示すブロック図とタイミング図

【図 6】本発明の実施の形態 1 におけるサンプルウィンドウ信号の様子を示す図

【図 7】本発明の実施の形態 2 におけるサンプルウィンドウ回路の構成を示すブロック図

【図 8】本発明の実施の形態 2 におけるサンプルウィンドウ信号の様子を示す図

【図 9】本発明の実施の形態 3 におけるサンプルウィンドウ回路の構成を示すブロック図

【図 10】本発明の実施の形態 3 におけるフィールド切替信号発生回路の構成を示すブロック図とタイミング図 20

【図 11】本発明の実施の形態 3 におけるサンプルウィンドウ信号の様子を示す図

【図 12】本発明の実施の形態 4 におけるサンプルウィンドウ回路の構成を示すブロック図

【図 13】本発明の実施の形態 4 におけるサンプルウィンドウ信号の様子を示す図

【図 14】本発明の実施の形態 5 におけるサンプルウィンドウ回路の構成を示すブロック図

【図 15】本発明の実施の形態 5 におけるサンプルウィンドウ信号の様子を示す図

【図 16】本発明の実施の形態 6 におけるサンプルウィンドウ回路の構成を示すブロック図

【図 17】本発明の実施の形態 6 におけるサンプルウィンドウ信号の様子を示す図 30

【図 18】本発明の実施の形態 7 におけるサンプルウィンドウ回路の構成を示すブロック図

【図 19】本発明の実施の形態 7 の動作を説明するタイミングチャート図

【図 20】本発明の実施の形態 7 におけるサンプルウィンドウ信号の様子を示す図

【図 21】本発明の実施の形態 8 におけるサンプルウィンドウ回路の構成を示すブロック図

【図 22】本発明の実施の形態 8 における複数フィールド単位のフィールド切替信号発生回路の構成を示すブロック図とタイミング図

【図 23】本発明の実施の形態 8 におけるサンプルウィンドウ信号の様子を示す図

【図 24】従来の輝度信号処理装置の構成を示すブロック図 40

【図 25】従来の輝度信号処理装置におけるサンプルウィンドウ信号の様子を示す図

【符号の説明】

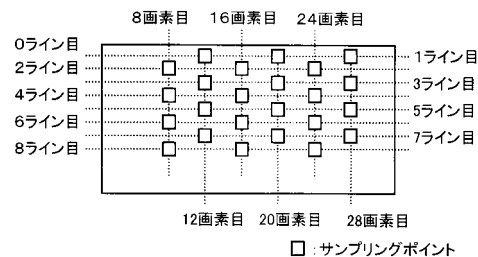
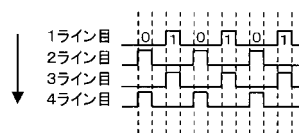
【 0 1 0 6 】

- 1 微分演算回路
- 2 サンプルウィンドウ回路
- 3 第 1 の A N D 回路
- 4 第 1 のカウンタ回路
- 5 第 2 の A N D 回路
- 6 第 1 の遅延回路
- 7 水平方向間引き調整回路

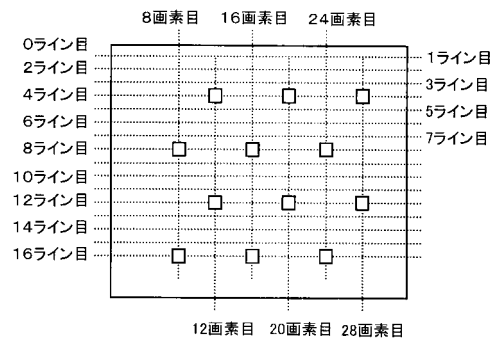
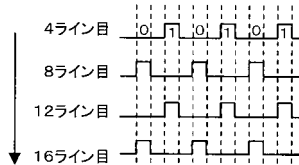
8	第 1 の比較回路	
9	第 2 の比較回路	
10	第 1 のセトリセット回路	
11	第 3 の A N D 回路	
12	第 2 の遅延回路	
13	サンプリング画素位置切替信号発生回路	
14	第 1 の選択回路	
15	第 2 のカウンタ回路	
16	第 3 の A N D 回路	
17	ロードホールド回路	10
18	垂直方向間引き調整回路	
19	第 3 の比較回路	
20	第 4 の比較回路	
21	第 2 のセトリセット回路	
22	第 4 の A N D 回路	
23	第 5 の A N D 回路	
24	カウンタ回路	
25	遅延回路	
26	サンプリング画素位置切替信号発生回路	
27	反転回路	20
28	第 2 の選択回路	
29	フィールド切替信号発生回路	
30	カウンタ回路	
31	遅延回路	
32	第 1 の水平方向間引き調整回路	
33	第 2 の水平方向間引き調整回路	
34	選択回路	
35	フィールド切替信号発生回路	
36	フィールド切替信号発生回路	
37	第 1 の垂直方向間引き調整回路	30
38	第 2 の垂直方向間引き調整回路	
39	選択回路	
40	サンプリング画素位置切替信号発生回路	
41	サンプリングライン位置切替信号発生回路	
42	反転回路	
43	フィールド切替信号発生回路	
44	第 3 の選択回路	
45	ラインメモリ	
46	第 4 の選択回路	
47	複数フィールド単位のフィールド切替信号発生回路	40
S 1	水平同期信号	
S 2	垂直同期信号	
S 3	水平微分信号	
S 4	垂直微分信号	
S 5	水平期間始点信号	
S 6	水平期間終点信号	
S 7	垂直期間始点信号	
S 8	垂直期間終点信号	
S 9	サンプルウィンドウ信号	
S 10	映像輝度信号	50

S 1 1	サンプルウィンドウ後の輝度信号	
S 1 2	カウント信号	
S 1 4	総画素数カウント信号	
S 1 5	水平方向間引き信号	
S 1 6	ビットシフト信号	
S 1 7 , S 1 8	一致検出信号	
S 1 9	水平方向のサンプリング有効期間信号	
S 2 0	水平方向間引きサンプリング信号	
S 2 1	遅延の水平方向間引きサンプリング信号	
S 2 2	サンプリング画素位置切替信号	10
S 2 6	総ライン数カウント信号	
S 2 7	垂直方向間引き信号	
S 2 7 a	遅延の垂直方向間引き信号	
S 2 8	ビットシフト信号	
S 2 9 , S 3 0	一致検出信号	
S 3 1	垂直方向のサンプリング有効期間信号	
S 3 2	垂直方向間引きサンプリング信号	
S 3 3	サンプリング画素位置切替信号	
S 3 4	反転サンプリング画素位置切替信号	
S 3 5	フィールド切替信号	20
S 3 6	最終のサンプリング画素位置切替信号	
S 3 8 , S 3 9	水平方向間引き信号	
S 4 1	フィールド切替信号	
S 4 2 , S 4 3	垂直方向間引き信号	
S 4 4	フィールド切替信号	
S 4 7	サンプリング画素位置切替信号	
S 4 9	サンプリングライン位置切替信号	
S 5 0	反転サンプリングライン位置切替信号	
S 5 1 , S 5 3	フィールド切替信号	

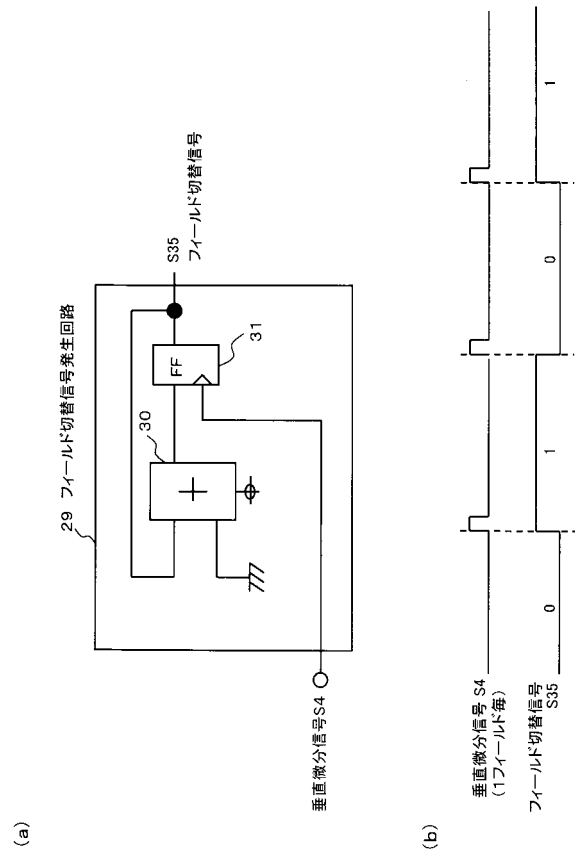
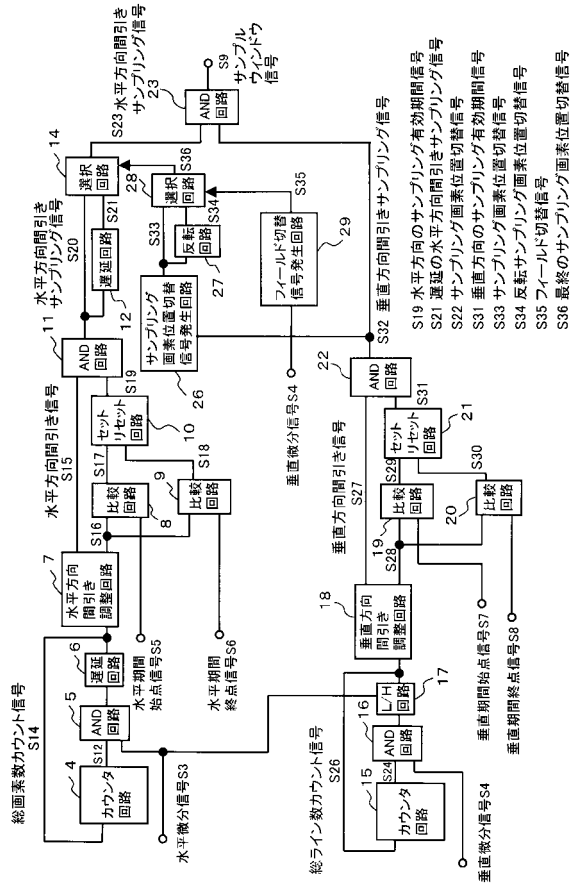
【 図 6 】



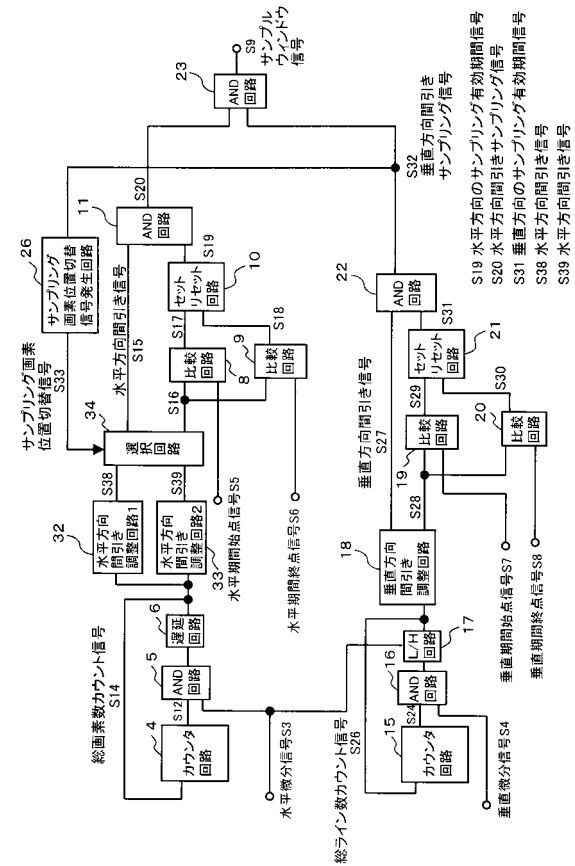
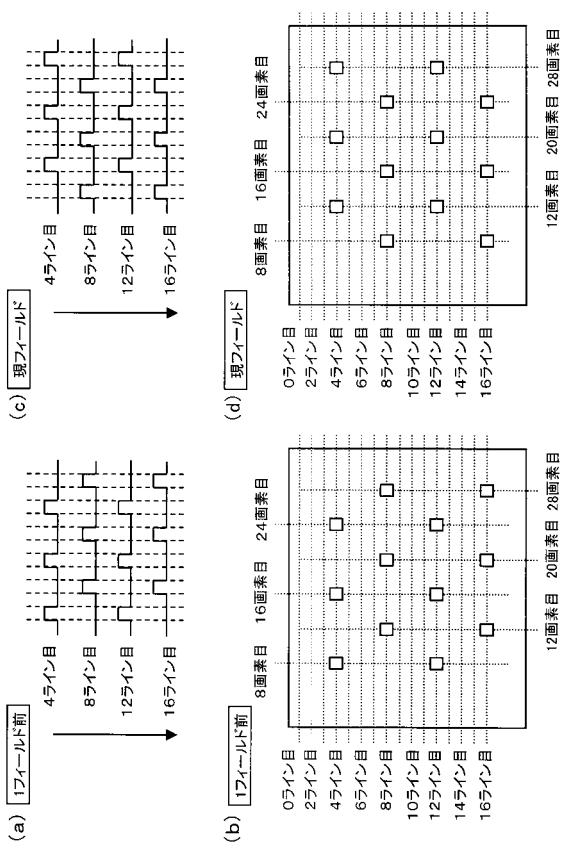
【 図 8 】



【 図 1 0 】

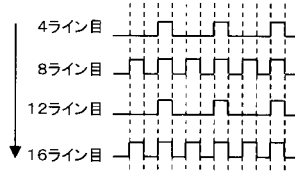


【 図 1 2 】

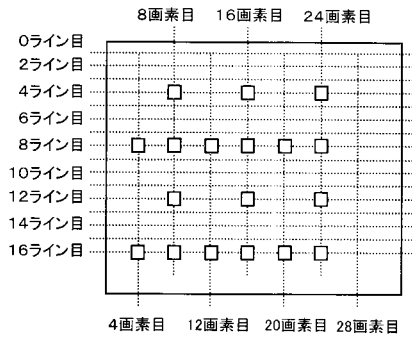


【図 13】

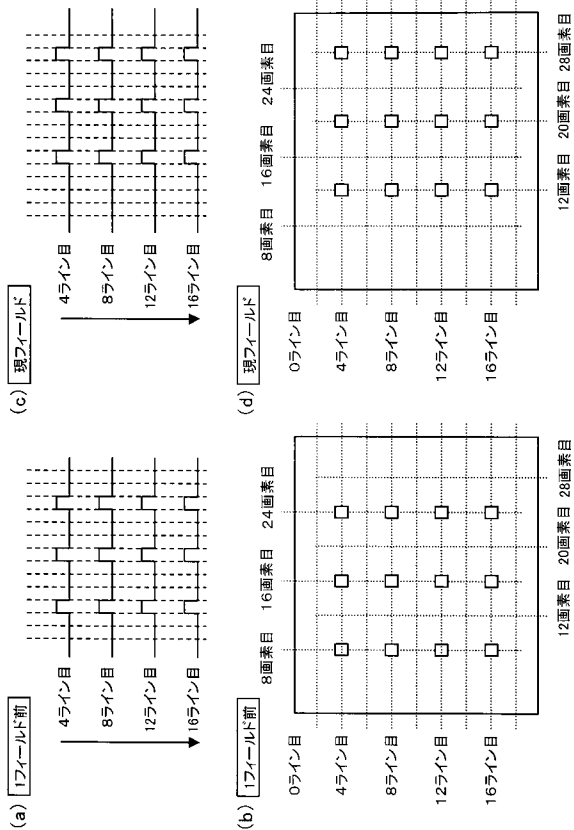
(a)



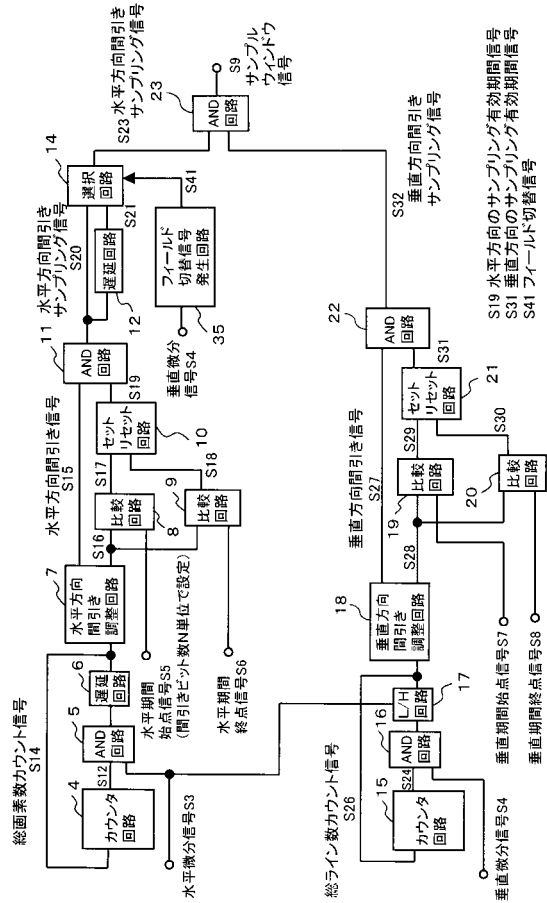
(b)



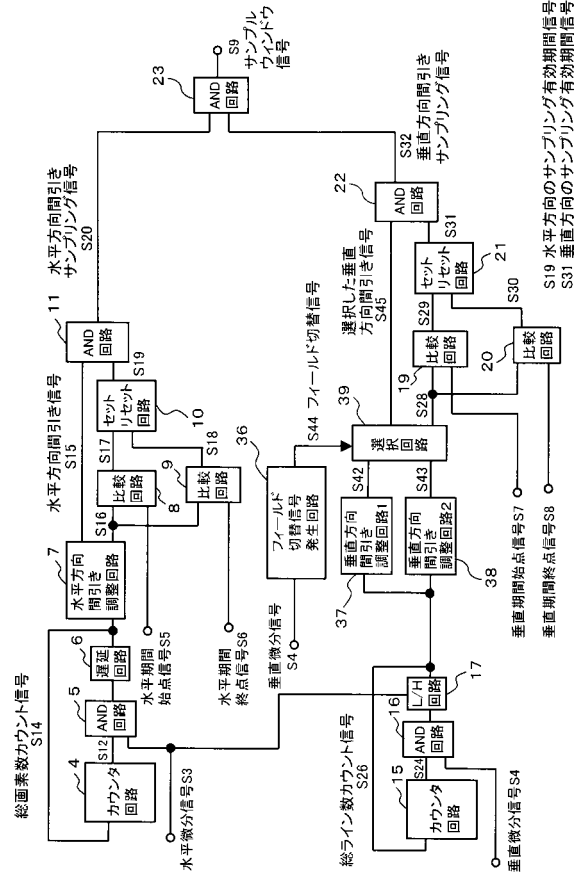
【図 15】



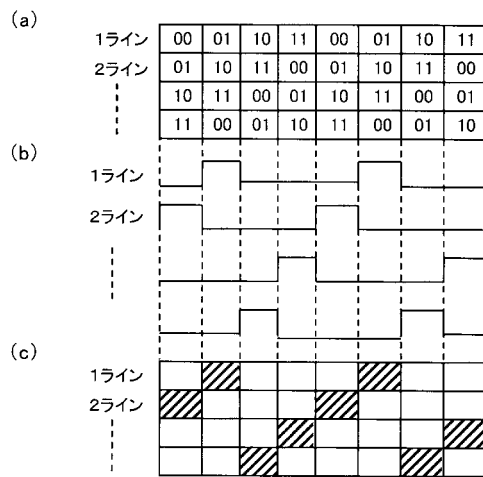
【図 14】



【図 16】



【図 25】



フロントページの続き

審査官 佐藤 直樹

(56)参考文献 国際公開第01/039489(WO,A1)
特表2002-521922(JP,A)

(58)調査した分野(Int.Cl.,DB名)
H04N 5/14