(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/108

(45) 공고일자 1999년09월15일
(11) 등록번호 10-0221115
(24) 등록일자 1999년06월25일

(21) 출원번호 10-1994-0003649
(22) 출원일자 1994년02월26일
(65) 공개번호 특1994-0022866
(43) 공개일자 1994년10월21일
(30) 우선권주장 93-039948 1993년03월01일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 고야마 유스케
일본국 가나가와켄 가와사키시 사이와이쿠 고무카이 도시바 쵸오1 가부시키가이샤 도시바 연구개발센터내
(74) 대리인 나영환, 이상섭

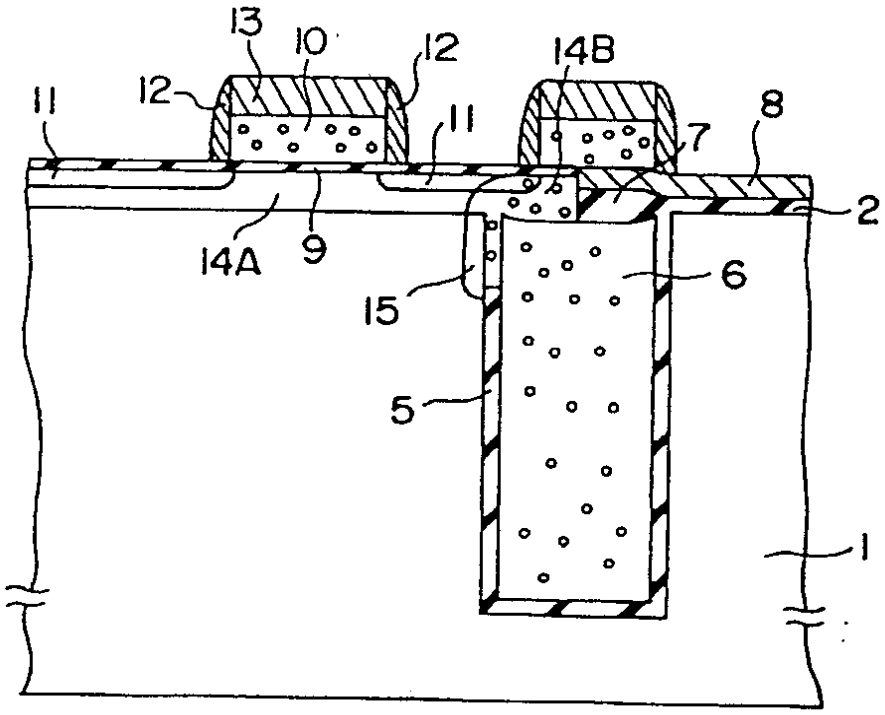
심사관 : 신양환

(54) 반도체 장치의 제조 방법

요약

본 발명은 고집적 대용량의 다이나믹 랜덤 액세스 메모리를 제조함에 있어서, 홈 주위의 일부에 개구를 형성할 때 레지스트 패턴의 합체 어긋남이 생겨도 인접하는 메모리셀 사이에서 펀치스루가 발생하지 않으며, 또한 트랜지스터의 소스/드레인 영역과 커패시터의 한쪽 전극의 접속을 용이하게 행할 수 있는 반도체 장치의 제조 방법에 관한 것이다. 본 발명의 방법은 반도체 기판에 홈을 형성하는 공정과, 상기 홈의 내벽면 및 저면에 절연막을 형성하는 공정과, 불순물을 함유한 제1 반도체 층으로 상기 홈을 채우는 공정과, 상기 홈의 상기 내벽면의 상부로부터 상기 절연막을 제거하는 공정과, 선택 에피택셜 성장법을 이용하여 상기 홈의 내벽면의 상기 상부 및 상기 제1 반도체층을 포함하는 상기 반도체 기판상에 제2 반도체층을 성장시키는 공정과, 상기 제2 반도체층 내에 확산층을 형성하기 위해 상기 제1 반도체층의 불순물을 제2 반도체층 내로 확산시키는 공정과, 상기 제2 반도체 층상에 소스 및 드레인 영역을 가지며 상기 소스 및 드레인 영역 중 하나는 상기 확산층에 중첩되는 MOSFET를 형성하는 공정을 포함한다.

대표도



명세서

[발명의 명칭]

반도체 장치의 제조 방법

[도면의 간단한 설명]

제1도는 본원 제1 발명의 제1 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제2도는 본원 제1 발명의 제1 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제3도는 본원 제1 발명의 제1 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제4도는 본원 제1 발명의 제1 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제5도는 본원 제1 발명의 제1 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제6도는 본원 제1 발명의 제1 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제7도는 본원 제1 발명의 제1 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제8도는 본원 제1 발명의 제1 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제9도는 본원 제1 발명의 제1 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제10도는 본원 제1 발명의 제1 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제11도는 본원 제1 발명의 제1 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제12도는 본원 제2 발명의 제1 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제13도는 본원 제2 발명의 제2 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제14도는 본원 제1 발명의 제2 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제15도는 본원 제1 발명의 제2 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제16도는 본원 제3 발명의 제1 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제17도는 본원 제3 발명의 제1 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제18도는 본원 제3 발명의 제1 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제19도는 본원 제3 발명의 제2 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제20도는 본원 제3 발명의 제2 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제21도는 본원 제3 발명의 제2 실시예에 관한 반도체 장치의 제조 방법을 도시하는 도면.

제22도는 종래의 반도체 장치의 제조 방법을 도시하는 도면.

제23도는 종래의 반도체 장치의 제조 방법을 도시하는 도면.

제24도는 종래의 반도체 장치의 제조 방법의 결점을 도시하는 도면.

* 도면의 주요부분에 대한 부호의 설명

1, 21, 31 : P형 반도체 기판　　2, 5, 7 : 산화실리콘막

3, 8. 13 : 질화실리콘막　　4 : 홈

6, 14 : 폴리실리콘막　　9 : 게이트 절연막

10 : 게이트 전극　　11 : 소스/드레인 영역

12 : 스페이서　　14A : 단결정 실리콘막

14B : 폴리실리콘막　　15 : N 형 불순물 확산층

22, 33 : 절연막　　23A, 23B : 반도체

34 : 폴리실리콘막　　35A : 단결정 실리콘막

35B : 폴리실리콘막

[발명의 상세한 설명]

본 발명은 특히 고집적 대용량의 DRAM 의 제조 방법의 개량에 관한 것이다.

종래의 DRAM 의 제조 방법에 대하여 일본국 특공평 3-69185(이하, 문헌이라 말한다)에 개시되는 반도체 장치를 예로 설명한다. 그리고, 제22도는 상기 문헌에 기재된 도면의 일부를 인용 도시한 것이다. 또, 제23도 및 제24도는 제22도를 평면에서 본 경우의 일례를 도시한 도면이다.

제22도는 DRAM 의 커패시터 부분을 나타내고 있다. 먼저, 반도체 기판(100)의 한쪽 주면(主面)에 실리콘 산화막(101) 및 상기 반도체 기판(100)에 대하여 내에칭성을 갖는 질화실리콘막(102)을 각각 형성한다. 또, 실리콘 산화막(101) 및 질화실리콘막(102)을 패터닝 한 뒤, 상기 질화실리콘막(102)을 마스크로하여 반도체 기판(100)에 홈(103)을 형성한다.

다음에, 상기 홈(103)의 내면 및 저면에 용량 절연막(104)을 형성한다. 이후, 홈(103) 내에 폴리실리콘(105)을 메운다. 전체면에 상기 폴리실리콘(105)에 대하여 내에칭성을 갖는 레지스트막(106)을 형성한다. 레지스트막(106)을 노광·현상하고, 홈(103)의 주위의 일부에 개구부(107)를 형성한다. 이후, 개구부를

갖는 상기 레지스트막(106)을 마스크로하여 폴리실리콘(105)의 일부를 에칭하여 트랜지스터의 접속부를 형성한다.

그러나, 상술한 제조 방법에는 아래와 같은 결점이 있다. 예컨대, 제23도에 보이는 바와 같이, 인접하는 메모리 셀의 간격은 어느 일정한 거리 W 로 설정되어 있다. 여기서, 레지스트막(106)을 노광·현상하고 홈(103)의 주위의 일부에 개구부(107)를 형성할 때, 제24도에 보이는 바와 같이 레지스트 패턴의 합체 어긋남이 생기면 인접하는 메모리 셀의 소스/드레인 확산층(108)의 간격은 미리 설정된 인접하는 메모리 셀의 간격 W 보다도 좁은 W' 가 된다. 이 때문에, 인접하는 메모리 셀의 사이에서 펀치 스루(punch through)가 생기는 결점이 있다.

이와 같이, 종래에는 홈 주위의 일부에 개구부를 형성할 때 레지스트 패턴의 합체 어긋남이 생기면 인접하는 메모리 셀의 소스/드레인 확산층의 간격이 미리 설정된 인접하는 메모리셀의 간격보다도 좁아지고, 인접하는 메모리 셀의 사이에서 펀치 스루가 생긴다는 결점이 있다.

본 발명은 상기 결점을 해결하기 위하여 이루어진 것으로서, 그 목적은 홈주위의 일부에 개구부를 형성할 때 레지스트 패턴의 합체 어긋남이 생겨도 인접하는 메모리 셀의 사이에서 펀치 스루가 생기지 않는 반도체 장치의 제조 방법을 제공하기 위한 것이다.

상기 목적을 달성하기 위하여 본원 제1 발명에 관한 하나의 트랜지스터와 하나의 커패시터로 이루어지는 메모리 셀을 갖는 반도체 장치의 제조 방법은 먼저, 반도체 기판에 상기 메모리 셀의 커패시터가 형성되는 홈을 형성하고 상기 홈의 내면에 제1절연막을 형성한다. 상기 홈 내에 불순물을 포함하는 도전체를 메워넣고 상기 홈 위에 제2 절연막을 형성하여 홈 안의 도전체를 상기 제1 및 제2 절연막으로 둘러싼다. 다음에, 전체면에 제3 절연막을 형성한 뒤 이 제3 절연막을 에칭하고 상기 메모리 셀의 트랜지스터가 형성되는 활성 영역 및 상기 홈위의 일부분에 동시에 개구부를 형성한다. 다음에, 상기 개구부를 갖는 상기 제3 절연막을 마스크로하여 에칭하고 상기 활성 영역에 있어서 상기 반도체 기판을 노출시킨다. 다음에, 상기 활성 영역에 트랜지스터를 형성한다. 또한, 상기 개구부를 갖는 상기 제3 절연막을 마스크로 하여 에칭을 행하고 상기 홈 위의 일부분에 있어서 상기 도전체를 노출시키고 적어도 노출한 상기 도전체 위에 반도체를 형성한다. 최후로, 상기 반도체의 일부 또는 전부를 도전화하고 상기 도전체와 상기 메모리 셀의 트랜지스터의 확산층을 전기적으로 접속한다.

또, 상기 홈 위의 일부분에 있어서 상기 도전체를 노출시키는 공정에 있어서 동시에 상기 메모리셀의 트랜지스터의 확산층 부분의 반도체 기판을 노출시키고, 또 상기 도전체상의 반도체를 형성하는 공정에 있어서 상기 반도체는 선택 에피택셜 성장법에 의하여 상기 확산층 부분의 반도체 기판을 핵으로하여 성장되는 것과 상기 도전체를 핵으로하여 성장되는 것을 합체시킨 것이다.

본원 제2 발명에 관한 반도체 장치의 제조 방법은 먼저 절연막을 개재하여 서로 절연되어 있는 제1 도전형의 제1 반도체 및 제2 도전형의 제2 반도체를 각각 형성한다. 이후, 선택 에피택셜 성장법에 의하여 상기 제1 반도체를 핵으로 하여 제3 반도체를 성장시키는 동시에 상기 제2 반도체를 핵으로 하여 제4 반도체를 성장시키고 상기 제3 반도체와 상기 제4 반도체를 서로 합체시킴으로써 상기 제1 반도체와 상기 제2 반도체의 전기적 접속을 행한다.

본원 제3 발명에 관한 하나의 트랜지스터와 하나의 커패시터로 구성되는 메모리 셀을 갖는 반도체 장치의 제조 방법은 먼저, 반도체 기판에 상기 메모리 셀의 커패시터가 형성되는 홈을 형성하고, 상기 홈의 내면에 제1 절연막을 형성한다. 상기 홈 내에 불순물을 함유하는 도전체를 메워넣고 상기 홈 위에 제2 절연막을 형성하여 홈 내의 도전체를 상기 제1 및 제2 절연막으로 둘러싼다. 다음에, 전체면에 제3 절연막을 형성한 후 이 제3 절연막을 에칭하고 상기 메모리 셀의 트랜지스터가 형성되는 활성 영역의 상부 및 상기 홈 위의 일부분에 동시에 개구부를 형성한다. 다음에, 상기 개구부를 갖는 상기 제3 절연막을 마스크로하여 에칭을 행하고 상기 활성 영역에 있어서 상기 반도체 기판을 노출시키는 동시에 상기 홈 위의 일부분에 있어서 상기 도전체를 노출시킨다. 또, 적어도 노출한 상기 도전체 위에 반도체를 형성하고 상기 반도체의 일부 또는 전부를 도전화한다. 최후로, 상기 활성 영역에 확산층이 상기 도전화된 반도체를 개재하여 상기 도전체에 전기적으로 접속되어 있는 상기 메모리 셀의 트랜지스터를 형성한다.

또, 상기 도전체상에 반도체를 형성하는 공정에 있어서, 상기 반도체는 선택 에피택셜 성장법에 의하여 적어도 상기 도전체를 핵으로하여 성장시킨 것이다.

또, 상기 도전체상에 반도체를 형성하는 공정에 있어서, 상기 반도체는 선택 에피택셜 성장법에 의하여 상기 반도체 기판을 핵으로하여 성장되는 것과 상기 도전체를 핵으로하여 성장되는 것을 합체시킨 것이고, 당해 메모리 셀의 트랜지스터를 형성하는 공정에 있어서, 상기 트랜지스터는 상기 반도체 중에 형성된다.

또 상기 반도체의 일부 또는 전부를 도전화하는 공정에 있어서, 상기 반도체의 일부 또는 전부는 열처리를 하고 상기 도전체로부터 불순물을 확산시킴으로써 도전화된다.

상기 구성에 의하면 본원 제1 및 제3 발명에서는 상기 메모리 셀의 트랜지스터가 형성되는 활성 영역 및 상기 홈 위의 일부분에 동시에 개구부가 형성된다. 또, 제1 발명에서는 상기 개구부의 활성 영역에 트랜지스터를 형성한 후, 당해 개구부에 있어서의 도전체를 노출시키고 그 도전체 위에 반도체를 형성하고 있다. 또, 제3 발명에서는 상기 개구부에 있어서의 도전체를 노출시키고 그 도전체 위에 반도체를 형성한 후, 상기 개구부의 활성 영역에 트랜지스터를 형성하고 있다. 따라서, 상기 개구부를 형성할 때 레지스트 패턴의 합체 어긋남이 생겨도 인접하는 메모리셀의 사이에서 펀치 스루가 생기는 일이 없다.

또 본원 제2 발명에서는 선택 에피택셜 성장법에 의하여 상기 제1 반도체를 핵으로하여 제3 반도체를 성장시키는 동시에 상기 제2 반도체를 핵으로하여 제4 반도체를 성장시키고 상기 제3 반도체와 상기 제4 반도체를 서로 합체시키고 있다. 따라서, 상기 제1 반도체와 상기 제2 반도체의 전기적 접속을 용이하게 행할 수 있다.

이하, 도면을 참조하여 본 발명의 1 실시예에 대하여 상세하게 설명한다.

제1도~제11도는 본원의 제1 발명의 제1 실시예에 관한 기판 플레이트형 DRAM 의 제조 방법을 도시하고 있다.

먼저, 제1도에 보이는 바와 같이, P 형 반도체 기판(1) 상에 산화실리콘막(SiO_2 막)(2) 및 질화실리콘막(SiN 막)(3)을 각각 형성한다. 이들 산화실리콘막(2) 및 질화실리콘막(3)을 패터닝한 후 패터닝 된 질화실리콘막(3)을 마스크로하여 기판(1)에 홈(4)을 형성한다. 홈(4)의 내벽면 및 저면에 각각 산화실리콘막(5)을 형성한다.

다음에, 제2도에 보이는 바와 같이 홈(4)내에 N형으로 도핑된 폴리실리콘막(6)을 메워 넣는다.

다음에, 제3도에 보이는 바와 같이 패터닝된 질화실리콘막(3)을 마스크로하여 폴리실리콘막(6)의 표면을 산화시켜, 산화실리콘막(7)을 형성한다.

다음에, 제4도에 보이는 바와 같이 질화실리콘막(3)을 제거한 후 전체면에 새로이 질화실리콘막(8)을 형성한다.

다음에, 제5도 및 제6도에 보이는 바와 같이 질화실리콘막(8)을 에칭하여 메모리 셀의 MOSFET 가 형성되는 활성 영역 A가 되는 기판(1) 및 홈(4)의 주위의 일부분을 동시에 노출시킨다. 따라서, 레지스트 패턴의 합체 어긋남이 생겨도 인접하는 메모리 셀의 간격 W는 변하는 일이 없고(제7도 참조), 항상 상기 레지스트 패턴의 합체 어긋남이 생기지 않을 경우의 인접하는 메모리 셀의 간격 W와 동일하다.

다음에, 제8도에 보이는 바와 같이 활성 영역 A위의 산화실리콘막(2)을 제거한다.

다음에, 제9도에 보이는 바와 같이 상기 활성 영역 A에 게이트 절연막(산화실리콘막)(9), 게이트 전극(10) 및 소스/드레인 영역(11)을 각각 형성하고, 메모리 셀의 MOSFET를 완성한다. 또, 게이트 전극(10)의 측벽에는 스페이서(예컨대 질화실리콘막)(12)가, 게이트전극(10) 상부에는 질화실리콘막(13)이 각각 형성된다.

다음에, 제10도에 보이는 바와 같이 스페이서(12) 및 질화실리콘막(8,13)을 마스크로 하여 산화실리콘막(게이트 절연막이 되는 부분을 제외한다)(9) 및 홈(4)의 측벽면의 일부의 산화실리콘막(5)을 각각 에칭 제거하여 커패시터와 MOSFET 의 접속 부분을 형성한다.

또, 이 에칭에서는 스페이서(12) 및 질화실리콘막(8,13)이 마스크로되어 있기 때문에, 커패시터와 MOSFET의 접속 부분은 소자 분리 영역이나 활성 영역에 대하여 자기 정합적으로 형성된다.

다음에, 제11도에 보이는 바와 같이 CVD 법을 사용하여 소스/드레인 영역(11) 의 상부 및 커패시터와 MOSFET의 접속 부분에 각각 폴리실리콘막(14)을 성장시킨다. 또, 폴리실리콘막(14)을 에칭 WRJ함으로써 접속 부분에만 상기 폴리실리콘막(14)을 잔존시킨다. 그리고, 홈측벽의 일부(에칭된 부분) 및 이에 인접하는 기판(1)내에 N형 불순물 확산층(15)을 형성한다. 그 결과, 기판(전극)(1), 산화실리콘막(5) 및 폴리실리콘막(6)에 의하여 형성된 커패시터와 MOSFET가 서로 접속된다.

마지막으로, 도시는 생략했으나 MOSFET의 게이트 전극(10)을 워드선에 접속하고, 주지의 방법에 의하여 비트선 및 금속 배선을 각각 형성함으로써 DRAM을 완성한다.

상기 제조 방법에 의하면 질화실리콘막(8)의 에칭에 있어서 메모리 셀의 MOSFET 가 형성되는 활성 영역 A가 되는 기판(1)과 홈(4)의 주위의 일부분 B를 동시에 노출시키고 있다. 따라서, 레지스트 패턴의 합체 어긋남이 생겨도 인접하는 메모리 셀의 간격 W는 변하지 않고 당해 레지스트 패턴의 합체 어긋남이 발생되지 않는 경우의 인접하는 메모리 셀의 간격 W와 항상 동일하다. 즉, 어떤 메모리 셀의 N형 불순물 확산층(15)과 상기 메모리셀에 인접하는 메모리 셀의 소스/드레인 영역과의 간격이 레지스트 패턴의 합체 어긋남에 의하여 좁아지는 사태가 없어진다.

제12도는 본원의 제2 발명의 제1 실시예에 관한 반도체 장치의 제조 방법을 도시하고 있다.

본 발명은 반도체와 반도체의 결합 방법에 관한 것이다.

우선 P형 기판(21)상에 절연막(22)을 형성하고, 상기 절연막(22)의 일부를 개구한다. 그후 선택 에피택셜 성장법(Selective Epitaxial Growth, 이하 SEG 법으로 기재함)을 사용하여 어느 1개의 개구부로부터 반도체(23A)를 성장시키고 또다른 1개의 개구부로부터 반도체(23B)를 성장시킨다. 그리고 상기 1개의 개구부로부터 P형 기판(21)을 핵으로하여 성장한 반도체(23A)와 다른 1개의 개구부로부터 P형 기판(21)을 핵으로 하여 성장한 반도체(23B)를 합체시킨다.

상기 제조 방법에 의하면 용이하게 반도체와 반도체의 접속이 가능해진다. 또, 상기 실시예에서는 P형의 반도체 기판(21)을 사용했으나 N형의 반도체 기판이라도 좋다.

제13도는 본원의 제2 발명의 제2 실시예에 관한 반도체 장치의 제조 방법을 도시한 것이다.

우선, P형 기판(31)상에 홈(32)을 형성하고 상기 홈(32)의 내벽면과 저면에 각각 절연막(33)을 형성한다. 또, 홈(32)내에 N형의 폴리실리콘막(34)을 매설한다. 그 후, SEG 법을 사용하여 P 형 기판(31)으로부터 반도체(35A)를 성장시키고, N 형의 폴리실리콘막(34)으로부터 반도체(35B)를 성장시킨다. 그리고, P형 기판(31)을 핵으로하여 성장한 반도체(35A)와 N형의 폴리실리콘막(34)을 핵으로하여 성장한 반도체(35B)를 합체시킨다.

상기의 제조 방법에 의하면 제1 도전형의 반도체와 이와 반대인 제2 도전형의 반도체와의 접속을 용이하게 실행할 수 있다.

본원의 제2 발명은 본원의 제1 발명에 적용할 수 있다. 예를 들어 본원의 제1 발명의 제1 실시예에 있어서 소스/드레인 영역(11)과 커패시터와 MOSFET를 접속할 때에 이 SEG 법을 이용할 수있다.

제14도 및 제15도는 본 발명의 제1 발명의 제2 실시예에 관한 기판 플레이트형 DRAM의 제조 방법을 도시

한 것이다.

우선, 본원 제1 발명의 제1 실시예와 동일한 방법에 의하여 활성 영역(A)에 게이트 절연막(9), 게이트 전극(10) 및 소스/드레인 영역(11)으로 구성되는 메모리셀의 MOSFET를 형성하고, 게이트 전극(10)의 측벽에 스페이스(12)를, 게이트 전극(10)의 상부에 질화실리콘막(13)을 형성한다(제1도～제9도 참조).

다음에, 제14도의 도시와 같은 스페이서(12) 및 질화실리콘막(8,13)을 마스크로하여 산화실리콘막(게이트 절연막이 되는 부분을 제외한다)(9) 및 홈(4)위의 산화실리콘막(5,7)의 일부를 각각 에칭 제거하고, 커패시터와 MOSFET 의 접속 부분을 형성한다. 본원 제1 발명의 제1 실시예와 다른 점은 홈(4)의 측벽면의 산화실리콘막(5)을 에칭하지 않는 점에 있다.

또, 이 에칭에서는 스페이서(12) 및 질화실리콘막(8,13)이 마스크가 되고 있으므로, 커패시터와 MOSFET 의 접속 부분을 소자 분리 영역이나 활성 영역에 대하여 자기 정합적으로 형성한다.

다음에, 제15도의 도시와 같이 SEG 법을 사용하여 소스/드레인 영역(11)의 상부 및 커패시터와 MOSFET 의 접속 부분에 각각 반도체(14)를 성장시킨다. 그 결과, 기판(전극)(1), 산화실리콘막(5) 및 폴리실리콘막(6)에 의하여 형성되는 커패시터와 MOSFET 가 서로 접속된다.

마지막으로, 도시는 생략했으나 MOSFET 의 게이트 전극(10)을 워드선에 접속하고 주지의 방법으로 비트선 및 금속 배선을 형성함으로써 DRAM을 완성한다.

상기 제조 방법에 있어서도 본원 제1 발명의 제1 실시예와 동일한 효과를 얻을 수 있다.

제16도～제18도는 본원의 제3 발명의 제1 실시예에 관한 기판 플레이트형의 DRAM 의 제조 방법을 도시하고 있다.

우선, 본원의 제1 발명의 제1 실시예와 동일한 방법에 의하여 질화실리콘막(8)을 에칭하여 메모리 셀의 MOSFET가 형성되는 활성 영역(A)이 되는 기판(1) 및 홈(4)의 주위의 일부분(B)을 동시에 노출시키는 것까지를 실행한다(제1도～제7도 참조).

이때, 활성 영역(A) 및 홈(4)의 주위의 일부분의 개구에 있어서는 제1 실시예와 같이 패턴의 합체 어긋남이 발생해도 인접하는 메모리 셀의 간격 W는 변하지 않고, 당해 레지스트 패턴의 합체 어긋남이 발생되지 않는 경우의 인접되는 메모리 셀의 간격 W와 동일하게 되는 효과가 있다.

다음에, 제16도의 도시와 같은 질화실리콘막(8)을 마스크로 하여 활성 영역(A)상의 산화실리콘막(7)의 일부 및 홈 측벽면의 산화실리콘막(5)의 일부를 각각 에칭 제거한다.

다음에, 제17도의 도시와 같이 SEG 법을 사용하여 기판(활성 영역)(1) 위에는 단결정 실리콘막(14A)을 성장시키고 홈(커패시터와 MOSFET 의 접속 부분)위에는 폴리실리콘막(14B)을 성장시킨다. 그리고, 단결정 실리콘막(14A)과 폴리실리콘막(14B)을 합체시킨다.

그후, 열처리를 하여 홈 내의 폴리실리콘막(6)에 포함되는 N형 불순물을 상기 홈 주변의 기판(1) 또는 실리콘막(14A,14B)으로 확산시킨다. 그 결과, 홈 주변(에칭된 부분)의 실리콘막(14A,14B) 및 이것에 인접하는 기판(1) 내에 N형 불순물 확산층(15)이 형성된다. 그리고, 기판(1), 산화실리콘막(5) 및 폴리실리콘막(6)에 의하여 커패시터가 형성된다.

다음에, 제18도의 도시와 같이 단결정 실리콘막(14A)상에 게이트 절연막(산화실리콘막)(9), 게이트 전극(10) 및 소스/드레인 영역(11)을 각각 형성하여 메모리 셀의 MOSFET를 완성한다. 또, 게이트 전극(10)의 측벽에는 스페이서(예를 들어 질화실리콘막)(12)가, 게이트 전극(10) 위에는 질화실리콘막(13)이 각각 형성된다.

마지막으로, 도시는 생략했으나 MOSFET 의 게이트 전극(10)을 워드선에 접속하고 주지의 방법에 의하여 비트선 및 금속 배선을 각각 형성함으로써 DRAM을 완성한다.

상기 제조 방법에 있어서도 질화실리콘막(8)의 에칭에 있어서 메모리 셀의 MOSFET 가 형성되는 활성 영역(A)이 되는 기판(1)과 홈(4)의 주위의 일부분(B)을 동시에 노출시키고 있다. 따라서, 레지스트 패턴의 합체 어긋남이 발생해도 인접하는 메모리 셀의 간격 W는 변함이 없고 당해 레지스트 패턴의 합체 어긋남이 발생하지 않는 경우의 인접하는 메모리 셀의 간격 W와 항상 같다. 즉, 어떤 메모리 셀의 N형 불순물 확산층(15)과 상기 메모리셀에 인접하는 메모리 셀의 소스/드레인 영역과의 간격이 레지스트 패턴의 합체 어긋남에 의하여 좁아지는 사태가 없어진다.

또, 본 실시예에서는 SEG 법에 의하여 기판(활성 영역)(1)상에는 단결정 실리콘막(14A)을 성장시킨다. 홈(커패시터와 MOSFET 의 접속 부분)의 상부에는 폴리 실리콘막(14B)을 성장시키고 이 단결정 실리콘막(14A)과 폴리실리콘막(14B)을 합체시키고 있다. 따라서, MOSFET 와 커패시터를 용이하게 접속할 수 있다.

제19도～제21도는 본원의 제3 발명의 제2 실시예에 관한 기판 플레이트형 DRAM의 제조 방법을 표시하고 있다.

우선, 본원의 제1 발명의 제1 실시예와 동일한 방법에 의하여 질화실리콘막(8)을 에칭하고 메모리 셀의 MOSFET가 형성되는 활성 영역(A)이 되는 기판(1) 및 홉(4)의 주위의 일부분(B)을 동시에 노출시키는 것까지를 실행한다(제1도～제7도 참조).

이때, 활성 영역(A) 및 홈(4)의 주위의 일부분의 개구에 있어서는 제1 실시예와 동일하게 패턴의 합체 어긋남이 발생해도 인접하는 메모리 셀의 간격 W는 변하지 않고 당해 레지스트 패턴의 합체 어긋남이 발생되지 않는 경우의 인접하는 메모리 셀의 간격 W와 동일하게 되는 효과가 있다.

다음에, 제19도의 도시와 같이 질화실리콘막(8)을 마스크로하여 활성 영역(A)상의 산화실리콘막(2), 홈 위의 산화실리콘막(7)의 일부를 각각 에칭 제거한다. 본원의 제3 발명의 제1 실시예와 다른 점은 홈 측벽면의 산화실리콘막(5)을 에칭 제거하지 않는 점에 있다.

다음에, 제20도에 도시하는 바와 같이 SEG 법을 사용하여 기판(활성 영역)(1) 위에는 단결정 실리콘막(14A)을 성장시키고, 홈(커패시터와 MOSFET 의 접속부분)위에는 폴리실리콘막(14B)을 성장시킨다. 그리고, 단결정 실리콘막(14A)과 폴리실리콘막(14B)을 합체시킨다.

그 후, 열처리를 실시하고, 홈 내의 폴리실리콘막(6)에 함유되는 N형 불순물을 상기 홈 위의 실리콘막(14A,14B)에 확산시킨다. 그 결과, 홈 위의 실리콘막(14A,14B)내에 N형 불순물 확산층(15)이 형성된다. 그리고, 기판(1), 산화실리콘막(5) 및 폴리실리콘막(6)에 의하여 커패시터가 형성된다.

다음에 제21도의 도시와 같이, 단결정 실리콘막(14A) 위에 게이트 절연막(산화실리콘막)(9), 게이트 전극(10) 및 소스/드레인 영역(11)을 각각 형성하여, 메모리 셀의 MOSFET를 완성한다. 또, 게이트 전극(10)의 측벽에는 스페이서(예를 들어 질화실리콘막)(12)가, 게이트 전극(10)의 상부에는 질화실리콘막(13)이 각각 형성된다.

마지막으로, 도시는 생략했으나 MOSFET 의 게이트 전극(10)을 워드선에 접속하고 주지의 방법으로 비트선 및 금속 배선을 각각 형성함으로써 DRAM을 완성한다.

상기 제조 방법에 있어서도 본원의 제3 발명의 제1 실시예와 동일한 효과를 얻을 수 있다.

또, 본원의 제1 발명 및 제3 발명에 있어서는 기판 플레이트형의 DRAM 에 대하여 설명했으나 이것에만 한정되지는 않는다. 예를 들어, 스택트렌치형의 DRAM 이나 시스플레이트형의 DRAM 등과 같이 커패시터가 형성되는 홈의 측벽부에 MOSFET 의 접속을 위한 개구부를 형성하는 반도체 장치이면 본 발명의 적용이 가능하다.

이상의 설명과 같이, 본 발명의 반도체 장치에 의하면 다음과 같은 효과가 있다.

커패시터가 형성되는 홈의 측벽부에 MOSFET 와의 접속을 위한 개구를 형성할 때에 상기 MOSFET 가 형성되는 활성 영역의 개구도 동시에 형성되고 있다. 이로인해, 레지스트 패턴의 합체어긋남이 발생해도 인접하는 메모리 셀의 간격은 변함이 없고, 당해 레지스트 패턴의 합체 어긋남이 발생하지 않는 경우의 인접되는 메모리 셀의 간격과 항시 동일해진다. 따라서, 레지스트패턴의 합체 어긋남이 발생해도 인접하는 메모리 셀의 사이에서 펀치 스루가 발생되는 일이 없다.

또, SEG 법에 의하여 기판(활성 영역)(1) 위에는 단결정 실리콘막을 성장시키고 홈(커패시터와 MOSFET의 접속 부분)위에는 폴리실리콘막을 성장시켜서 이 단결정 실리콘막과 폴리실리콘막을 합체시키고 있다. 따라서, 용이하게 MOSFET와 커패시터의 접속을 실행할 수 있다.

(57) 청구의 범위

청구항 1

반도체 장치의 제조 방법에 있어서, 반도체 기판에 홈을 형성하는 공정과, 상기 홈의 내벽면 및 저면에 절연막을 형성하는 공정과, 불순물을 함유한 제1 반도체 층으로 상기 홈을 채우는 공정과, 상기 홈의 상기 내벽면의 상부로부터 상기 절연막을 제거하는 공정과, 선택 에피택셜 성장법을 이용하여 상기 홈의 내벽면의 상기 상부 및 상기 제1 반도체층을 포함하는 상기 반도체 기판상에 제2 반도체 층을 성장시키는 공정과, 상기 제2 반도체층 내에 확산층을 형성하기 위해 상기 제1 반도체층의 불순물을 제2 반도체층 내로 확산시키는 공정과, 상기 제2 반도체층상에 소스 및 드레인 영역을 가지며 상기 소스 및 드레인 영역 중 하나는 상기 확산층에 중첩되는 MOSFET를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

청구항 2

제1항에 있어서, 상기 제1 반도체층의 도전형과 상기 MOSFET의 상기 소스 및 드레인 영역의 도전형은 동일한 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3

제1항에 있어서, 상기 제1 반도체층의 불순물을 확산시키는 공정은 상기 제2 반도체층 내 및 상기 홈의 상기 상부에서 상기 제1 반도체 층에 인접한 상기 반도체 기판에 확산층을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4

반도체 장치를 제조하는 방법에 있어서, 반도체 기판상에 제1 절연막을 형성하는 공정과, 상기 제1 절연막을 관통하여 상기 반도체 기판 내에 홈을 형성하는 공정과, 상기 홈의 내벽면 및 저면상에 제2 절연막을 형성하는 공정과, 상기 홈을 불순물이 도핑된 제1 반도체층으로 채우는 공정과, 상기 제1 반도체층상에 제3 절연막을 형성하는 공정과, 상기 제1 절연막과 제3 절연막 위에 제4 절연막을 증착하는 공정과, 상기 제4 절연막을 마스크로 이용하여 상기 제1 절연막 및 상기 제3 절연막의 일부를 제거함으로써 상기 반도체 기판 및 상기 제1 반도체층의 일부를 노출시키는 공정과, 상기 반도체 기판의 노출 부분 및 상기 제1 반도체층의 노출 부분 상에 제2 반도체층을 형성하는 공정과, 확산층을 형성하기 위해 상기 제1 반도체층으로부터 불순물을 상기 제2 반도체층 내로 확산시키는 공정과, 상기 제2 반도체층상에 소스 및 드레인 영역을 갖고 상기 소스 및 드레인 영역 중의 하나는 상기 확산층과 중첩되는 트랜지스터를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5

제4항에 있어서, 상기 제1 절연막은 산화 실리콘이고, 상기 제4 절연막은 질화 실리콘인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6

제4항에 있어서, 상기 제1 반도체층은 폴리실리콘으로 형성되고, 상기 제2 반도체층은 단결정 실리콘 및 폴리실리콘으로 형성되며, 상기 트랜지스터는 상기 제2 반도체층의 단결정 실리콘상에 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7

제4항에 있어서, 상기 제2 절연막의 일부는 상기 제4 절연막을 마스크로 이용하여 상기 제1 및 제3 절연막과 동시에 제거되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8

제4항에 있어서, 상기 제2 반도체층은 선택 에피택셜 성장법에 의해 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 9

제7항에 있어서, 상기 확산 공정은 확산층을 형성하기 위해 상기 제1 반도체층으로부터 불순물을 상기 제2 반도체층 및 상기 반도체 기판 내로 확산시키는 공정인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10

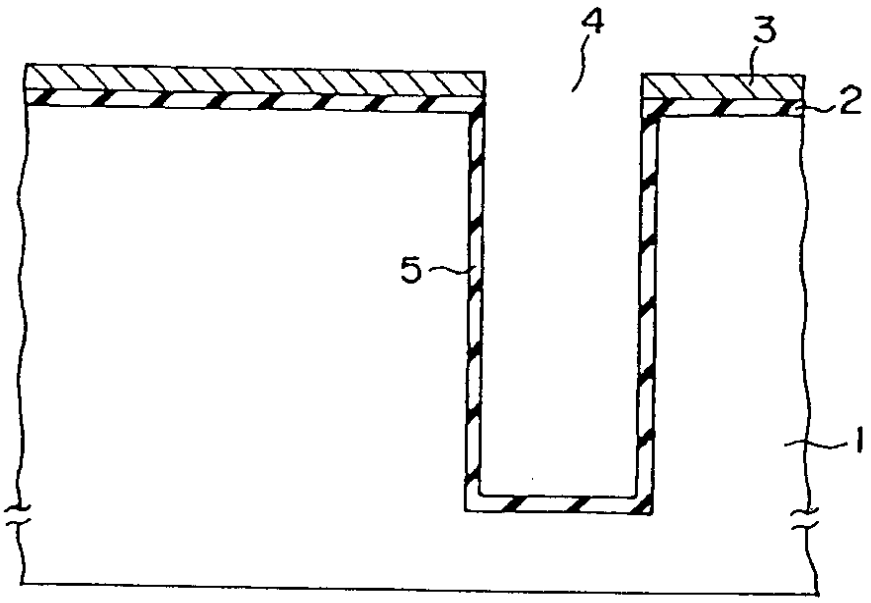
반도체 기판의 제조 방법에 있어서, 반도체 기판상에 제1 절연막을 형성하는 공정과, 상기 제1 절연막을 관통하여 상기 반도체 기판 내에 홈을 형성하는 공정과, 상기 홈의 내벽면 및 저면상에 제2 절연막을 형성하는 공정과, 상기 홈에 제1 반도체층을 형성하는 공정과, 상기 제1 반도체층상의 일부에 제3 절연막을 형성하는 공정과, 상기 반도체 기판의 노출 부분 및 상기 제1 반도체층상의 상기 제3 절연막이 형성되어 있지 않은 부분상에 제2 반도체층을 형성하는 공정과, 상기 제2 반도체층과 전기적으로 접속된 소스 또는 드레인 영역을 갖는 트랜지스터를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 11

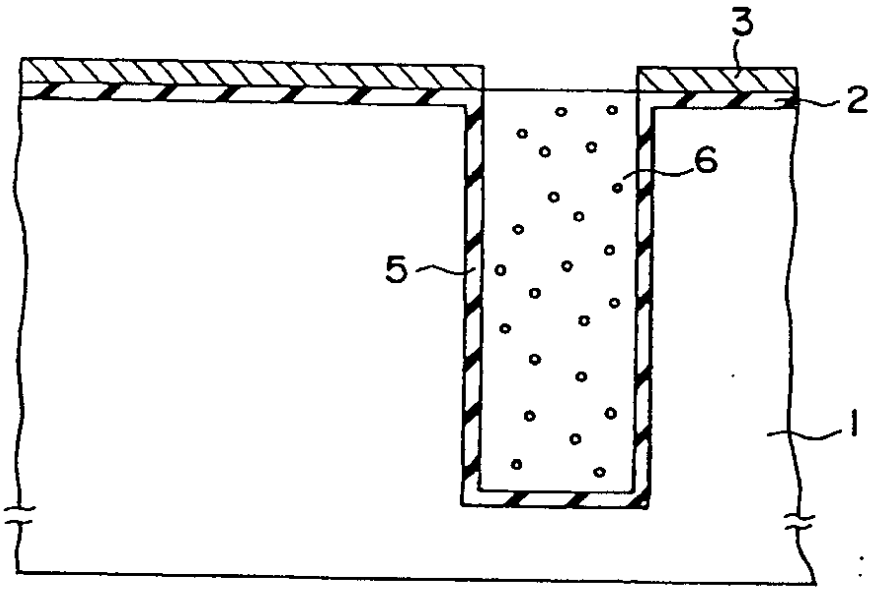
제10항에 있어서, 상기 제2 반도체층은 선택 에피택셜 성장법에 의해 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

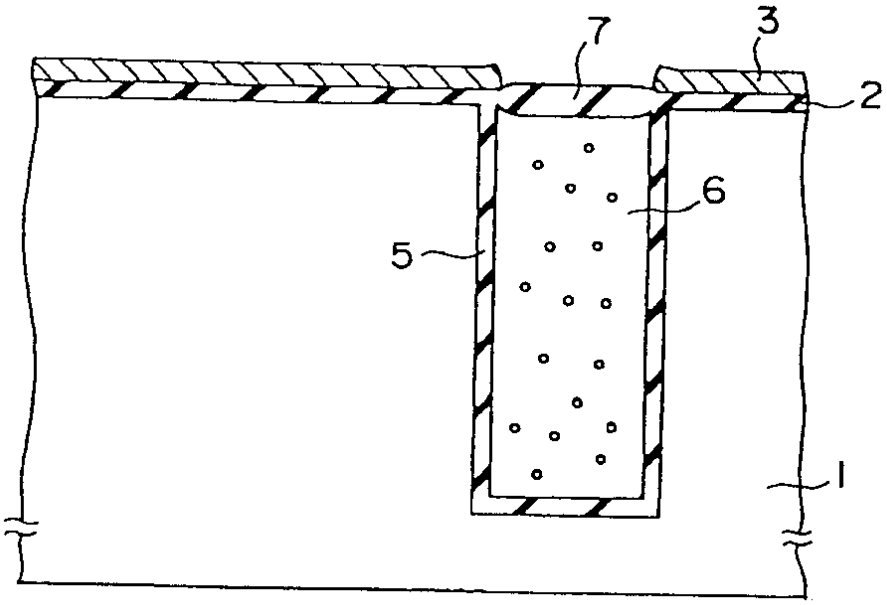
도면1



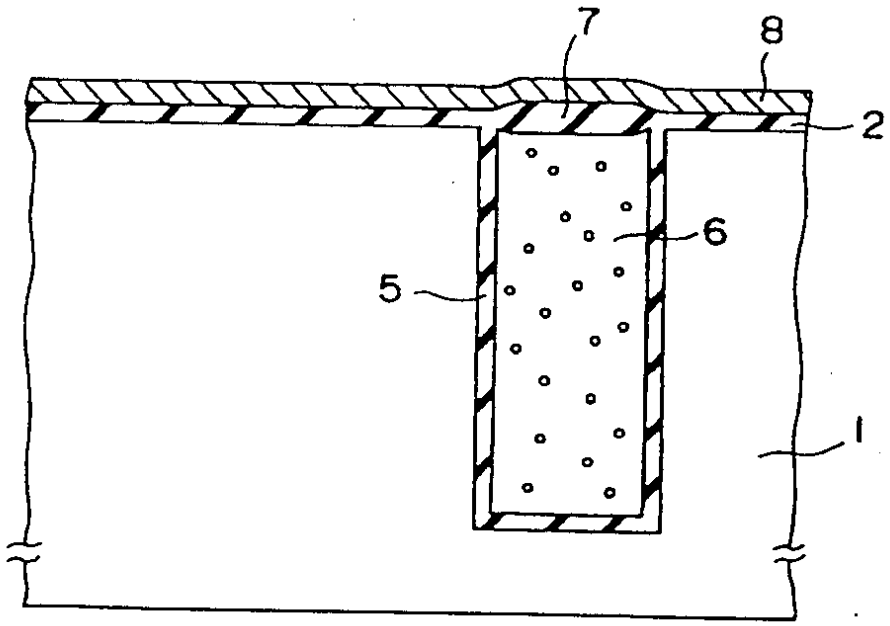
도면2



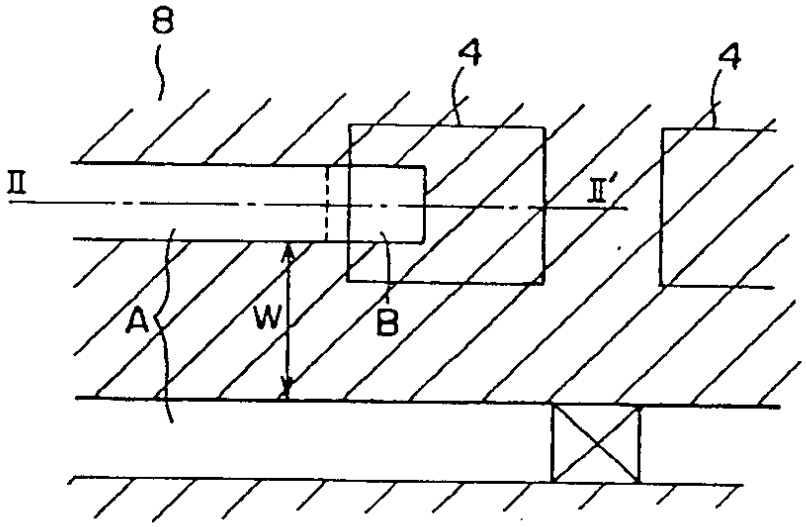
도면3



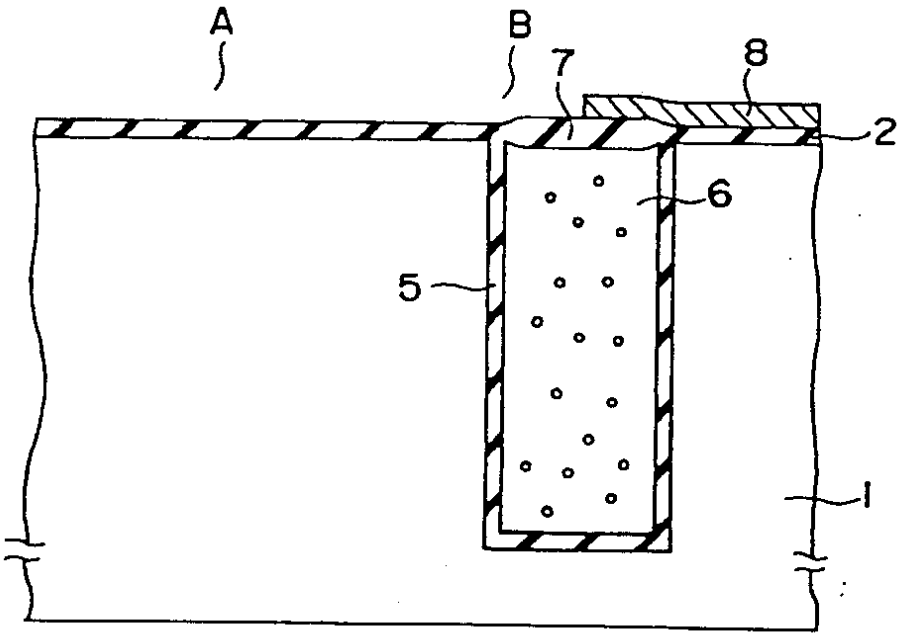
도면4



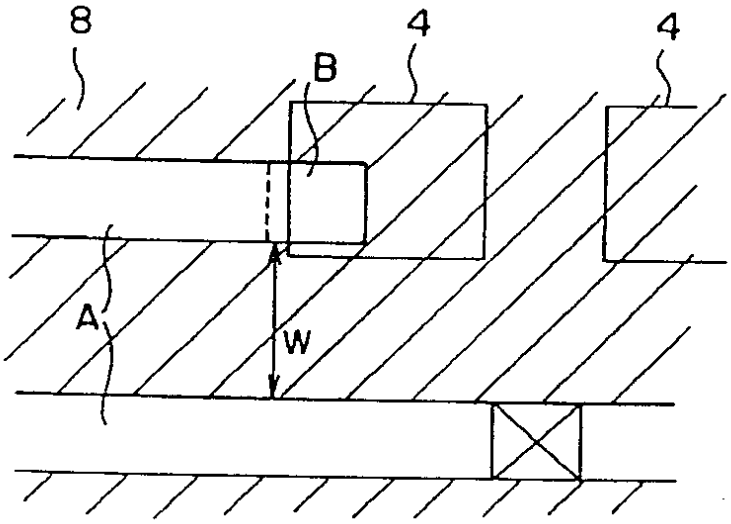
도면5



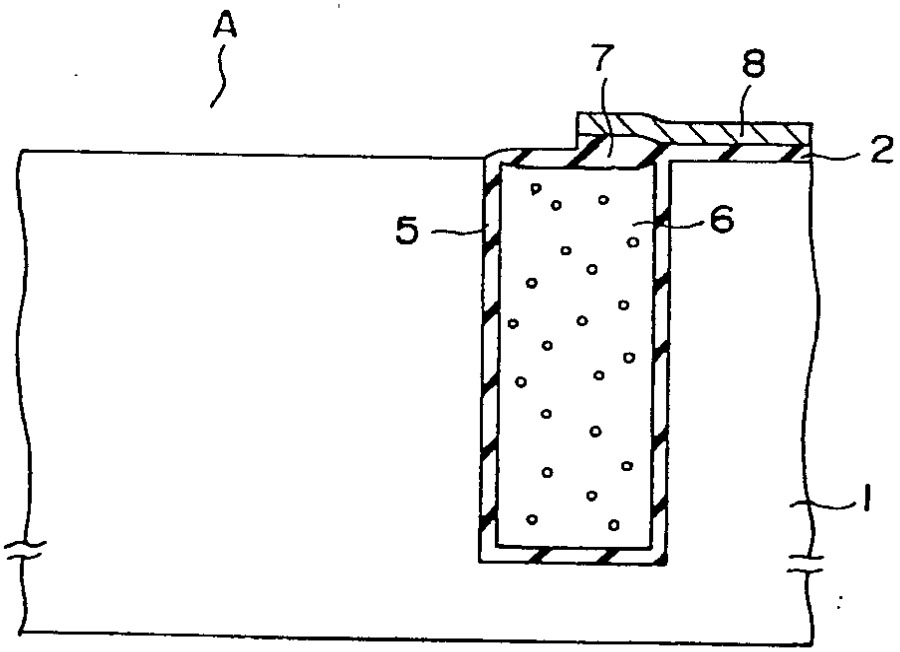
도면6



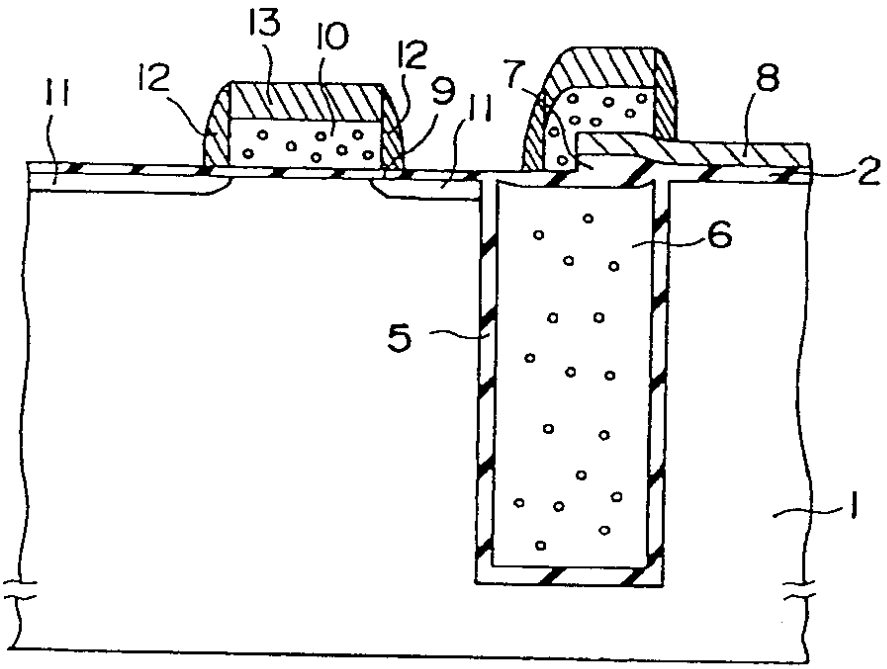
도면7



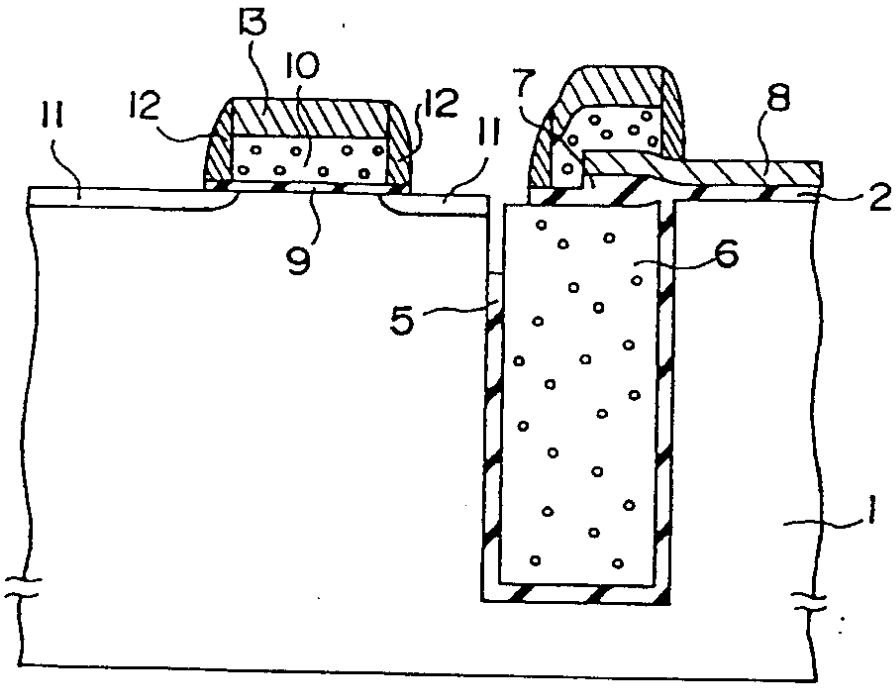
도면8



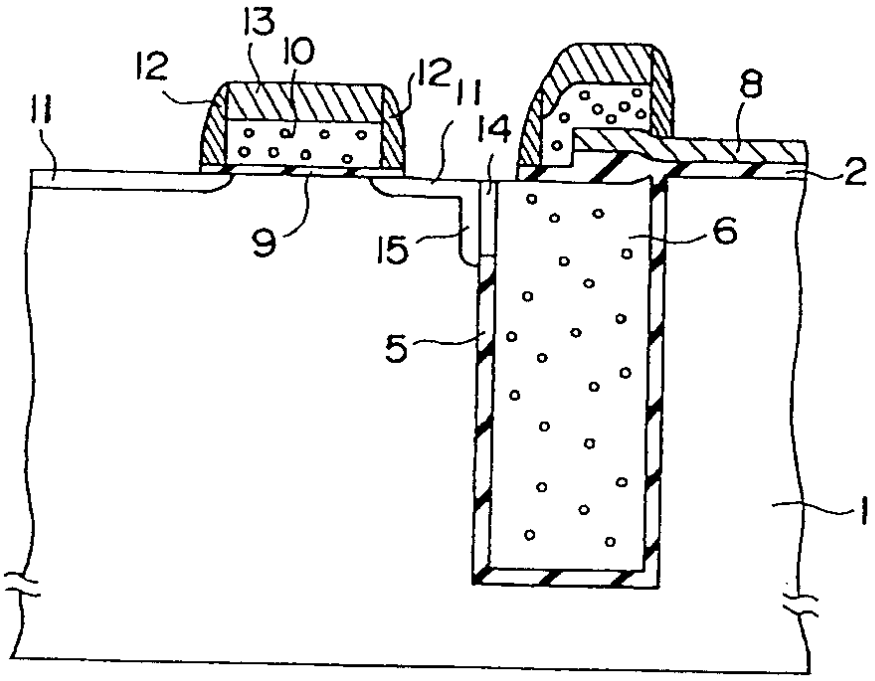
도면9



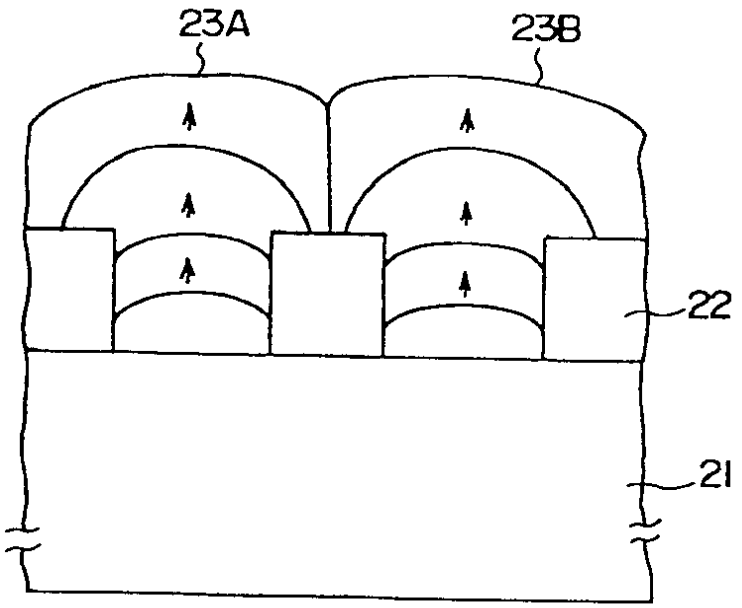
도면10



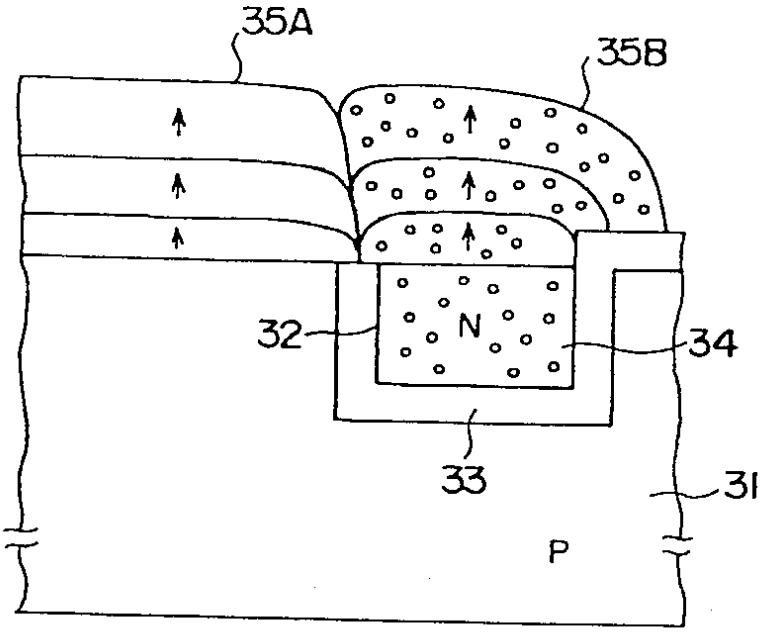
도면11



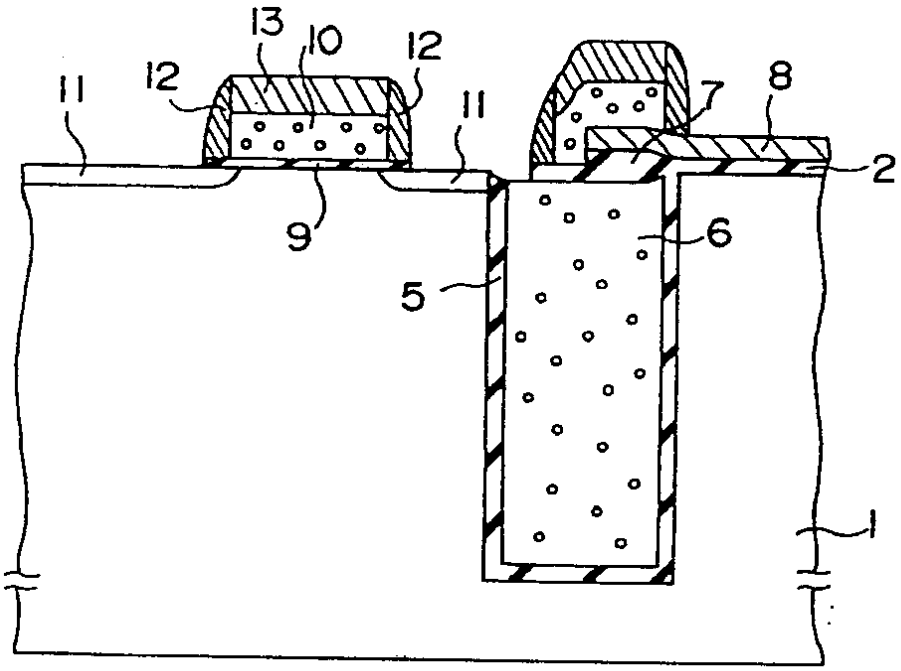
도면12



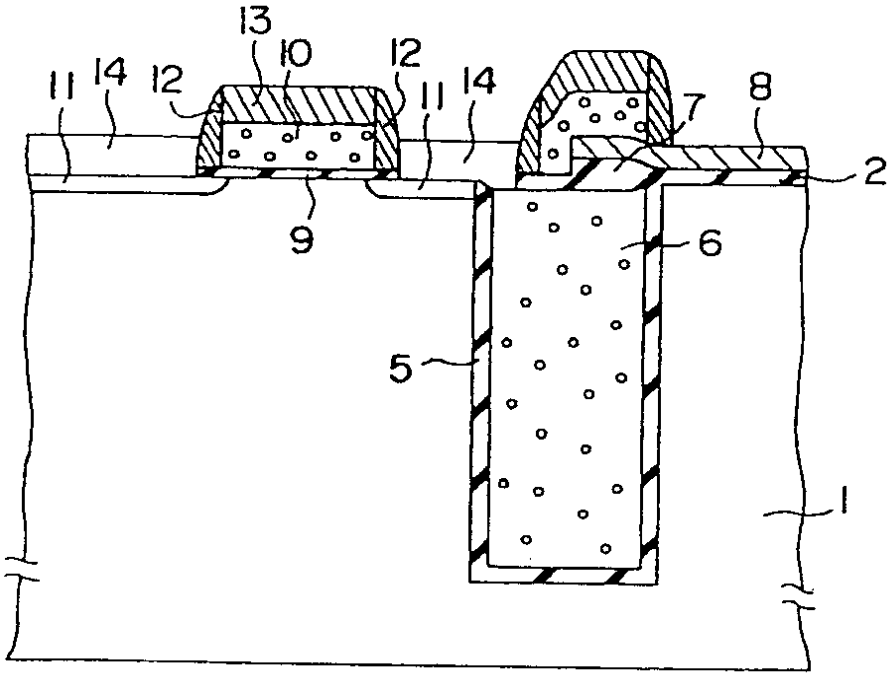
도면13



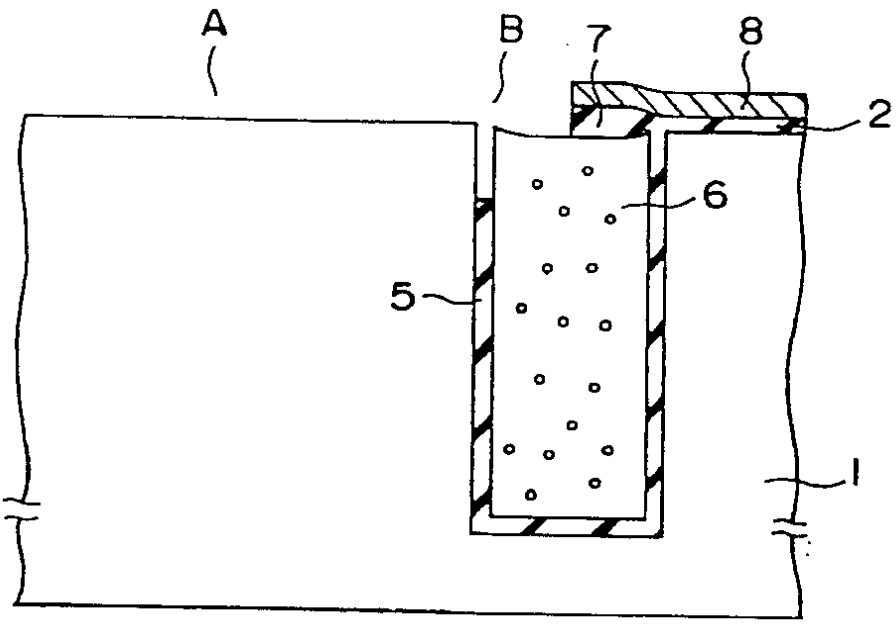
도면14



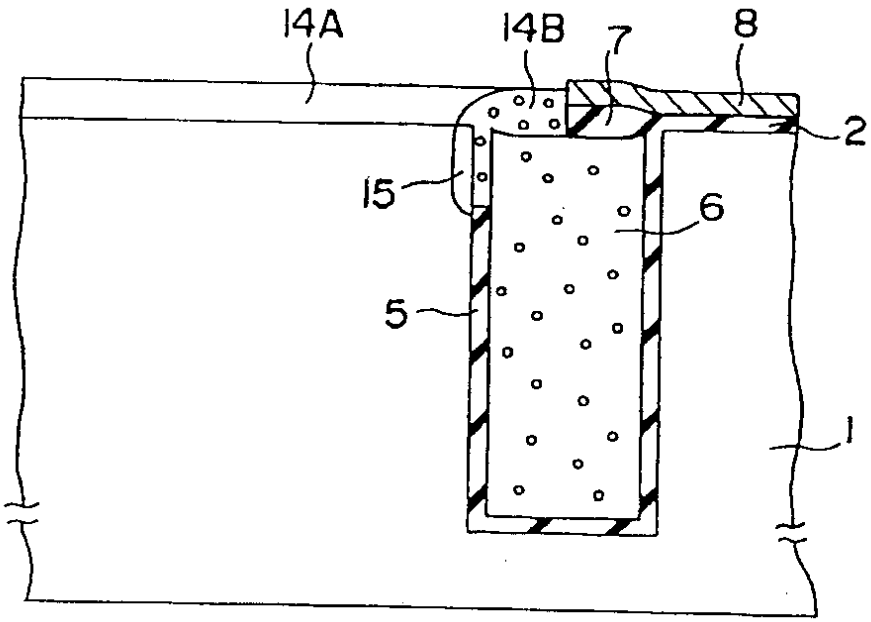
도면15



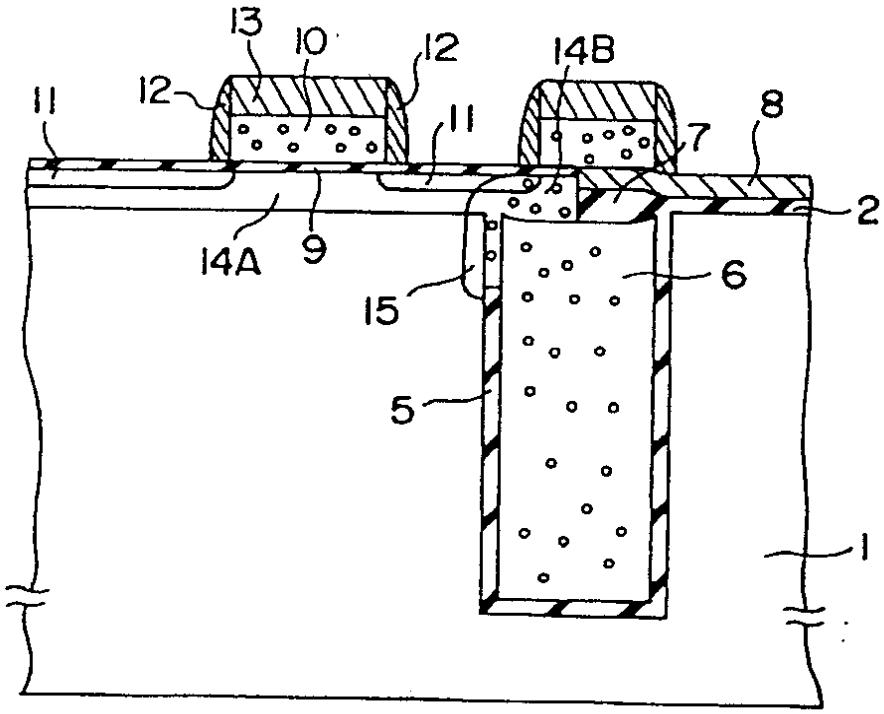
도면16



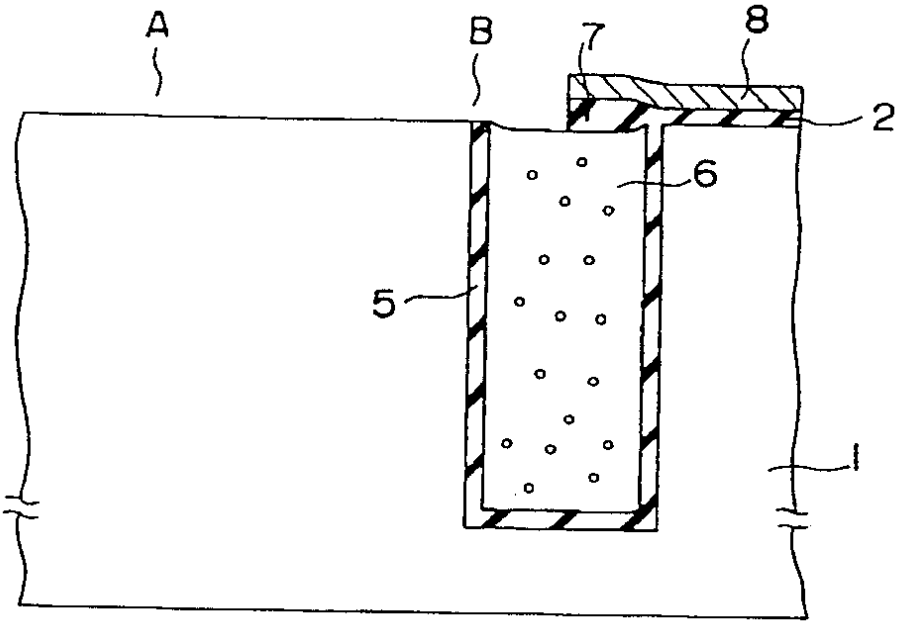
도면17



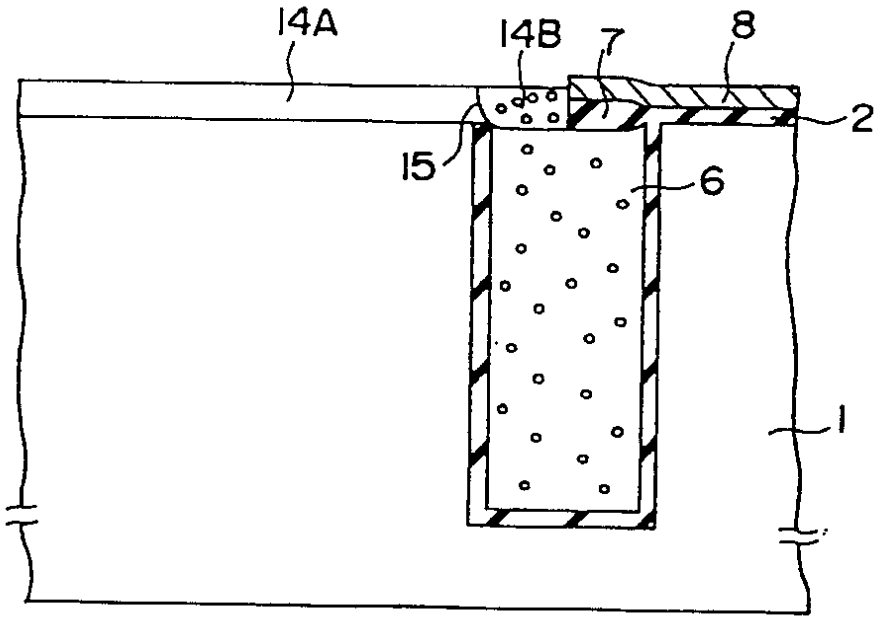
도면18



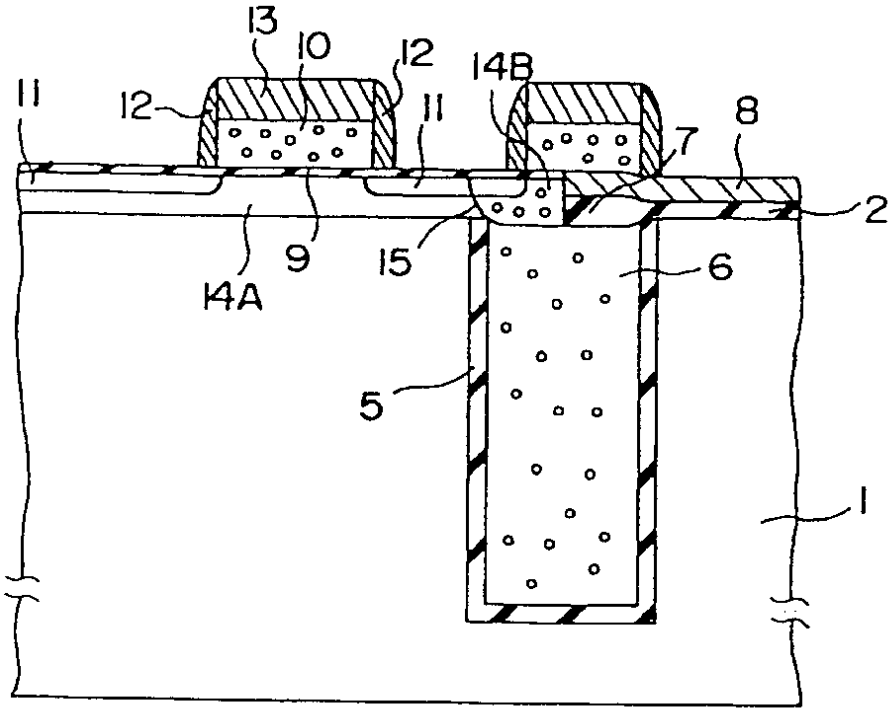
도면19



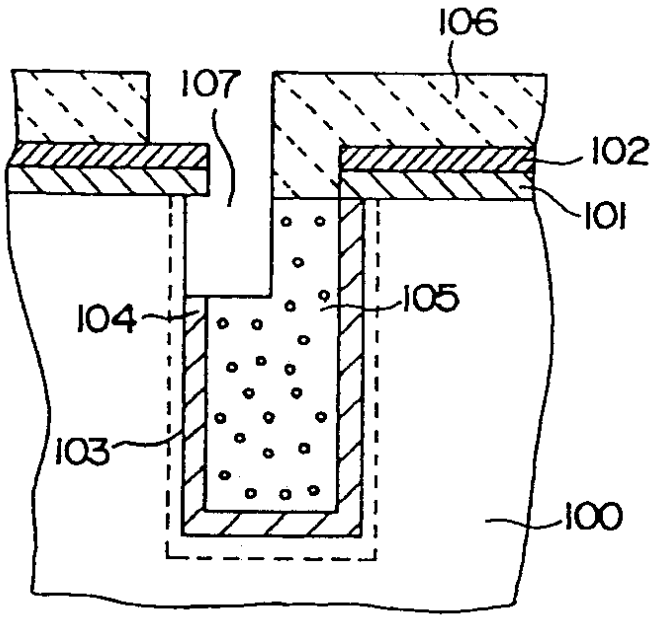
도면20



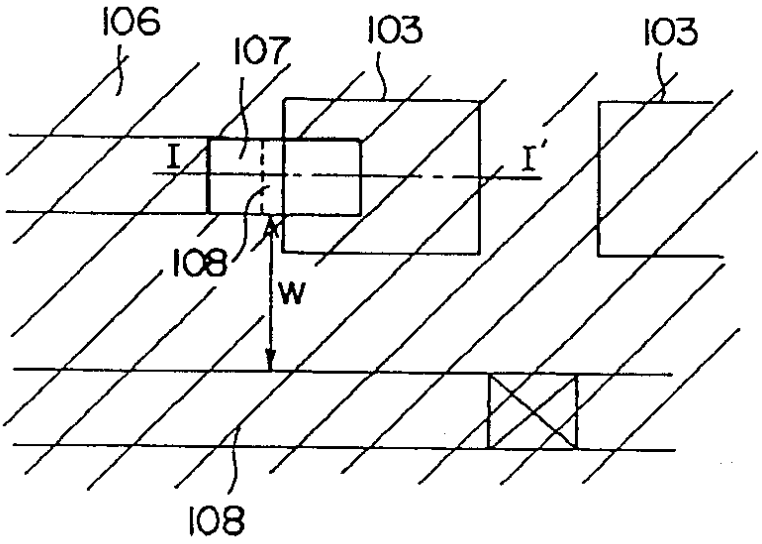
도면21



도면22



도면23



도면24

