

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6663635号
(P6663635)

(45) 発行日 令和2年3月13日(2020.3.13)

(24) 登録日 令和2年2月19日(2020.2.19)

(51) Int.Cl.	F 1
HO 1 L 21/336	(2006.01)
HO 1 L 29/786	(2006.01)
HO 1 L 27/144	(2006.01)
HO 1 L 27/146	(2006.01)
HO 4 N 5/32	(2006.01)
HO 1 L	29/78
HO 1 L	27/144

請求項の数 3 (全 37 頁) 最終頁に続く

(21) 出願番号	特願2014-125878 (P2014-125878)
(22) 出願日	平成26年6月19日(2014.6.19)
(65) 公開番号	特開2015-26828 (P2015-26828A)
(43) 公開日	平成27年2月5日(2015.2.5)
審査請求日	平成29年5月10日(2017.5.10)
審判番号	不服2018-14782 (P2018-14782/J1)
審判請求日	平成30年11月6日(2018.11.6)
(31) 優先権主張番号	特願2013-128794 (P2013-128794)
(32) 優先日	平成25年6月19日(2013.6.19)
(33) 優先権主張国・地域又は機関	日本国(JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	高橋 寛暢 栃木県栃木市都賀町升塚161-2 アド バンスト フィルム ディバイス インク 株式会社内
(72) 発明者	島 行徳 栃木県栃木市都賀町升塚161-2 アド バンスト フィルム ディバイス インク 株式会社内
(72) 発明者	保坂 泰靖 栃木県栃木市都賀町升塚161-2 アド バンスト フィルム ディバイス インク 株式会社内

最終頁に続く

(54) 【発明の名称】撮像装置

(57) 【特許請求の範囲】

【請求項 1】

X線又はガンマ線を用いて画像を取得する撮像装置であって、受光素子と、前記受光素子と電気的に接続された回路部と、前記受光素子および前記回路部上にシンチレータと、を有し、前記回路部は、トランジスタを有し、前記トランジスタと前記受光素子と前記シンチレータとはそれぞれ重なりを有し、前記トランジスタは、絶縁表面上のゲート電極と、前記ゲート電極上に第1の絶縁膜、第2の絶縁膜の順で積層されたゲート絶縁膜と、前記ゲート絶縁膜上の前記ゲート電極と重なる酸化物半導体層と、前記酸化物半導体層の一部と接するソース電極層およびドレイン電極層と、前記酸化物半導体層、前記ソース電極層および前記ドレイン電極層上の絶縁層と、前記絶縁層上の第2のゲート電極と、を有し、前記第2のゲート電極は、定電位源に電気的に接続され、前記第1の絶縁膜は窒化珪素膜であり、前記第2の絶縁膜は酸化珪素膜または酸化窒化珪素膜であり、前記第1の絶縁膜の膜厚は100nm乃至400nmであり、前記第2の絶縁膜の膜厚は5nm乃至20nmであり、

10

20

前記酸化物半導体層は、1 nm以上3 nm以下の微結晶を有し、
前記微結晶より小さいプローブ径の電子線を用いるナノビーム電子線回折における回折
パターンにおいて、円周状に配置された複数のスポットが観察される領域を有する撮像装
置。

【請求項 2】

請求項1において、

前記受光素子は、フォトダイオードであることを特徴とする撮像装置。

【請求項 3】

請求項1において、

前記受光素子は、一対の電極間に半導体層を有する可変抵抗素子であることを特徴とす
る撮像装置。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、撮像装置に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。 20

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

【背景技術】

【0004】

医療現場では、患者の特定部位にX線を照射し、当該特定部位を透過したX線によってX線フィルムを感光し、現像することで当該特定部位の内部の様子を可視化する写真技術を用いた医療用画像診断装置が広く普及している。 30

【0005】

上記X線フィルムを用いた方法では、X線フィルムを保管するスペースの確保が必要なことや、その管理が煩雑であるため、画像の電子化が進められている。画像を電子化する方法の一つとして、イメージングプレートを用いる方法が知られている。イメージングプレートをX線フィルムと同様にX線で感光させ、当該イメージングプレートから発せられる光をスキャナで検出することにより、電子化された画像を得ることができる。

【0006】

イメージングプレートは、X線の照射によって光を発する特性（輝尽性）を有する材料（輝尽性蛍光体）が塗布された板であり、X線フィルムよりもX線吸収差の検出感度が高い。また、X線照射の情報を消去することができ、繰り返して使用することができる。しかしながら、イメージングプレートで取得できる情報はアナログ情報であり、それを電子化するにはデジタル化処理をするという工程が残されていた。 40

【0007】

そのため、近年では、デジタルデータを直接取得できるフラットパネルディテクタが注目されている（例えば、特許文献1）。フラットパネルディテクタは、直接方式と間接方式の二方式があり、直接方式はX線検出素子を用いてX線を電荷に直接変換する方式であり、間接方式はX線をシンチレータによって可視光に変換し、その光をフォトダイオードで電荷に変換する方式である。いずれの方式においても、フラットパネルディテクタは、マ 50

トリクス状に配置された複数の画素回路を有している。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開平11-311673号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

フラットパネルディテクタの画素回路を構成するトランジスタには半導体材料や絶縁材料が含まれており、エネルギーの強いX線等の放射線が当該半導体材料や当該絶縁材料に照射されると欠陥準位などが生成し、トランジスタの電気特性を変動させてしまう。 10

【0010】

このような現象は、シンチレータを透過してしまう微量の放射線によっても起こりうるため、フラットパネルディテクタの消費電力の増加や信頼性の悪化の一要因となっている。

【0011】

したがって、本発明の一態様では、X線等の放射線照射に対して安定性が高い撮像装置を提供することを目的の一つとする。または、電気特性の低下を抑制できる構成の撮像装置を提供することを目的の一つとする。または、解像度の高い撮像装置を提供することを目的の一つとする。または、少ない放射線量で撮像することができる撮像装置を提供することを目的の一つとする。または、低消費電力の撮像装置を提供することを目的の一つとする。または、信頼性の高い撮像装置を提供することを目的の一つとする。または、新規な撮像装置などを提供することを目的の一つとする。 20

【0012】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0013】

本発明の一態様は、画素回路に酸化物半導体を用いたトランジスタを有し、X線等の放射線を用いて画像を取得する撮像装置に関する。 30

【0014】

本発明の一態様は、受光素子と、受光素子と電気的に接続された回路部と、を有し、回路部は、絶縁表面上に形成されたゲート電極と、ゲート電極上に第1の絶縁膜、第2の絶縁膜の順で形成されたゲート絶縁膜と、ゲート絶縁膜上に形成され、ゲート電極と重なる酸化物半導体層と、酸化物半導体層の一部と接するソース電極層およびドレイン電極層と、ゲート絶縁膜、酸化物半導体層、およびソース電極層およびドレイン電極層上に形成された絶縁層を含んで構成されるトランジスタを有し、第1の絶縁膜は窒化珪素膜であり、第2の絶縁膜は酸化珪素膜または酸化窒化珪素膜であり、第1の絶縁膜の膜厚は100nm乃至400nmであり、第2の絶縁膜の膜厚は5nm乃至20nmであることを特徴とする撮像装置である。 40

【0015】

当該撮像装置は、受光素子および回路部上にシンチレータが形成された構成とすることができます。

【0016】

上記受光素子には、フォトダイオード、または、一対の電極間に半導体層を有する可変抵抗素子を用いることができる。

【0017】

上記回路部は、電荷蓄積部と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、を有し、第1のトランジスタのソースまたはドレインの一方は、受光素子 50

と電気的に接続され、第1のトランジスタのソースまたはドレインの他方は、電荷蓄積部と電気的に接続され、第2のトランジスタのゲートは、電荷蓄積部と電気的に接続され、第2のトランジスタのソースまたはドレインの一方は、第3のトランジスタのソースまたはドレインの一方と電気的に接続されている構成とすることができます。

【0018】

また、上記回路部は、電荷蓄積部と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、を有し、第1のトランジスタのソースまたはドレインの一方は、受光素子と電気的に接続され、第1のトランジスタのソースまたはドレインの他方は、電荷蓄積部と電気的に接続され、第2のトランジスタのゲートは、電荷蓄積部と電気的に接続され、第2のトランジスタのソースまたはドレインの一方は、第3のトランジスタのソースまたはドレインの一方と電気的に接続され、第4のトランジスタのソースまたはドレインの一方は、電荷蓄積部と電気的に接続されている構成とすることができます。10

【発明の効果】

【0019】

本発明の一態様により、X線等の放射線照射に対して安定性が高い撮像装置を提供することができる。または、電気特性の低下を抑制できる構成の撮像装置を提供することができる。または、解像度の高い撮像装置を提供することができる。または、少ない放射線量で撮像することができる撮像装置を提供することができる。または、低消費電力の撮像装置を提供することができる。または、信頼性の高い撮像装置を提供することができる。または、新規な撮像装置などを提供することができる。20

【0020】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0021】

【図1】トランジスタを説明する断面図。

【図2】撮像装置を説明する図。

30

【図3】In-Ga-Zn酸化物および酸化珪素のバンドダイヤグラムを示す図。

【図4】トランジスタを説明する断面図。

【図5】画素回路の構成を説明する図。

【図6】画素回路の動作を説明するタイミングチャート。

【図7】画素回路の構成を説明する図。

【図8】画素回路の構成を説明する図。

【図9】画素回路の構成を説明する図。

【図10】積分回路を説明するための図。

【図11】グローバルシャッタ方式とローリングシャッタ方式の動作を説明するタイミングチャート。40

【図12】画素回路のレイアウトを説明する上面図および断面図。

【図13】画素回路のレイアウトを説明する上面図および断面図。

【図14】トランジスタを説明する断面図。

【図15】X線照射前後のトランジスタのId-Vg特性を示す図。

【図16】X線照射前後におけるしきい値電圧の差分、またはシフト値の差分と酸化窒化珪素膜の膜厚との関係を示す図。

【発明を実施するための形態】

【0022】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれ50

ば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分または同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略することがある。

【0023】

なお、本明細書等において、XとYとが接続されている、と明示的に記載する場合は、XとYとが電気的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。10

【0024】

XとYとが電気的に接続されている場合の一例としては、XとYとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。

【0025】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、增幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。20

【0026】

なお、XとYとが接続されている、と明示的に記載する場合は、XとYとが電気的に接続されている場合（つまり、XとYとの間に別の素子または別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子または別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電気的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。30

【0027】

なお、回路図上は独立している構成要素同士が電気的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、および電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電気的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。40

【0028】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電気的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電気的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的50

に接続され、Z 2 の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

【0029】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電気的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電気的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電気的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電気的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電気的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電気的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z 1、Z 2 は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0030】

なお、本明細書等において、様々な基板を用いて、トランジスタを形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板（例えば単結晶基板またはシリコン基板）、SOI基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチール基板、ステンレス・スチール・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、纖維状の材料を含む紙、または基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミニノホウケイ酸ガラス、またはソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルファン（PES）に代表されるプラスチック、またはアクリル等の可撓性を有する合成樹脂などがある。貼り合わせフィルムの一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、またはポリ塩化ビニルなどがある。基材フィルムの一例としては、ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、または紙類などがある。特に、半導体基板、単結晶基板、またはSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、または形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、または回路の高集積化を図ることができる。

【0031】

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するために用いることができる。その際、トランジスタは耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成や、基板上にポリイミド等の有機樹脂膜が形成された構成等を用いることができる。

【0032】

つまり、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基

10

20

30

40

50

板（天然纖維（絹、綿、麻）、合成纖維（ナイロン、ポリウレタン、ポリエステル）若しくは再生纖維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、またはゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、または薄型化を図ることができる。

【0033】

（実施の形態1）

本実施の形態では、本発明の一態様であるX線等の放射線を用いる撮像装置について、図面を参照して説明する。

【0034】

図1は、本発明の一態様であるX線等の放射線を用いる撮像装置に用いることができるトランジスタの断面図である。当該トランジスタは、基板100上に形成された下地絶縁膜110、当該下地絶縁膜110上に形成されたゲート電極層120、当該ゲート電極層上に第1の絶縁膜131、第2の絶縁膜132の順で形成されたゲート絶縁膜130、当該ゲート絶縁膜上に形成された酸化物半導体層140、当該酸化物半導体層の一部と接するソース電極層150およびドレイン電極層160を有する。また、ゲート絶縁膜130、酸化物半導体層140、ソース電極層150およびドレイン電極層160上に絶縁層170が形成されていてもよい。また、当該絶縁層上に絶縁層180が形成されていてもよい。

【0035】

本発明の一態様である撮像装置では、上述したように酸化物半導体を活性層に用いる。酸化物半導体層を用いたトランジスタは非晶質シリコンを用いたトランジスタよりも移動度が高いため、トランジスタを小さくすることが容易であり、画素を小さくすることができる。すなわち、撮像装置の解像度を高めることができる。

【0036】

ゲート絶縁膜130を構成する第1の絶縁膜131には、窒化珪素膜を用いることができる。当該窒化珪素膜の膜厚は100nm乃至400nmであることが好ましい。また、ゲート絶縁膜130を構成する第2の絶縁膜132には、酸化珪素膜を用いることができる。当該酸化珪素膜の膜厚は5nm乃至20nmであることが好ましい。

【0037】

図1に示すトランジスタは、図2に示す撮像装置の画素回路210、ならびに当該画素回路を駆動するための第1の回路240および第2の回路250のいずれか一方または両方に用いることができる。なお、画素回路210には、受光素子220および当該受光素子と電気的に接続された回路部230が含まれる。

【0038】

なお、図2では、画素回路210を駆動するための回路を二つの領域に配置する構成を例示したが、当該回路の構成はこれに限られない。例えば、画素回路210を駆動するための回路を一つの領域にまとめて配置してもよい。また、画素回路210を駆動するための回路を三つ以上に分割して配置してもよい。また、画素回路210を駆動するための回路は、画素回路210に含まれるトランジスタと同様に基板100上に直接形成する構成であってもよいし、COG(Chip On Glass)などでICチップを実装する構成であってもよい。また、TCP(Tape Carrier Package)などを画素回路210に接続する構成であってもよい。

【0039】

また、画素回路210上にはシンチレータ280が形成されている。シンチレータ280は、X線やガンマ線などの放射線が照射されると、そのエネルギーを吸収して可視光や紫外光を発する物質、または当該物質を含む材料からなり、例えば、 $Gd_2O_2S: Tb$ 、 $Gd_2O_2S: Pr$ 、 $Gd_2O_2S: Eu$ 、 $BaFC1: Eu$ 、 NaI 、 CsI 、 CaF_2 、 BaF_2 、 CeF_3 、 LiF 、 LiI 、 ZnO などの材料や、それらを樹脂やセラミクスに分散させたものが知られている。なお、図2ではシンチレータ280は最上面とな

10

20

30

40

50

るが、各要素の明瞭化のため、シンチレータ280を透過した図としている。

【0040】

被写体を透過したX線等の放射線はシンチレータ280に入射され、可視光や紫外光などの光(蛍光)に変換される。そして、当該光を画素回路210に設けられた受光素子220で検知し、画像データを取得する。

【0041】

ただし、シンチレータ280に照射された放射線の一部はフォトルミネッセンスに利用されず、シンチレータ280を透過してしまう。X線等の放射線がトランジスタを構成する半導体材料や絶縁材料に照射されるとその部位に欠陥準位などが生成し、トランジスタの電気特性を変動させてしまう。そのため、撮像装置の消費電力を増加させたり、信頼性を悪化させたりすることがある。10

【0042】

例えば、チャネル形成領域が酸化物半導体で形成され、本発明の一態様とは異なりゲート絶縁膜が酸化珪素膜の単層で形成されたトランジスタに強いX線を照射する加速試験を行うと、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。

【0043】

この現象は、ゲート絶縁膜として用いている酸化珪素膜のNB0HC(Non Bridging Oxygen Hole Center)が大きく関係する。

【0044】

酸化珪素(例えば、 SiO_2)に関しては、X線照射により E' センターとNB0HCという二つの欠陥が生じることが知られている。NB0HCの欠陥準位は、価電子帯側の深い準位に位置する。20

【0045】

また、トランジスタのチャネル形成領域に用いる酸化物半導体としてIn-Ga-Zn酸化物を例としたとき、両者のバンドダイヤグラムを見積もると図3に示すようになる。なお、図3には、In-Ga-Zn酸化物の酸素欠損(Vo)等に起因する欠陥準位、酸化珪素の E' センターおよびNB0HCに起因する欠陥準位をあわせて図示してある。図中の E_v 、 E_c はそれぞれ価電子帯上端、伝導帯下端を示しており、その値は真空準位からのエネルギー値を示している。また、In-Ga-Zn酸化物と酸化珪素の接触の際には、それぞれの膜のフェルミレベルがバンドギャップの中央に位置すると仮定している。なお、実際にはIn-Ga-Zn酸化物はn型化しやすいため、In-Ga-Zn酸化物のフェルミレベルは伝導帯側に位置する場合がある。30

【0046】

図3に示すように、In-Ga-Zn酸化物の欠陥準位および酸化珪素の欠陥準位は、共に価電子帯の深い位置に存在しており、非常に近いエネルギー位置に存在していることがわかる。このようなバンドダイヤグラムから、X線照射時の劣化に関して、次のようなモデルを立てることができる。

【0047】

まず、X照射によりIn-Ga-Zn酸化物(トランジスタの活性層)中に電子-正孔が生成される。次に、生成された正孔が酸素欠損に起因するIn-Ga-Zn酸化物中の深い欠陥準位にトラップされる。次にトラップされた正孔が酸化珪素(トランジスタのゲート絶縁膜)におけるNB0HCの欠陥準位に注入される。そして、注入された正孔は、酸化珪素中において正の電荷を持つ固定電荷となり、トランジスタのしきい値電圧を変動させる。40

【0048】

上記モデルからは、X線照射によるホールの生成、In-Ga-Zn酸化物中の欠陥準位、酸化珪素中の欠陥準位の3つの要素を抽出することができる。これら要素が絡み合うことでトランジスタのしきい値電圧が変動することができる。

【0049】

このため、本発明の一態様のトランジスタでは、ゲート絶縁膜130を窒化珪素膜で形成50

する第1の絶縁膜131と、酸化珪素膜で形成する第2の絶縁膜132とを含んで構成する。

【0050】

窒化珪素膜は上述したNBOHCのような深い準位が発生せず、上述したモデルにおけるしきい値電圧の変動の一要因を除くことができる。ただし、窒化珪素膜単体は酸化物半導体層をチャネル形成領域に用いたトランジスタのゲート絶縁膜には適さない。窒化珪素膜と酸化物半導体層とは良好な界面が形成されにくく固定電荷が保持されやすいことや、窒化珪素膜に含まれる水素が酸化物半導体層中に拡散し、酸素欠損に捕獲されることでドナーとなって酸化物半導体層をn型化することなどから、別の要因でしきい値電圧を変動させてしまう。

10

【0051】

そのため、本発明の一態様では、窒化珪素膜と酸化物半導体層との間に極薄い酸化珪素膜を形成する。当該酸化珪素膜は上述したモデルと同様にX線照射によりNBOHCを形成するが、その膜厚を極めて薄く形成することによりNBOHCの絶対量を低減させることができ、注入される正孔の量を制限させることができる。したがって、しきい値電圧の変動を極めて小さくすることができる。

【0052】

なお、第2の絶縁膜132には酸化窒化珪素膜を用いることもできる。本明細書において酸化窒化珪素とは、珪素、酸素、および窒素の化合物であって、その組成において酸素が窒素よりも多い物質のことを指し、窒素を含む酸化珪素ということもできる。

20

【0053】

窒化珪素膜で形成する第1の絶縁膜131の膜厚は100nm乃至400nmが好ましく、200nm乃至300nmがより好ましい。当該範囲の膜厚で第1の絶縁膜131を形成することにより絶縁耐圧の良好なゲート絶縁膜130とすることができる。

【0054】

また、酸化珪素膜で形成する第2の絶縁膜132の膜厚は5nm乃至20nmが好ましく、5nm乃至15nmがより好ましい。当該範囲の膜厚で第2の絶縁膜132を形成することによりトランジスタのしきい値電圧の変動を極めて小さくすることができる。

【0055】

また、本発明の一態様のトランジスタは、図4に示すように、絶縁層170または絶縁層180上にゲート電極層120および酸化物半導体層140と重なるように導電膜121を備えていてもよい。当該導電膜を第2のゲート電極層(バックゲート)として用いることで、オン電流の増加や、しきい値電圧の制御を行うことができる。オン電流を増加させるには、例えば、ゲート電極層120と導電膜121を同電位とし、デュアルゲートトランジスタとして駆動させればよい。また、しきい値電圧の制御を行うには、ゲート電極層120とは異なる定電位を導電膜121に供給すればよい。

30

【0056】

以上により、X線等の放射線照射に対して安定性が高く、電気特性の低下を抑制できる構成の撮像装置を提供することができる。

【0057】

本実施の形態は、他の実施の形態に記載した構成および実施例と適宜組み合わせて実施することが可能である。

40

【0058】

(実施の形態2)

本実施の形態では、実施の形態1で説明したトランジスタを用いることのできる画素回路について説明する。

【0059】

図2に示す画素回路210として用いることのできる回路の一例を図5(A)に示す。回路211は、受光素子220としてフォトダイオード320、当該受光素子と接続される回路部230に第1のトランジスタ301、第2のトランジスタ302、および第3のト

50

ランジスタ303を含んだ構成となっている。

【0060】

フォトダイオード320のアノードは第1の配線311(RS)、フォトダイオード320のカソードは第1のトランジスタ301のソースまたはドレインの一方、第1のトランジスタ301のソースまたはドレインの他方は配線305(FD)、第1のトランジスタ301のゲートは第2の配線312(TX)、第2のトランジスタ302のソースまたはドレインの一方は第4の配線314(GND)、第2のトランジスタ302のソースまたはドレインの他方は第3のトランジスタ303のソースまたはドレインの一方、第2のトランジスタ302のゲートは配線305(FD)、第3のトランジスタ303のソースまたはドレインの他方は第5の配線315(OUT)、第3のトランジスタ303のゲートは第3の配線313(SE)、に各自電気的に接続されている。10

【0061】

フォトダイオード320は受光素子であり、画素回路に入射した光に応じた電流を生成する動作を行う。第1のトランジスタ301は、フォトダイオード320による配線305(FD)への電荷蓄積を制御する。第2のトランジスタ302は、配線305(FD)の電位に応じた信号を出力する動作を行う。第3のトランジスタ303は、読み出し時に画素回路の選択を制御する。

【0062】

なお、配線305(FD)は、フォトダイオード320が受ける光の量に応じて変化する電荷を保持する、所謂電荷蓄積部である。実質的な電荷蓄積部は、配線305(FD)と電気的に接続される第1のトランジスタ301のソース領域またはドレイン領域近傍の空乏層容量、配線305(FD)の配線容量、配線305(FD)と電気的に接続される第2のトランジスタ302のゲート容量などである。20

【0063】

第1の配線311(RS)は、配線305(FD)をリセットするための信号線である。なお、回路211における第1の配線311(RS)は、配線305(FD)への電荷蓄積を行うための信号線でもある。第2の配線312(TX)は、第1のトランジスタ301を制御するための信号線である。第3の配線313(SE)は、第3のトランジスタ303を制御するための信号線である。第4の配線314(GND)は、基準電位(例えばGND)を設定する信号線である。第5の配線315(OUT)は、回路211で得られた情報を読み出すための信号線である。30

【0064】

また、画素回路210は、図5(B)に示す構成であってもよい。図5(B)に示す回路212は、図5(A)に示す回路211と構成要素は同じであるが、フォトダイオード320のアノードが第1のトランジスタ301のソースまたはドレインの一方と電気的に接続され、フォトダイオード320のカソードが第1の配線311(RS)と電気的に接続される点で異なる。

【0065】

次に、図5(A)、(B)に示す各素子の構成について説明する。

【0066】

フォトダイオード320には、シリコン半導体などでpn型やpin型の接合を形成したものを用いることができる。シンチレータが可視光を発する場合は、i型の半導体層を非晶質シリコンで形成したpin型フォトダイオードを用いることが好ましい。非晶質シリコンは可視光の波長領域における感度が高く、微弱な可視光を検知しやすい。40

【0067】

なお、i型の半導体とは、フェルミ準位がバンドギャップの中央に位置する所謂真性半導体の他、半導体に含まれるp型を付与する不純物、またはn型を付与する不純物がそれぞれ 1×10^{20} atoms/cm³以下の濃度であり、暗伝導度に対して光伝導度が高い半導体を指す。

【0068】

10

20

30

40

50

第1のトランジスタ301、第2のトランジスタ302、および第3のトランジスタ303は、非晶質シリコン、微結晶シリコン、多結晶シリコン、単結晶シリコンなどのシリコン半導体を用いて形成することも可能であるが、酸化物半導体を用いたトランジスタで形成することが好ましい。酸化物半導体でチャネル形成領域を形成したトランジスタは、極めてオフ電流が低い特性を示す特徴を有している。

【0069】

特に、配線305(FD)と接続されている第1のトランジスタ301のリーク電流が大きいと、配線305(FD)に蓄積された電荷が保持できる時間が十分でなくなる。したがって、当該トランジスタに酸化物半導体を用いたトランジスタを使用することで、フォトダイオードを介した不要な電荷の流出を防止することができる。

10

【0070】

また、第2のトランジスタ302、第3のトランジスタ303においても、リーク電流が大きいと、第4の配線314または第5の配線315に不必要的電荷の出力が起こるため、これらのトランジスタとして、酸化物半導体でチャネル形成領域を形成したトランジスタを用いることが好ましい。

【0071】

また、第2のトランジスタ302に酸化物半導体を用いた極めてオフ電流の低いトランジスタを用いることで、撮像のダイナミックレンジを拡大することができる。図5(A)に示す画素回路構成では、フォトダイオード320に入射される光の強度が大きいときに第2のトランジスタ302のゲート電位が小さくなる。また、図5(B)に示す画素回路構成では、フォトダイオード320に入射される光の強度が小さいときに第2のトランジスタ302のゲート電位が小さくなる。酸化物半導体を用いたトランジスタは極めてオフ電流が低いため、ゲート電位が極めて小さい場合においても当該ゲート電位に応じた電流を正確に出力することができる。したがって、検出することのできる照度のレンジ、すなわちダイナミックレンジを広げることができる。

20

【0072】

また、図5(B)に示す画素回路構成においては、第2のトランジスタ302のゲート電位が比較的小さいとき、すなわち、シンチレータからフォトダイオードに照射される光の強度が小さい場合においても十分なダイナミックレンジを得られる。つまり、シンチレータが発する光の強度は小さくてもよいことになるため、被写体に照射するX線強度を小さくすることができる。

30

【0073】

次に、図5(A)の回路211の動作の例について図6(A)に示すタイミングチャートを用いて説明する。

【0074】

図6(A)では簡易に説明するため、各配線に、二値変化する信号を与える。ただし、上記信号はアナログ信号であるため、実際には状況に応じて二値に限らず種々の値を取り得る。なお、図に示す信号401は第1の配線311(RS)の電位、信号402は第2の配線312(TX)の電位、信号403は第3の配線313(SE)の電位、信号404は配線305(FD)の電位、信号405は第5の配線315(OUT)の電位に相当する。

40

【0075】

時刻Aにおいて、第1の配線311の電位(信号401)を”High”、第2の配線312の電位(信号402)を”High”とすると、フォトダイオード320に順方向バイアスが印加され、配線305の電位(信号404)が”High”となる。すなわち、電荷蓄積部の電位は第1の配線311の電位に初期化され、リセット状態となる。以上がリセット動作の開始である。なお、第5の配線315の電位(信号405)は、”High”にプリチャージしておく。

【0076】

時刻Bにおいて、第1の配線311の電位(信号401)を”Low”、第2の配線31

50

2の電位(信号402)を”High”とするとリセット動作が終了し、蓄積動作が開始される。ここで、フォトダイオード320には逆方向バイアスが印加されるため、逆方向電流により、配線305の電位(信号404)が低下し始める。フォトダイオード320は、光が照射されると逆方向電流が増大するので、照射される光の量に応じて配線305の電位(信号404)の低下速度は変化する。すなわち、フォトダイオード320に照射する光の量に応じて、第2のトランジスタ302のソースとドレイン間のチャネル抵抗が変化する。

【0077】

なお、ここでフォトダイオード320に照射される光とは、シンチレータによってX線等の放射線から変換された光を指す。

10

【0078】

時刻Cにおいて、第2の配線312の電位(信号402)を”Low”とすると蓄積動作が終了し、配線305の電位(信号404)は一定となる。ここで、当該電位は、蓄積動作中にフォトダイオード320が生成した電荷量により決まる。すなわち、フォトダイオード320に照射されていた光の量に応じて変化する。また、第1のトランジスタ301は、酸化物半導体層でチャネル形成領域を形成したオフ電流が極めて低いトランジスタで構成されているため、後の選択動作(読み出し動作)を行うまで、配線305の電位を一定に保つことが可能である。

【0079】

なお、第2の配線312の電位(信号402)を”Low”とする際に、第2の配線312と配線305との間ににおける寄生容量により、配線305の電位に変化が生じことがある。当該電位の変化量が大きい場合は、蓄積動作中にフォトダイオード320が生成した電荷量を正確に取得できることになる。当該電位の変化量を低減するには、第1のトランジスタ301のゲート-ソース(もしくはゲート-ドレイン)間容量を低減する、第2のトランジスタ302のゲート容量を増大する、配線305に保持容量を設ける、などの対策が有効である。なお、本実施の形態では、これらの対策により当該電位の変化を無視できるものとしている。

20

【0080】

時刻Dに、第3の配線313の電位(信号403)を”High”にすると、第3のトランジスタ303が導通して選択動作が開始され、第4の配線314と第5の配線315が、第2のトランジスタ302と第3のトランジスタ303とを介して導通する。そして、第5の配線315の電位(信号405)は、低下していく。なお、第5の配線315のブリチャージは、時刻D以前に終了しておけばよい。ここで、第5の配線315の電位(信号405)が低下する速さは、第2のトランジスタ302のソースとドレイン間の電流に依存する。すなわち、蓄積動作中にフォトダイオード320に照射されている光の量に応じて変化する。

30

【0081】

時刻Eにおいて、第3の配線313の電位(信号403)を”Low”にすると、第3のトランジスタ303が遮断されて選択動作は終了し、第5の配線315の電位(信号405)は、一定値となる。ここで、一定値となる値は、フォトダイオード320に照射されていた光の量に応じて変化する。したがって、第5の配線315の電位を取得することで、蓄積動作中にフォトダイオード320に照射されていた光の量を知ることができる。

40

【0082】

より具体的には、フォトダイオード320に照射されている光が強いと、配線305の電位は低くなり、第2のトランジスタ302のゲート電圧は低くなるので、第5の配線315の電位(信号405)はゆっくりと低下する。したがって、第5の配線315からは比較的高い電位を読み出すことができる。

【0083】

逆に、フォトダイオード320に照射されている光が弱いと、配線305の電位は高くなり、第2のトランジスタ302のゲート電圧は高くなるので、第5の配線315の電位(

50

信号 405) は速く低下する。したがって、第 5 の配線 315 からは比較的低い電位を読み出すことができる。

【0084】

次に、図 5 (B) の回路 212 の動作の例について図 6 (B) に示すタイミングチャートを用いて説明する。

【0085】

時刻 Aにおいて、第 1 の配線 311 の電位(信号 401)を”Low”、第 2 の配線 312 の電位(信号 402)を”High”とすると、フォトダイオード 320 に順方向バイアスが印加され、配線 305 の電位(信号 404)が”Low”となる。すなわち、電荷蓄積部の電位はリセット状態となる。以上がリセット動作の開始である。なお、第 5 の配線 315 電位(信号 405)は、”High”にプリチャージしておく。

10

【0086】

時刻 Bにおいて、第 1 の配線 311 の電位(信号 401)を”High”、第 2 の配線 312 の電位(信号 402)を”High”とするとリセット動作が終了し、蓄積動作が開始される。ここで、フォトダイオード 320 には逆方向バイアスが印加されるため、逆方向電流により、配線 305 の電位(信号 404)が増加し始める。フォトダイオード 320 は、光が照射されると逆方向電流が増大するので、照射される光の量に応じて配線 305 の電位(信号 404)の増加速度は変化する。すなわち、フォトダイオード 320 に照射する光の量に応じて、第 2 のトランジスタ 302 のソースとドレイン間のチャネル抵抗が変化する。

20

【0087】

時刻 C 以降の動作は、図 6 (A) のタイミングチャートの説明を参照することができ、時刻 Eにおいて、第 5 の配線 315 の電位を取得することで、蓄積動作中にフォトダイオード 320 に照射されていた光の量を知ることができる。

【0088】

また、画素回路 210 は、図 7 (A)、(B) に示す構成であってもよい。

【0089】

図 7 (A) に示す回路 213 は、図 5 (A) に示す回路 211 の構成に第 4 のトランジスタ 304 が加えられた構成であり、当該トランジスタのゲートは第 1 の配線 311 と電気的に接続され、ソースまたはドレインの一方は配線 305 (FD) と電気的に接続され、ソースまたはドレインの他方は第 7 の配線 317 と電気的に接続され、フォトダイオード 320 のアノードが第 6 の配線 316 に電気的に接続される。ここで、第 6 の配線 316 はフォトダイオード 320 に常時逆バイアスを印加するための信号線(低電位線)である。また、第 7 の配線 317 は配線 305 を高電位にリセットするための信号線(高電位線)である。

30

【0090】

第 4 のトランジスタ 304 は、配線 305 (FD) をリセットするためのリセットトランジスタとして機能する。したがって、図 5 (A) に示す回路 211 とは異なり、フォトダイオード 320 を介したリセット動作は行われず、該フォトダイオードは常時逆バイアスが印加されている。配線 305 (FD) のリセットは、第 1 の配線 311 (RS) の電位を”High”に制御することで行うことができ、回路 213 は、図 5 (A) に示す回路 211 と同じく、図 6 (A) に示すタイミングチャートで動作することができる。

40

【0091】

また、図 7 (B) に示す回路 214 は、図 5 (B) に示す回路 212 の構成に第 4 のトランジスタ 304 が加えられた構成であり、当該トランジスタのゲートは第 1 の配線 311 と電気的に接続され、ソースまたはドレインの一方は配線 305 (FD) と電気的に接続され、ソースまたはドレインの他方は第 7 の配線 317 と電気的に接続され、フォトダイオード 320 のカソードが第 6 の配線 316 に電気的に接続される。ここで、第 6 の配線 316 はフォトダイオード 320 に常時逆バイアスを印加するための信号線(高電位線)である。また、第 7 の配線 317 は配線 305 を低電位にリセットするための信号線(低

50

電位線)である。

【0092】

第4のトランジスタ304は、配線305(FD)をリセットするためのリセットトランジスタとして機能する。したがって、図5(B)に示す回路212とは異なり、フォトダイオード320を介したリセット動作は行われず、該フォトダイオードは常時逆バイアスが印加されている。配線305(FD)のリセットは、第1の配線311(RS)の電位を”High”に制御することで行うことができ、回路214は、図6(C)に示すタイミングチャートで動作することができる。

【0093】

なお、第4のトランジスタ304は、非晶質シリコン、微結晶シリコン、多結晶シリコン、単結晶シリコンなどのシリコン半導体を用いて形成することも可能であるが、リーク電流が大きいと、電荷蓄積部で電荷が保持できる時間が十分でなくなってしまう。したがって、第1のトランジスタ301と同じく、オフ電流が極めて小さい特性を有する酸化物半導体で形成したトランジスタを用いることが好ましい。

【0094】

また、画素回路210は、図8に示す構成であってもよい。図8に示す回路215は、図5(A)または図5(B)の構成における受光素子をフォトダイオードから可変抵抗素子330に置き換えた構成である。当該可変抵抗素子には、一対の電極と、その一対の電極間に設けられたi型の導電型を有する半導体層を用いることができる。

【0095】

例えば、当該半導体層としてi型非晶質シリコン層を用いると、可視光が照射されることにより抵抗が変化するため、フォトダイオードを用いた場合と同様に配線305の電位を変化させることができ、蓄積動作中に可変抵抗素子330に照射されていた光の量を知ることができる。また、i型の導電型を有する半導体層として、バンドギャップが3eV以上の酸化物半導体層を用いてもよい。当該酸化物半導体層は、紫外光が照射されることにより抵抗が変化するため、配線305の電位を変化させることができ、蓄積動作中に可変抵抗素子330に照射されていた光の量を知ることができる。なお、可変抵抗素子330に照射される光の波長を選択するには、シンチレータ280の種類を変更すればよい。

【0096】

図8に示す回路215は、第6の配線316の電位を”Low”、第7の配線317の電位を”High”とすれば、図6(A)のタイミングチャートに従って動作させることができる。また、第6の配線316の電位を”High”、第7の配線317の電位を”Low”とすることで、図6(C)のタイミングチャートに従って動作させることができる。

【0097】

また、画素回路210に用いるトランジスタは、図9(A)または図9(B)に示すように、第1のトランジスタ301、第2のトランジスタ302、および第3のトランジスタ303にバックゲートを設けた構成であってもよい。図9(A)はバックゲートに定電位を印加する構成であり、しきい値電圧を制御することができる。また、図9(B)はフロントゲートと同じ電位がバックゲートに印加される構成であり、オン電流を増加させることができる。なお、図9(A)においては、バックゲートが第4の配線314(GND)と電気的に接続される構成を例示したが、定電位が供給される別の配線と電気的に接続されていてもよい。なお、図9(A)、(B)は回路211においてトランジスタにバックゲートを設けた例を示したが、同様の構成を回路212、回路213、回路214に示す回路にも適用することもできる。また、一つの画素回路に含まれるトランジスタに対し、フロントゲートと同じ電位がバックゲートに印加される構成、バックゲートに定電位を印加する構成、またはバックゲートを設けない構成を必要に応じて任意に組み合わせた回路構成としてもよい。

【0098】

なお、上述した回路例において、第5の配線315(OUT)には、図10(A)、(B)

10

20

30

40

50

)、(C)に示すような積分回路が接続されていてもよい。当該回路によって、読み出し信号のS/N比を高めることができ、より微弱な光を検出することができる。すなわち、撮像装置の感度を高めることができる。

【0099】

図10(A)は、演算增幅回路(OPアンプともいう)を用いた積分回路である。演算增幅回路の反転入力端子は、抵抗素子Rを介して第5の配線315(OUT)に接続される。演算增幅回路の非反転入力端子は、接地電位に接続される。演算增幅回路の出力端子は、容量素子Cを介して演算增幅回路の反転入力端子に接続される。

【0100】

ここで、演算增幅回路は理想的と仮定する。すなわち、入力インピーダンスが無限大(入力端子に電流が流れ込まない)と仮定する。また、定常状態で非反転入力端子の電位と反転入力端子の電位とは等しいため、反転入力端子の電位を接地電位と考えることができる。

【0101】

第5の配線315の電位をVi、演算增幅回路の出力端子の電位をVo、抵抗素子Rを流れる電流i1、容量素子Cを流れる電流i2とすると、式(1)、式(2)、式(3)の関係が成り立つ。

【0102】

【数1】

$$Vi = i1 \cdot R \quad \dots \quad (1)$$

10

$$i2 = C \cdot dVo / dt \quad \dots \quad (2)$$

$$i1 + i2 = 0 \quad \dots \quad (3)$$

30

【0103】

ここで、時刻t=0で容量素子Cの電荷を放電したとすると、時刻t=tにおける演算增幅回路の出力端子の電位Voは、式(4)で表される。

【0104】

【数2】

$$Vo = -(1/CR) \int Vi dt \quad \dots \quad (4)$$

【0105】

40

すなわち、時間t(積分時間)を長く設定することで、読み出しの電位(Vi)を高めて出力信号Voとして出力することができる。また、熱ノイズなどを平均化することにも相当し、出力信号VoのS/N比を向上することが可能である。

【0106】

なお、実際の演算增幅回路では、入力端子に信号が入力されない時でもバイアス電流が流れるため、出力端子に出力電圧が生じ、容量素子Cに電荷が蓄積されてしまう。そのため、容量素子Cに並列に抵抗素子をつなぎ、放電する構成とすることが有効である。

【0107】

図10(B)は、図10(A)とは異なる構成の演算增幅回路を用いた積分回路である。

演算增幅回路の反転入力端子は、抵抗素子Rと容量素子C1を介して第5の配線315(

50

O U T) に接続される。演算増幅回路の非反転入力端子は、接地電位に接続される。演算増幅回路の出力端子は、容量素子 C 2 を介して演算増幅回路の反転入力端子に接続される。

【 0 1 0 8 】

ここで、演算増幅回路は理想的と仮定する。すなわち、入力インピーダンスが無限大（入力端子に電流が流れ込まない）と仮定する。また、定常状態で非反転入力端子の電位と反転入力端子の電位とは等しいため、反転入力端子の電位を接地電位と考えることができる。

【 0 1 0 9 】

第 5 の配線 315 の電位を V_i 、演算増幅回路の出力端子の電位を V_o 、抵抗素子 R および容量素子 C 1 を流れる電流 i_1 、容量素子 C 2 を流れる電流 i_2 とすると、式(5)、式(6)、式(7)の関係が成り立つ。

【 0 1 1 0 】

【 数 3 】

$$Vi = (1/C1) \int i_1 dt + i_1 \cdot R \quad \dots \quad (5)$$

$$i_2 = C2 \cdot dVo / dt \quad \dots \quad (6)$$

10

20

$$i_1 + i_2 = 0 \quad \dots \quad (7)$$

【 0 1 1 1 】

ここで、時刻 $t = 0$ で容量素子 C 2 の電荷を放電したとすると、時刻 $t = t$ における演算増幅回路の出力端子の電位 V_o について、高周波成分は式(8)のとき、式(9)となり、低周波成分は式(10)のとき、式(11)となる。

【 0 1 1 2 】

【 数 4 】

30

$$Vo \ll dVo / dt \quad \dots \quad (8)$$

$$Vo = -(1/C2R) \int Vidt \quad \dots \quad (9)$$

$$Vo \gg dVo / dt \quad \dots \quad (10)$$

40

$$Vo = -C1/C2 \cdot Vi \quad \dots \quad (11)$$

【 0 1 1 3 】

すなわち、容量素子 C 1 および C 2 の容量比を適当に設定することで、読み出しの電位 (V_i) を高めて出力信号 V_o として出力することができる。また、入力信号の高周波のノイズ成分は時間積分により平均化することができ、出力信号 V_o の S/N 比を向上することが可能である。

【 0 1 1 4 】

なお、実際の演算増幅回路では、入力端子に信号が入力されない時でもバイアス電流が流

50

れるため、出力端子に出力電圧が生じ、容量素子C2に電荷が蓄積されてしまう。そのため、容量素子C2に並列に抵抗素子をつなぎ、放電する構成とすることが有効である。

【0115】

図10(C)は、図10(A)および図10(B)とは異なる構成の演算増幅回路を用いた積分回路である。演算増幅回路の非反転入力端子は、抵抗素子Rを介して第5の配線315(OUT)に接続され、また容量素子Cを介して接地電位に接続される。演算増幅回路の出力端子は、演算増幅回路の反転入力端子に接続される。なお、抵抗素子Rと容量素子Cは、CR積分回路を構成する。また、演算増幅回路はユニティゲインバッファを構成する。

【0116】

第5の配線315の電位をVi、演算増幅回路の出力端子の電位をVoとすると、Voは式(12)であらわすことができる。なお、VoはViの値で飽和するが、CR積分回路により、入力信号Viに含まれるノイズ成分を平均化することができ、出力信号VoのS/N比を向上することが可能である。

【0117】

【数5】

$$VO = (1/CR) \int Vidt \quad \dots (12)$$

10

20

【0118】

本実施の形態は、他の実施の形態に記載した構成および実施例と適宜組み合わせて実施することができる。

【0119】

(実施の形態3)

本実施の形態では、実施の形態2で説明した画素回路の駆動方法の一例について説明する。

【0120】

実施の形態2で説明したように、画素回路の動作は、リセット動作、蓄積動作、および選択動作の繰り返しである。X線等の放射線を用いた撮像装置においては、生体への影響を考慮し、放射線の照射時間を極力短くすることが好ましい。放射線の照射時間の短縮し、短時間での撮像を実現するためには、全画素回路のリセット動作、蓄積動作、選択動作を速やかに実行することが必要である。

30

【0121】

そのため、撮像方法としては、図11(A)のタイミングチャートに示すようなグローバルシャッタ方式での駆動方法を用いることが好ましい。なお、図11(A)は、マトリクス状に複数の画素回路を有し、当該画素回路に図5(A)の回路211を有する撮像装置を例として、第1行目から最終行の回路211のうち、第1行目から第3行目までの動作を説明するものである。なお、下記の動作説明は、図7(A)の回路213、図8の回路215、および図9(A)、(B)に示す回路にも適用することができる。

40

【0122】

図11(A)において、信号501、信号502、信号503は、第1行目、第2行目、第3行目の各画素回路に接続された第1の配線311(RS)に入力される信号である。また、信号504、信号505、信号506は、第1行目、第2行目、第3行目の各画素回路に接続された第2の配線312(TX)に入力される信号である。また、信号507、信号508、信号509は、第1行目、第2行目、第3行目の各画素回路に接続された第3の配線313(SE)に入力される信号である。

【0123】

また、期間510は、1回の撮像に要する期間である。また、期間511は、各行の画素回路がリセット動作を同時にしている期間であり、期間520は、各行の画素回路が蓄

50

積動作を同時に行っている期間である。なお、選択動作は各行の画素回路で順次行われる。一例として、期間 531 は、第 1 行目の画素回路が選択動作を行っている期間である。このように、グローバルシャッタ方式では、全画素回路で略同時にリセット動作が行われた後、全画素回路で略同時に蓄積動作が行われ、1 行毎に順次読み出し動作が行われる。

【0124】

つまり、グローバルシャッタ方式では、全ての画素回路において蓄積動作が略同時に行われているため、各行の画素回路における撮像の同時性が確保される。したがって、放射線照射と蓄積動作とを同期させることで、被写体へ放射線を照射する時間を短くすることができる。すなわち、期間 520 のみに放射線照射を行えばよい。

【0125】

一方、図 11 (B) は、ローリングシャッタ方式を用いた場合のタイミングチャートである。なお、期間 610 は1回の撮像に要する期間である。期間 611、期間 612、期間 613 はそれぞれ、第 1 行目、第 2 行目、第 3 行目のリセット期間であり、期間 621、期間 622、期間 623 はそれぞれ、第 1 行目、第 2 行目、第 3 行目の蓄積動作期間である。また、期間 631 は、1 行目の画素回路が選択動作を行っている期間ある。このように、ローリングシャッタ方式では、蓄積動作が全ての画素回路では同時に行われず、行毎に順次行われるため、各行の画素回路における撮像の同時性が確保されない。したがって、放射線照射と蓄積動作とを同期させたとしても、合計の放射線照射期間 620 がグローバルシャッタ方式よりも長くなってしまう。ただし、高速動作をすることなどによって、ローリングシャッタ方式でも放射線照射時間を短くすることができるため、本発明の一態様の撮像装置の駆動方式として、ローリングシャッタ方式を用いてもよい。

【0126】

グローバルシャッタ方式を実現するためには、蓄積動作が終了した後も、読み出しまでの間に各画素回路における配線 305 (FD) の電位を長時間保つ必要がある。配線 305 (FD) の電位の長時間の保持は、前述したように第 1 のトランジスタ 301 に極めてオフ電流の低い、チャネル形成領域を酸化物半導体で形成したトランジスタを用いることで実現できる。一方、第 1 のトランジスタ 301 にチャネル形成領域をシリコン半導体などで形成したトランジスタを適用した場合は、オフ電流が高いために配線 305 (FD) の電位を長時間保持できず、グローバルシャッタ方式を用いることが困難となる。

【0127】

以上のように、画素回路にチャネル形成領域を酸化物半導体で形成したトランジスタを用いることでグローバルシャッタ方式を容易に実現することができ、被写体に照射する放射線量が少ない撮像装置を提供することができる。

【0128】

本実施の形態は、他の実施の形態に記載した構成および実施例と適宜組み合わせて実施することが可能である。

【0129】

(実施の形態 4)

本実施の形態では、画素回路のレイアウトの一例について、図 12 を用いて説明する。

【0130】

図 12 (A) は、図 5 (A) に示した回路 211 の上面図を示し、図 12 (B) は、図 12 (A) の一点鎖線 E1-E2 における断面図を示す。

【0131】

回路 211 は、第 1 の配線 311 (RS) として機能する導電膜 1211 と、第 2 の配線 312 (TX) として機能する導電膜 1212 と、第 3 の配線 313 (SE) として機能する導電膜 1213 と、第 4 の配線 314 (GND) として機能する導電膜 1214 と、第 5 の配線 315 (OUT) として機能する導電膜 1215 を有している。

【0132】

回路 211 が有するフォトダイオード 320 は、順に積層された p 型の半導体膜 415、i 型の半導体膜 416、および n 型の半導体膜 417 を有している。導電膜 1211 は、

10

20

30

40

50

フォトダイオード 320 のアノードとして機能する p 型の半導体膜 415 に電気的に接続されている。

【0133】

回路 211 が有する導電膜 1218 は、第 1 のトランジスタ 301 のゲート電極として機能しており、さらに、導電膜 1212 に電気的に接続されている。回路 211 が有する導電膜 1219 は、第 1 のトランジスタ 301 のソース電極またはドレイン電極の一方として機能する。回路 211 が有する導電膜 1220 は、第 1 のトランジスタ 301 のソース電極またはドレイン電極の他方として機能する。回路 211 が有する導電膜 1221 は、n 型の半導体膜 417 と、導電膜 1219 とに電気的に接続されている。回路 211 が有する導電膜 1222 は、第 2 のトランジスタ 302 のゲート電極として機能しており、さらに、導電膜 1220 に電気的に接続されている。10

【0134】

回路 211 が有する導電膜 1223 は、第 2 のトランジスタ 302 のソース電極またはドレイン電極の一方として機能する。回路 211 が有する導電膜 1224 は、第 2 のトランジスタ 302 のソース電極またはドレイン電極の他方、および第 3 のトランジスタ 303 のソース電極またはドレイン電極の一方として機能する。また、導電膜 1214 は、第 3 のトランジスタ 303 のソース電極またはドレイン電極の他方として機能する。導電膜 1213 は、第 3 のトランジスタ 303 のゲート電極としても機能する。回路 211 が有する導電膜 1225 は、導電膜 1223 および導電膜 1214 に電気的に接続されている。20

【0135】

なお、図 12 では、回路 211 が有する導電膜 1226 は、第 1 の配線 311 (RS) として機能する導電膜 1211 に電気的に接続されている。また、回路 211 が有する導電膜 1227 は、第 2 の配線 312 (TX) として機能する導電膜 1212 に電気的に接続されている。

【0136】

導電膜 1213、導電膜 1218、導電膜 1222、導電膜 1225、導電膜 1226、導電膜 1227 は、絶縁表面上に形成された一つの導電膜を所望の形状に加工することで形成することができる。導電膜 1213、導電膜 1218、導電膜 1222、導電膜 1225、導電膜 1226、導電膜 1227 上にはゲート絶縁膜 1228 が形成されている。さらに、導電膜 1211、導電膜 1212、導電膜 1214、導電膜 1215、導電膜 1219、導電膜 1220、導電膜 1223、導電膜 1224 は、ゲート絶縁膜 1228 上に形成された一つの導電膜を所望の形状に加工することで形成することができる。30

【0137】

また、導電膜 1211、導電膜 1212、導電膜 1214、導電膜 1215、導電膜 1219、導電膜 1220、導電膜 1223、導電膜 1224 の上には、絶縁膜 1281 および絶縁膜 1282 が形成されている。絶縁膜 1281 および絶縁膜 1282 の上に、導電膜 1221 が形成される。

【0138】

第 1 のトランジスタ 301 の半導体層 1250 には、酸化物半導体を用いることが好ましい。フォトダイオード 320 に光が照射されることにより生成された電荷を電荷蓄積部で長時間保持するためには、電荷蓄積部と電気的に接続される第 1 のトランジスタ 301 をオフ電流が極めて低いトランジスタで構成する必要がある。そのため、半導体層 1250 として酸化物半導体材料を用いることで回路 211 の性能を高めることができる。なお、電荷蓄積部とは、回路 211 における配線 305 を差し、図 12 では導電膜 1220 に相当する。なお、第 2 のトランジスタ 302 および第 3 のトランジスタ 303 も第 1 のトランジスタ 301 と同様の構成であってもよい。40

【0139】

また、回路 211 は、図 13 (A)、(B) に示すように、トランジスタなどの素子とフォトダイオード 320 が重畠する構成としてもよい。このような構成とすることで、画素密度を高めることができ、撮像装置の解像度を高めることができる。また、フォトダイオ50

ード 320 の面積を増大させることができると、撮像装置の感度を高めることもできる。なお、図 13 (A) は、回路 211 の上面図を示し、図 13 (B) は、図 13 (A) の一点鎖線 F1 F2 における断面図である。

【0140】

図 13 (A)、(B) に示す回路 211において、第 1 のトランジスタ 301 のソース電極またはドレイン電極の一方として機能する導電膜 1219 とフォトダイオード 320 のカソードとして機能するn型の半導体膜 417 は、導電膜 1229 を介して電気的に接続されている。また、フォトダイオード 320 のアノードとして機能するp型の半導体膜 415 は、導電膜 1221 を介して第 1 の配線 311 と接する導電膜 1226 と電気的に接続されている。また、フォトダイオード 320 を保護する絶縁膜 1283 が形成されている。これらの点、およびトランジスタなどの素子とフォトダイオード 320 が重畠する構成以外は、図 12 (A)、(B) に示す回路 211 と同様の構成とすることができる。10

【0141】

なお、p型の半導体膜 415 と導電膜 1226との電気的な接続は、導電膜 1221 で直接接続する例を示したが、絶縁膜 1281、絶縁膜 1282、および絶縁膜 1283 に形成した開口部を通じて導電膜 1226 と電気的に接する他の導電膜を設け、該導電膜と導電膜 1221 が電気的に接する構成としてもよい。

【0142】

また、図 13 に示すようなトランジスタなどの素子とフォトダイオードなどの受光素子が重畠する構成は、図 5 (B) に示す回路 212、図 7 (A)、(B) に示す回路 213、20 214、図 8 に示す回路 215、および図 9 (A)、(B) に示す回路においても適用することができる。

【0143】

本実施の形態は、他の実施の形態に記載した構成および実施例と適宜組み合わせて実施することができる。

【0144】

(実施の形態 5)

本実施の形態では、実施の形態 1 乃至 4 で説明した回路に用いることのできる、オフ電流の著しく小さいトランジスタおよび該トランジスタを構成する材料について説明する。

【0145】

トランジスタの構造は、図 1 または図 4 にチャネルエッチ型のボトムゲート構造を一例として示したが、チャネル保護型のボトムゲート構造、ノンセルフアライン型のトップゲート構造、またはセルフアライン型のトップゲート構造であってもよい。30

【0146】

オフ電流の著しく小さいトランジスタを形成するには、半導体層に酸化物半導体などのシリコン半導体よりもバンドギャップの広く、真性キャリア密度がシリコンよりも低い半導体材料を用いることが好ましい。

【0147】

上記半導体材料の一例としては、酸化物半導体の他に、炭化珪素 (SiC)、窒化ガリウム (GaN) などの化合物半導体などがあるが、酸化物半導体は、炭化珪素や窒化ガリウムと異なり、スパッタ法や湿式法により作製可能であり、量産性に優れるといった利点がある。また、酸化物半導体は室温でも成膜が可能なため、ガラス基板上への成膜、或いはシリコンを用いた集積回路上への成膜が可能である。また、基板の大型化にも対応が可能である。よって、上述したワイドギャップ半導体の中でも、特に酸化物半導体は量産性が高いというメリットを有する。また、トランジスタの性能 (例えば電界効果移動度) を向上させるために結晶性の酸化物半導体を得ようとする場合でも、250 から 800 の熱処理によって容易に結晶性の酸化物半導体を得ることができる。40

【0148】

また、電子供与体 (ドナー) となる不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体 (purified OS) の導電型は、i型また50

は i 型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。また、酸化物半導体のバンドギャップは、2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である。水分または水素などの不純物濃度が十分に低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を下げることができる。

【0149】

酸化物半導体層において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素は、ドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは、酸化物半導体層中で不純物準位を形成する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。酸化物半導体層中や、他の層との界面において不純物濃度を低減させることが好ましい。
10

【0150】

なお、酸化物半導体層をチャネルとするトランジスタに安定した電気特性を付与するためには、酸化物半導体層中の不純物濃度を低減し、酸化物半導体層を真性または実質的に真性にすることが有効である。ここで、実質的に真性とは、酸化物半導体層のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。

【0151】

酸化物半導体層を真性または実質的に真性と/or するためには、SIMS (Secondary Ion Mass Spectrometry) 分析において、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有することとする。また、水素濃度は、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする部分を有することとする。また、窒素濃度は、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする部分を有することとする。
20

【0152】

また、酸化物半導体層が結晶を含む場合、シリコンや炭素が高濃度で含まれると、酸化物半導体層の結晶性を低下させことがある。酸化物半導体層の結晶性を低下させないためには、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、シリコン濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有することとする。また、例えば、酸化物半導体層のある深さにおいて、または、酸化物半導体層のある領域において、炭素濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする部分を有することとする。
30

【0153】

具体的に、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1 V から 10 V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{ A}$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャネル幅で規格化したオフ電流は、 $100 \text{ zA}/\mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電
40

流の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が3Vの場合に、数十 μ A/ μ mという、さらに低いオフ電流が得られることが分かった。したがって、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。

【0154】

なお、酸化物半導体としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ga）を有することが好ましい。また、スタビライザーとしてスズ（Sn）を有することが好ましい。また、スタビライザーとしてハフニウム（Hf）を有することが好ましい。また、スタビライザーとしてアルミニウム（Al）を有することが好ましい。

【0155】

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジム（Pr）、ネオジム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）のいずれか一種または複数種を含んでいてもよい。

【0156】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物（IGZOとも表記する）、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。また、上記酸化物半導体は、珪素を含んでいてもよい。

【0157】

なお、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを含む酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素を含んでいてもよい。In-Ga-Zn系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高いため、半導体装置に用いる半導体材料としては好適である。

【0158】

例えば、In:Ga:Zn = 1:1:1 (= 1/3:1/3:1/3) あるいはIn:Ga:Zn = 2:2:1 (= 2/5:2/5:1/5) の原子比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、In:Sn:Zn = 1:1:1 (= 1/3:1/3:1/3)、In:Sn:Zn = 2:1:3 (= 1/3:1/6:1/2) あるいはIn:Sn:Zn = 2:1:5 (= 1/4:1/8:5/8) の原子比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0159】

しかし、これらに限られず、必要とする電気的特性（移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア

10

20

30

40

50

密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとすることが好ましい。

【0160】

なお、例えば、酸化物半導体膜は、In（インジウム）、Ga（ガリウム）、およびZn（亜鉛）を含むターゲットを用いたスパッタ法により形成することができる。In-Ga-Zn系酸化物半導体膜をスパッタ法で成膜する場合、好ましくは、原子数比がIn:Ga:Zn = 1:1:1、5:5:6、4:2:3、3:1:2、1:1:2、2:1:3、1:3:2、1:3:4、1:6:4または3:1:4で示されるIn-Ga-Zn系酸化物のターゲットを用いる。前述の原子数比を有するIn-Ga-Zn系酸化物のターゲットを用いて酸化物半導体膜を成膜することで、結晶が形成されやすくなる。また、In、Ga、およびZnを含むターゲットの充填率は90%以上、好ましくは95%以上である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。10

【0161】

なお、酸化物半導体としてIn-Zn系酸化物の材料を用いる場合、用いるターゲットの組成は、原子数比で、In:Zn = 50:1乃至1:2（モル数比に換算するとIn₂O₃:ZnO = 25:1乃至1:4）、好ましくはIn:Zn = 20:1乃至1:1（モル数比に換算するとIn₂O₃:ZnO = 10:1乃至1:2）、さらに好ましくはIn:Zn = 1.5:1乃至1.5:1（モル数比に換算するとIn₂O₃:ZnO = 3:4乃至1.5:2）とする。例えば、In-Zn系酸化物である酸化物半導体膜の形成に用いるターゲットは、原子数比がIn:Zn:O = X:Y:Zのとき、Z > 1.5X+Yとする。Znの比率を上記範囲に収めることで、移動度の向上を実現することができる。20

【0162】

また、酸化物半導体膜としてIn-Sn-Zn系酸化物半導体膜をスパッタ法で成膜する場合、好ましくは、原子数比がIn:Sn:Zn = 1:1:1、2:1:3、1:2:2、または20:45:35で示されるIn-Sn-Zn-Oターゲットを用いることができる。

【0163】

以下では、酸化物半導体膜の構造について説明する。

【0164】

なお、本明細書において、「平行」とは、二つの直線が-10°以上10°以下の角度で配置されている状態をいう。したがって、-5°以上5°以下の場合も含まれる。また、「垂直」とは、二つの直線が80°以上100°以下の角度で配置されている状態をいう。したがって、85°以上95°以下の場合も含まれる。30

【0165】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0166】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、C AAC - OS (C Axis Aligned Crys tal line Oxide Semiconductor) 膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。40

【0167】

まずは、AAC-OS膜について説明する。

【0168】

AAC-OS膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。したがって、AAC-OS膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。

【0169】

50

C AAC - OS 膜を透過型電子顕微鏡 (TEM : Transmission Electron Microscope) によって観察すると、明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、AAC - OS 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0170】

C AAC - OS 膜を、試料面と概略平行な方向から TEM によって観察 (断面 TEM 観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、AAC - OS 膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、AAC - OS 膜の被形成面または上面と平行に配列する。

【0171】

一方、AAC - OS 膜を、試料面と概略垂直な方向から TEM によって観察 (平面 TEM 観察) すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

10

【0172】

断面 TEM 観察および平面 TEM 観察より、AAC - OS 膜の結晶部は配向性を有していることがわかる。

【0173】

C AAC - OS 膜に対し、X線回折 (XRD : X - Ray Diffraction) 装置を用いて構造解析を行うと、例えば $InGaZnO_4$ の結晶を有する AAC - OS 膜の out-of-plane 法による解析では、回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、 $InGaZnO_4$ の結晶の (009) 面に帰属されることから、AAC - OS 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

20

【0174】

一方、AAC - OS 膜に対し、c 軸に概略垂直な方向から X 線を入射させる in - plane 法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 $InGaZnO_4$ の結晶の (110) 面に帰属される。 $InGaZnO_4$ の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸 (c 軸) として試料を回転させながら分析 (スキャン) を行うと、(110) 面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、AAC - OS 膜の場合は、 2θ を 56° 近傍に固定して スキャンした場合でも、明瞭なピークが現れない。

30

【0175】

以上のことから、AAC - OS 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。したがって、前述の断面 TEM 観察で確認された層状に配列した金属原子の各層は、結晶の ab 面に平行な面である。

【0176】

なお、結晶部は、AAC - OS 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、AAC - OS 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。したがって、例えば、AAC - OS 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が AAC - OS 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

40

【0177】

また、AAC - OS 膜中の結晶化度が均一でなくてもよい。例えば、AAC - OS 膜の結晶部が、AAC - OS 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、AAC - OS 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0178】

50

なお、 $InGaZnO_4$ の結晶を有する CAAc - OS 膜の out-of-plane 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、CAAc - OS 膜中の一部に、c 軸配向性を有さない結晶が含まれることを示している。CAAc - OS 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【0179】

CAAc - OS 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。10

【0180】

また、CAAc - OS 膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0181】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。2030

【0182】

また、CAAc - OS 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0183】

次に、微結晶酸化物半導体膜について説明する。

【0184】

微結晶酸化物半導体膜は、TEMによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、 1 nm 以上 100 nm 以下、または 1 nm 以上 10 nm 以下の大きさであることが多い。特に、 1 nm 以上 10 nm 以下、または 1 nm 以上 3 nm 以下の微結晶であるナノ結晶（nc : nanocrystalline）を有する酸化物半導体膜を、nc - OS (nanocrystalline Oxide Semiconductor) 膜と呼ぶ。また、nc - OS 膜は、例えば、TEMによる観察像では、結晶粒界を明確に確認できない場合がある。40

【0185】

nc - OS 膜は、微小な領域（例えば、 1 nm 以上 10 nm 以下の領域、特に 1 nm 以上 3 nm 以下の領域）において原子配列に周期性を有する。また、nc - OS 膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない場合がある。例えば、nc - OS 膜に対し、結晶部よりも大きい径の X 線を用いる XRD 装置を用いて構造解析を行うと、out-of-plane 法による解析では、結晶面

を示すピークが検出されない。また、n c - O S 膜に対し、結晶部よりも大きいプローブ径（例えば 50 nm 以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、n c - O S 膜に対し、結晶部の大きさと近いか結晶部より小さいプローブ径（例えば 1 nm 以上 30 nm 以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、スポットが観測される。また、n c - O S 膜に対しナノビーム電子線回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、n c - O S 膜に対しナノビーム電子線回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

【0186】

10

n c - O S 膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、n c - O S 膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、n c - O S 膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、n c - O S 膜は、C A A C - O S 膜と比べて欠陥準位密度が高くなる。

【0187】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、C A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。

【0188】

20

C A A C - O S 膜は、例えば、多結晶である酸化物半導体スパッタ用ターゲットを行い、スパッタ法によって成膜する。当該スパッタ用ターゲットにイオンが衝突すると、スパッタ用ターゲットに含まれる結晶領域が a - b 面から劈開し、a - b 面に平行な面を有する平板状またはペレット状のスパッタ粒子として剥離することがある。この場合、当該平板状またはペレット状のスパッタ粒子が、結晶状態を維持したまま基板に到達することで、C A A C - O S 膜を成膜することができる。

【0189】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【0190】

30

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物を低減すればよい。具体的には、露点が -80 以下、好ましくは -100 以下である成膜ガスを用いる。

【0191】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタ粒子のマイグレーションが起こる。具体的には、基板加熱温度を 100 以上 740 以下、好ましくは 200 以上 500 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状またはペレット状のスパッタ粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタ粒子の平らな面が基板に付着する。

【0192】

40

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30 体積 % 以上、好ましくは 100 体積 % とする。

【0193】

スパッタ用ターゲットとしては、例えば、In - Ga - Zn - O 化合物ターゲットを用いることができる。In - Ga - Zn - O 化合物ターゲットは、InO_x 粉末、GaO_y 粉末およびZnO_z 粉末を所定のモル数比で混合し、加圧処理後、1000 以上 1500 以下の温度で加熱処理することで多結晶体とする。なお、X、Y および Z は任意の正数である。また、当該多結晶体の粒径は、例えば 1 μm 以下など、小さいほど好ましい。ここで、粉末の種類、およびその混合するモル数比は、作製するスパッタ用ターゲットによって適宜変更すればよい。

【0194】

50

また、酸化物半導体膜は、複数の酸化物半導体膜が積層された構造でもよい。例えば、図14(A)に示すトランジスタのように、酸化物半導体膜140を第1の酸化物半導体膜141aと第2の酸化物半導体膜141bの積層とすることができます。第1の酸化物半導体膜141aと第2の酸化物半導体膜141bに、異なる原子数比の金属酸化物を用いてもよい。例えば、一方の酸化物半導体膜に二種類の金属を含む酸化物、三種類の金属を含む酸化物、四種類の金属を含む酸化物のうち一つを用い、他方の酸化物半導体膜に一方の酸化物半導体膜と異なる二種類の金属を含む酸化物、三種類の金属を含む酸化物、四種類の金属を含む酸化物を用いてもよい。

【0195】

また、第1の酸化物半導体膜141aと第2の酸化物半導体膜141bの構成元素を同一とし、両者の原子数比を異ならせててもよい。例えば、一方の酸化物半導体膜の原子数比をIn:Ga:Zn = 1:1:1、5:5:6、または3:1:2とし、他方の酸化物半導体膜の原子数比をIn:Ga:Zn = 1:3:2、1:3:4、1:3:6、1:6:4、または1:9:6である酸化物半導体膜で形成することができる。なお、各酸化物半導体膜の原子数比は、誤差として上記の原子数比のプラスマイナス20%の変動を含む。

10

【0196】

このとき、一方の酸化物半導体膜と他方の酸化物半導体膜のうち、ゲート電極に近い側(チャネル側)の酸化物半導体膜のInとGaの原子数比をIn > Gaとし、ゲート電極から遠い側(バックチャネル側)の酸化物半導体膜のInとGaの原子数比をIn < Gaとすることで、電界効果移動度の高いトランジスタを作製することができる。一方、チャネル側の酸化物半導体膜のInとGaの原子数比をIn < Gaとし、バックチャネル側の酸化物半導体膜のInとGaの原子数比をIn > Gaとすることで、トランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

20

【0197】

また、トランジスタの半導体膜を第1の酸化物半導体膜乃至第3の酸化物半導体膜からなる3層構造としてもよい。このとき、第1の酸化物半導体膜乃至第3の酸化物半導体膜の構成元素を同一とし、且つそれぞれの原子数比を異ならせててもよい。半導体膜を3層構造とするトランジスタの構成について、図14(B)を用いて説明する。

【0198】

図14(B)に示すトランジスタは、第1の酸化物半導体膜142a、第2の酸化物半導体膜142b、および第3の酸化物半導体膜142cがゲート絶縁膜側から順に積層されている。第1の酸化物半導体膜142aおよび第3の酸化物半導体膜142cを構成する材料は、 $InM_{1-x}Zn_yO_z$ ($x < 1$ 、 $y > 1$ 、 $z > 0$ 、 $M_1 = Ga, Hf$ 等)で表記できる材料を用いる。

30

【0199】

また、第2の酸化物半導体膜142bを構成する材料は、 $InM_{2-x}Zn_yO_z$ ($x < 1$ 、 $y > x$ 、 $z > 0$ 、 $M_2 = Ga, Sn$ 等)で表記できる材料を用いる。

【0200】

第1の酸化物半導体膜142aの伝導帯下端および第3の酸化物半導体膜142cの伝導帯下端に比べて第2の酸化物半導体膜142bの伝導帯下端が真空準位から最も深くなるような井戸型構造を構成するように、第1、第2、および第3の酸化物半導体膜の材料を適宜選択する。

40

【0201】

例えば、第1の酸化物半導体膜142aおよび第3の酸化物半導体膜142cを原子数比がIn:Ga:Zn = 1:3:2、1:3:4、1:3:6、1:6:4、または1:9:6である酸化物半導体膜で形成し、第2の酸化物半導体膜142bの原子数比がIn:Ga:Zn = 1:1:1、5:5:6、または3:1:2である酸化物半導体膜で形成することができる。

【0202】

第1の酸化物半導体膜142a乃至第3の酸化物半導体膜142cの構成元素は同一であ

50

るため、第2の酸化物半導体膜142bは、第1の酸化物半導体膜142aとの界面における欠陥準位(トラップ準位)が少ない。詳細には、当該欠陥準位(トラップ準位)は、ゲート絶縁膜と第1の酸化物半導体膜142aとの界面における欠陥準位よりも少ない。このため、上記のように酸化物半導体膜が積層されていることで、トランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

【0203】

また、第1の酸化物半導体膜142aの伝導帯下端および第3の酸化物半導体膜142cの伝導帯下端に比べて第2の酸化物半導体膜142bの伝導帯下端が真空準位から最も深くなるような井戸型構造を構成するように、第1の酸化物半導体膜142a乃至第3の酸化物半導体膜142cの材料を適宜選択することで、トランジスタの電界効果移動度を高めることが可能であると共に、トランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。10

【0204】

また、第1の酸化物半導体膜142a乃至第3の酸化物半導体膜142cに、結晶性の異なる酸化物半導体を適用してもよい。すなわち、単結晶酸化物半導体、多結晶酸化物半導体、微結晶(ナノ結晶)酸化物半導体、非晶質酸化物半導体、およびCAC-O_S膜を適宜組み合わせた構成としてもよい。

【0205】

また、少なくともチャネル形成領域となりうる第2の酸化物半導体膜142bはCAC-O_S膜であることが好ましい。20

【0206】

なお、酸素と結合し易い導電材料(例えば、ソース電極またはドレイン電極に用いられる金属)と酸化物半導体膜を接触させると、酸化物半導体膜中の酸素が、酸素と結合し易い導電材料側に拡散する現象が起こる。当該現象は、温度が高いほど顕著に起こる。トランジスタの作製工程には、いくつかの加熱工程があることから、上記現象により、酸化物半導体層のソース電極またはドレイン電極と接触した近傍の領域に酸素欠損が発生し、当該領域はn型化する。したがって、n型化した当該領域はトランジスタのソースまたはドレインとして作用させることができる。

【0207】

本実施の形態で説明した酸化物半導体でチャネル形成領域を形成したトランジスタを用いることで、X線等の放射線照射に対して安定性が高く、電気特性の低下を抑制できる構成の撮像装置を提供することができる。30

【0208】

本実施の形態は、他の実施の形態に記載した構成および実施例と適宜組み合わせて実施することが可能である。

【実施例】

【0209】

本実施例では、本発明のトランジスタにおいて、ゲート絶縁膜の構成を変化させたときの電気特性について説明する。

【0210】

本実施例では、図1に示す構造のトランジスタを用いた。ゲート絶縁膜130としては、窒化珪素膜で形成する第1の絶縁膜131の膜厚を200nmとし、酸化窒化珪素膜で形成する第2の絶縁膜132の膜厚を5nm乃至50nmの間で条件を振り、複数のトランジスタを形成した。40

【0211】

次に、上記トランジスタの作製方法を説明する。

【0212】

まず、基板100としてガラス基板を用い、当該ガラス基板上に平行平板型のプラズマCVD法を用いて下地絶縁膜110となる窒化珪素膜および酸化窒化珪素膜の積層膜を形成した。窒化珪素膜の成膜条件は、シラン：アンモニア：水素=1：10：27(流量比)50

、成膜圧力を 60 Pa、電力密度を 0.104 W / cm² (RF 13.56 MHz)、電極 - 基板間距離を 28 mm、基板温度 330 とし、100 nm 成膜した。また、酸化窒化珪素膜の成膜条件は、シラン : 一酸化二窒素 = 1 : 120 (流量比)、成膜圧力を 22 Pa、電力密度を 0.005 W / cm² (RF 13.56 MHz)、電極 - 基板間距離を 28 mm、基板温度 330 とし、150 nm 成膜した。

【0213】

次に、下地絶縁膜 110 上にスパッタ法を用いてタンゲステン膜を 100 nm 形成し、当該タンゲステン膜を選択的にエッチングすることによりゲート電極層 120 を形成した。

【0214】

次に、下地絶縁膜 110 およびゲート電極層 120 上に、第 1 の絶縁膜 131 として平行平板型のプラズマ CVD 法で窒化珪素膜を形成した。窒化珪素膜の成膜条件は、シラン : 窒素 = 1 : 10 (流量比)、成膜圧力を 200 Pa、電力密度を 0.334 W / cm² (RF 27.12 MHz)、電極 - 基板間距離を 28 mm、基板温度 350 とし、200 nm 成膜した。

【0215】

次に、第 1 の絶縁膜 131 上に第 2 の絶縁膜 132 として平行平板型のプラズマ CVD 法で酸化窒化珪素膜を形成した。酸化窒化珪素膜の成膜条件は、シラン : 一酸化二窒素 = 1 : 167 (流量比)、成膜圧力を 40 Pa、電力密度を 0.017 W / cm² (RF 27.12 MHz)、電極 - 基板間距離を 28 mm、基板温度 350 とした。ここで、酸化窒化珪素膜の膜厚は、5 nm、15 nm、20 nm、30 nm、または 50 nm とした。

【0216】

次に、第 2 の絶縁膜 132 上に In : Ga : Zn = 1 : 1 : 1 (原子数比) の In - Ga - Zn 酸化物膜をスパッタ法により成膜した。

【0217】

In - Ga - Zn 酸化物膜の成膜条件は、In : Ga : Zn = 1 : 1 : 1 (原子数比) の In - Ga - Zn 酸化物をターゲットとし、スパッタガスをアルゴン : 酸素 = 1 : 1 (流量比)、成膜圧力を 0.6 Pa、電力密度を 0.995 W / cm² (AC)、電極 - 基板間距離を 150 mm、基板温度 170 とした。In - Ga - Zn 酸化物膜の膜厚は 35 nm とした。

【0218】

次に、上記 In - Ga - Zn 酸化物膜まで形成したサンプルを窒素雰囲気で 1 時間の熱処理を行い、さらに 450 、酸素と窒素の混合雰囲気で 1 時間の熱処理を行った。

【0219】

次に、上記 In - Ga - Zn 酸化物膜を選択的にエッチングし、酸化物半導体層 140 を形成した。

【0220】

次に、酸化物半導体層 140 上にスパッタ法を用いて 50 nm のタンゲステン膜、400 nm のアルミニウム膜、100 nm のチタン膜からなる積層膜を形成し、当該積層膜を選択的にエッチングすることによりソース電極層 150 およびドレイン電極層 160 を形成した。

【0221】

次に、第 2 の絶縁膜 132 、酸化物半導体層 140 、ソース電極層 150 、およびドレイン電極層 160 上に絶縁層 170 として平行平板型のプラズマ CVD 法で酸化窒化珪素膜を形成した。酸化窒化珪素膜の成膜条件は、シラン : 一酸化二窒素 = 1 : 133 (流量比)、成膜圧力を 40 Pa、電力密度を 0.025 W / cm² (RF 27.12 MHz)、電極 - 基板間距離を 28 mm、基板温度 220 とし、50 nm 成膜した。

【0222】

次に、絶縁層 170 上に絶縁層 180 として平行平板型のプラズマ CVD 法で酸化窒化珪素膜を形成した。酸化窒化珪素膜の成膜条件は、シラン : 一酸化二窒素 = 1 : 25 (流量比)、成膜圧力を 200 Pa、電力密度を 0.25 W / cm² (RF 27.12 MHz) 50

、電極 - 基板間距離を 28 mm、基板温度 220 とし、400 nm 成膜した。

【0223】

次に、上記絶縁層 180 まで形成したサンプルを 350 、酸素と窒素の混合雰囲気で 1 時間の熱処理を行った。

【0224】

次に、絶縁層 180 上にプラズマ CVD 法で窒化珪素膜を形成した。窒化珪素膜の成膜条件は、シラン：窒素：アンモニア = 1 : 100 : 2 (流量比) 、成膜圧力を 100 Pa 、電力密度を 0.167 W / cm² (RF 27.12 MHz) 、電極 - 基板間距離を 28 mm 、基板温度 350 とし、100 nm 成膜した。

【0225】

次に、上記窒化珪素膜上に平坦化膜として 1.5 μm のアクリル樹脂を形成した。

【0226】

最後に、アクリル樹脂まで形成したサンプルを 250 、窒素雰囲気で 1 時間の熱処理を行った。

【0227】

図 15 (A) 、 (B) 、 (C) は上記方法にて作製したゲート絶縁膜 130 における第 2 の絶縁膜 132 が 5 nm 、 20 nm 、および 30 nm のトランジスタの Id - Vg 特性である。図において実線は初期特性を示し、点線は 50 Gy の X 線を照射した後の特性である。なお、トランジスタの L / W = 6 μm / 50 μm であり、ドレイン電圧 (Vd) は 10 V である。

【0228】

第 2 の絶縁膜 132 が 5 nm および 20 nm のトランジスタにおいては、X 線照射前後の Id - Vg 特性に大きな変化はないが、第 2 の絶縁膜 132 が 30 nm のトランジスタにおいては、ドレイン電流の立ち上がりがマイナス方向に大きくシフトしていることがわかる。なお、本明細書において、ドレイン電流が立ち上がるときのゲート電圧の値をシフト値と定義する。

【0229】

また、図 16 (A) は、横軸を第 2 の絶縁膜 132 の膜厚とし、縦軸を X 線照射前後のしきい値電圧の差分 (Vth) として、その変化を示したグラフである。また、図 16 (B) は、X 線照射前後のシフト値 (Shift) の差分の変化を示したグラフである。図 16 (A) 、 (B) から明らかなように、酸化窒化珪素膜の膜厚が 20 nm よりも大きくなるとトランジスタの劣化が大きくなることがわかる。すなわち、第 2 の絶縁膜 132 の膜厚が 5 nm 乃至 20 nm とすることで、X 線耐性を向上させることができるといえる。

【0230】

なお、本実施例は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【符号の説明】

【0231】

100 基板

110 下地絶縁膜

120 ゲート電極層

121 導電膜

130 ゲート絶縁膜

131 第 1 の絶縁膜

132 第 2 の絶縁膜

140 酸化物半導体層

141a 第 1 の酸化物半導体膜

141b 第 2 の酸化物半導体膜

142a 第 1 の酸化物半導体膜

142b 第 2 の酸化物半導体膜

10

20

30

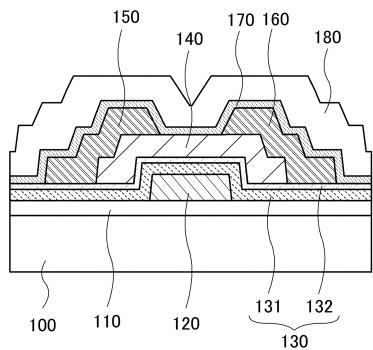
40

50

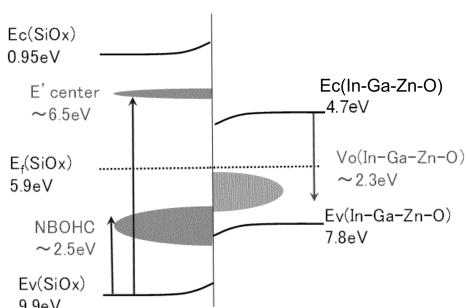
1 4 2 c	第3の酸化物半導体膜	
1 5 0	ソース電極層	
1 6 0	ドレイン電極層	
1 7 0	絶縁層	
1 8 0	絶縁層	
2 1 0	画素回路	
2 1 1	回路	
2 1 2	回路	
2 1 3	回路	
2 1 4	回路	10
2 1 5	回路	
2 2 0	受光素子	
2 3 0	回路部	
2 4 0	回路	
2 5 0	回路	
2 8 0	シンチレータ	
3 0 1	第1のトランジスタ	
3 0 2	第2のトランジスタ	
3 0 3	第3のトランジスタ	
3 0 4	第4のトランジスタ	20
3 0 5	配線	
3 1 1	第1の配線	
3 1 2	第2の配線	
3 1 3	第3の配線	
3 1 4	第4の配線	
3 1 5	第5の配線	
3 1 6	第6の配線	
3 1 7	第7の配線	
3 2 0	フォトダイオード	
3 3 0	可変抵抗素子	30
4 0 1	信号	
4 0 2	信号	
4 0 3	信号	
4 0 4	信号	
4 0 5	信号	
4 1 5	半導体膜	
4 1 6	半導体膜	
4 1 7	半導体膜	
5 0 1	信号	
5 0 2	信号	40
5 0 3	信号	
5 0 4	信号	
5 0 5	信号	
5 0 6	信号	
5 0 7	信号	
5 0 8	信号	
5 0 9	信号	
5 1 0	期間	
5 1 1	期間	
5 2 0	期間	50

5 3 1	期間	
6 1 0	期間	
6 1 1	期間	
6 1 2	期間	
6 2 0	放射線照射期間	
6 2 1	期間	
6 2 2	期間	
6 2 3	期間	
6 3 1	期間	
1 2 1 1	導電膜	10
1 2 1 2	導電膜	
1 2 1 3	導電膜	
1 2 1 4	導電膜	
1 2 1 5	導電膜	
1 2 1 8	導電膜	
1 2 1 9	導電膜	
1 2 2 0	導電膜	
1 2 2 1	導電膜	
1 2 2 2	導電膜	
1 2 2 3	導電膜	20
1 2 2 4	導電膜	
1 2 2 5	導電膜	
1 2 2 6	導電膜	
1 2 2 7	導電膜	
1 2 2 8	ゲート絶縁膜	
1 2 2 9	導電膜	
1 2 5 0	半導体層	
1 2 8 1	絶縁膜	
1 2 8 2	絶縁膜	
1 2 8 3	絶縁膜	30

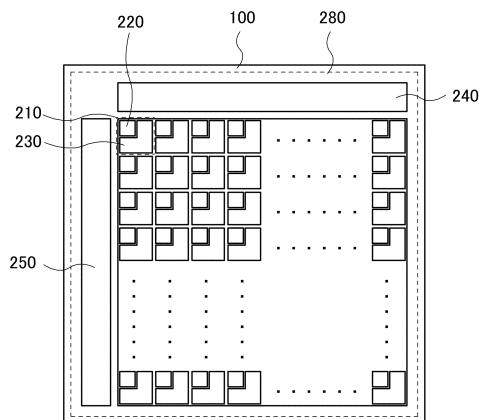
【図1】



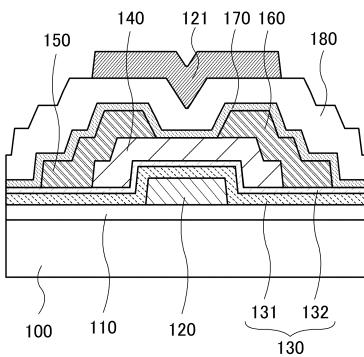
【図3】



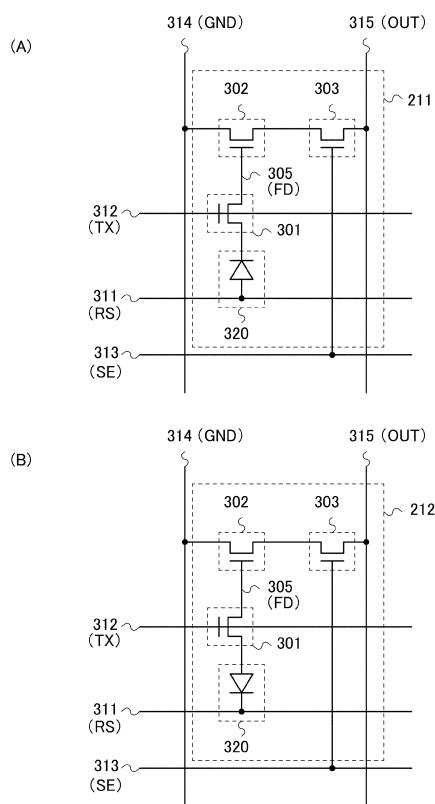
【図2】



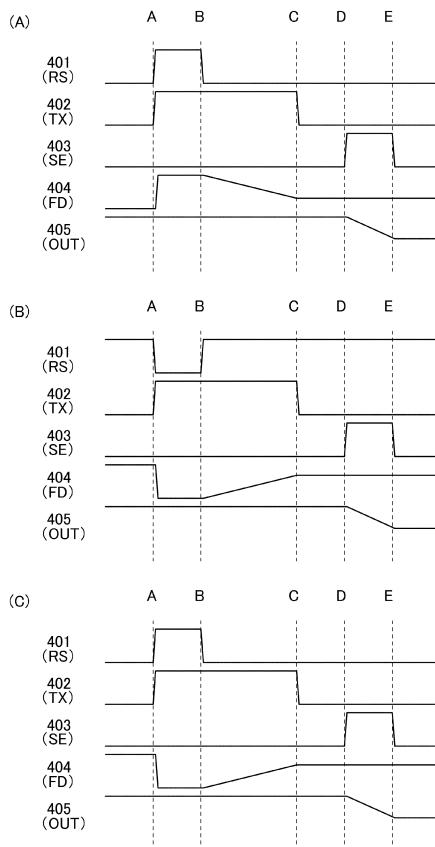
【図4】



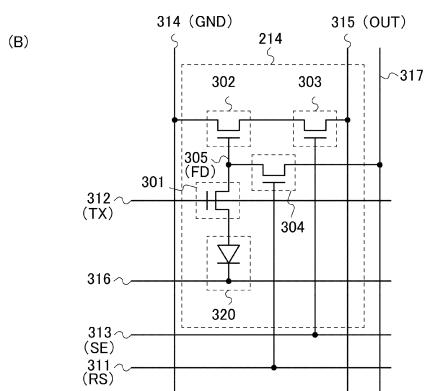
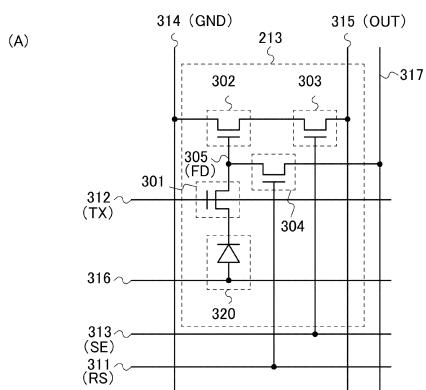
【図5】



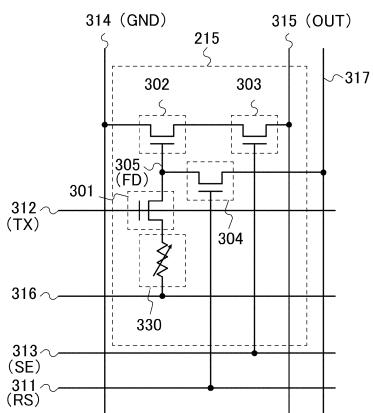
【図6】



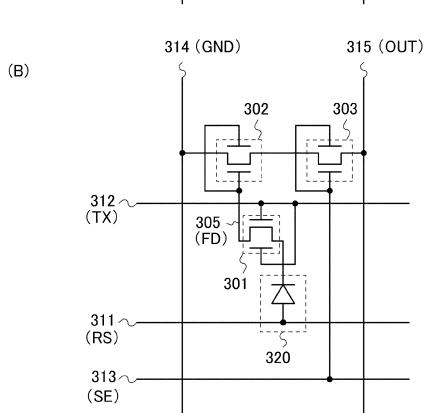
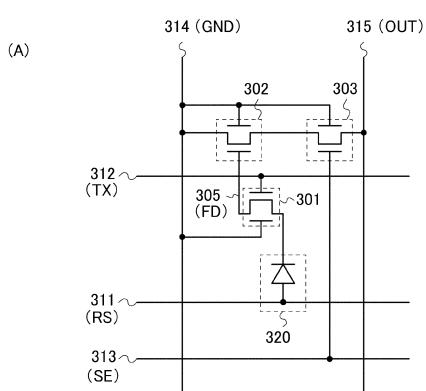
【図7】



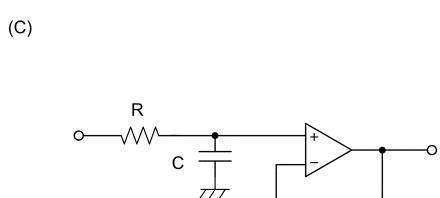
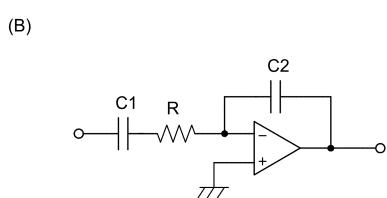
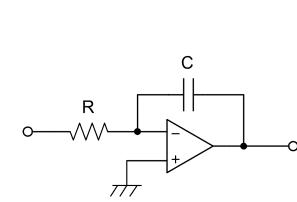
【図8】



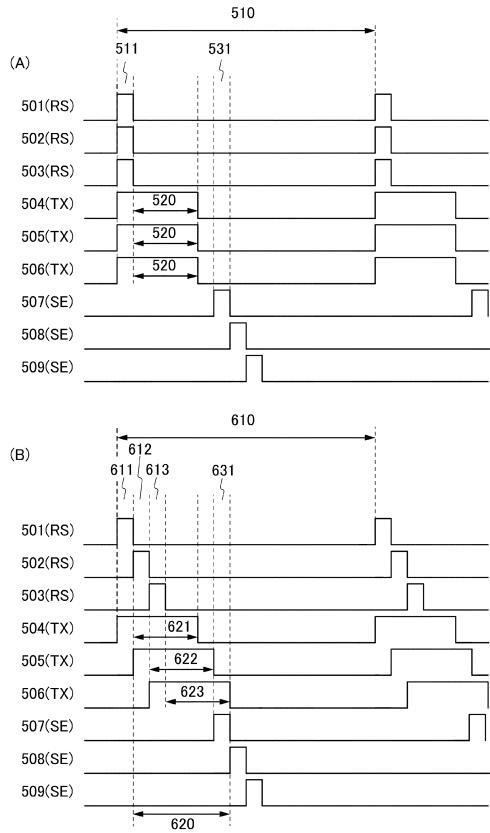
【図9】



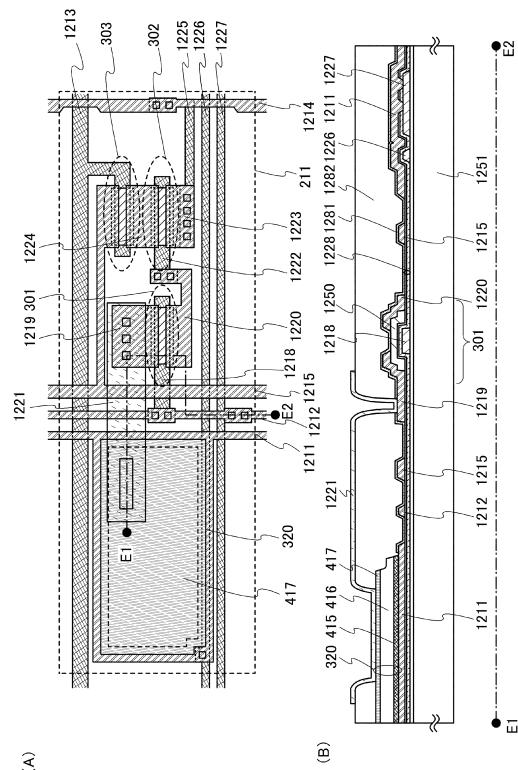
【図10】



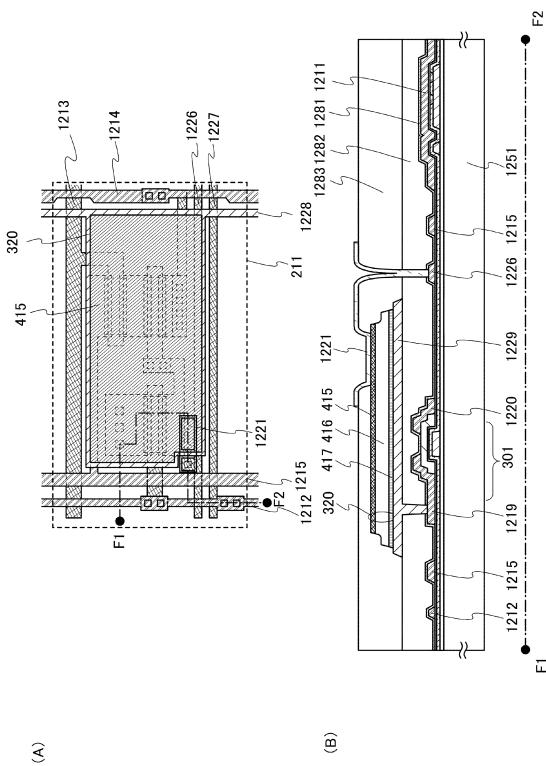
【図11】



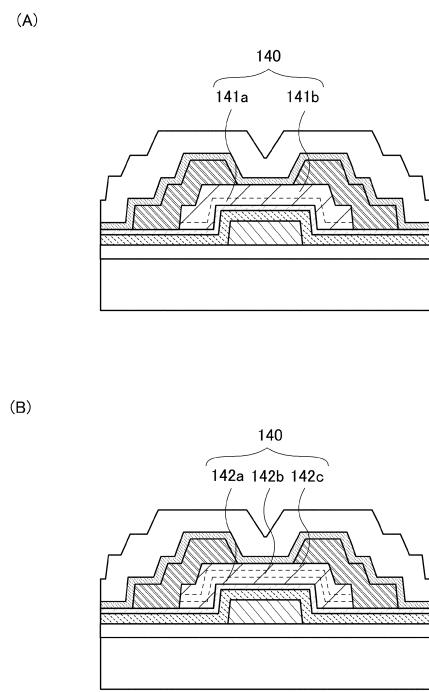
【図12】



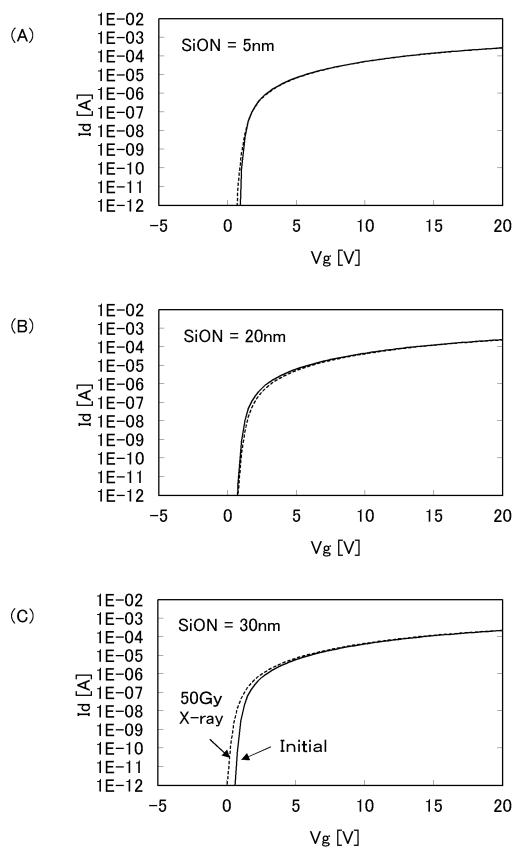
【図13】



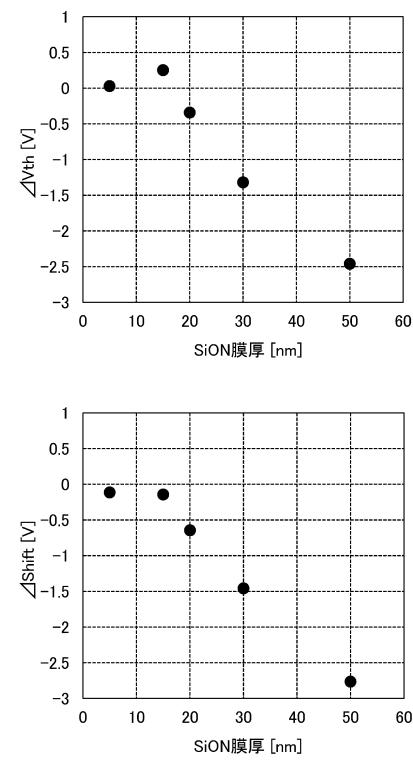
【図14】



【図15】



【図16】



フロントページの続き

(51)Int.Cl.	F I				
H 0 4 N	5/374	(2011.01)	H 0 1 L	27/146	C
			H 0 4 N	5/32	
			H 0 4 N	5/374	

(72)発明者 生内 俊光
栃木県栃木市都賀町升塚161-2 アドバンスト フィルム ディバイス インク株式会社内
(72)発明者 津吹 将志
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

合議体

審判長 辻本 泰隆
審判官 恩田 春香
審判官 西出 隆二

(56)参考文献 特開2012-146805(JP,A)
特開2013-42481(JP,A)
特開2011-19102(JP,A)
特開2013-102191(JP,A)
特開2013-101404(JP,A)
特開2013-12774(JP,A)
特開2012-247327(JP,A)
特開2009-98130(JP,A)
特開2011-103452(JP,A)
国際公開第2009/034953(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L21/336,27/146

H01L29/786